

# 了解提升功率密度的權衡與技術



**Jeffrey Morroni, Ph.D.**  
Manager - Kilby Power, Isolation and Motors  
Texas Instruments

**Pradeep Shenoy, Ph.D.**  
Manager, Power Design Services  
Texas Instruments

The TI POWER logo, consisting of the text 'TI POWER' in a bold, sans-serif font, with four red dots of varying sizes positioned below the 'I' in 'POWER'.

**TI POWER**

縮小電源供應器尺寸往往是設計的成功關鍵。由於空間有限，設計人員一直承受需以更小體積執行更多功能的壓力。更廣泛地說，電源供應器小型化已成為推動新市場與應用的要素，此趨勢未來也將持續進行。

## 摘要

本白皮書檢視提升功率密度的相關限制，並提供技術範例以幫助設計人員克服相關障礙。



1

### 什麼是功率密度？

功率密度的檢視方式視應用不同而有許多種類，但各方式的目標皆相同：減少解決方案尺寸以提升功率密度。



2

### 限制功率密度的因素有哪些？

限制設計人員提升功率密度的主要因素是轉換器功率損耗，其中包含傳導、電荷相關、反向復原、開啟與關閉損耗，以及系統的熱性能。



3

### 如何打破功率密度障礙

設計人員必須同時應對每個限制因素：降低切換損耗、提升封裝熱性能、採用創新拓撲與電路，並集成更多被動元件。

追求高功率密度的趨勢已存在業界數十年，預計將會持續發展。圖 1 顯示 6-A 至 10-A 模組轉換器尺寸隨時間的減少。技術進步可在縮小尺寸或功率輸出功能上造成顯著成果。每條實線都代表一種新一代技術，並表示在功率密度上的相關增益。

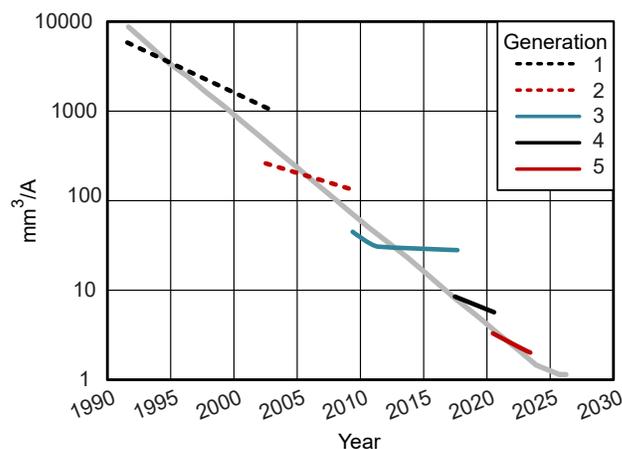


圖 1. 透過新興技術產生，電源模組尺寸隨時間的減少。

功率密度通常會隨效率或成本等其他領域發展而有所進展。一般來說，若能從基礎改善電源轉換效率，便可縮小解決方案尺寸。解決方案尺寸縮小後便會造成漣漪效應，透過減少實體材料使用、降低元件數量、改善成本架構、提升解決方案整合及降低整體擁有成本，進而達到減少成本之目的。

### 什麼是功率密度？

功率密度是給定空間內可處理功率量的測量值，可以每立方公尺瓦特數 ( $W/m^3$ ) 或每立方英吋瓦特數 ( $W/in^3$ ) 為單位，量化每體積單位處理功率。這些數值以轉換器的額定功率和電源解決方案 (含所有元件) 的外盒體積 (長度乘以寬度乘以高度) 為基礎，如圖 2 所示。相關單位也可縮放至適當功率位準或大小。例如每公升千瓦數是電動車車載電池充電器常用的品質因數 (FoM)，因為此類電源轉換器可提供千瓦級的功率位準 (介於 3 kW 和 22 kW 間)。

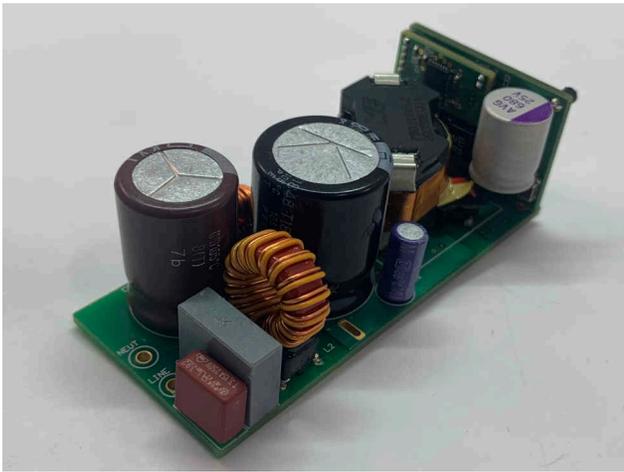


圖 2. 65-W 主動箝位返馳轉換器的測量值 65 mm 乘以 28 mm 乘以 25 mm。

電流密度是與功率密度相關且實用之指標，可以每立方英寸安培數或每立方公釐安培數為單位，量化每單位體積電流。計算電流密度時會使用轉換器額定電流（通常為輸入電流或輸出電流）。

對負載點電壓穩壓器等應用來說，電流密度是較為適合的 FoM。設計尺寸會受輸出電流影響，輸出電壓位準通常較低，大約在 1 V 左右。若假設過高不切實際的輸出電壓，將可以人為方式增加功率密度數；電流密度因可省去對輸出電壓的考量，故為較有效的指標。

體積密度有時候並不重要。電源設計高度空間較無限制，因為其他的元件所需的高度空間更高，反而电路板的平面空間是有限制的。若要在此類情況下提升功率密度，必須尋找堆疊或 3D 整合元件的方式，來減少電源解決方案體積。此外需將比較解決方案的指標改成每平方釐米瓦特數或每平方英寸安培數，以突顯主要設計目標（如圖 3 所示）。

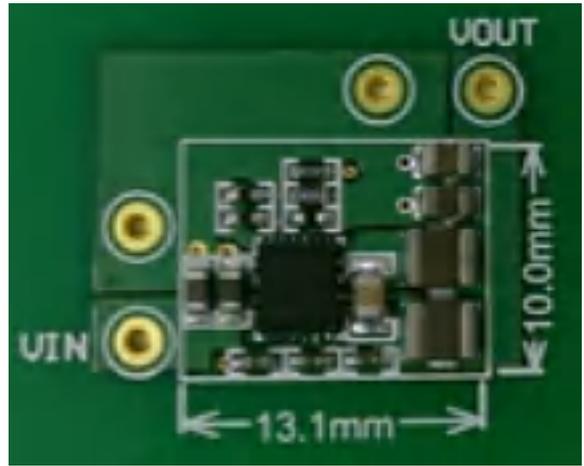


圖 3. 10-A 負載點轉換器測量值面積為 13.1 mm 乘以 10 mm，進而產生  $76 \text{ mA/mm}^2$  電流密度。

您可視應用所需，以不同方式檢視功率密度，但各方式的目標皆相同：減少解決方案尺寸以提升功率密度。我們該思考的問題是，如何才能增加功率密度。

### 限制功率密度的因素有哪些？

數年來工程師和研究人員專心致力，嘗試找出提升功率密度的方法。這項任務極富挑戰性。多數設計都將重點放在縮減能源轉換的被動元件尺寸上。電感器、電容器、變壓器和散熱片佔了電源解決方案尺寸的絕大部分，如圖 4 所示。半導體開關和控制電路則小很多，整合性也較高。

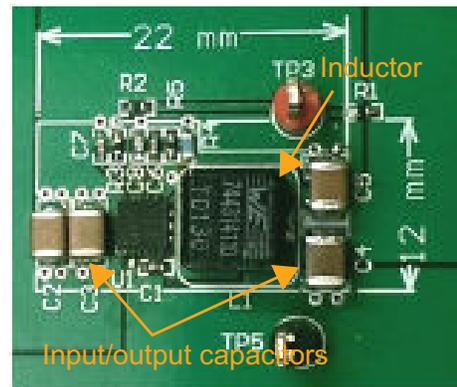


圖 4. 電感器和電容器等被動元件可佔用大量空間。

那麼應如何減少被動元件的尺寸呢？提高切換頻率便是一種簡單的解決方案。切換轉換器中的被動元件會在每個切換週期儲存與釋放能源。切換頻率較高時，各週期所需儲存的能源也較少。舉例來說，方程式 1 是降壓轉換器中電感器的設計等式：

$$L = \frac{D \times V_L}{f_{SW} \times \Delta I_L} \quad (1)$$

其中

- L 是電感
- D 是工作比
- $\Delta I_L$  是電感器電流漣波
- $f_{SW}$  是切換頻率
- $V_L$  是電感器電壓

所需電感 (L) 與切換頻率 ( $f_{SW}$ ) 成反比。當切換頻率上升，電感便會下降。低電感則可減少電感器體積並節省空間。圖 5 說明 3-A、36-V 轉換器在 400 kHz 與 2 MHz 下進行切換時，所需的電感器尺寸差異。

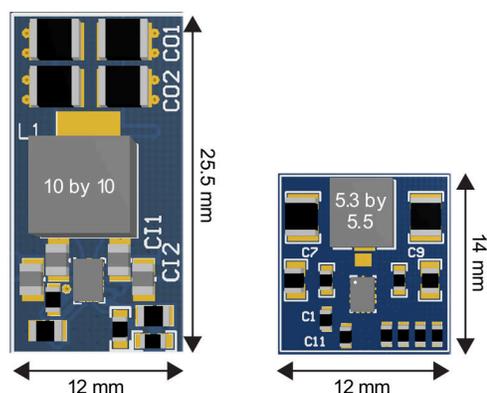


圖 5. 3-A、36-V 轉換器在 400 kHz (左) 與 2 MHz (右) 下切換時的尺寸比較。

高切換頻率在尺寸上也帶來其他優點。提高切換頻率可增加控制迴路頻寬，進而在低輸出電容下滿足暫態性能要求。您可設計電感和電容較低的差模電磁干擾 (EMI) 濾波器，並可使用較小的變壓器，但不會造成磁心材質飽和問題。

那大家為何不乾脆全部提高切換頻率呢？這是因為說時容易做時難。即使將電源轉換器中所有被動元件體積都縮到最小，電源解決方案尺寸仍有縮減的空間。電源開關、閘極驅動器、模式設定電阻器、反饋網路元件、EMI 濾波器、電流感測元件、介接電路、散熱片和其他元件，都會佔用寶貴的空間。在整體電源設計中，這些層面都是可透過創新提升功率密度的地方。讓我們來看看，哪些是限制設計人員提升功率密度的主要影響因素。

## 限制功率密度的因素：切換損耗

雖然提高切換頻率可增加功率密度，但目前電源轉換器通常不會切換至 MHz 範圍以上，是有其原因的。提高切換頻率會伴隨不必要的副作用，造成切換損耗增加與相關溫度上升。主要切換損耗是導致此現象的重要因素。

為了瞭解切換損耗，我們必須先說明幾個業界專用術語。在半導體裝置中，裝置相關電荷數通常與導通電阻有關係。低電阻會導致閘極電荷和寄生電容增加。這樣的電阻與電荷間權衡情況通常以 RQ FoM 進行量化，量化定義為裝置導通電阻乘以在某運作電壓下切換裝置時需供給端子的總電荷。此外，為達到目標電阻，裝置需佔用的面積數通常以電阻乘以面積 ( $R_{sp}$ ) 來表示。您可透過降低金屬氧化半導體場效電晶體 (MOSFET) 導通電阻 ( $R_{DS(on)}$ ) 來減少傳導損耗。但降低低導通電阻也會導致裝置切換相關損耗上升，並增加整體晶粒面積與成本。

視執行方式與應用而定，不同切換損耗對整體功率損耗的影響也有所差異。如需更多各種損耗類型的詳細資訊，請參閱應用說明「[同步降壓轉換器的功率損耗計算 \(考量同源電感\)](#)」。考慮本白皮書的目的，我們將說明降壓轉換器範例，並強調與各種損耗元件相關的主要限制因素。

### 主要限制因素 1：電荷相關損耗

在任何採用硬性切換的 DC/DC 轉換器中，系統中的充電與放電寄生電容需要某種程度的能源。在給定切換技術與額定電壓的情況下，[方程式 2](#) 和 [方程式 3](#) 計算損耗的方式如下：

$$P_{SW} = \frac{1}{2} \times C_{DS} \times (V_{DS})^2 \times f_{SW} \quad (2)$$

$$P_{GATE} = Q_G \times V_G \times f_{SW} \quad (3)$$

其中

- $C_{DS}$  為 MOSFET 汲極至源極電容
- $V_{DS}$  為 MOSFET 汲極至源極電壓
- $f_{SW}$  是切換頻率
- $Q_G$  是閘極電荷
- $V_G$  是閘極至源極電壓

您可從[方程式 2](#) 和 [方程式 3](#) 中看到，減少損耗的主要方式為降低切換頻率 (不推薦) 以提升 MOSFET 電荷相關 FoM ( $Q_G$  與  $C_{DS}$ )，或在傳導損耗與切換損耗間進行權衡。

## 主要限制因素 2：反向復原損耗

在降壓轉換器中，當低側 MOSFET 本體二極體進行電流傳導，反向復原會在高側 MOSFET 開啟時發生，迫使低側二極體電流快速轉換至高側 MOSFET。在此轉換過程中，需要電流才能將造成直接切換損耗的低側二極體少數電荷移除，詳情參見 [方程式 4](#)。

$$E_{RR} = (V_{IN} \times I_L \times t_{RR}) + (V_{IN} \times Q_{RR}) \quad (4)$$

減少二極體反向復原影響的最佳方式之一，是透過最佳化 MOSFET 設計減少儲存電荷 ( $Q_{RR}$ )，或者縮短或消除上升邊緣失效時間，進而將損耗造成的影響完全抵消。

## 主要限制因素 3：開啟和關閉損耗

寄生迴路電感可能造成部分切換相關損耗，進而導致效率大幅下降。假設有個降壓轉換器以高側 MOSFET 傳導電感器電流。若將高側關閉，將會干擾電流通過寄生電感。暫態電流 ( $di/dt$ ) 與寄生迴路電感會造成電壓突波。 $di/dt$  越高，切換損耗就越低，進而導致裝置電壓應力增加。在某些關閉速度下，降壓轉換器高側開關會發生故障。因此請務必小心控制切換速度，才能在讓 DC/DC 轉換器持續於安全操作區內運作的情況下，達到效率最大化。如需詳細資訊，請參閱應用說明 [了解 SOA 曲線以在高輸出電流和溫度下運作](#)。

此外，若減少電感器電容器網路中電容以吸收寄生迴路電感中儲存的能源時，減少高側 MOSFET 汲極電荷也可能造成額外電壓突波。這種情況代表著另一個挑戰，因為若要降低先前提到的電荷相關損耗，必須盡可能減少汲極電荷。為了消弭與寄生相關的整體損耗，通常需要減少迴路電感本身，並且採用其他閘極驅動器技術。

## 限制功率密度的因素：熱性能

影響整體功率密度的重要因素是系統熱性能。通常在溫度未出現不合理上升的情況下，封裝散熱的性能越佳，可承受的功率損耗也就越高。這些因素通常可在產品說明書參數中取得，例如接點至周圍熱電阻 ( $R_{\theta JA}$ ) 還有經過仔細計算的應用條件。如需有關 MOSFET 產品規格書中常見熱阻抗值的詳細資訊，請觀看影片：[了解 MOSFET 產品規格書：熱阻抗](#)。

封裝與印刷電路板 (PCB) 的熱最佳化整體目標，是在出現電源轉換器損耗時減少溫度提升。由於小型化與成本降低

趨勢持續發展，轉換器、電源開關和閘極驅動器解決方案的整體尺寸也隨之縮減。由於晶粒和封裝尺寸縮小會降低熱性能，因此造成系統級熱設計的難度增加，如 [圖 6](#) 所示。隨著晶粒面積縮小，相關接點至周圍熱電阻 ( $R_{\theta JA}$ ) 會呈指數下降。

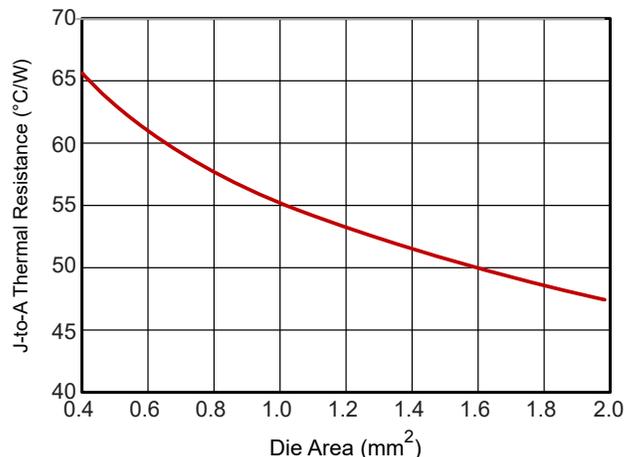


圖 6. 封裝  $R_{\theta JA}$  與晶粒面積。

此圖清楚說明隨著封裝尺寸、晶粒尺寸和整體功率密度提升，預期熱性能將會快速下降，唯有著重發展封裝熱性能 (散熱能力) 創新與減少功率損耗 (產生較少熱能)，才能解決此問題。

## 如何打破功率密度障礙

只要選擇著重前面章節強調的其中一個重要元素，即可提升整體功率密度。但若真正實現前所未有的功率密度，則需同時應對限制密度的每個因素：降低切換損耗、提升封裝熱性能、採用創新拓撲與電路，當然還有整合。

## 切換損耗創新

顯而易見地，若想實現最佳裝置性能與 FoM，就必須投資半導體技術。其中包含能改善現有技術的創新，或是開發具較佳性能的新材質，例如適合高電壓切換應用的氮化鎵 (GaN) 技術。

[圖 7](#) 將使用德州儀器 (TI) 不同電源處理技術的 3.3-V 至 1.8-V 降壓轉換器做比較。[TPS54319](#) 使用 TI 先前的電源製程節點，[TPS62088](#) 則採用 TI 最新電源製程節點與較低 RQ FoM。如效率曲線所示，相較於 TPS54319 在 2 MHz 下進行切換，TPS62088 可在 4 MHz 下切換，同時可維持幾乎相同的效率。此特性可將外部電感器尺寸降為一半。此外，由於 TI 新電源製程節點也可大幅降低  $R_{SP}$ ，因此整

體封裝尺寸可從 4 mm<sup>2</sup> 縮減至 0.96 mm<sup>2</sup>。雖然從功率密度角度來看，此尺寸縮減非常具吸引力，但同時也在溫度上升方面帶來新挑戰，我們會在後面章節進行說明。

TPS54319 採用 TI 之前的電源製程節點，並在 2 MHz 下進行切換；TPS62088 則使用 TI 最新電源處理和經過改良的切換 FoM，並在 4 MHz 下切換。

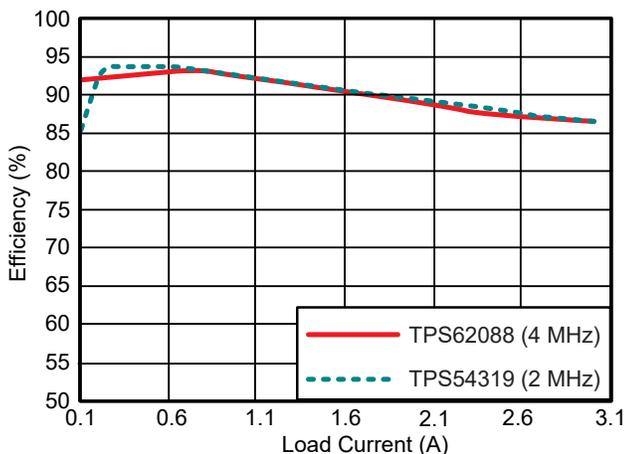


圖 7. 比較 3.3V 至 1.8V 降壓轉換器的 DC/DC 效率。

GaN 的零反向復原、低輸出電荷與高電壓轉換率獨特組合，可實現免橋接功率因數修正等全新圖騰柱拓撲。此類拓撲可實現矽 MOSFET 無法達到的高效率與功率密度。圖 8 將 600 V 下的 TI GaN 技術和幾個業界最佳碳化矽 (SiC) 與超接面矽晶裝置進行比較。TI GaN 技術可提供顯著降低的損耗，從而實現更高的頻率。

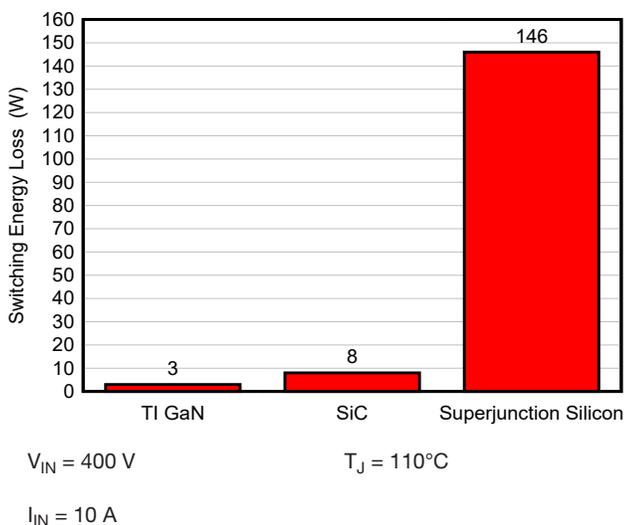


圖 8. 切換能量損耗比較。

## 封裝熱創新

積體電路 (IC) 封裝的直接散熱能力會影響功率密度。如前面提到，隨著封裝尺寸持續縮減，此問題也變得越來越重要。此外在傳統電源轉換器中，半導體裝置常成為解決方案的熱門選項，在 Rsp 也快速縮減的情況下更是如此。

TI 在開發與採用 HotRod™ 封裝上投入大量資源，並以覆晶式封裝取代傳統焊線型四方平面無引腳封裝 (QFN)。圖 9 和圖 10 顯示 HotRod QFN 如何能免除使用焊線，同時維持像 QFN 的體積。此方式可大幅降低傳統覆晶式封裝中的寄生迴路電感，並可維持 QFN 封裝熱性能的部分優點。HotRod QFN 包含引線鍵合支架與晶粒間的互連。

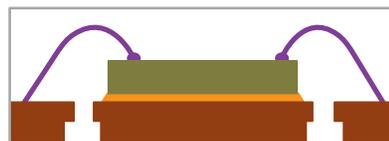


圖 9. 採用暴露焊盤的標準焊線 QFN 封裝。

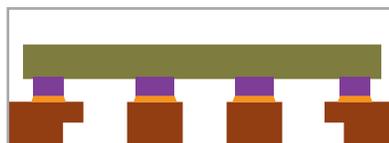


圖 10. HotRod 互連封裝 (導線上覆晶接合) QFN 封裝。

HotRod 封裝所面臨的其中一個挑戰，是大型黏晶粒板 (DAP) 的建置過程變得更困難，但 DAP 在改善封裝熱性能上有非常大的幫助。為了克服此挑戰，TI 最近針對 HotRod QFN 進行強化，除了保留其現有優勢，同時讓封裝能夠採用大型 DAP。

圖 11 和圖 12 圖 14 向展示 4-A LM60440 同步轉換器，其包括的這些技術增強功能，可提高散熱性能。您可看到其體積有助於封裝中央使用大型 DAP。與前代相比，此 DAP 具備 15% 溫度上升優勢。您可以在我們的 Analog Design Journal 文章「以小型 DC/DC 轉換器進行設計」中閱讀有關這些封裝演進的詳細資訊：[HotRod™ QFN 與強化的 HotRod™ QFN 封裝](#)。

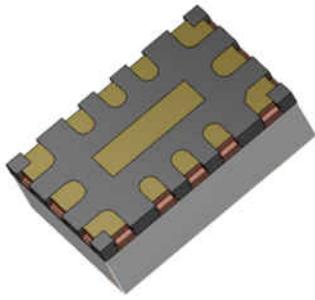


圖 11. 具大型 DAP 的強化式 HotRod QFN。

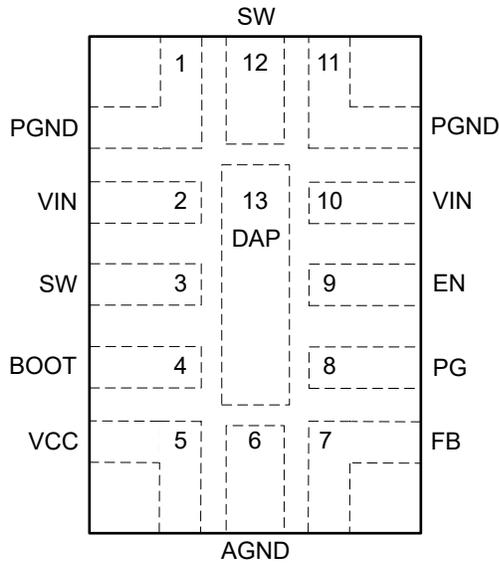


圖 12. 採用強化式 HotRod QFN 的 LM60440 針腳配置。

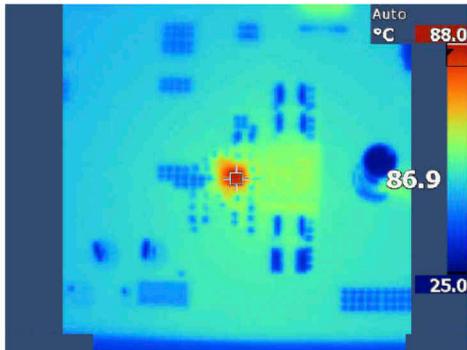


圖 13. 傳統 HotRod 封裝的熱性能。



圖 14. 採用強化式 HotRod QFN 封裝且具 DAP 的 LM60440 熱性能，平均溫度可降至 71.1°C。

此外，許多設計人員偏好採用小型電晶體 (SOT) 表面黏著封裝，因為這種封裝成本較低，而其針腳引線的組裝方式也較為簡單。TI 已將改良製程技術與電路 IP 與 SOT-563 封裝配對，使小巧的雙列針腳配置能符合更高電流密度的需求。TPS566242 3-V 至 16-V 同步降壓轉換器是最近的範例之一。本裝置採用 1.6 mm x 1.6 mm SOT-563 (6-針) 板上配置，支援 98% 工作週期下高達 6 A 的連續電流。

同樣的，採用晶圓級晶片尺寸封裝 (WCSP) 時，多數熱能會從凸塊直接向下傳導至 PCB。WCSP 中的凸塊面積越大，熱性能就越好。TI 最近開發並推出 PowerCSP™ 封裝，旨在以大型錫棒取代 WCSP 中的部分傳統電路凸塊，進而提升封裝熱與電性能。圖 15 是在 TPS62088 中實作此技術的範例。圖 15 顯示標準 WCSP，而圖 16 則展示採用 PowerCSP 封裝的相同裝置。在系統沒有任何其他變化的情況下，溫度上升程度降低約 5%。

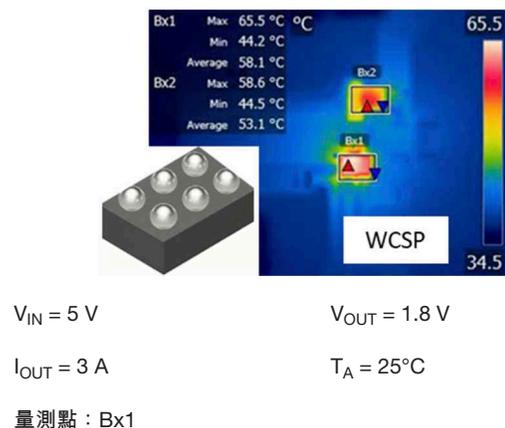
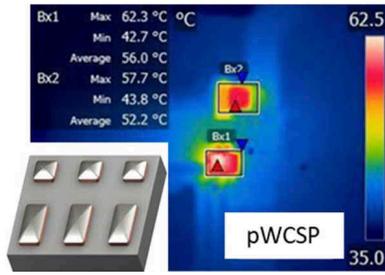


圖 15. TPS62088YFP WCSP 版本的熱性能。



$V_{IN} = 5\text{ V}$                        $V_{OUT} = 1.8\text{ V}$   
 $I_{OUT} = 3\text{ A}$                        $T_A = 25^\circ\text{C}$   
 量測點：Bx1

圖 16. TPS62088YWC PowerCSP 版本。

### 進階電路板設計創新

低  $R_{sp}$  與低  $RQ$  FoM 的副作用是汲極電荷對轉換損耗產生的影響。請看圖 17，您可看到在電壓過衝量固定的情況下，此降壓轉換器的關閉損耗會隨汲極電荷減少而大幅增加。有鑑於此權衡情況，除了持續發展進階  $RQ$  FoM MOSFET 藍圖外，仍需開發新型進階閘極驅動器智慧財產 (IP)，以最高速度切換 MOSFET，同時保持在電力安全操作區內運作。關閉能源會隨汲極電荷減少而增加，以維持固定汲極至源極電壓應力。

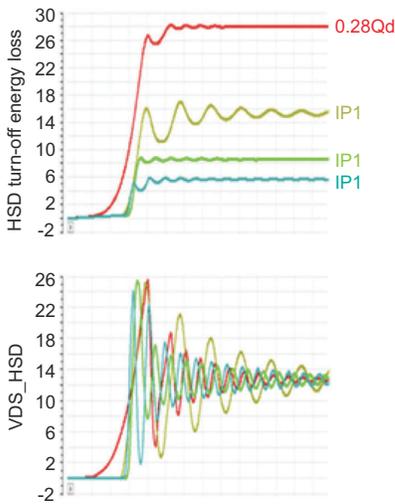


圖 17. 各種 MOSFET 技術關閉能源損耗。

因此 TI 最近開發了一系列閘極驅動器技術，除了可降低  $RQ$  FoM MOSFET 外也可實現高切換速度，進而改善電荷與轉換損耗，但仍可讓 MOSFET 繼續在電力安全操作區內運作。您可從圖 18 和圖 19 的比較中看到，關閉能源損耗下降幅度可達 79%，同時仍可維持固定峰值電壓應力。如

圖 19 所示，在部分設計中，此下降情形可使峰值效率點的效率增加達 4%。

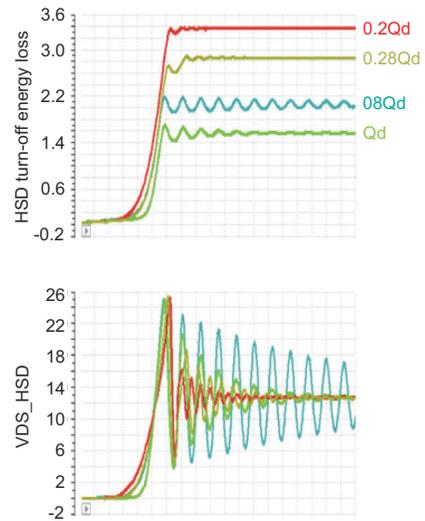


圖 18. 可實現汲極電荷與低關閉能源之閘極驅動器 IP 比較。

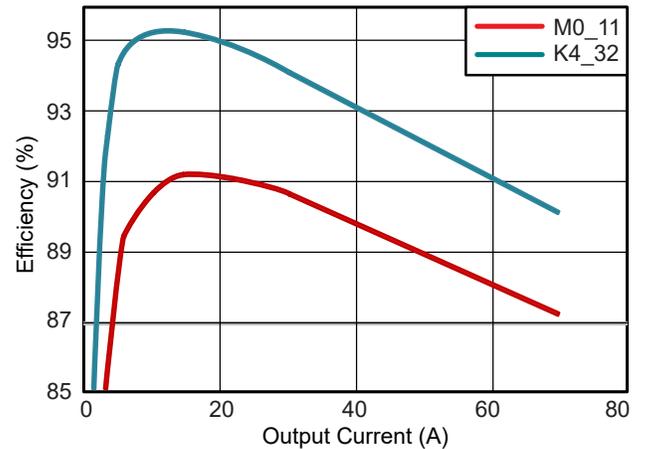


圖 19. 閘極驅動器 IP 對系統效率的影響。

除了進階閘極驅動器技術外，也可透過拓撲創新來提升功率密度。圖 20 為可提供許多重要功率密度優點的飛馳電容四級 (FC4L) 轉換器拓撲，其中包含透過低裝置額定電壓、磁性濾波器尺寸縮減和熱分配提升，實現更優異的裝置 FoM。這些優點可轉為提升功率密度，如圖 21 中所示。與使用 SiC 的其他拓撲相比，TI 解決方案透過使用此拓撲，再搭配 GaN 優點和進階封裝技術，可大幅降低體積。TI 的 FC4L GaN 解決方案提供之功率密度最為優異。

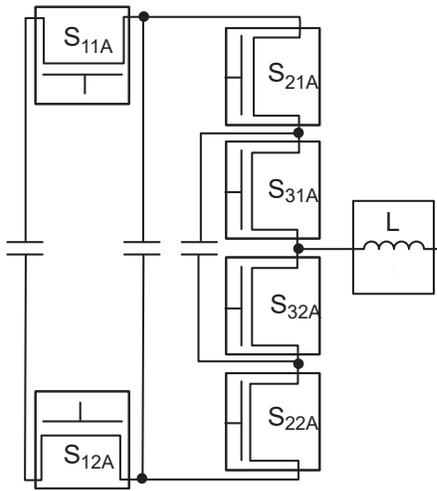


图 20. 採用 GaN 開關的飛馳電容四級轉換器拓撲。

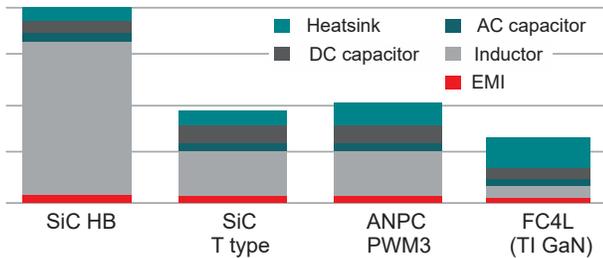


图 21. 拓撲與開關類型的整體體積。

## 整合式創新

邁向最佳功率密度的最後一片拼圖是整合。符合成本效益的整合可降低寄生、減少物料清單、提升效率並節省空間。整合適用電源管理多個層面。其中包含於 IC 中納入更多電路、在封裝中增加更多元件，或透過其他實體或機械方式在電源解決方案中增加封裝。此領域中的幾個領導技術範例像是與 GaN FET 整合之驅動器、整合電容器以減少重要迴路電感，以及被動元件的 3D 堆疊。

在閘極驅動器中納入切換功率 FET 有幾項優點。切換閘極驅動器迴路電感會減少，因而提升切換速度、提高運作穩固性，並可減少元件數。GaN FET 更可因此整合而獲益。**LMG3522R030-Q1** 等裝置也包含其他功能，例如過電流保護、過熱保護和監控 (請參閱图 22。)此整合可顯著簡化電源管理解決方案，讓設計人員能發揮 GaN 的完整能力。

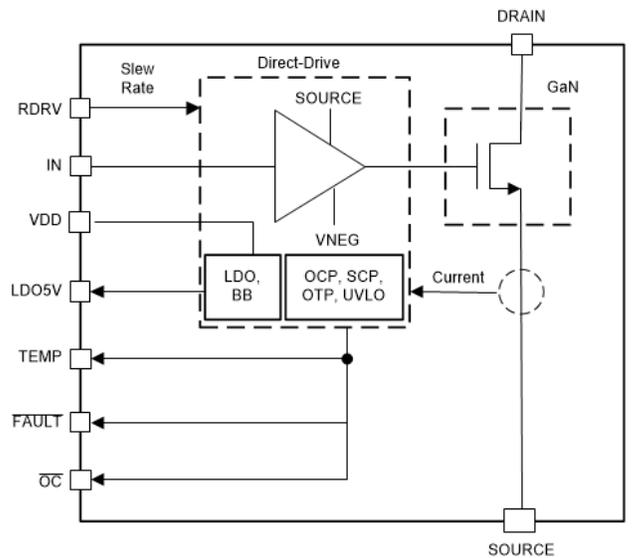


图 22. LMG3522R030-Q1 整合驅動器、保護與監控功能與 GaN 開關。

另一種整合方式是在 IC 封裝中納入被動元件。整合高頻去耦電容器是 LMQ61460-Q1 中採用的一種技術，如图 23 所示。整合電容器可降低重要迴路寄生電感並減少 EMI，進而提升效率。此電源解決方案也可增加切換次數，但無需犧牲系統穩固性或超估熱限制，因此可以較少 EMI 濾波，提高切換頻率並縮減解決方案尺寸。UCC14240 運用磁性元件整合，不需使用外部變壓器即可提供隔離式偏壓電源。此方法可降低尺寸、複雜性和 EMI。

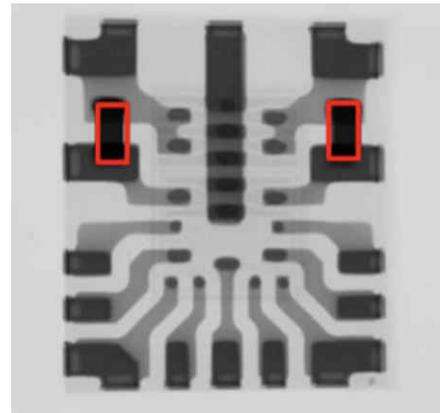


图 23. LMQ61460-Q1 的 X 光攝影，並強調整合式旁路電容器。

最後一個整合範例為元件 3D 堆疊。3D 堆疊通常會在具整合式被動元件的電源模組中產生。图 24 使用 **TPS82671** 做為範例。此裝置在層壓基板中嵌入電源 IC，並在上方置入電感器焊輸入與輸出電容器。如此精巧的解決方案不需額外元件。只要運用簡單的整合概念，即可達到驚人成果、節省 PCB 空間並簡化電源解決方案。

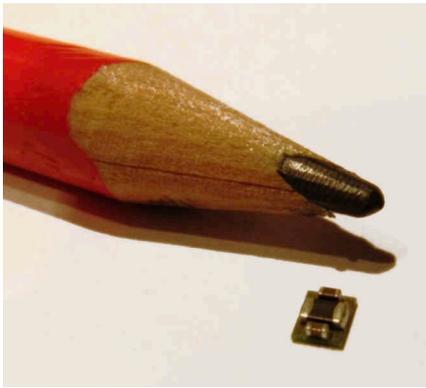


图 24. 小巧的電源模組和整合式電源 IC、電感器與電容器。

- **AC/DC 及獨立 DC/DC 控制器和轉換器**
- **電源開關**
- **降壓式 (降壓) 穩壓器**
- **升壓式 (升壓) 穩壓器**
- **USB Type-C 與 USB 電源傳輸 IC**

## 結論

提升功率密度的趨勢十分清楚。實現更精巧的電源解決方案時，會面臨許多重大限制。若想克服功率損耗和熱性能挑戰，就必須在切換處性、IC 封裝、電路設計與整合上進行創新。每片拼圖都可在功率密度上提供顯著改善，但每項技術都彼此獨立。因此您可整合各領域的技術，幫助大幅提升功率密度。

想像一個產品透過被動整合採用多階拓撲與最低迴路電感，即可擁有最佳切換裝置 FoM 和領導業界的封裝熱功能。技術發展必須在彼此間進行取捨，才能在功率密度中取得突破。

現在只要運用 TI 進階程序、封裝與電路設計技術，即可在更小空間中獲得更多功率，並可以更少系統成本強化系統功能。如需進一步了解，請參閱 [ti.com/powerdensity](https://ti.com/powerdensity)。

## 其它資源

- **電池充電器 IC**
- **降壓升壓與反相穩壓器**
- **氮化鎵 (GaN) IC**
- **隔離式偏壓電源供應器**
- **隔離式開極驅動器**
- **LED 驅動器**
- **線性穩壓器 (LDO)**
- **多通道 IC (PMIC)**

**重要聲明：**本文所述德州儀器及其子公司相關產品與服務經根據 TI 標準銷售條款及條件。建議客戶在開出訂單前先取得 TI 產品及服務的最新完整資訊。TI 不負責應用協助、客戶的應用或產品設計、軟體效能或侵害專利等問題。其他任何公司產品或服務的相關發佈資訊不構成 TI 認可、保證或同意等表示。

HotRod™ and PowerCSP™ are trademarks of Texas Instruments.  
所有商標均為其各自所有者的財產。

## IMPORTANT NOTICE AND DISCLAIMER

TI PROVIDES TECHNICAL AND RELIABILITY DATA (INCLUDING DATA SHEETS), DESIGN RESOURCES (INCLUDING REFERENCE DESIGNS), APPLICATION OR OTHER DESIGN ADVICE, WEB TOOLS, SAFETY INFORMATION, AND OTHER RESOURCES "AS IS" AND WITH ALL FAULTS, AND DISCLAIMS ALL WARRANTIES, EXPRESS AND IMPLIED, INCLUDING WITHOUT LIMITATION ANY IMPLIED WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE OR NON-INFRINGEMENT OF THIRD PARTY INTELLECTUAL PROPERTY RIGHTS.

These resources are intended for skilled developers designing with TI products. You are solely responsible for (1) selecting the appropriate TI products for your application, (2) designing, validating and testing your application, and (3) ensuring your application meets applicable standards, and any other safety, security, regulatory or other requirements.

These resources are subject to change without notice. TI grants you permission to use these resources only for development of an application that uses the TI products described in the resource. Other reproduction and display of these resources is prohibited. No license is granted to any other TI intellectual property right or to any third party intellectual property right. TI disclaims responsibility for, and you will fully indemnify TI and its representatives against, any claims, damages, costs, losses, and liabilities arising out of your use of these resources.

TI's products are provided subject to [TI's Terms of Sale](#) or other applicable terms available either on [ti.com](https://www.ti.com) or provided in conjunction with such TI products. TI's provision of these resources does not expand or otherwise alter TI's applicable warranties or warranty disclaimers for TI products.

TI objects to and rejects any additional or different terms you may have proposed.

Mailing Address: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2023, Texas Instruments Incorporated