

액티브 EMI 필터 IC가 단상 및 3상 전원 시스템에서 공통 모드 방출을 완화하고 전력 밀도를 높이는 방법



Timothy Hegarty

추상

EMI(전자기 간섭) 입력 필터의 작고 효율적인 설계는 고밀도 스위칭 레귤레이터의 주요 과제 중 하나이며 차량용, 기업용, 우주 항공 및 제약이 많은 기타 시스템 환경에서 전기화의 모든 이점을 달성하는 데 있어 매우 중요합니다. 예를 들어, 차량용 온보드 충전기와 서버 랙 전원 공급 장치는 고전력 애플리케이션입니다. 여기에서 중요한 점은 EMI 필터 구성요소의 체적 감소가 솔루션이 까다로운 폼 팩터에 딱 맞도록 하는 데 도움이 된다는 것입니다. 특히 더 높은 공통 모드(CM) 방출로 이어질 수 있는 빠른 스위칭 특성을 갖춘 광대역(질화 갈륨[GaN] 및 실리콘 카바이드[SiC] 기반) 전력 반도체 장치가 있을 때 더 그러합니다.

상업용(클래스 A) 및 주거용(클래스 B) 환경의 CM 필터는 터치 전류 안전 요구 사항 때문에 일반적으로 제한된 Y-커패시턴스를 갖고 있으며, 따라서 필요한 감쇠를 달성하기 위해 대형 CM 초크가 필요합니다. 이는 궁극적으로 부피가 크고, 무겁고, 비싼 패시브 구성 요소를 갖춘 필터 설계라는 결과를 가져옵니다. 활성 EMI 필터(AEF) 회로를 배포하면 차세대 전력 병행 시스템을 위한 더 작은 필터 설계를 구현할 수 있습니다. 위에 언급된 것과 같은 공간 제약적인 애플리케이션은 활성 전원 공급 장치 필터 IC(집적 회로)를 활용하여 자기 구성 요소와 전체 필터 크기를 줄임으로써 추가로 최적화하기에 적합합니다.

이 기술 백서는 감지, 주입 및 제어 기술 측면에서 AEF 회로의 이론적 배경과 일반 원리를 구성하며, 단상 및 3상 AC 전원 시스템에서 CM 잡음 제거를 위해 텍사스 인스트루먼트의 독립형 AEF IC 제품군을 사용하는 실용적인 회로 구현을 제공합니다. 3.3kW PFC(역률 보정) AC/DC 레귤레이터에서 측정된 결과는 EMI 완화 및 보드 공간 절약의 이점을 보여줍니다.

목차

1 머리말.....	3
2 EMI 주파수 범위.....	3
3 고전력, 그리드 연결 애플리케이션을 위한 패시브 EMI 필터.....	4
4 액티브 EMI 필터.....	5
5 일반화된 AEF 회로.....	6
6 CM 액티브 필터 회로 선택.....	8
7 정전식 증폭의 개념.....	9
8 실용적인 AEF 구현.....	10
9 실용적인 결과.....	11
9.1 저전압 테스트.....	11
9.2 고전압 테스트.....	12
10 요약.....	14
11 참고 문헌.....	14

그림

그림 2-1. IEC 및 CISPR에 의해 분류된 고조파 전류 및 전도 EMI 주파수 범위.....	3
그림 2-2. 9kHz ~ 30MHz의 주파수 범위에서 CISPR 준피크 및 평균 제한.....	3
그림 3-1. 단상 시스템(a) 및 3상 시스템(b)을 위한 일반적인 2단계 패시브 EMI 필터.....	4
그림 3-2. 토렘 풀 PFC의 기존 단상 패시브 EMI 필터 레퍼런스 설계.....	5
그림 4-1. 감지, 이득 및 주입 단계를 지원하는 AEF의 기본 개념. 제어 구조는 FB(a) 또는 FF(b)가 될 수 있습니다.....	5
그림 5-1. 단상 등가물(FB 회로 4개 및 FF 회로 2개)의 기본 액티브 필터 구조는 제어, 감지 및 주입 기술에 따라 분류됩니다. FB-CSVI(a), FB-CSCI(b), FB-VSVI(c), FB-VSCI(d), FF-VSVI(e) 및 FF-CSCI(f).....	6
그림 6-1. CM 필터링 및 주입 커패시터 곱의 기본 원리를 보여주는 단순화된 회로도.....	8
그림 7-1. 활성 피드백 동작에 의해 더 높은 주파수에서 부스트된 등가 정전 용량을 보여주는 기존 Y-커패시터 대비 AEF가 활성화된 주입 분기 임피던스 Z_{INJ} 의 예.....	9
그림 8-1. CM 감쇠를 위한 대표적인 단상(a) 및 3상(b) AEF 구현.....	10
그림 8-2. TPSF12C3-Q1 3상 독립형 AEF IC의 내부 블록 다이어그램.....	11
그림 9-1. 저전압 테스트 설정 회로도.....	11
그림 9-2. AEF로 단상 필터 구현.....	12
그림 9-3. AEF가 비활성화 및 활성화된 상태에서 EN 55032 클래스 B EMI 결과.....	12
그림 9-4. TIDM-1007을 사용한 EMI 성능: 동일한 필터를 사용하여 AEF 비활성화 및 활성화.....	13
그림 9-5. TIDM-1007을 사용한 EMI 성능: 대형 초크 패시브 필터와 소형 초크 AEF 설계 비교.....	13
그림 9-6. AEF로 크기 감소: 패시브 필터(a), 액티브 필터(b).....	13
그림 9-7. AEF로 면적, 부피, 비용 및 무게 감소(a), 초크 크기 비교(b).....	13
그림 9-8. 패시브 설계($2 \times 12\text{MH}$) 및 액티브 설계(4MH 및 1MH)에서 선택한 CM 초크의 임피던스 특성.....	14

표

표 5-1. 그림 5-1의 AEF 회로를 토폴로지별로 분류(제어, 감지 및 주입 기술).....	7
표 9-1. 패시브 및 액티브 필터 구현을 위한 CM 초크 구성 요소 세부 정보.....	14

상표

모든 상표는 해당 소유권자의 자산입니다.

1 머리말

고밀도 애플리케이션용 공통 모드(CM) EMI 필터는 터치 전류 안전 요구 사항과 관련하여 Y 커패시턴스의 총 값에 대한 제한을 가지고 있는 경우가 많기 때문에 대상 코너 주파수 또는 필터 감쇠 특성을 달성하기 위해 대형 CM 초크가 필요합니다. 그 결과 전체 필터 크기를 지배하는 부피가 크고 무겁고 값비싼 CM 초크가 있는 타협된 패시브 필터 설계가 가능합니다.

그러나 액티브 EMI 필터(AEF) 회로는 차세대 전력 관리 시스템을 위한 더 작은 필터 설계를 지원합니다. 따라서 공간이 제한된 애플리케이션이 **액티브 전원 공급 필터 IC(통합 회로)**를 사용하여 자기 부품 및 전체 필터 크기를 줄일 수 있습니다. 부가적인 이점으로는 더 나은 열 관리와 더 높은 안정성을 위한 더 낮은 전력 손실, 더 쉬운 기계 및 패키징 디자인, 제한된 공간 내의 구성 요소 사이에서 감소된 전자기 커플링, 더 낮은 비용 등이 있습니다.

2 EMI 주파수 범위

고주파 스위칭 네트워크는 스위치 모드 AC/DC 레귤레이터의 에너지 변환에 필수적인 구성 요소입니다. 아직 이러한 스위칭 네트워크는 입력 전류 고조파와 전도 EMI의 고유 소스로, 동일한 그리드 연결 입력 소스를 공유하고 인접한 장비의 정상 작동에 영향을 줄 수 있습니다.

그림 2-1에는 IEC(International Electrotechnical Commission) 및 CISPR(Comite International Special des Perturbations Radioelectriques)과 같은 EMC(Electromagnetic Compatibility) 표준 기관에 의해 분류된 고조파 및 전도 EMI 주파수 범위가 나와 있습니다.

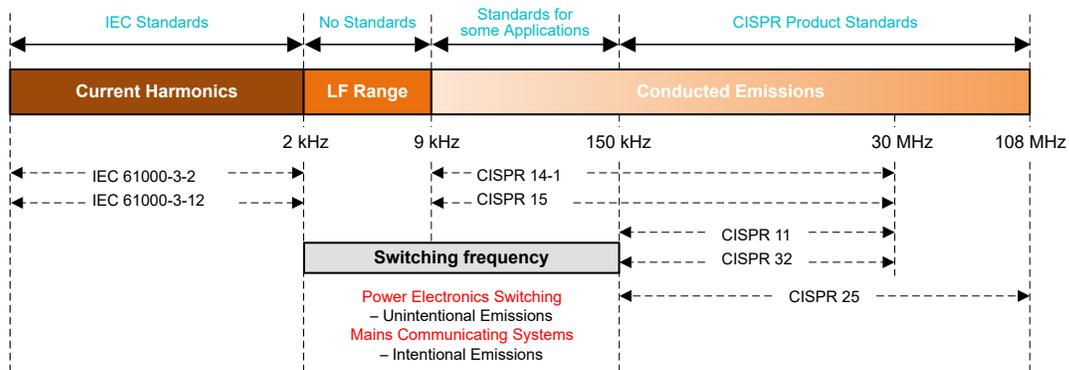


그림 2-1. IEC 및 CISPR에 의해 분류된 고조파 전류 및 전도 EMI 주파수 범위

PFC 기술을 적용하면 입력 전류 고조파가 최대 2kHz 주파수에서 IEC 61000-3-2/-12에 따라 설정된 제한을 충족할 수 있습니다. 그러나 그림 2-2에서 보듯이 150kHz[1]에서 시작하는 분류된 주파수 범위 내에서 고주파 노이즈 전류를 감쇠하고 전도 방출 사양(산업용 CISPR 11, 차량용 애플리케이션의 CISPR 25 등)을 충족시키기 위해 EMI 필터는 여전히 필요합니다.

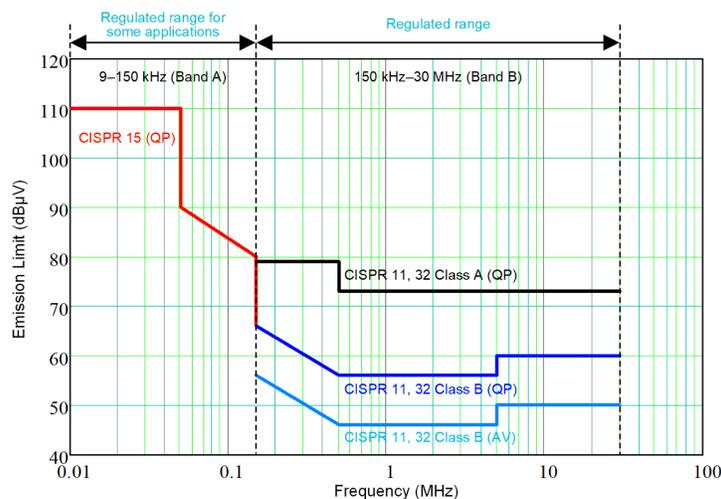


그림 2-2. 9kHz ~ 30MHz의 주파수 범위에서 CISPR 준피크 및 평균 제한

그림 2-2에서 알 수 있듯이, 현재 가전 제품 및 조명 분야에 대한 CISPR 14-1과 CISPR 15 제품 표준만이 9 kHz의 낮은 방출 제한을 명시하고 있습니다. 그러나 표준화 활동이 계속되는 가운데 9~150kHz 대역과 기존 IEC 61000-6-3 일반 EMI 표

준[1-2]에 대한 적용 가능한 방출 제한이 150kHz 미만 감쇠에 대한 향후 EMI 필터 설계에 영향을 줄 것입니다. 광범위한 주파수 범위에 걸친 EMI 완화에는 그에 따라 더 큰 수동 부품이 필요합니다.

3 고전력, 그리드 연결 애플리케이션을 위한 패시브 EMI 필터

전도 방출 수준을 제한하기 위한 EMC 규정을 준수하려면 스위칭 레귤레이터와 주전원 입력 소스 사이에 저역 통과 EMI 필터를 삽입해야 합니다. 그림 3-1에서는 킬로와트 규모의 그리드 연결 애플리케이션에서 단상(3선) 및 3상(4선) 시스템을 위한 전형적인 필터 배열을 보여줍니다. L, N 및 PE는 각각 전원, 중립 및 보호 접지 단자를 나타냅니다. 그림과 같이 여러 단계 필터는 높은 롤오프를 제공하며 CM 잡음이 차동 모드(DM) 잡음보다 완화하기가 더 어려운 고전력 AC 라인 애플리케이션에서 일반적으로 사용됩니다. 그림 3-1은 서지 펄스 보호 및 저항식 방전을 위한 부품은 아니지만 이 회로도에는 입력 공급 장치와 직렬로 라인 임피던스 안정화 네트워크(LISN)가 통합되어 있어 DM 및 CM 전파 부품을 포함하여 총 EMI를 측정할 수 있습니다.

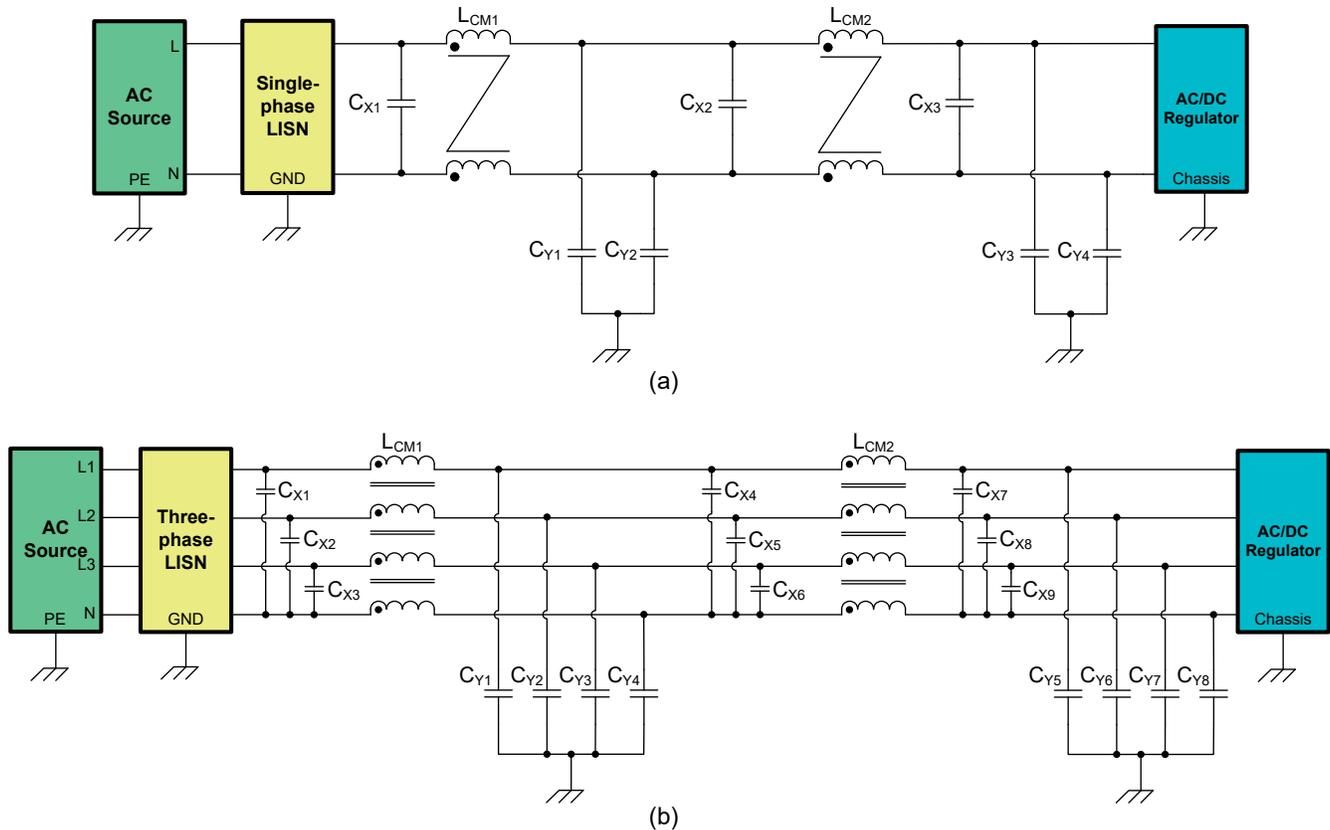


그림 3-1. 단상 시스템(a) 및 3상 시스템(b)을 위한 일반적인 2단계 패시브 EMI 필터

더 높은 수준에서 패시브 EMI 필터는 수동 부품의 크기, 무게 및 비용으로 인해 일부 애플리케이션에서 상당한 제약이 발생하지만 전기 전자 회로의 전도 방출을 완화하기 위한 직관적이고 간단한 전통적인 접근 방식을 나타냅니다. 이러한 수동 필터 설계는 고임피던스 직렬 요소(DM 인덕터, CM 초크), 낮은 임피던스 선트 요소(X 및 Y 커패시터)의 삽입을 통해 EMI 전류 전파 경로에서 임피던스 불일치를 생성합니다. 저차 스위칭 고조파는 일반적으로 필요한 코너 주파수(또는 여러 단계 설계의 경우 여러 코너 주파수)를 기반으로 반응성 필터 부품의 크기를 결정합니다.

그림 3-1의 단상 회로도를 예로 들어 보면 CM 초크는 L_{CM1} 과 L_{CM2} 및 Y 등급 커패시터 $C_{Y1} \sim C_{Y4}$ (AC 전력선과 접지 사이에 연결)로 CM 감쇠를 제공합니다. 스위칭 레귤레이터에서 공급되는 CM 전류는 먼저 레귤레이터 측 Y 커패시터를 통해 반환되고 다음으로 CM 초크 사이에 위치한 Y 커패시터를 통해 반환됩니다. 나머지 CM 전류의 대체 복귀 경로는 LISN 설정의 측정 임피던스를 통해서이며, 이로 인해 EMI 성능을 손상시킵니다.

소개에서 언급했듯이, 안전 규정에 따라 총 Y 커패시턴스가 상대적으로 낮은 값(종종 10nF 미만)으로 제한되고, 원하는 코너 주파수에 필요한 초크의 CM 인덕턴스가 수 밀리헨리의 범위에서 상대적으로 높기 때문에 초크가 크고, 무겁고, 비쌉니다. DM 감쇠와 대조적으로 X-커패시터 $C_{X1} \sim C_{X3}$ 은 큰 값(일반적으로 2.2 μ F)이 될 수 있으며, CM 초크의 누설 인덕턴스를 사용하여 낮은 값 DM 인덕턴스를 허용할 수 있습니다.

사실상 CM 초크는 그림 3-2의 실제 구현[3]에서 볼 수 있듯이 EMI 필터의 크기를 지배하며, EMI 필터 설계 시 부피, 열 관리 문제, 음향 잡음, 필터 공간 및 부품 사이의 전자기 결합을 포함하여 몇 가지 문제를 야기합니다. 또한 필터 부품의 기생 요소(특히 CM 초크)는 고주파 성능과 달성 가능한 감쇠에 영향을 미칩니다. 필터에 사용된 개별 부품은 다양한 제조업체의 서로 다른 폼 팩터로 제공되며, 서로 잘 맞도록 최적화되지 않아 필터 구현의 공간 설계와 조립이 손상됩니다.

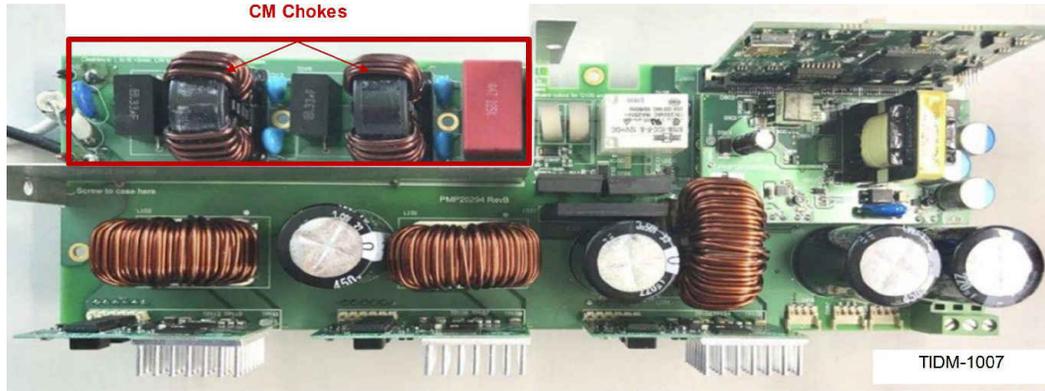


그림 3-2. 토렘 폴 PFC의 기존 단상 패시브 EMI 필터 레퍼런스 설계

4 액티브 EMI 필터

AEF의 응용 분야를 자세히 설명하는 수많은 출판물[4-7]이 있었으며, 그 결과 기존의 패시브 전용 설계에 비해 필터 크기와 부피가 상당히 감소했습니다. 패시브 EMI 필터와 마찬가지로, AEF 회로는 그림 4-1에서와 같이 EMI 소스 회로와 EMI 피해 회로 사이의 라인에 연결됩니다. 그러나 패시브 필터와 달리, AEF 회로는 활성 장치와 제어를 사용하여 간류(DM 또는 CM) 전압 또는 전류 장애를 감지하고 해당 잡음 장애를 직접 없애는 반대 신호를 주입합니다. 동일한 진폭 및 반대 위상을 갖는 신호의 중첩 정리를 기반으로 주입된 전압 또는 전류는 이론적으로 EMI 소스의 입사 잡음 전압 또는 전류 기여를 취소하거나 무효화할 수 있으며, 이는 본질적으로 파괴적인 간섭입니다. 이 전략은 일반적으로 음향에 적용되고 EMI에 연속적으로 적용됩니다.



그림 4-1. 감지, 이득 및 주입 단계를 지원하는 AEF의 기본 개념. 제어 구조는 FB(a) 또는 FF(b)가 될 수 있습니다.

AEF가 EMI를 상당히 줄여서 등가 감쇠의 일반적인 패시브 전용 설계와 비교했을 때 더 작은 크기의 필터를 만들 수 있습니다. AEF와 함께, 다른(더 작은) 패시브 부품은 전력계와 인터페이스하여 전체 감쇠를 향상시킵니다. 이러한 회로를 하이브리드 EMI 필터(HEF)라고 합니다. AEF 및 HEF 회로의 설계 및 구현은 전도 경로(DM 또는 CM)와 필요한 감지, 이득 및 주입 단계에 따라 달라집니다. 그림 4-1에 나와 있는 것처럼 취소 신호는 피드백(FB) 또는 피드 포워드(FF) 접근 방식에 의해 측정된 신호로부터 직접 생성됩니다.

5 일반화된 AEF 회로

그림 5-1에는 감지된 잡음 매개변수(전압 또는 전류), 취소 신호가 주입되는 수단(전압 또는 전류) 및 활성 제어 기술(FB 또는 FF)에 따라 일반화된 6개의 활성 필터 구성이 나와 있습니다.

- 전압 감지(VS) 또는 전류 감지(CS)
- 전압 주입(VI) 또는 전류 주입(CI)
- FB 제어 또는 FF 제어 구조

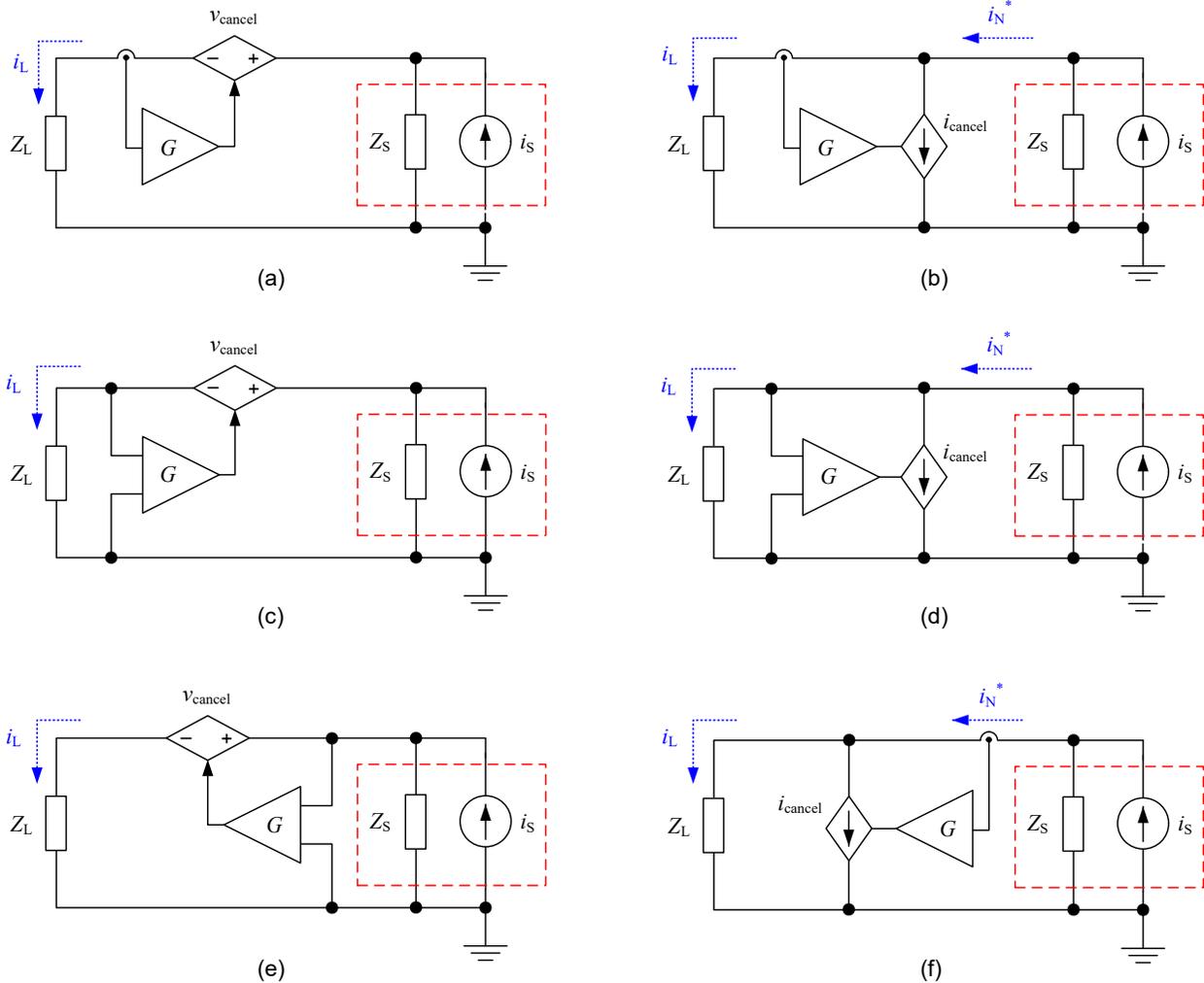


그림 5-1. 단상 등가물(FB 회로 4개 및 FF 회로 2개)의 기본 액티브 필터 구조는 제어, 감지 및 주입 기술에 따라 분류됩니다. FB-CSVI(a), FB-CSCI(b), FB-VSVI(c), FB-VSCI(d), FF-VSVI(e) 및 FF-CSCI(f)

그림 5-1의 용어 i_s 및 Z_S 는 전력계의 Norton 등가 잡음 전류 소스 및 병렬 소스 임피던스를 나타냅니다. Z_L 은 잡음 수신단(또는 EMI 피해 회로)의 부하 임피던스입니다(예: EMI 측정을 위한 LISN). G 는 액티브 회로의 이득을 나타냅니다. Z_S 와 Z_L 대신 다른 패시브 요소를 추가하면 서로 다른 하이브리드 회로가 형성됩니다.

제어 관점에서 FB 설계는 EMI 피해 회로의 잔류 교란을 감지하고, 신호를 반전하고, 높은 이득 G로 증폭하고, 시스템에 생쇄 신호를 다시 주입하여 감지된 매개 변수를 필요한 주파수 범위에서 0으로 구동합니다. 반대로, FF 설계는 EMI 소스의 장애를 감지하고, 신호를 반전시키고, 유니티 게인으로 증폭하고 EMI 피해 회로에 다시 주입합니다. FF의 증폭기 유니티 게인 설정은 EMI 및 안티 EMI 신호가 취소되어 FF 설계를 더 어렵게 만들 수 있을 정도로 정확해야 합니다.

잡음 감지 측면에서 VS 및 CS 요소는 일반적으로 커패시터와 CS 변압기(또는 기존 자기의 보조 권선)입니다. 잡음 제거 측면에서 VI 설계는 제어된 직렬 전압 소스를 사용하여 LISN으로 공급되는 잡음 전류 흐름을 방해합니다. CI 설계는 제어된 셉트 전류 소스가 포함되어 있어 잡음 소스에서 생성된 잡음 전류 흐름을 재라우팅하여 LISN으로 유입되어 측정되는 것을 방지합니다. VI 및 CI 설계는 각각 부하와 함께 전압 분배기와 전류 분배기를 효과적으로 생성합니다. 일반적으로 변압기는 직렬 요소를 구체화할 수 있는 반면 커패시터는 셉트 전도 경로를 구현합니다.

표 5-1에서는 삽입 손실 및 고감쇠에 대한 회로 조건을 포함하여 그림 5-1에 포함된 AEF 회로의 주요 특성을 요약합니다[4]. Y_S 와 Y_L 은 FB-VSCI 설계의 경우 각각 잡음 소스와 부하의 허용 레벨을 나타냅니다.

표 5-1. 그림 5-1의 AEF 회로를 토폴로지별로 분류(제어, 감지 및 주입 기술)

AEF 토폴로지	제어(FB/FF)	감지(VS/CS)	주입(VI/CI)	삽입 손실(IL)	고감쇠 조건
a	FB-CSVI	피드백	전압	$\left 1 + \frac{G}{Z_S + Z_L} \right $	$ G_1 \gg Z_S + Z_L $
b	FB-CSCI	피드백	전류	$\left 1 + \frac{Z_S}{Z_S + Z_L} \cdot G \right $	$ Z_S \gg Z_L $
c	FB-VSVI	피드백	전압	$\left 1 + \frac{Z_L}{Z_S + Z_L} \cdot G \right $	$ Z_S \ll Z_L $
d	FB-VSCI	피드백	전류	$\left 1 + \frac{G}{Y_S + Y_L} \right $	$ G \gg Y_S + Y_L $
e	FF-VSVI	피드포워드	전압	$\left \frac{1}{1-G} \cdot \left(1 - \frac{Z_S}{Z_S + Z_L} \cdot G \right) \right $	$G = 1, Z_S \ll Z_L $
F	FF-CSCI	피드포워드	전류	$\left \frac{1}{1-G} \cdot \left(1 - \frac{Z_L}{Z_S + Z_L} \cdot G \right) \right $	$G = 1, Z_S \gg Z_L $

$IL = I_{L, w/oAEF} / I_{L, w/AEF}$ 는 AEF를 설치하지 않거나 AEF를 설치한 상태에서 필터 출력 전류의 몫이며, 일반적으로 50Ω 소스 및 부하 임피던스로 측정되며, EMI의 달성 가능한 감쇠와 상관 관계가 있습니다. 표 5-1에서 알 수 있듯이, 각 AEF 토폴로지는 높은 감쇠를 달성하기 위해 특정 임피던스 동작이 필요합니다.

6 CM 액티브 필터 회로 선택

CS와 VI의 자기 구성요소는 크기가 크고 사용자 정의 부품일 가능성이 높으므로(AEF로 가능한 크기 감소를 상쇄함) 추가 자기 구성요소의 사용을 배제하는 AEF 토폴로지를 선택하는 것이 좋습니다. VSCI 구현에서는 감지 및 주입을 위해 저전압 활성 회로와 커패시터를 함께 활용하여 더 작은 크기[5]를 구현합니다.

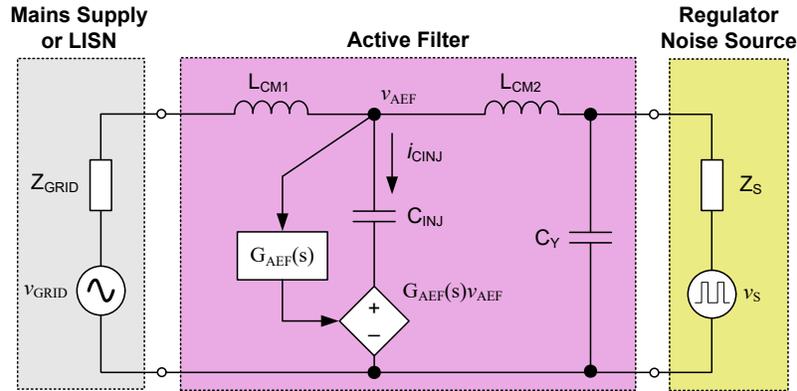


그림 6-1. CM 필터링 및 주입 커패시터 곱의 기본 원리를 보여주는 단순화된 회로도

그림 6-1은 CM 필터 설정에서 선택된 FB-VSCI 회로의 기본 원리를 설명하기 위한 단순화된 단상 회로도를 보여줍니다. 앞서 언급한 바와 같이 이 AEF 토폴로지의 주요 아이디어는 고전력 필터에서 가장 큰 부품인 CM 초크의 값을 줄이기 위해 등가 패시브 필터에서는 Y 커패시턴스와 유사한 값의 주입 커패시터를 사용하는 것입니다.

Thevenin 등가 CM 잡음 소스는 용량성으로 간주되는 소스 임피던스 Z_S 와 직렬로 연결된 전압 소스 v_s 구성됩니다. 주전원 임피던스 Z_{GRID} 는 일반적으로 유도성입니다. L_{CM1} 및 L_{CM2} 로 지정된 CM 초크는 또한 디커플링 요소로 작동하여 고감쇠 FB-VSCI 설계에 필요한 높은 소스 및 부하 임피던스를 달성합니다(표 5-1의 행 "d" 참조).

Y 정격 감지 및 주입 커패시터가 AC 라인에 연결된 이 회로의 목적은 전체 필터 볼륨을 줄이는 것이지만 주입 커패시터의 주파수 응답을 형성하는 활성 회로를 사용하여 저주파 접지 누설 전류 값을 낮게 유지하여 고주파에 대한 값을 효과적으로 증가시키는 것입니다. 결과적으로, 관심 주파수 범위에서 증폭된 이 주입 커패시턴스는 등가 감쇠를 가진 액티브 필터 값에 비례하여 CM 초크 인덕턴스를 낮추기 위한 열쇠입니다.

회로의 장점은 다음과 같습니다.

- 넓은 작동 주파수 범위와 높은 안정성을 갖춘 단순한 필터 구조.
- CM 초크 크기가 줄어 부피, 무게, 전원 손실 및 비용이 절감되며, 초크 자체 기생이 낮아지고 자체 공진 주파수(f_{SRF})가 높아져 고주파 성능이 향상됩니다.
- 추가 자기 부품 없음 - 피크 터치 전류에 미치는 영향을 최소화하면서 Y 등급 감지 및 주입 커패시터만 있습니다(IEC 60990에 따라 측정).
- 새시 접지에 참조된 저전압 AEF IC를 사용하여 안전성이 향상되었습니다.
- 필터 부품 근처에 유연하게 배치할 수 있는 독립형 AEF IC입니다.
- 라인 전압 서지에 대한 서지 내성으로 IEC 61000-4-5를 준수합니다.

7 정전식 증폭의 개념

CM 잡음 완화를 위한 AEF 회로는 CM 초크의 걸보기 인덕턴스 또는 Y-커패시터의 걸보기 커패시턴스를 해당 주파수 범위에 걸쳐 증폭합니다. CM 감쇠에 맞게 구성된 VSCI AEF는 주입 커패시터 C_{INJ} 의 정전식 멀티플라이어로 증폭기 단계를 사용합니다. 목표 감쇠를 달성하기 위해 CM 초크에 대해 더 낮은 값을 지원하는 것은 활성 커패시턴스의 더 높은 값입니다.

그림 6-1를 보면 방정식 1는 주입 커패시턴스에 전원 라인에서 앰프 출력까지의 CM 전압 게인인 G_{AEF} 가 효과적으로 곱해진 것을 알 수 있습니다.

$$v_{C_{INJ}} = [1 - G_{AEF}(F) \text{를 위한 직렬 전압 레퍼런스}] v_{AEF} \quad (1)$$

$$i_{C_{INJ}} = C_{INJ} \frac{dv_{C_{INJ}}}{dt} = [1 - G_{AEF}(F) \text{를 위한 직렬 전압 레퍼런스}] C_{INJ} \frac{dv_{AEF}}{dt}$$

$$\Rightarrow C_{INJ} \text{, 활성}(F) \text{를 위한 직렬 전압 레퍼런스} = |1 - G_{AEF}(F) \text{를 위한 직렬 전압 레퍼런스}| C_{INJ}$$

그림 7-1은 FB-VSCI AEF 회로가 활성화 및 비활성화되었을 때 주입 네트워크 임피던스의 시뮬레이션된 플롯을 보여줍니다. 2kHz 이상(특히 100kHz 초과)의 낮은 임피던스는 4.7nF 주입 커패시터의 활성 회로와 관련 댐핑 네트워크에 의한 용량성 증폭으로 인해 발생합니다.

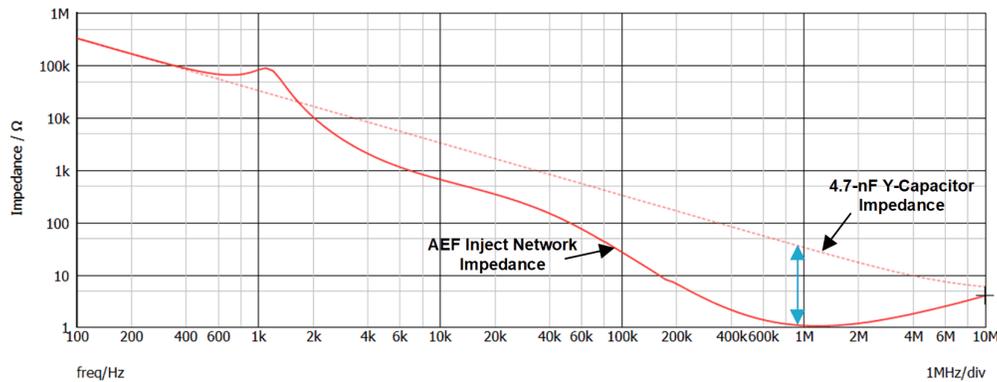


그림 7-1. 활성 피드백 동작에 의해 더 높은 주파수에서 부스트된 등가 정전 용량을 보여주는 기존 Y-커패시터 대비 AEF가 활성화된 주입 분기 임피던스 Z_{INJ} 의 예

8 실용적인 AEF 구현

그림 8-1은 단일 및 3상 전원 시스템[8-11]에서 TPSF12C1, TPSF12C1-Q1, TPSF12C3 and TPSF12C3-Q1 독립형 AEF IC 제품군을 사용하여 FB-VSCI 구성으로 CM 감쇠에 대한 실용적인 AEF 구현을 보여줍니다. 설정은 그림 3-1의 2단계 패시브 필터와 유사하지만, AEF IC가 CM 전류를 위한 낮은 임피던스 셉트 경로를 제공하기 위해 CM 초크 사이에 배치된다는 점이 다릅니다.

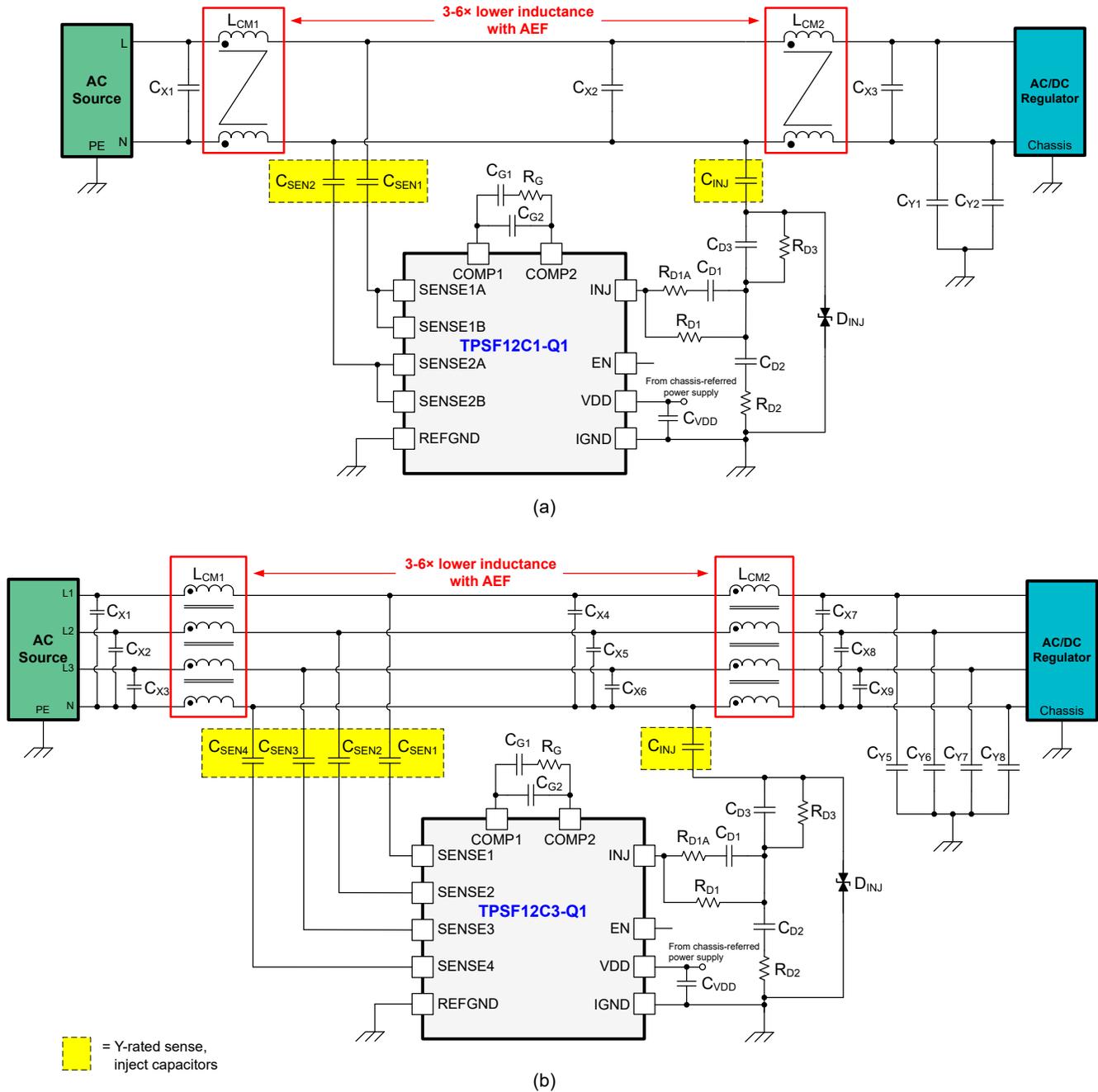


그림 8-1. CM 감쇠를 위한 대표적인 단상(a) 및 3상(b) AEF 구현

이 디바이스 제품군의 감지 핀은 일반적으로 680pF인 Y 등급 감지 커패시터 세트를 사용하여 전력선과 인터페이스하며, 그림 8-2의 IC 블록 다이어그램에 나와 있는 것처럼 고역 필터와 신호 결합체에 공급됩니다. IC는 라인 주파수(50 또는 60Hz) AC 전압과 DM 장애를 모두 거부하는 동시에 고주파 CM 장애를 증폭하고 외부 튜닝 가능 댐핑 회로를 사용하여 폐쇄 루프 안정성을 유지합니다.

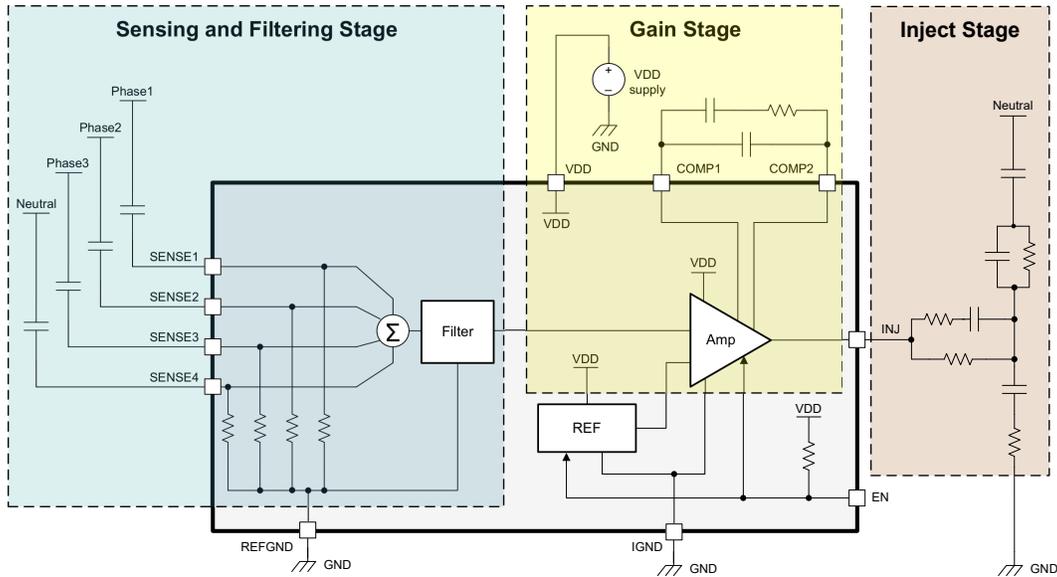


그림 8-2. TPSF12C3-Q1 3상 독립형 AEF IC의 내부 블록 다이어그램

COMP1과 COMP2 핀 사이의 부품은 리드 지연 네트워크를 형성하여 증폭 계인 특성을 설정합니다. INJ의 전력 증폭기의 출력은 댐핑 및 안정성 네트워크(그림 8-1의 아래 첨자 "D" 참조 지정자를 가진 구성 요소 참조)와 일반적으로 4.7 nF의 Y 정격 주입 커패시터 C_{INJ} 를 통해 필요한 잡음 제거 신호를 전력선에 다시 주입합니다. IC에는 통합 필터링, 보상 및 보호 회로가 포함되어 있습니다. VDD 바이어스 공급 범위는 8V~16V(공칭 12V), 시스템 새시 접지에 대한 레퍼런스입니다.

두 CM 초크 사이에 배치된 X 커패시터는 CM 관점에서 일반적으로 최대 저주파 주파수까지 전력선 사이에 낮은 임피던스 경로를 효과적으로 제공합니다. 이 경로를 통해 한 개의 전력선(일반적으로 중성)에 한 개의 주입 커패시터만 사용하여 전류를 주입할 수 있습니다. 3상 필터가 중립 와이어가 없는 3선 시스템인 경우 TPSF12C3-Q1의 SENSE4 핀이 접지에 연결되고 주입 커패시터가 X 커패시터의 인공 스타 포인트 연결을 통해 결합됩니다.

9 실용적인 결과

9.1 저전압 테스트

그림 9-1에서는 TPSF12C1-Q1 액티브 필터 IC를 사용하여 달성된 CM 잡음 감쇠를 갖춘 단상 AEF 회로의 회로도를 보여 줍니다. 이 설계에는 레귤레이터 측 및 그리드 측 Y-커패시터가 모두 포함되어 있습니다. LISN은 150kHz~30MHz의 EMI 측정을 위한 EMI 리시버에 적합한 인터페이스를 제공합니다.

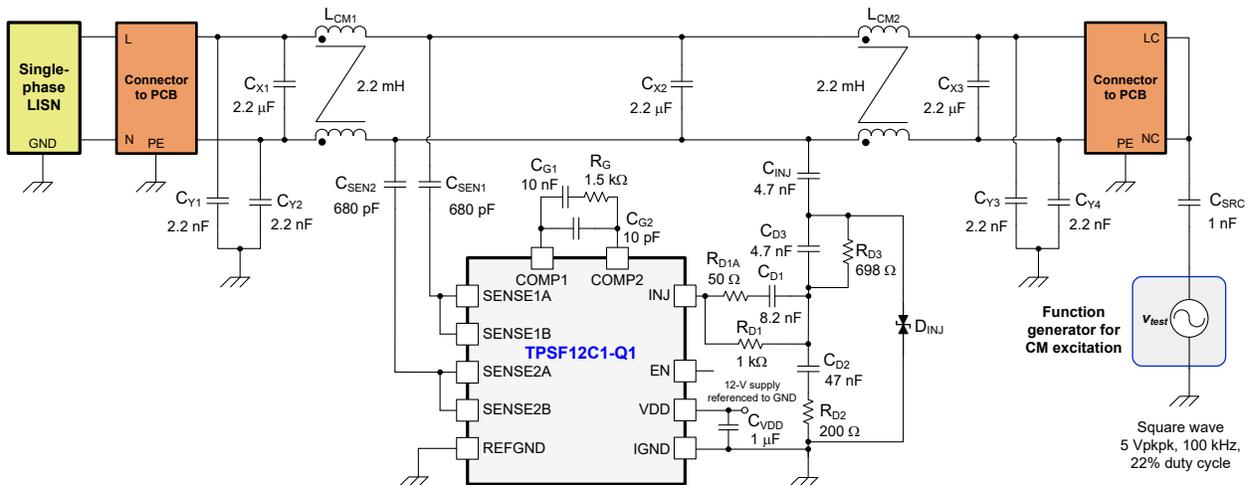


그림 9-1. 저전압 테스트 설정 회로도

그림 9-1에서 볼 수 있듯이, 함수 제너레이터에서 파생된 구형파 신호는 CM 잡음 여진에 대한 편리한 소스를 나타내며, 1-nF 커패시터는 스위칭 레귤레이터의 현실적인 CM 잡음 소스 임피던스를 모방합니다. 소스 전압의 진폭과 전환 시간을 조정하면 LISN에서 측정된 적절한 잡음 진폭 및 스펙트럼 엔빌로프가 설정됩니다.

신호 주입이 가능한 간단한 저전압 테스트는 고전압 작동 환경에서 스위칭 레귤레이터에 연결하기 전에 EMI 챔버에서 필터의 안전하고 편리한 성능 특성화를 지원합니다.

그림 9-2은 필터 보드 구현을 보여줍니다. 그림 9-3은 반공진 및 평균(AV) 잡음 감지기를 모두 사용하여 AEF를 비활성화 및 활성화한 상태로 EMI 결과를 표시합니다. 그림 9-3에서 알 수 있듯이, AEF는 저주파 범위(100kHz - 3MHz)에서 최대 30dB의 CM 잡음 감쇠를 제공하므로, 2개의 2mH 나노결정 초크를 사용하는 필터가 2개의 12mH 초크를 사용한 패시브 필터 설계로 등가 CM 감쇠 성능을 달성할 수 있습니다.

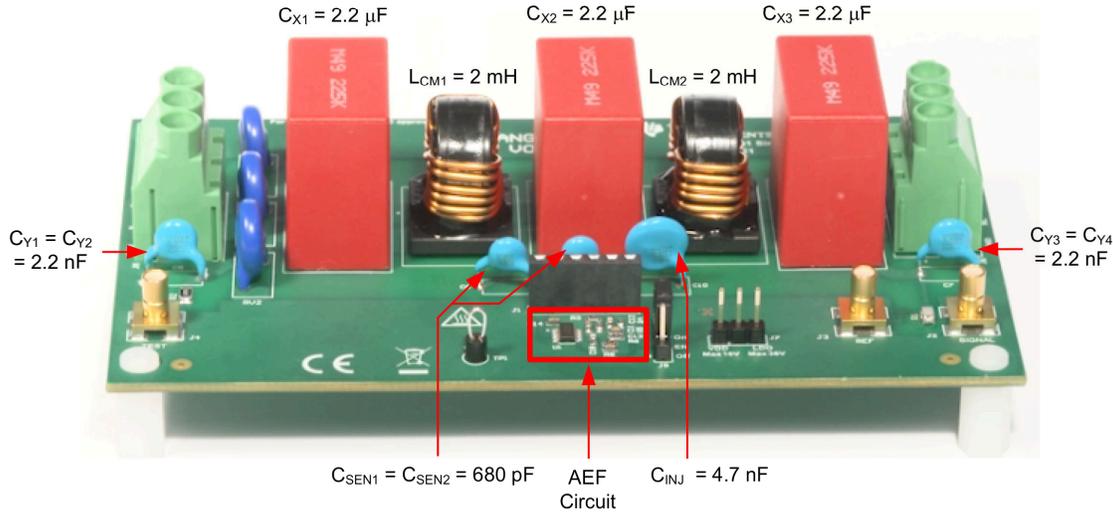


그림 9-2. AEF로 단상 필터 구현

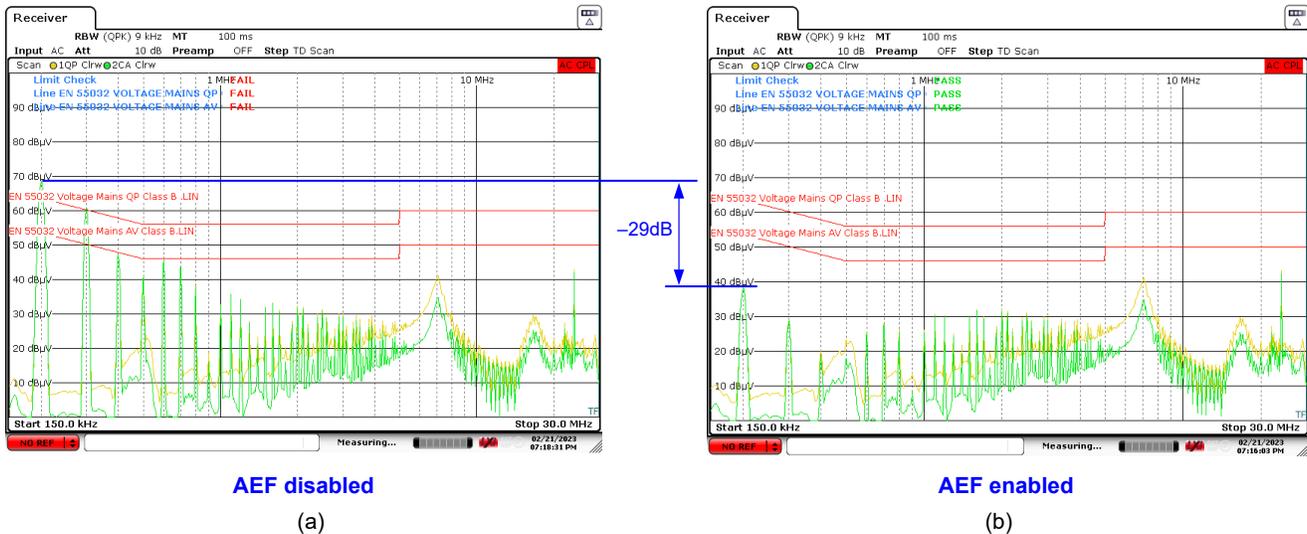


그림 9-3. AEF가 비활성화 및 활성화된 상태에서 EN 55032 클래스 B EMI 결과

9.2 고전압 테스트

그림 9-4 및 그림 9-5는 고효율 GaN CCM 토템 폴 브리지리스 PFC(역률 보정) 레퍼런스 설계(그림 3-2에 표시된 TIDM-1007)의 전력계를 사용하는 TPSF12C1-Q1 단상 AEF IC로 측정된 CM EMI 성능을 보여줍니다. 이는 100kHz에서 스위칭하는 LMG3410 GaN 전원 디바이스가 있는 3.3kW 단상 브리지리스 PFC 컨버터[3]입니다.

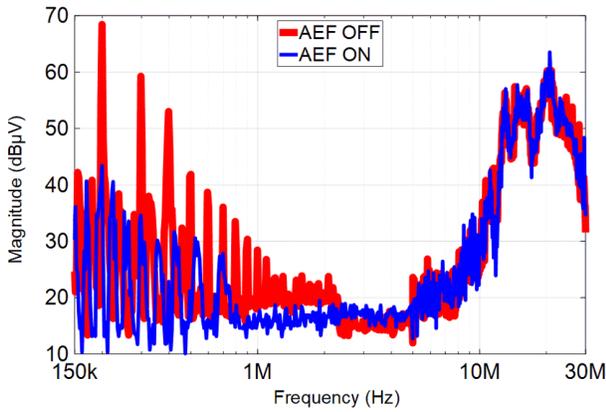


그림 9-4. TIDM-1007을 사용한 EMI 성능: 동일한 필터를 사용하여 AEF 비활성화 및 활성화

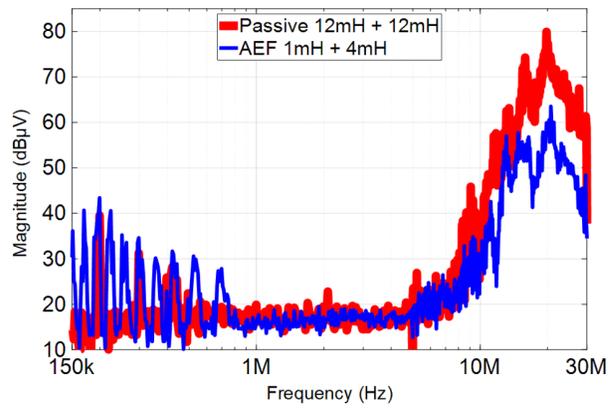


그림 9-5. TIDM-1007을 사용한 EMI 성능: 대형 초크 패시브 필터와 소형 초크 AEF 설계 비교

그림 9-4에서 알 수 있듯이, AEF는 저주파 범위(150kHz - 3MHz)에서 최대 15~30dB의 CM 잡음 감쇠를 제공하므로, 그림 9-5에 표시된 것처럼 1 및 4mH 나노결정 초크를 사용하는 필터가 2개의 12mH 초크를 사용한 패시브 필터 설계로 등가 CM 감쇠 성능을 달성할 수 있습니다. 공정한 비교를 지원하기 위해 이러한 초크는 핵심 물질이 유사한 동일한 부품 제품군에서 파생됩니다(공급업체: Würth Elektronik). 또한 AEF 기반 설계의 더 작은 크기의 초크는 낮은 권선 내 기생 정전 용량을 고려할 때 10MHz 이상의 주파수에서 더 나은 감쇠를 제공합니다.

그림 9-6에서는 그림 9-5에 제시된 EMI 결과에 사용된 필터의 사진을 보여줍니다. 그림 9-7에 강조 표시된 대로 AEF를 사용하면 CM 초크의 박스 볼륨을 52% 줄일 수 있습니다.

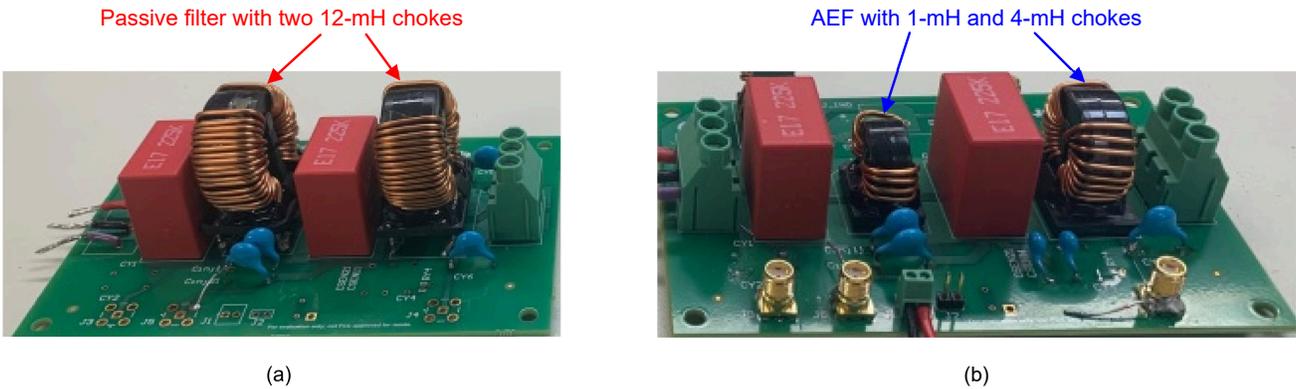


그림 9-6. AEF로 크기 감소: 패시브 필터(a), 액티브 필터(b)

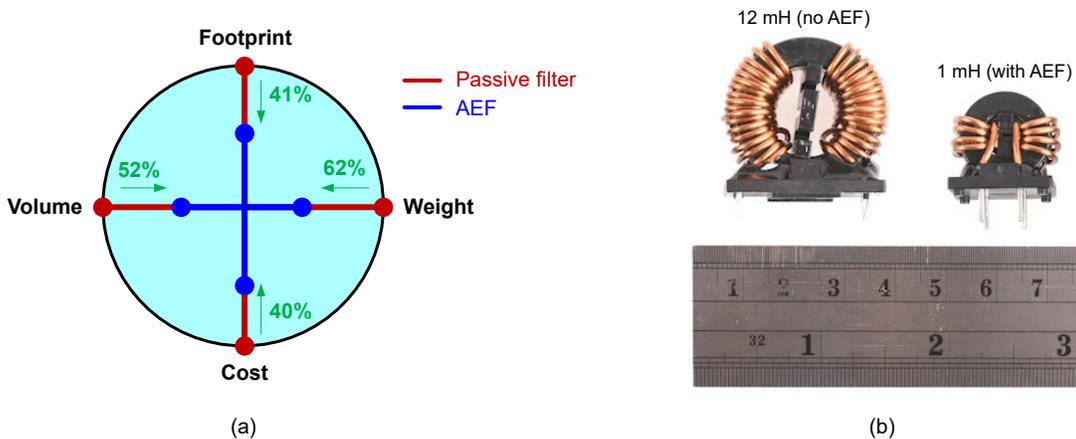


그림 9-7. AEF로 면적, 부피, 비용 및 무게 감소(a), 초크 크기 비교(b)

표 9-1에서는 그림 9-6에서 강조 표시된 CM 초크에 대해 적용 가능한 매개변수를 캡처합니다. AEF는 10A_{RMS}에서 60%의 총 구리 손실 감소를 달성하며($P_{CU} = 6\text{ W} - 2.36\text{ W} = 3.64\text{ W}$, 온도 상승으로 인한 권선 저항 증가를 무시함), 이는 부품 작동 온도가 낮고 커패시터 수명이 향상됨을 의미합니다.

표 9-1. 패시브 및 액티브 필터 구현을 위한 CM 초크 구성 요소 세부 정보

필터	CM 초크 부품 번호	수량	L _{CM} (mH)	R _{DCR} (mΩ)	f _{S_{RF}} (MHz)	크기 (L × W × H, mm)	질량(g)	P _{CU} (W)
패시브	7448051012	2	12	15	0.8	23 × 34 × 33	36	3.0
	7448041104	1	4	8.5	10	19 × 28 × 28	17	1.7
활성	7448031501	1	1	3.3	40	17 × 23 × 25	10	0.66

그림 9-8은 CM 초크에 대한 임피던스 곡선을 제공하여 자기 공진 주파수가 더 높고 고주파 성능이 개선된 더 작은 크기의 부품을 강조합니다. 권선 내 커패시턴스가 낮기 때문에 고주파에서 CM 임피던스가 더 높은 예로, 30MHz에서 그리드 측 CM 초크의 임피던스는 150Ω에서 1.1kΩ으로 증가합니다(패시브 설계의 12mH에서 액티브 설계의 1mH로 이동하는 경우). 그림 9-8의 10MHz 및 30MHz에서 표시되는 × 및 o 마커는 패시브 및 액티브 설계의 각 임피던스를 나타냅니다. 액티브 설계를 위해 10MHz 이상으로 초크 임피던스가 높으면 그리드 측 Y 커패시터가 필요하지 않습니다.

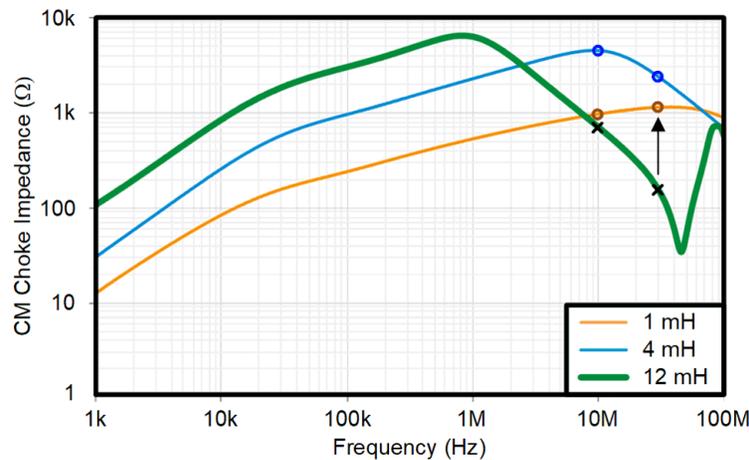


그림 9-8. 패시브 설계(2 × 12MH) 및 액티브 설계(4MH 및 1MH)에서 선택한 CM 초크의 임피던스 특성

예상대로 3상 회로에서 수평으로 장착된 초크는 단상 설계에서 일반적으로 수직 장착된 초크에 비해 점유 면적이 훨씬 더 크게 감소할 수 있습니다.

10 요약

전력 반도체 기술 및 패키징의 최근 발전은 향상된 효율성과 전력 밀도로 전원 공급 장치를 구현합니다. 그러나 이러한 이득을 가능하게 하는 개선된 스위칭 성능과 소형 패키징은 부분적으로 CM 방출 시그니처를 높이는 역할도 합니다. 차세대 전력 전자 장치를 더 높은 밀도, 향상된 성능, 무게 감소 및 비용 절감으로 전환함에 따라 EMI 필터 설계에 대한 새로운 접근 방식이 필요합니다. 이러한 맥락에서 EMI 필터 단계를 위한 작고 효율적인 설계는 고밀도 스위칭 레귤레이터 설계의 핵심 과제 중 하나이며, 특히 솔루션 크기와 비용이 중요한 고려 사항이 되는 자동차 및 산업용 애플리케이션에 적합합니다.

측정된 CM 노이즈 시그니처를 억제하기 위한 액티브 필터 구현(위에 자세히 설명)의 실제 결과는 동등한 패시브 전용 설계를 기준으로 벤치마킹할 때 CM 초크 부품의 상당한 부피 감소를 나타냅니다. 추가적인 장점으로 열 관리 개선 및 시스템 수준의 안정성 향상을 위한 전력 손실 감소, 기계적 견고성 개선을 위한 부품 무게 감소, 초크 기생 커패시턴스 감소로 인한 높은 안정성 향상, 비용 절감 등이 있습니다.

11 참고 문헌

1. 텍사스 인스트루먼트 백서: [전원 공급 장치의 전도 EMI 사양에 대한 개요](#)
2. 텍사스 인스트루먼트 백서: [DC/DC 레귤레이터에서 낮은 EMI에 대한 엔지니어 가이드](#)
3. "고효율 GaN CCM 토탈 풀 브리지리스 PFC(역률 보정) 레퍼런스 디자인" 텍사스 인스트루먼트 레퍼런스 설계 번호 TIDM-1007.
4. Son, Yo-Chan 및 Sul, Seung-Ki. "EMI 감소 및 고주파 보상을 위한 액티브 필터의 일반화." 발행: *IEEE Transactions on Industry Applications*, vol. 42, no. 2(2006년 3월-4월): pp. 545-551.

5. Heldwein, Marcelo Lobo, Hans Ertl, Juergen Biela 및 Johann W. Kolar. “오프라인 컨버터 시스템을 위한 트랜스포머리스 공통 모드 액티브 필터 구현” 발행: *IEEE Transactions on Industrial Electronics*, vol. 57, no. 5(2010년 5월): pp. 1772-1786.
6. Narayanasamy, Balaji 및 Luo, Fang. “파워 일렉트로닉스 컨버터의 전도 EMI 잡음 감소를 위한 액티브 EMI 필터에 대한 설문 조사.” 발행: *IEEE Transactions on Electromagnetic Compatibility*, vol. 61, no. 6(2019년 12월): pp. 2040-2049.
7. Kumar, Ashish, Hou, Yuetao, Ramadass, Yogesh, Merkin, Tim, Hegarty, Timothy, Obidat, Abdallah. “고전력 오프라인 애플리케이션을 위한 액티브 EMI 필터.” 발행: *2023 Applied Power Electronics Conference and Exhibition*, 2023년 3월 19-23일.
8. 텍사스 인스트루먼트 전원 공급 장치 필터 IC 시작 페이지.
9. 단상 시스템을 위한 [TPSF12C1](#) 및 [TPSF12C1-Q1](#) 공통 모드 액티브 EMI 필터.
10. 3상 시스템을 위한 [TPSF12C3](#) 및 [TPSF12C3-Q1](#) 공통 모드 액티브 EMI 필터.
11. 텍사스 인스트루먼트 기술 문서: [독립형 액티브 EMI 필터 IC를 사용하여 공통 모드 필터 크기를 줄이는 방법](#)

중요 알림 및 고지 사항

TI는 기술 및 신뢰성 데이터(데이터시트 포함), 디자인 리소스(레퍼런스 디자인 포함), 애플리케이션 또는 기타 디자인 조언, 웹 도구, 안전 정보 및 기타 리소스를 "있는 그대로" 제공하며 상업성, 특정 목적 적합성 또는 제3자 지적 재산권 비침해에 대한 묵시적 보증을 포함하여(그러나 이에 국한되지 않음) 모든 명시적 또는 묵시적으로 모든 보증을 부인합니다.

이러한 리소스는 TI 제품을 사용하는 숙련된 개발자에게 적합합니다. (1) 애플리케이션에 대해 적절한 TI 제품을 선택하고, (2) 애플리케이션을 설계, 검증, 테스트하고, (3) 애플리케이션이 해당 표준 및 기타 안전, 보안, 규정 또는 기타 요구 사항을 충족하도록 보장하는 것은 전적으로 귀하의 책임입니다.

이러한 리소스는 예고 없이 변경될 수 있습니다. TI는 리소스에 설명된 TI 제품을 사용하는 애플리케이션의 개발에만 이러한 리소스를 사용할 수 있는 권한을 부여합니다. 이러한 리소스의 기타 복제 및 표시는 금지됩니다. 다른 모든 TI 지적 재산권 또는 타사 지적 재산권에 대한 라이선스가 부여되지 않습니다. TI는 이러한 리소스의 사용으로 인해 발생하는 모든 청구, 손해, 비용, 손실 및 책임에 대해 책임을 지지 않으며 귀하는 TI와 그 대리인을 완전히 면책해야 합니다.

TI의 제품은 ti.com에서 확인하거나 이러한 TI 제품과 함께 제공되는 [TI의 판매 약관](#) 또는 기타 해당 약관의 적용을 받습니다. TI가 이러한 리소스를 제공한다고 해서 TI 제품에 대한 TI의 해당 보증 또는 보증 부인 정보가 확장 또는 기타의 방법으로 변경되지 않습니다.

TI는 사용자가 제안할 수 있는 추가 또는 기타 조건을 반대하거나 거부합니다.

주소: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2023, Texas Instruments Incorporated

IMPORTANT NOTICE AND DISCLAIMER

TI PROVIDES TECHNICAL AND RELIABILITY DATA (INCLUDING DATA SHEETS), DESIGN RESOURCES (INCLUDING REFERENCE DESIGNS), APPLICATION OR OTHER DESIGN ADVICE, WEB TOOLS, SAFETY INFORMATION, AND OTHER RESOURCES "AS IS" AND WITH ALL FAULTS, AND DISCLAIMS ALL WARRANTIES, EXPRESS AND IMPLIED, INCLUDING WITHOUT LIMITATION ANY IMPLIED WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE OR NON-INFRINGEMENT OF THIRD PARTY INTELLECTUAL PROPERTY RIGHTS.

These resources are intended for skilled developers designing with TI products. You are solely responsible for (1) selecting the appropriate TI products for your application, (2) designing, validating and testing your application, and (3) ensuring your application meets applicable standards, and any other safety, security, regulatory or other requirements.

These resources are subject to change without notice. TI grants you permission to use these resources only for development of an application that uses the TI products described in the resource. Other reproduction and display of these resources is prohibited. No license is granted to any other TI intellectual property right or to any third party intellectual property right. TI disclaims responsibility for, and you will fully indemnify TI and its representatives against, any claims, damages, costs, losses, and liabilities arising out of your use of these resources.

TI's products are provided subject to [TI's Terms of Sale](#) or other applicable terms available either on [ti.com](https://www.ti.com) or provided in conjunction with such TI products. TI's provision of these resources does not expand or otherwise alter TI's applicable warranties or warranty disclaimers for TI products.

TI objects to and rejects any additional or different terms you may have proposed.

Mailing Address: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2023, Texas Instruments Incorporated