



Helen Chen

추상

스위칭 전원 공급기에서 반도체의 높은 스위칭 동작과 그로 인한 회로의 높은 di/dt 전류로 인해 EMI 노이즈는 피할 수 없습니다. EMI 제어는 스위치 모드 전원 공급 장치 디자인(SMPS)에서 가장 어려운 과제 중 하나입니다. 본 애플리케이션 자료에서는 EMI 노이즈의 근본 원인을 분석합니다. 그런 다음 EMI 소음을 최소화하기 위한 디자인 가이드 라인 목록을 제시합니다. 이 가이드라인에는 부품의 배치, 레이어 적층구조, 그라운드 판 라우팅과 관련된 레이아웃 레벨 팁이 포함되어 있습니다. 가이드 라인에는 또한 주파수 디더링, 스너버 회로 및 필터 회로 디자인과 연관된 회로 레벨 디자인도 포함되어 있습니다.

목차

1 머리말.....	2
2 설계 과정.....	3
2.1 방사선 이론.....	3
2.2 벅-부스트 컨버터에서 광대역 EMI의 근본 원인.....	4
2.3 TPS55288 벅-부스트 컨버터를 사용하여 낮은 EMI를 달성하는 방법.....	5
3 회로도 및 테스트 결과.....	10
3.1 테스트 결과.....	11
4 요약.....	13
5 참고 문헌.....	14

그림

그림 2-1. 펄스 전류 파형의 고조파 성분.....	3
그림 2-2. 임계 루프형 벅-부스트 컨버터 회로도.....	4
그림 2-3. 2레이어 보드와 4레이어 보드의 단면.....	5
그림 2-4. 2레이어 PCB의 복사 EMI 결과.....	6
그림 2-5. 4레이어 PCB의 복사 EMI 결과.....	6
그림 2-6. TPS55288 벅-부스트 컨버터의 대칭 PCB 배치.....	6
그림 2-7. 대칭 배치에 따른 방사 EMI 비교.....	7
그림 2-8. 주파수 디더링의 이점.....	7
그림 2-9. 전도 EMI와 주파수 디더링 비교.....	8
그림 2-10. 스위칭 루프의 등가 모델.....	8
그림 2-11. RC 스너버 사용 및 미사용 시 방사선 EMI 비교.....	9
그림 2-12. 단순 입력 EMI 필터.....	9
그림 2-13. BLM21PG300SN1의 임피던스 특성.....	9
그림 3-1. EMC 테스트용 회로도.....	10
그림 3-2. 벅 모드 EMI 결과($V_{IN} = 12\text{ V}$, $V_{OUT} = 5\text{ V}$ / $I_{OUT} = 3\text{ A}$).....	11
그림 3-3. 부스트 모드 EMI 결과($V_{IN} = 12\text{ V}$, $V_{OUT} = 20\text{ V}$ / $I_{OUT} = 3\text{ A}$).....	12

상표

모든 상표는 해당 소유권자의 자산입니다.

1 머리말

SMPS는 전환 중에 높은 dv/dt 및 높은 di/dt 전환으로 인해 전자 노이즈를 생성합니다. 고주파 SMPS는 일반적으로 스위칭 주파수의 고조파로서의 저주파 노이즈(<30MHz), 스위칭 노드 전압 링잉 및 고주파 펄스 전류에서 발생하는 중주파 광대역 노이즈(30-300MHz), 역회수로 인하여 발생하는 고주파 노이즈 등 세 가지 유형의 EMI를 생성합니다. 저주파 EMI는 LC 필터에 의해 필터링되기 쉽습니다. 해당 디자인 가이드라인의 목적은 다루기 가장 어려운 중-고주파 방사선 EMI를 최소화하고 수직 CISPR25 레벨 5 EMI 테스트를 통과하는 것입니다.

본 애플리케이션 자료에서는 EMI 노이즈의 근본 원인을 분석합니다. 그런 다음 EMI 소음을 최소화하기 위한 디자인 가이드 라인 목록을 제시합니다. 이 가이드라인에는 부품의 배치, 레이어 적층구조, 그라운드 판 라우팅과 관련된 레이아웃 레벨 팁이 포함되어 있습니다. 가이드 라인에는 또한 주파수 디더링, 스너버 회로 및 필터 회로 디자인과 연관된 회로 레벨 디자인도 포함되어 있습니다.

2 설계 과정

2.1 방사선 이론

일부 에너지는 PCB에서 직접 방사되며, 간접 전류를 전달하는 소형 안테나로 모델링할 수 있습니다. 작은 루프는 관심 주파수(100MHz에서 75cm)에서 4분의 1 파장보다 작은 루프를 말합니다. 대부분의 PCB 루프는 최대 몇 MHz의 방출 주파수에서 작은 것으로 간주됩니다. 접지 위의 이와 같은 작은 루프의 최대 전장 강도는 주파수, 루프 영역 및 전류의 제곱에 비례합니다.

$$E = 263 \times 10^{-16} \times \frac{(f^2 \times A \times I_s)}{r} \quad (1)$$

여기서 주파수는 Hz이고, A는 루프 영역m², I는 Amp, r은 미터입니다. 고조파가 많은 사각 파형의 경우 반드시 I를 위한 푸리에 스펙트럼을 사용해야 합니다.

PCB 디자인을 개선할 필요가 있는지 대략적으로 나타내기 위해 **방정식 1**을 사용할 수 있습니다. 예를 들어 A=4cm², I_s=10mA, f=100MHz, r=3m인 경우 다음과 같습니다.

$$E = 263 \times 10^{-16} \times (100 \times 10^6)^2 \times 4 \times 10^{-4} \times \frac{0.01}{3} = 351 \times 10^{-6} \text{ V/m} = 50.9 \text{ dBuV/m} \quad (2)$$

3m에서 CISPR 22 클래스 B의 한계선은 약 40 dBuV/m이며, 50.9 dBuV/m은 한계를 초과합니다. 그러므로 파일을 제한치 이하로 만들기 위해 회로를 개선할 필요가 있습니다. **방정식 1**로부터 우리가 제어할 수 있는 아이템은 루프 영역 A와 고주파 전류라는 것을 알 수 있습니다. 루프 영역 A는 양호한 부품 배치 및 그라운드 실딩을 통해 줄일 수 있으며, 고주파 전류는 스위칭 속도를 늦추거나 대칭 스위칭 루프 배치를 사용하여 줄일 수 있습니다.

그림 2-1 (A)는 주기 T, 펄스 폭 t_w, 상승 시간 t_r 및 하강 시간 t_f를 갖는 단순화된 부등변 사각형 전류 파형을 보여줍니다. **그림 2-1 (B)**는 기본 주파수와 많은 상위 고조파로 구성된 주파수 영역을 보여줍니다. 펄스 주기, 펄스 폭, 상승/하강 시간 m 및 상위 고조파의 진폭과의 관계는 푸리에 분석을 통해 도출할 수 있습니다.

그림 2-1은 펄스 폭 1us, 상승 시간 5ns 및 하강 시간 8ns의 500kHz 스위칭 신호를 기반으로 합니다. t_r≠ t_f 조건에서는 작은 값만 고려됩니다. 따라서 밴드 폭 f_R은 t_R에 의해 결정됩니다. 방사 EMI문제들은 보통 50MHz~500MHz범위에서 발생합니다. 상승(또는 하강) 시간이 증가하면 f_R 포인트가 더 낮은 주파수로 이동함을 알 수 있습니다. 따라서 고주파 고조파 성분은 40dB/dec로 더 빠르게 롤오프 됩니다.

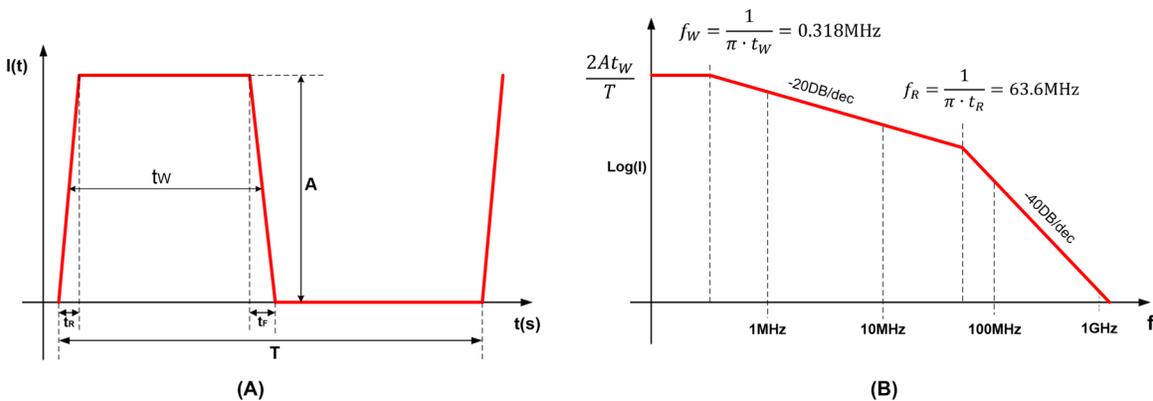


그림 2-1. 펄스 전류 파형의 고조파 성분

2.2 벅-부스트 컨버터에서 광대역 EMI의 근본 원인

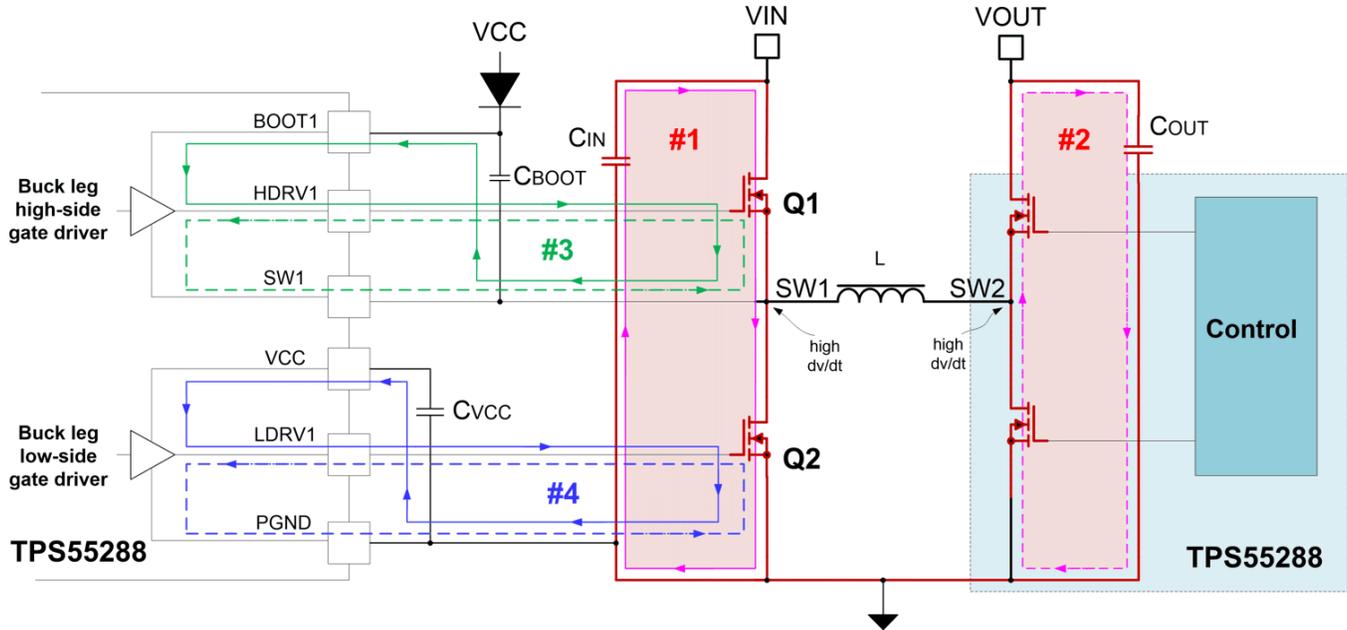


그림 2-2. 임계 루프형 벅-부스트 컨버터 회로도

그림 2-2는 파워 스테이지 부품, 통합 게이트 드라이버 및 VCC 바이어스 공급 장치가 있는 TPS55288 4스위칭 벅-부스트 컨버터를 보여줍니다. 그림 2-2는 또한 컬러로 고전류 트레이스, 높은 di/dt 임계 루프 및 높은 dv/dt 스위칭 노드를 구분합니다.

빨간색으로 음영 처리된 루프 1과 루프 2는 벅 레그와 부스트 레그를 위한 두 개의 중요한 고주파 전력 루프입니다. 이 두 루프의 길고 얇은 트레이스는 과도한 노이즈와 스위칭 노드에서 오버슈트 및 링을 유발할 수 있으며, 기생 인덕턴스로 인해 그라운드 바운스도 있을 수 있습니다. MOSFET 스위칭 이벤트 동안 정류 전류의 슬루 레이트가 3-5A/ns를 초과할 수 있으므로 2nH 기생 인덕턴스는 6V의 전압 스파이크를 초래할 수 있습니다. 이러한 임계 루프에 흐르는 펄스 직사각형 전류 파형은 고조파 함량이 풍부하므로 루프 영역이 클 경우 여기서 방출되는 큰 방사 에너지가 발생하여 전자파 교란 문제가 발생할 수 있습니다. 따라서 추적 길이와 루프 1 및 루프 2의 폐쇄 영역을 최소화하는 것이 중요합니다.

그림 2-2의 루프 3과 4는 벅-레그 MOSFET의 게이트 루프입니다. 턴온 및 턴오프 전환 시 MOSFET의 게이트 정전 용량을 충전 또는 방전하기 위해 게이트 루프에 약 1A 피크까지의 순간 전류가 잠시 흐르게 되며, 이로 인해 간섭 문제도 발생할 수 있습니다. 따라서 추적 라우팅 동안 루프 3과 루프 4의 폐쇄 영역도 최소화해야 합니다.

루프 1과 루프 2는 가장 중요한 루프입니다. 그 이유는 전원 루프에 있기 때문에 높은 펄스 전류를 전달합니다. 이 루프들은 직접 방사할 수 있으며, 인접 트레이스를 간섭하고 입력 및 출력 케이블로 빠져나갈 수 있으며 심각한 EMI 문제를 일으킬 수 있습니다.

스위칭 노드 SW1, SW2에서의 최대 전압 링잉은 스위칭 속도 및 루프 1 및 루프 2의 루프 영역에 해당합니다. 루프 영역이 클수록 스위칭 노드에서 더 심각한 전압 링잉이 발생합니다. 이 링잉 주파수는 광대역 EMI가 집중된 주파수 범위에도 해당합니다.

2.3 TPS55288 벅-부스트 컨버터를 사용하여 낮은 EMI를 달성하는 방법

2.3.1 임계 루프 아래에 그라운드 판 추가

이제 컴팩트 배치를 통해 임계 루프 영역 A를 최소화할 수 있습니다. 그러나 이 방법은 부품의 물리적 크기에 따라 제한됩니다. 낮은 EMI를 얻기 위해 할 수 있는 가장 중요한 것 중 하나는 스위칭 루프 아래에 그라운드 판을 추가하는 것입니다. 스위칭 루프 아래에 전체 레이어 GND 구리 판을 배치하면 회로에 대한 수동 실딩이 설정됩니다. Lenz 법칙에 따르면, 실드 레이어의 전류는 오리지널 스위칭 루프 자기장을 상쇄하기 위해 자기장을 생성합니다. 그 결과 자속이 감소하여 등가 루프 면적이 작아지고 EMI 성능이 향상됩니다.

그라운드 판이 있는 멀티 레이어 PCB에서 주어진 루프의 근사 인덕턴스는 **방정식 3**을 이용해 계산할 수 있습니다.

$$L = \frac{\mu_0 \times h}{2 \times W_g} \approx \frac{6 \times h}{W_g} \left(\frac{nH}{cm} \right) \quad (3)$$

조건

- $\mu_0 = 4\pi \times 10^{-7}$
- h는 시그널 레이어와 그라운드 판 사이의 절연 두께입니다.
- W_g 는 그라운드 판의 너비입니다.

방정식 3에서 보면 우리는 더 넓고 큰 그라운드 판이 더 작은 신호 루프 인덕턴스를 발생시킨다는 것을 알 수 있습니다. 그라운드 판과 시그널 루프 사이의 절연 두께가 얇을수록 인덕턴스가 작아집니다.

표 2-1은 서로 다른 PCB 보드에서 주어진 루프의 인덕턴스를 보여줍니다. 시그널 레이어와 그라운드 판 사이의 절연 두께가 0.4 mm인 4레이어 PCB의 경우, 1.6 mm 두께의 2레이어 PCB에 비해 트레이스 인덕턴스가 훨씬 작음을 알 수 있습니다. 따라서 임계 루프까지의 거리가 최소인 솔리드 그라운드 판을 설치하는 것은 EMI를 줄이는 가장 효과적인 방법 중 하나입니다.

표 2-1. 루프 트레이스 인덕턴스(트레이스 길이 = 5cm)

PCB	h(mm)	Wg(mm)	L(nH)
2레이어 PCB	1.6	10	4.8
4레이어 PCB	0.4	10	1.2

그림 2-3은 2레이어 PCB와 4레이어 PCB의 단면을 보여줍니다. **그림 2-4**는 2레이어 PCB의 복사 EMI 결과를 나타내고, **그림 2-5**는 4레이어 PCB의 복사 EMI를 나타냅니다. 레이어-스택 및 PCB 단면은 **그림 2-4**와 유사합니다. 동일한 부품 배치와 동일한 시험 조건으로 4레이어 PCB로 15dBuV/m 이상의 복사 EMI를 개선합니다.

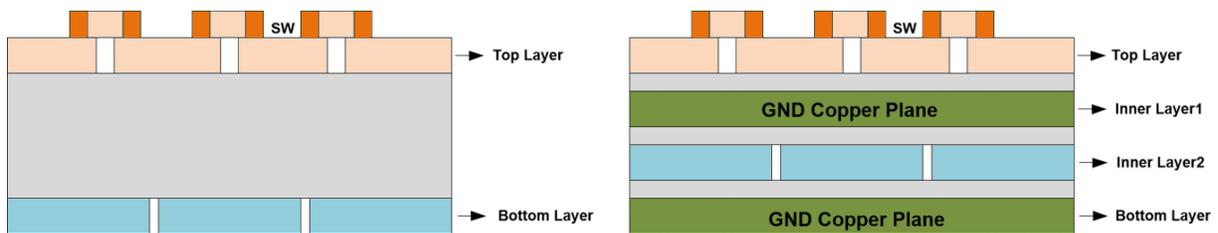


그림 2-3. 2레이어 보드와 4레이어 보드의 단면

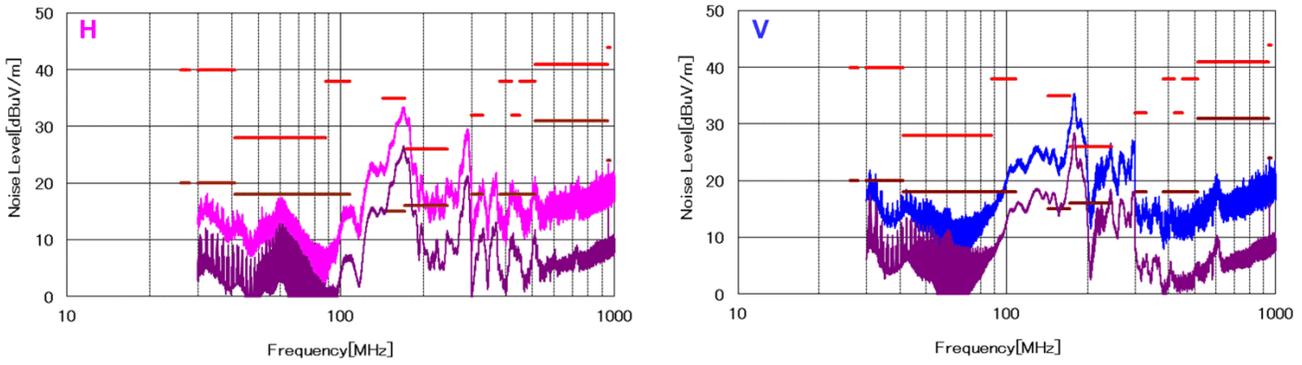


그림 2-4. 2레이어 PCB의 복사 EMI 결과

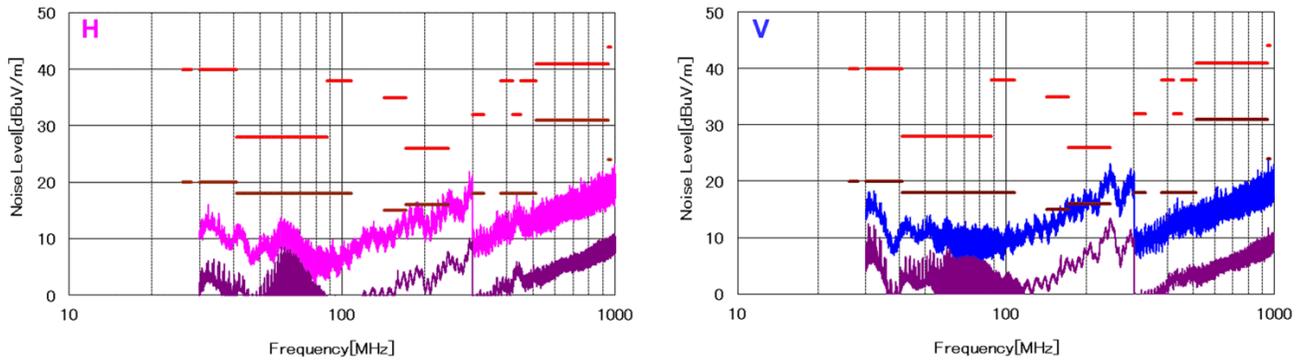


그림 2-5. 4레이어 PCB의 복사 EMI 결과

2.3.2 대칭 레이아웃 구성의 사용

EMI 성능은 임계 스위칭 루프를 최소화하고 임계 스위칭 루프 아래에그라운드 판을 추가하여 개선할 수 있습니다. 테스트 결과가 여전히 한계를 초과하는 경우, 전환 속도를 늦추거나 전원 공급 회로에 금속 실드를 추가하는 것과 같은 다른 해결책을 고려해야 합니다. 그러나 전환 속도를 늦추면 효율성이 저하되고, 금속 실딩을 추가할 경우 비용이 증가하며 시스템 조립이 더욱 복잡해집니다.

디커플링 커패시터의 대칭 배치를 사용하면 효율을 희생하거나 비용을 증가시키지 않으면서 EMI 성능을 더욱 향상시킬 수 있다. 그림 2-6 및 그림 2-7은 이 대칭 배치 개념의 회로도 및 관련 PCB 레이아웃을 보여줍니다.

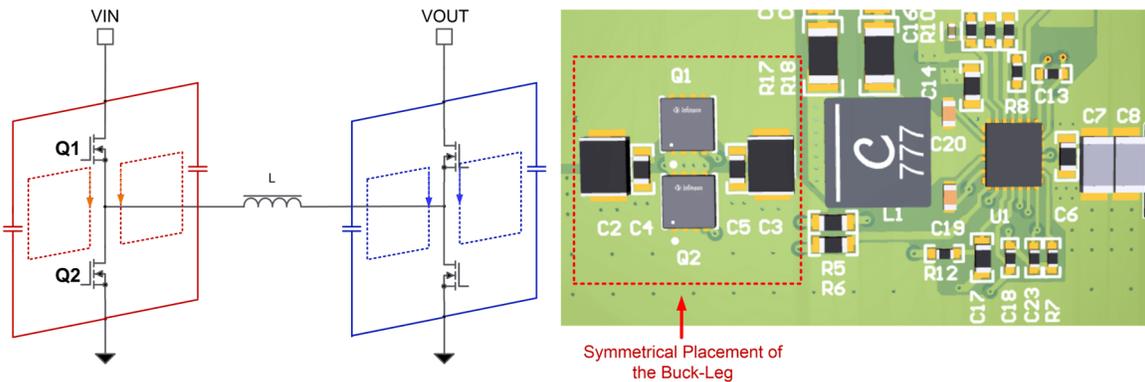


그림 2-6. TPS55288 buck-부스트 컨버터의 대칭 PCB 배치

그림 2-7은 대칭 배치와 대칭 배치 없이 방사된 EMI 결과를 보여줍니다. 대칭 배치는 200MHz~600MHz 고주파 범위에서 방사 EMI를 줄이는 데 도움이 되며, 대칭 배치는 6dBuV/m 이상 개선됩니다.

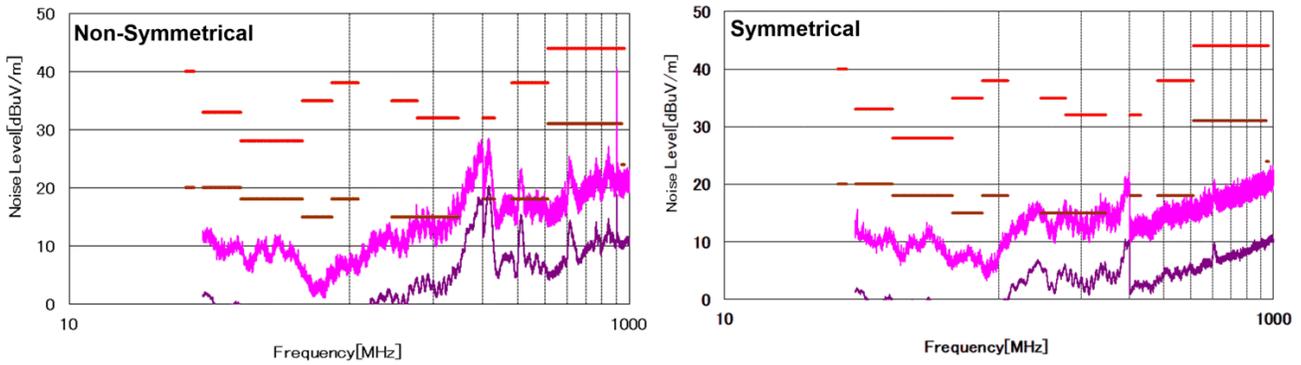


그림 2-7. 대칭 배치에 따른 방사 EMI 비교

2.3.3 주파수 디더링 기능 사용

EMI 발생을 완화하기 위한 상기 다양한 기법이 충분한 소음 억제력을 제공하지 못하고 필요한 EMI 시험에 실패할 경우, 소음을 더욱 줄이기 위해 추가 필터링 및 실딩이 필요합니다. 그러나 일반적인 필터링 및 실딩 EMI 솔루션은 특히 엄격한 CISPR25 레벨 5 제한을 통과해야 하는 자동차 애플리케이션에서 상당한 비용, 크기 및 가중치를 회로에 추가합니다. 일부 전기 제어 장치(ECU)의 경우 필터링 및 실딩 솔루션이 전체 비용의 높은 비율을 차지합니다. 확산 스펙트럼 디더링의 적용은 평균 EMI 소음 감소를 위한 간단하고 비용 효율적인 솔루션을 제공합니다.

주파수 디더링의 목적은 여러 정수에 집중된 스위칭 주파수 f_s 의 고조파를 광범위한 브랜드 노이즈로 확산시키는 것입니다(그림 8의 파형 참조). EMI 노이즈는 스위칭 주파수에 대해 주기적입니다. 방출은 스위칭 주파수 및 n 번째 고조파에서 중심을 맞춥니다. 주파수 디더링에 따라 기본 주파수는 $f_s - \Delta f$ 에서 $f_s + \Delta f$ 로 변화하며, n 번째 고조파는 $n \times (f_s - \Delta f)$ 에서 $n \times (f_s + \Delta f)$ 로 확산됩니다. 따라서 기본 주파수의 반복은 낮아지기 때문에 측정된 준피크와 평균 소음 수준은 낮아지고, 노이즈 스펙트럼은 사이드 밴드 주파수로 인해 넓어집니다.

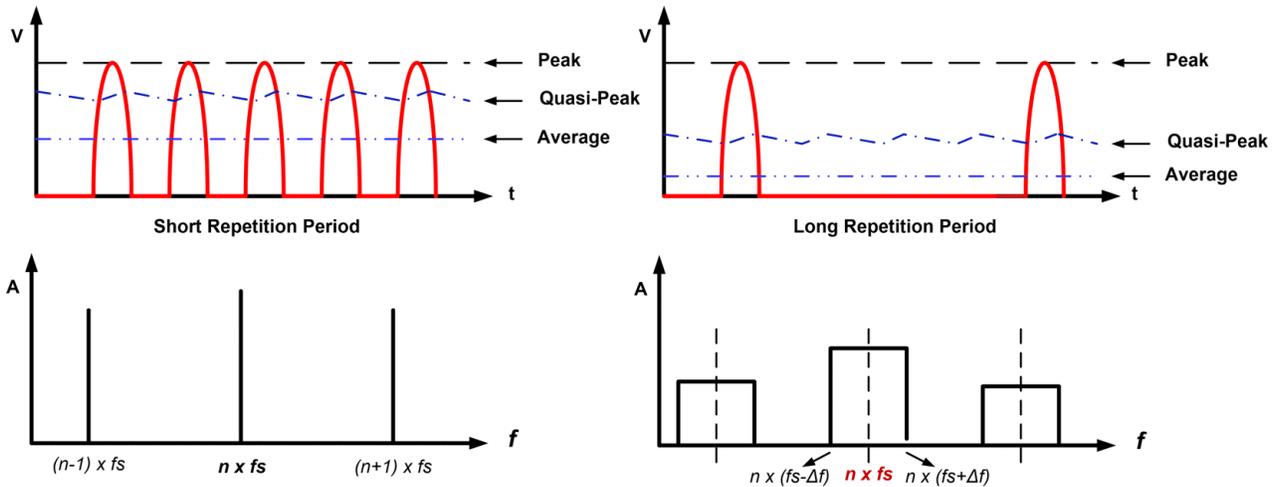


그림 2-8. 주파수 디더링의 이점

그림 2-9는 주파수 디더링이 있는 파형과 없는 파형을 보여줍니다. 주파수 디더링이 없을 경우 평균 소음 수준은 한계값보다 2dB 높습니다. 위에서 분석한 바와 같이 주파수 디더링에서 잡음 형태는 광대역 잡음 스펙트럼으로 바뀌고 평균 잡음 수준은 한계치에 훨씬 못 미칩니다.

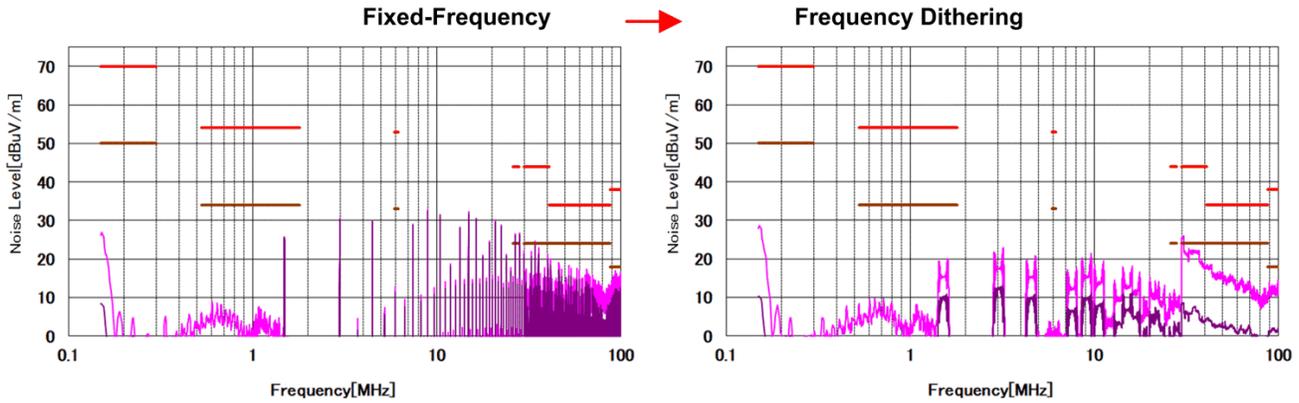


그림 2-9. 전도 EMI와 주파수 디더링 비교

2.3.4 스위칭 노드에 RC 스너버 추가

스위칭 루프는 LC 회로로 모델링할 수 있습니다. 입력 또는 출력 측 디커플링 커패시터와 하이사이드 및 로우사이드 MOSFET에 의해 형성됩니다. 벡-레그 스위칭 노드 SW1의 경우, 링잉은 하이사이드 FET가 ON이고 로우사이드 FET가 OFF일 때 발생합니다. 부스트 레그 스위칭 노드 SW2의 경우, 링잉은 로우사이드 FET가 오프이고 하이사이드 FET가 온일 때 발생합니다. 그림 2-10은 이 전환 상태 동안 스위칭 루프의 등가 모델을 보여줍니다.

등가 모델(L_loop1 및 L_loop2)의 인덕턴스는 PCB 트레이스 인덕턴스, 디커플링 커패시터의 ESL 및 MOSFET의 패키지 인덕턴스를 포함하는 스위칭 루프의 전체 루프 인덕턴스에 해당합니다. 루프의 총 캐패시턴스는 로우사이드 MOSFET의 출력 캐패시턴스에 의해 결정됩니다. 그러므로, 스위칭 노드 링잉 주파수는 기생 루프 인덕턴스와 낮은 쪽 MOSFET 출력 캐패시턴스에 의해 결정됩니다. 주어진 스위칭 속도와 주어진 MOSFET의 경우, 링잉의 최대 진폭은 또한 기생 루프 인덕턴스에 의해 결정됩니다.

이전 챕터에서, 우리는 소형 배치, 스위칭 루프 아래에 그라운드 판을 추가하거나 대형 PCB 레이아웃을 사용하여 기생 루프 인덕턴스를 줄일 수 있다는 것을 알고 있습니다. 그러나 실제 애플리케이션에서 부품 배치는 PCB 크기에 의해 제한됩니다.

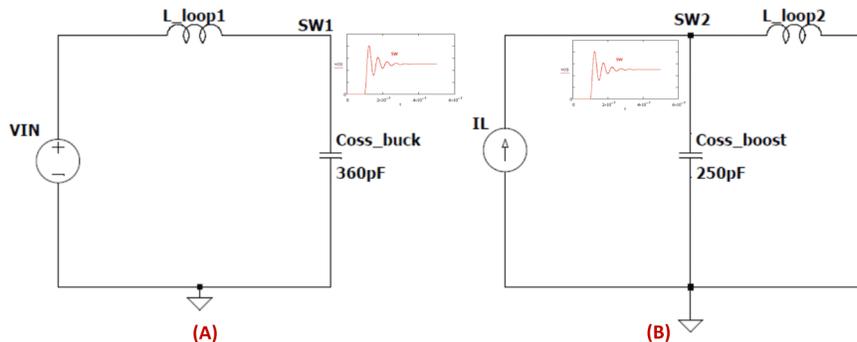


그림 2-10. 스위칭 루프의 등가 모델

방사선 EMI 레벨이 여전히 요구 수준을 초과하고 레이아웃을 더 이상 개선할 수 없는 경우 어떻게 해야 할까요? 스위칭 노드와 전원 그라운드에 RC 스너버를 추가하면 방사선 EMI 수준을 줄이는 데 도움이 될 수 있습니다. RC 스너버는 가능한 한 스위칭 노드와 그라운드 판에 가깝게 배치해야 합니다. 그림 2-11은 RC 스너버가 있는 경우와 없는 경우의 방사선 EMI 비교 결과를 보여줍니다. 방사선 EMI는 RC 스너버로 300MHz에서 약 6dBuV/m 향상되었습니다.

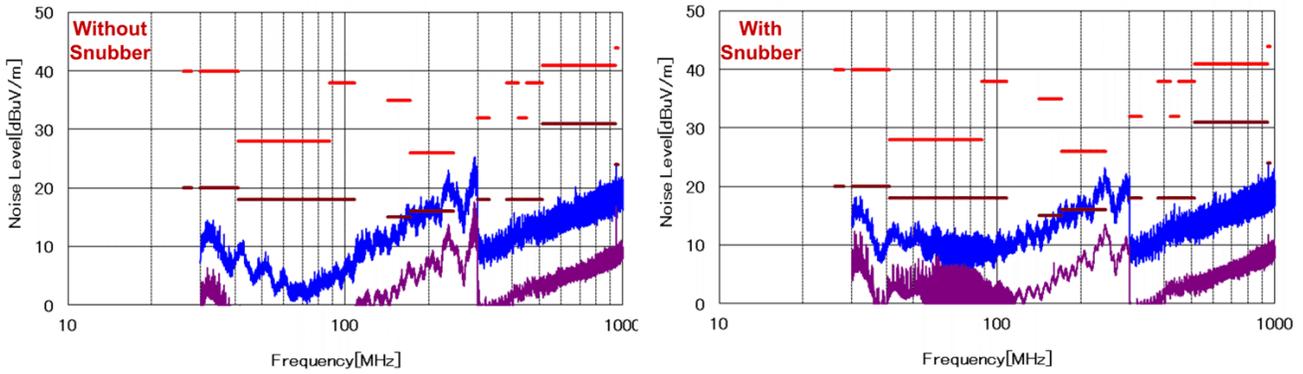


그림 2-11. RC 스너버 사용 및 미사용 시 방사선 EMI 비교

2.3.5 입력 및 출력 측에서 필터 추가

비연속 전류는 벡-부스트 컨버터의 입력 및 출력 측에 존재합니다. 비연속 전류에 의해 발생하는 전압 리플은 입출력 케이블 또는 PCB 트레이스를 통해 다른 시스템으로 전도될 수 있습니다. 입력 필터 인덕터와 출력 비드의 선택은 초기 EMI 노이즈 테스트 결과를 기반으로 합니다.

컨버터가 벡 모드에서 작동할 경우 일반적으로 CLC EMI 필터가 입력 측에 추가되어야 합니다. 그림 2-12 참조. 많은 논문과 기사들이 이 입력 필터 설계에 대해 쓰고 있습니다[3]. 일반적인 절차에는 스위칭 주파수에서 노이즈 레벨을 식별하고, 필요한 감쇠를 계산하고, L_f 및 C_f 를 선택한 다음, 댐핑 캐패시턴스 C_d 를 계산하는 과정이 포함됩니다.

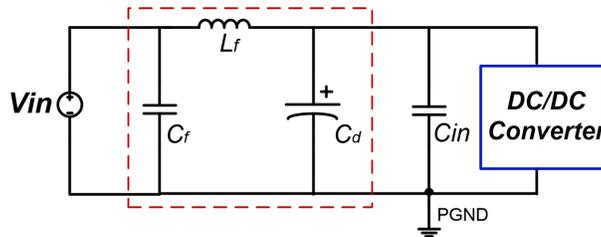


그림 2-12. 단순 입력 EMI 필터

컨버터가 부스트 모드에서 작동할 경우 일반적으로 출력 측에 페라이트 비드가 추가됩니다. 비드를 선택할 때와 페라이트 비드를 선택할 때 우리는 임피던스 vs 주파수 특성을 주의 깊게 연구해야 합니다. 비드의 저항 임피던스가 노이즈 주파수 범위에서 반응 임피던스보다 훨씬 높아야 합니다. 그림 2-13은 Murata 부분 BLM21PG300SN1의 임피던스 vs 주파수 특성을 보여줍니다. 이 비드는 100MHz~3GHz 범위의 노이즈 주파수에서 최적의 성능을 제공할 수 있음을 알 수 있습니다.

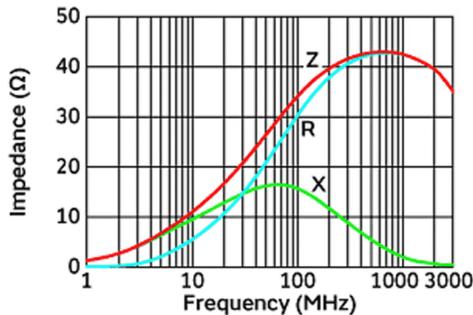


그림 2-13. BLM21PG300SN1의 임피던스 특성

3 회로도 및 테스트 결과

그림 3-1은 EMI 테스트용 회로도입니다. 서로 다른 필터에 따라 입력 사이트에 다른 초크 1개를 추가하고, 공통 모드 필터에 따라 입력 사이트에 페라이트 비드 2개를 추가합니다.

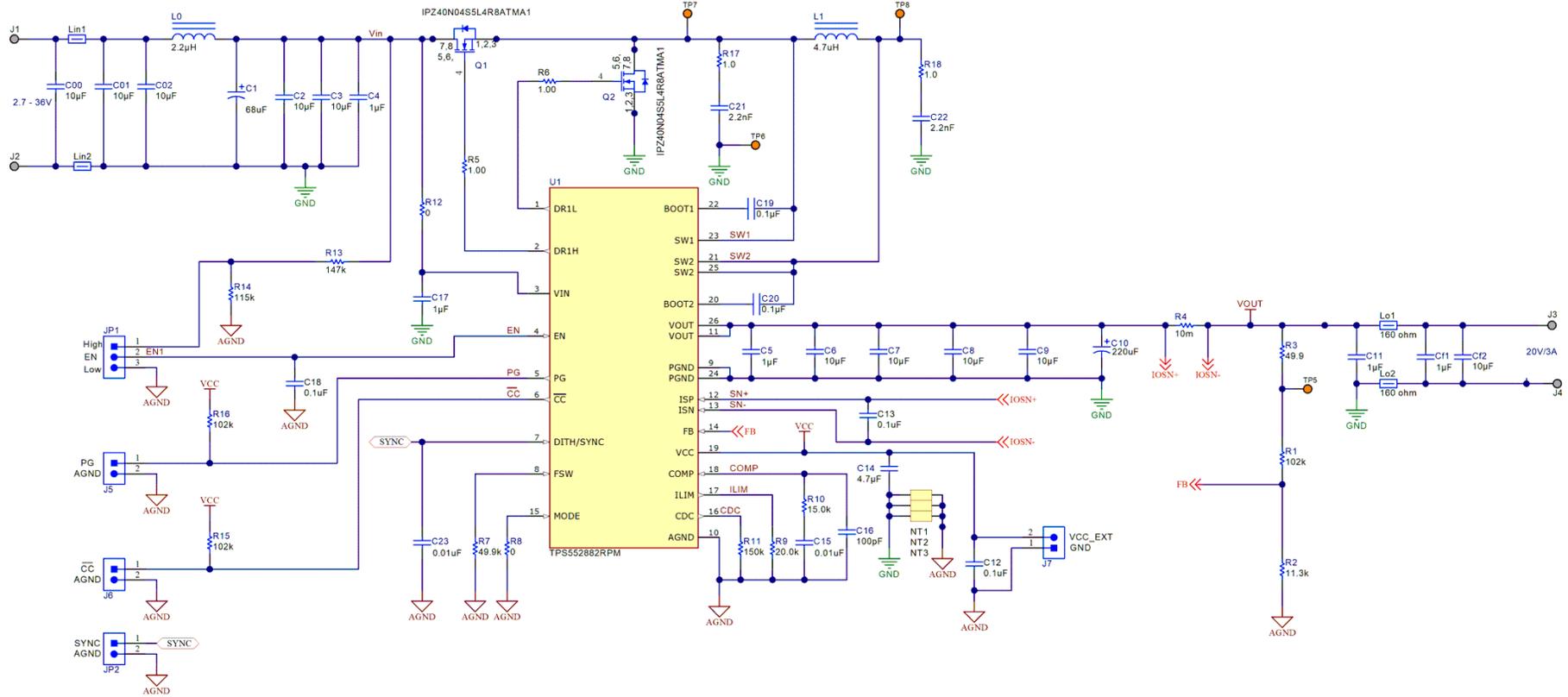


그림 3-1. EMC 테스트용 회로도

3.1 테스트 결과

그림 3-2는 벽 모드에서의 EMI 시험 결과를 보여줍니다. 그림 3-3은 부스트 모드에서의 EMI 시험 결과를 보여줍니다. 전도 EMI와 방사선 EMI가 모두 6-dB 이상의 여유로 CISPR25 레벨 5 한계를 통과했다는 것이 명확히 설명되었습니다.

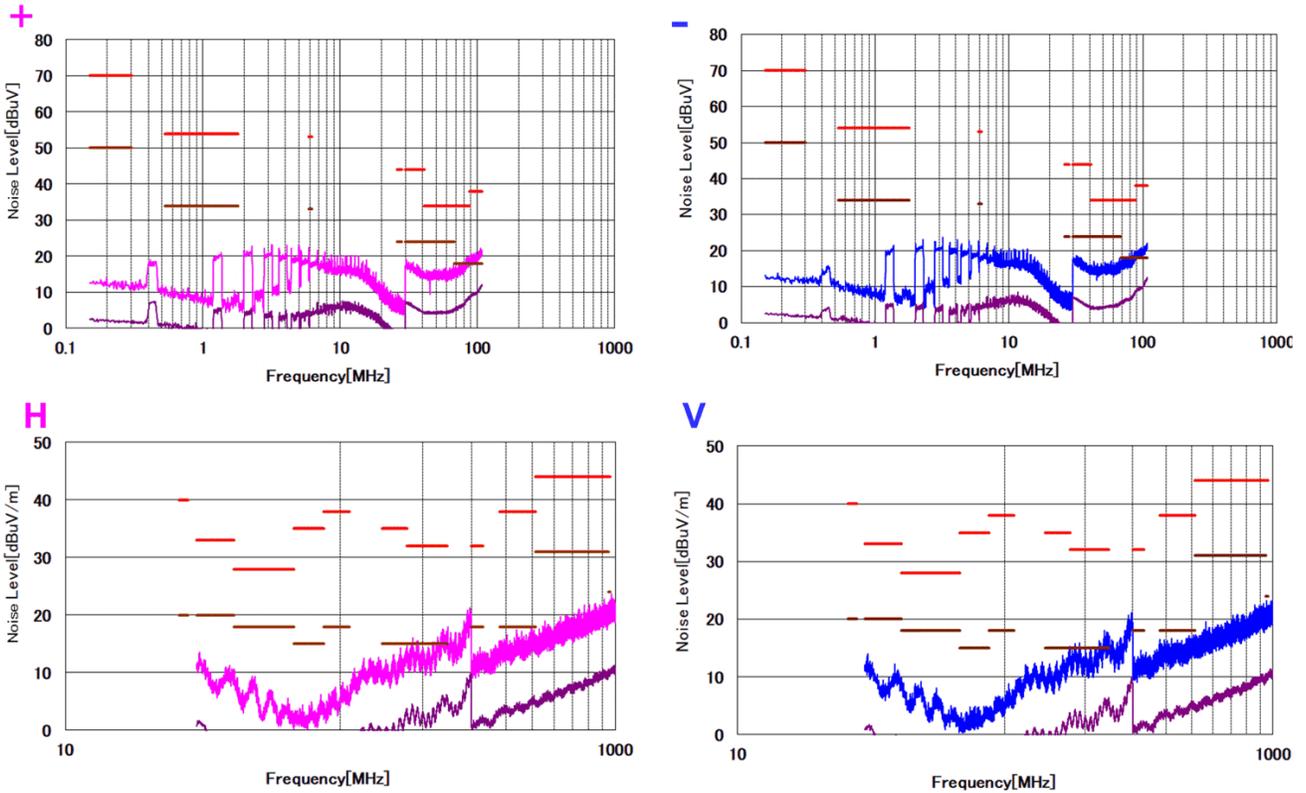


그림 3-2. 벽 모드 EMI 결과(VIN = 12 V, VOUT = 5V / IOUT = 3A)

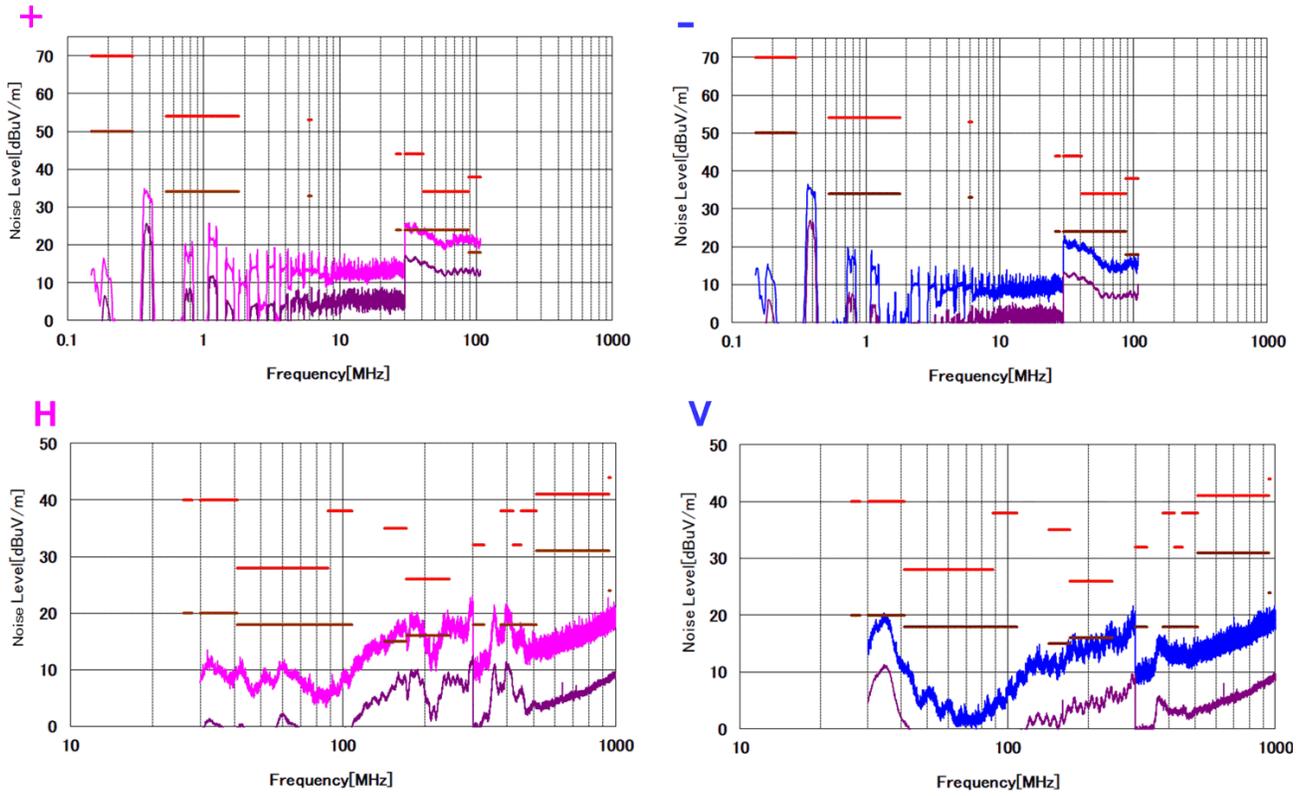


그림 3-3. 부스트 모드 EMI 결과(VIN = 12 V, VOUT = 20V / IOU = 3A)

4 요약

벅-부스트 컨버터의 주요 방사선원은 입력 및 출력 스위칭 루프입니다. 이러한 임계 루프는 방사선을 줄이기 위해 가능한 작아야 합니다. 적절한 부품 배치를 통해 스위칭 루프를 줄일 수 있습니다. 최소 유전체 두께의 솔리드 그라운드 판을 스위칭 루프 아래에 동등한 스위칭 루프를 더욱 줄일 수 있습니다. 동일한 부품 배치와 동일한 시험 조건으로 4레이어 PCB로 15dBuV/m 이상의 복사 EMI를 개선합니다. PCB 크기가 제한이 아닌 경우, 자기장 최소를 달성하기 위해 디커플링 커패시터의 대칭 배치를 채택할 수 있습니다. 주파수 디더링 기술은 평균 EMI 소음 수준 감소에 매우 유용하며, 협대역 소음을 광대역 소음으로 확산시키고 평균 소음 수준은 무주파수 디더링 조건에 비해 훨씬 낮아집니다. 고출력 및 고주파 애플리케이션의 경우 DC 입력 측과 출력 측에 필터를 추가하는 것도 도움이 됩니다.

5 참고 문헌

1. Texas Instruments, [TPS55288 36-V,16-A Buck-boost 컨버터\(I2C 인터페이스 포함\) 데이터 시트](#)
2. Texas Instruments, [TPS61088 부스트 컨버터 애플리케이션 보고서에서의 방사 EMI 감소](#)
3. Texas Instruments, [AN-2162 DC-DC 컨버터의 전도성 EMI로 간단한 성공](#)
4. [고주파 질화갈륨 기반 로드 컨버터의 회로성능에 미치는 PCB 레이아웃의 영향 이해](#)

IMPORTANT NOTICE AND DISCLAIMER

TI PROVIDES TECHNICAL AND RELIABILITY DATA (INCLUDING DATA SHEETS), DESIGN RESOURCES (INCLUDING REFERENCE DESIGNS), APPLICATION OR OTHER DESIGN ADVICE, WEB TOOLS, SAFETY INFORMATION, AND OTHER RESOURCES "AS IS" AND WITH ALL FAULTS, AND DISCLAIMS ALL WARRANTIES, EXPRESS AND IMPLIED, INCLUDING WITHOUT LIMITATION ANY IMPLIED WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE OR NON-INFRINGEMENT OF THIRD PARTY INTELLECTUAL PROPERTY RIGHTS.

These resources are intended for skilled developers designing with TI products. You are solely responsible for (1) selecting the appropriate TI products for your application, (2) designing, validating and testing your application, and (3) ensuring your application meets applicable standards, and any other safety, security, regulatory or other requirements.

These resources are subject to change without notice. TI grants you permission to use these resources only for development of an application that uses the TI products described in the resource. Other reproduction and display of these resources is prohibited. No license is granted to any other TI intellectual property right or to any third party intellectual property right. TI disclaims responsibility for, and you will fully indemnify TI and its representatives against, any claims, damages, costs, losses, and liabilities arising out of your use of these resources.

TI's products are provided subject to [TI's Terms of Sale](#) or other applicable terms available either on ti.com or provided in conjunction with such TI products. TI's provision of these resources does not expand or otherwise alter TI's applicable warranties or warranty disclaimers for TI products.

TI objects to and rejects any additional or different terms you may have proposed.

Mailing Address: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2022, Texas Instruments Incorporated