

Design Guide: TIDA-00176

Schnittstelle zu Sin/Cos-Encodern mit hochauflösender Positionsinterpolation



Beschreibung

Dieses Referenzdesign ist eine EMV-konforme Industrieschnittstelle für Sin/Cos-Positions-Encoder. Zu den Anwendungen gehören Industrieantriebe, die eine genaue Drehzahl- und Positionssteuerung erfordern. Das Design verwendet einen 16-Bit-ADC mit Doppelabtastung. Drop-in-kompatible 14- oder 12-Bit-Versionen sind verfügbar, was die Leistung und die Kosten optimiert. TIDA-00176 ermöglicht auch den einfachen Anschluss an externe Prozessoren über SPI- und QEP-Schnittstellen und erlaubt die Verwendung optionaler integrierter ADCs. Zur schnellen Evaluierung wird eine Beispiel-Firmware für das Piccolo™-MCU-LaunchPad™ F28069M bereitgestellt, die den gemessenen Winkel vom Sin/Cos-Encoder mit einer Auflösung von bis zu 28 Bit über den virtuellen USB-COM-Port der MCU ausgibt.

Ressourcen

TIDA-00176	Design-Ordner
ADS8354, THS4531A	Produktordner
TLV3202, OPA2365	Produktordner
REF2033, TPS54040A	Produktordner
TIPD117	Tool-Ordner
Piccolo-F28069M-MCU-LaunchPad	Tool-Ordner



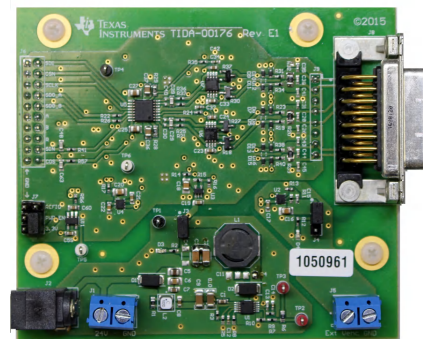
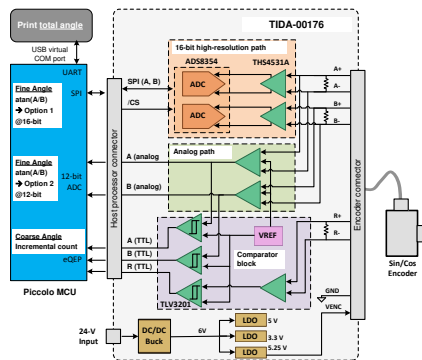
Fragen Sie unsere Support-Experten für TI E2E™

Merkmale

- EMV-konformes Industrieschnittstellendesign für Sin/Cos-Encoder mit 1- V_{PP} -Differenzausgang bei 2,5 V Offset, Eingangsfrequenzen bis zu 500 kHz
- Hochauflösende interpolierte Position, bis zu 28 Bit Auflösung, Kabellänge getestet bis zu 70 m
- Duale analoge Signalkette zur gleichzeitigen Verwendung von 16-Bit-Dual-SAR-ADC und MCU-integrierte ADCs ermöglichen die Evaluierung beider Wege und die Optimierung eines Weges für erhöhte Rauschunempfindlichkeit bei reduzierter Bandbreite
- Einfache Anbindung an MCU mit SPI- und QEP-Schnittstelle und Option zur Kostenoptimierung je nach Auflösungsanforderungen aufgrund von Drop-in-kompatiblen 14- oder 12-Bit-ADCs
- Beispiel-Firmware für C2000™-MCU mit hochauflösender Winkelberechnung bei 16 kHz und Winkeldatenübermittler über virtuellen USB-COM-Port zur einfachen Leistungsbewertung
- Geprüft nach IEC 61000-4-2, 4-4 und 4-5 (EMV-Störfestigkeitsanforderungen bezüglich ESD, EFT und Stoßspannungen)

Anwendungen

- AC-Antriebe
- Präzise drehzahlveränderbare Antriebe
- Servoantriebe



1 Systembeschreibung

1.1 Design-Übersicht

Dieses TI-Design implementiert eine EMV-konforme Schnittstelle für Sin/Cos-Inkrementalpositions-Encoder mit analogen Differenz Ausgangssignalen von $1 V_{PP}$, Frequenzen bis zu 500 kHz und einer Versorgungsspannung von 5 V. Die wichtigsten Bausteine dieses TI-Designs sind die analoge Zweiweg-Signalkette, der Hochgeschwindigkeits-Komparatorblock, der Power-Management-Block und die Schnittstellen zum Sin/Cos-Encoder sowie die Schnittstelle zu einem Host-Mikrocontroller zur digitalen Signalverarbeitung und hochauflösenden Positionsberechnung. Ein vereinfachtes Systemblattschaltbild ist in [Abbildung 1-1](#) abgebildet, wobei das TI-Hardware-Design durch das hellgrüne Viereck dargestellt ist.

Um eine einfache Evaluierung dieses Designleitfadens zu ermöglichen, wird eine Beispiel-Firmware für das InstaSPIN™-MOTION-LaunchPad TMS320F28069M bereitgestellt. TMS320F28069M berechnet die hochauflösende Winkelposition für beide analogen Signalwege. Ein Weg nutzt den externen 16-Bit-Dual-ADC durch SPI. Der andere Weg verwendet den integrierten Dual-S/H-12-Bit-ADC F28069M. Der Winkel wird mit einer Auflösung von bis zu 28 Bit berechnet und zur Auswertung über den virtuellen USB-COM-Port ausgegeben.

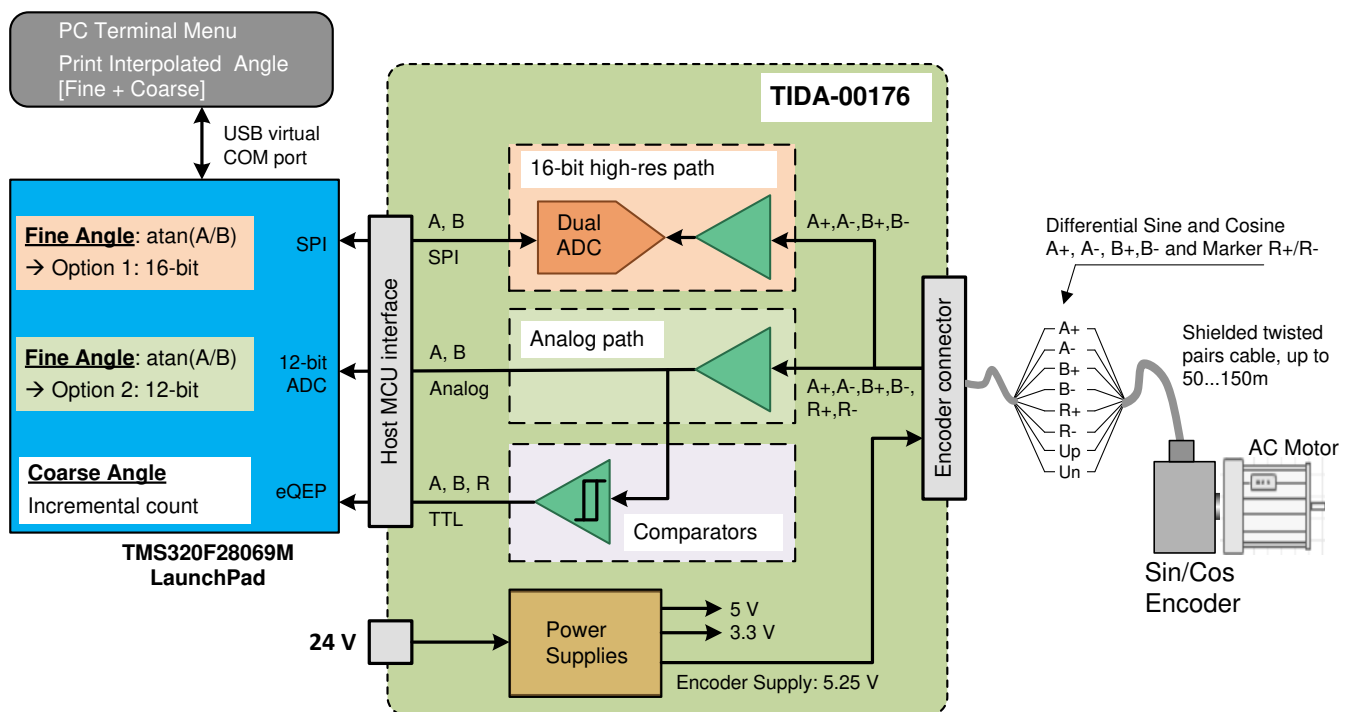


Abbildung 1-1. Vereinfachtes Systemblattschaltbild von TIDA-00176 mit Piccolo F28069M LaunchPad

Die analoge Signalkette bietet eine 120-Ω-Terminierung mit EMV-Schutz. Die differenziellen 1-V_{PP}-Sinus- und Kosinus-Eingangssignale werden verstärkt bzw. pegelverschoben. Eine Option für zwei Signalwege verfügt über einen integrierten hochauflösenden dualen Hochgeschwindigkeits-16-Bit-ADC mit simultaner Abtastung und SPI sowie zwei unsymmetrische analoge Ausgänge mit 1,65-V-Vorspannung zur Schnittstelle mit einem Mikrocontroller mit eingebettetem dualen S/H-ADC wie der Echtzeit-MCU-Produktfamilie Piccolo C2000™.

Der Komparatorblock zeichnet sich durch hohe Geschwindigkeit, geringe Ausbreitungsverzögerung und einstellbare Hysterese für bessere Rauschunempfindlichkeit aus und wandelt die analogen Signale A, B und den Marker R in digitale Signale mit 3,3-V-TTL-Pegel um, um eine Schnittstelle zu einem Quadratur-Encoder-Impulsmodul wie dem QEP-Modul des Piccolo-MCU C2000 zu erhalten.

Die integrierte 24-V-Stromversorgung mit großem Eingangsbereich stellt die erforderlichen Spannungen für die analoge Signalkette sowie die 5,25-V-Versorgungsspannung für den Sin/Cos-Encoder bereit.

Der Sin/Cos-Encoder kann entweder an einen geschirmten 15-poligen Sub-D-Steckverbinder oder an eine 8-polige Stiftleiste angeschlossen werden. Die Schnittstelle zum Hostprozessor liefert die unsymmetrischen analogen Signale A und B, skaliert von 0 bis 3,3 V mit einer 1,65-V-Vorspannung, die digitalen Signale für SPI sowie A, B und R mit einem 3,3-V-E/A. Die digitalen Ausgangssignale A, B und R werden oft als **ABZ**-Signale bezeichnet.

Das Design wurde nach IEC 61000-4-2, 4-4, und 4-5 (ESD, EFT und Stoßspannungen) getestet, wie in der Norm IEC 61800-3 für EMV-Störfestigkeitsanforderungen und spezifischen Prüfverfahren für drehzahlregulierbare elektrische Antriebssysteme festgelegt.

1.2 Analoger inkrementelle Sin/Cos-Encoder

Inkrementelle Dreh- oder Linearpositionsgeber werden in vielen Anwendungen zum Messen von Winkel- oder linearer Position und Geschwindigkeit verwendet. Je nach Anwendung werden Encoder mit TTL/HTL-Ausgangssignalen oder analogen sinusförmigen Ausgangssignalen verwendet. Letzteres wird oft als Sin/Cos-Encoder bezeichnet. Analoge inkrementelle Sin/Cos-Encoder ermöglichen hochauflösende Positionsmessung. Die hohe Qualität der sinusförmigen Inkrementalsignale ermöglicht hohe Interpolationsfaktoren für die digitale Drehzahlregelung. Zu den Anwendungsbereichen gehören Elektromotoren, Werkzeugmaschinen, Druckmaschinen, Holzbearbeitungsmaschinen, Textilmaschinen, Roboter und Handhabungsgeräte sowie verschiedene Arten von Mess-, Test- und Prüfgeräten.

1.2.1 Sin/Cos-Encoder-Ausgangssignale

Bei Encodern sind in der Regel zwei Erfassungsmethoden implementiert, basierend auf entweder optischer oder induktiver Abtastung. Bei einem optischem Drehgeber moduliert die Encoder-Scheibe einen Lichtstrahl, dessen Intensität von fotoelektrischen Zellen gemessen wird. Diese erzeugen zwei um 90 Grad phasenverschobene sinusförmige Inkrementalsignale A und B. B liegt von der Welle des Encoders aus gesehen im Uhrzeigersinn hinter A. Die Anzahl der Perioden der Signale A und B über eine mechanische Umdrehung entspricht der Zeilenanzahl N des Encoders. Eine weitere Spur trägt den Referenzmarker R, der einmal pro mechanischer Umdrehung auftritt. Der Referenzmarker ermöglicht die Messung der absoluten Winkelposition.

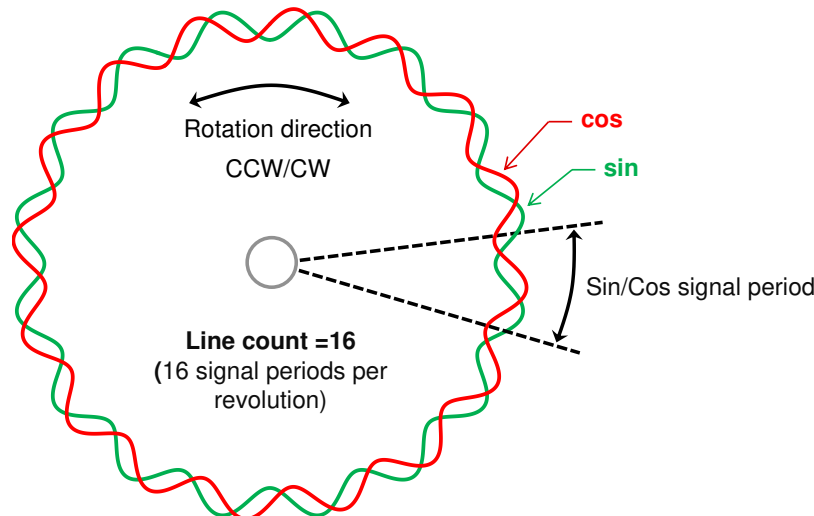


Abbildung 1-2. Vereinfachte Sinus- und Cosinus-Signale für einen Sin/Cos-Encoder über eine mechanische Umdrehung bei einer Zeilenanzahl von 16

Sin/Cos-Encoder mit einer 1-V_{pp}-Schnittstelle liefern die analogen Differenzialausgangssignale A (A+, A–) und B (B+, B–) mit 1V_{pp} und typischerweise einem 2,5-V-DC-Offset. Das differenzielle Referenzmarker-Signal R (R+, R–) hat in der Regel eine etwas niedrigere Amplitude und der Peak tritt nur einmal pro Umdrehung auf. [Abbildung 1-3](#) zeigt die differenziellen Ausgangssignale A, B und R. Beachten Sie, dass A, B und R jeweils das differenzielle Signal von A+ minus A–, B+ minus B– bzw. R+ minus R– darstellen.

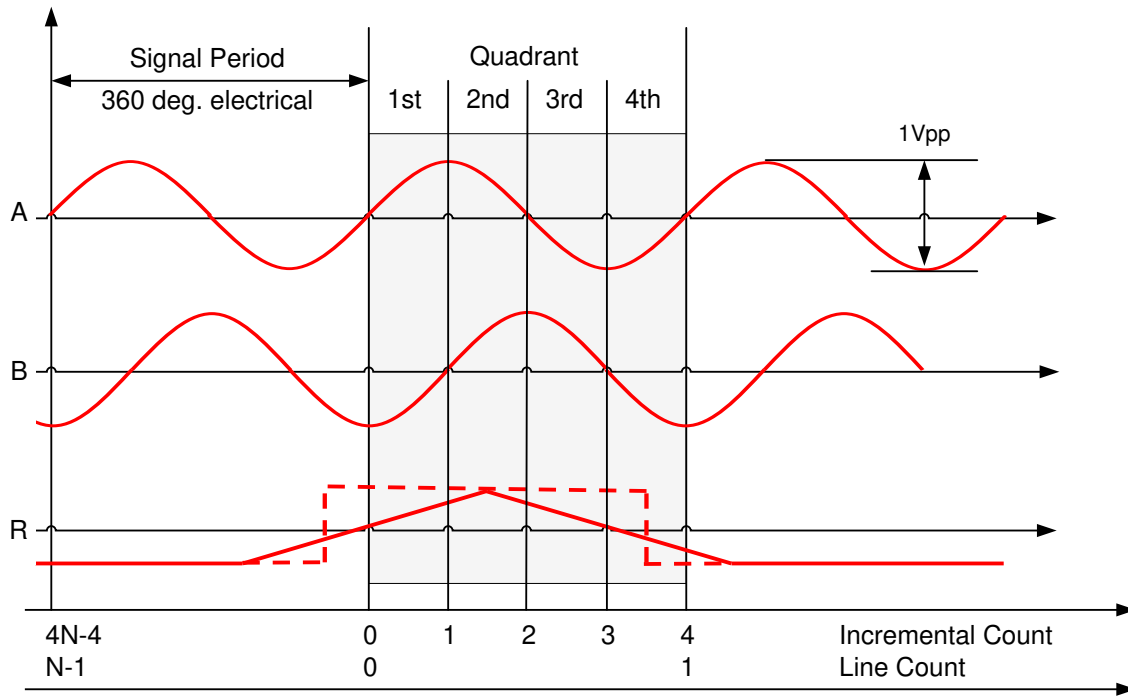


Abbildung 1-3. Ausgangsspannungssignale A, B und Marker R von Sin/Cos-Encodern mit Zeilenanzahl N pro Umdrehung

Die Frequenz des Differenzialausgangssignals des Sin/Cos-Encoders hängt von der Zeilenanzahl des Encoders sowie von der mechanischen Drehzahl ab, wie in [Gleichung 1](#) erläutert:

$$f_{A,B} [\text{Hz}] = N \times v[\text{rpm}] \times \frac{1}{60} \quad (1)$$

N steht für die Zeilenanzahl des Sin/Cos-Encoders und V die mechanische Drehzahl der Encoder-Welle in U/min dar.

[Abbildung 1-4](#) bietet einen Überblick über die Ausgangsfrequenz von Encodern mit Zeilenumfängen N = 100, 1000 und 2000 im Vergleich zur mechanischen Drehzahl.

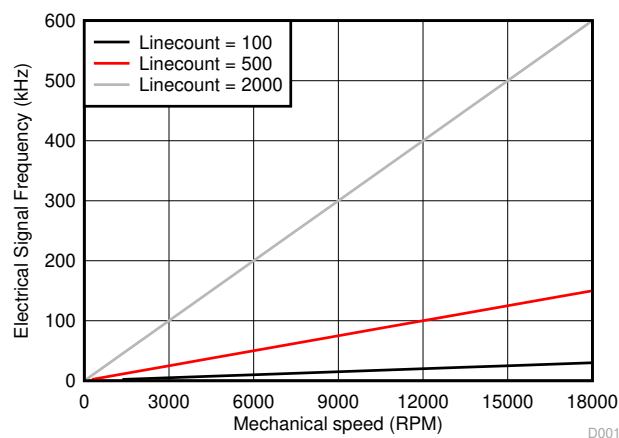


Abbildung 1-4. Elektrische Frequenz der Sin/Cos-Encoder-Ausgangssignale A und B im Vergleich zu mechanischer Drehzahl und Zeilenanzahl

Ein Sin/Cos-Encoder mit einer Zeilenanzahl von N = 2000, der bei einer mechanischen Drehzahl von 12000 U/min läuft, gibt die Signale A und B mit einer Frequenz von 400 kHz aus.

1.2.2 Beispiele für elektrische Sin/Cos-Encoder-Parameter

Um die Anforderungen an ein elektrisches Schnittstellenmodul für Sin/Cos-Encoder zu verstehen, wurden einige industrielle Sin/Cos-Encoder-Modelle analysiert. Die entsprechenden Parameter sind in [Tabelle 1-1](#) aufgeführt.

Tabelle 1-1. Beispiel für eine Encoder-Versorgungsspannung

SIN/COS-ENCODER-MODELL	VERSORGUNGSSPANNUNG	STROMVERBRAUCH
1	5 V $\pm$ 0,5 V DC	< 120 mA
2	5 V $\pm$ 10 %	150 mA
3	5 V $\pm$ 5 %	70 mA (min.)

Die Stromversorgung des Sin/Cos-Encoders muss innerhalb dieser Spezifikation liegen.

Die analoge Signalkette muss so spezifiziert werden, dass sie mindestens die [Tabelle 1-2](#) in aufgelisteten Anforderungen in Bezug auf Signalamplituden, Offset und maximale Frequenz erfüllt.

Tabelle 1-2. Beispiel für Encoder-Ausgangssignale A, B

SIN/COS-ENCODER-MODELL	SIGNALPEGEL A, B	DC-OFFSET	ZEILENANZAHL N	GRENZFREQUENZ (– 3 dB)
1	0,6 bis 1,2 V _{PP} , 1 V _{PP} typisch	2,5 V bis $\pm$ 0,5 V	50 bis 5000	$\geq$ 180 kHz
2	1 V _{PP} (+20 %, – 40%)	2,5 V bis $\pm$ 0,5 V		120 kHz
3	1 V _{PP} ($\pm$ 10 %)	2,5 V bis $\pm$ 100 mV	1024 oder 2048	400 kHz

Tabelle 1-3. Beispiel für Encoder-Ausgangssignal Marker R

SIN/COS-ENCODER-MODELL	NUTZBARE KOMPONENTE G AN REFERENZMARKE	RUHEWERT H AUSSERHALB DER REFERENZMARKIERUNG	DC-OFFSET
1	0,5 V _{PP} typisch, 0,2 V _{PP} min.	–1,7 V	2,5 V

Tabelle 1-4. Beispiel für mechanische Encoder-Parameter

SIN/COS-ENCODER-MODELL	SYSTEMGENAUIGKEIT	MECHANISCHE DREHZAHL DER WELLE
1	1/20 der Teilungsperiode	< 16000 U/min

1.3 Methode zur Berechnung der hochauflösenden Position mit Sin/Cos-Encodern

1.3.1 Theoretischer Ansatz

1.3.1.1 Übersicht

Hinsichtlich der Hardware lassen sich in der Regel zwei Ansätze realisieren, die sich hauptsächlich auf die Anforderungen an den ADC auswirken.

Bei der „Oversampling“-Methode würden Sinus- und Kosinussignale mindestens viermal höher abgetastet werden als die maximale Sinus- und Kosinusfrequenz. Die inkrementelle Zählung sowie die Phasenberechnung erfolgen durch nachfolgende digitale Signalverarbeitung auf einem Hostprozessor. Für diese Methode wären keine Komparatoren erforderlich, sondern Hochgeschwindigkeits-ADCs mit doppelter Abtastung.

Bei der typischerweise verwendeten „Undersampling“-Methode werden separate Hardwareblöcke zur Berechnung der inkrementellen Anzahl und der interpolierten inkrementellen Phase verwendet. Der Vorteil dieser Methode besteht darin, dass die Abtastfrequenz und Bandbreite des ADC im Vergleich zur ersten Methode niedriger sein können, da sie sich nicht auf den inkrementellen Zähler, sondern nur auf die interpolierte Phase auswirken. Allerdings erfordert das Undersampling-Verfahren für Sinus und Kosinus jeweils einen Komparator, um die digitalen quadraturcodierten Signale A und B zu erzeugen, die einen direktionalen Aufwärts- und Abwärtszähler antreiben, der oft auch als quadraturcodierter Impulszähler bezeichnet wird. Die analoge Bandbreite des Doppelabtastungs-ADC muss mindestens der maximalen Sinus-/Kosinusfrequenz entsprechen. Die Undersampling-Methode ist in [Abbildung 1-5](#) beschrieben.

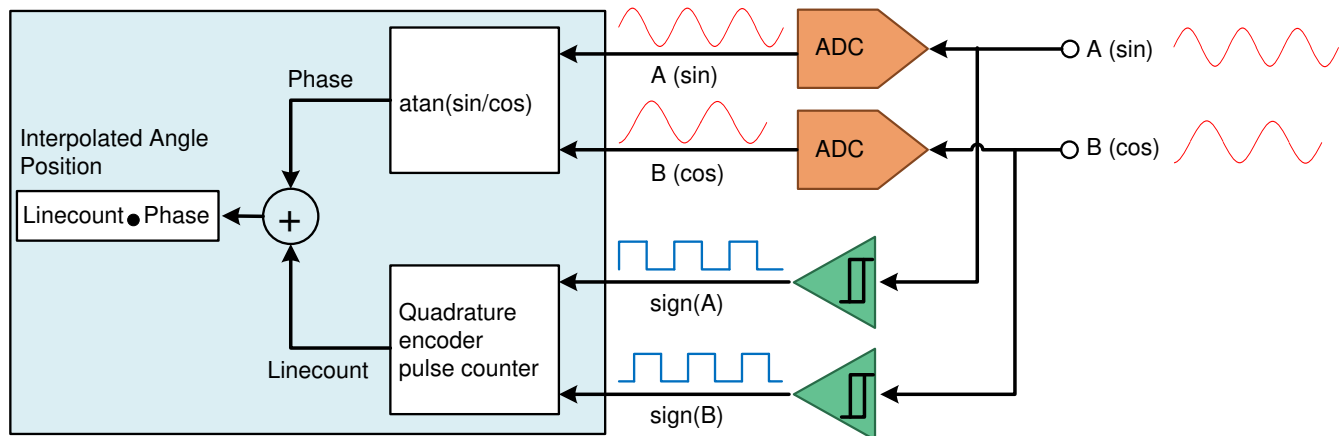


Abbildung 1-5. Blockschaltbild zur Signalverarbeitung für die interpolierte Winkelberechnung

Die interpolierte Gesamtwinkelposition besteht aus grobem und feinem Winkel. Der interpolierte Winkel wird durch die tatsächliche inkrementellen Zeilenanzahl und die Phase innerhalb dieser inkrementellen Zeile bestimmt. Die Phase innerhalb der inkrementellen Zeile wird von den analogen Sinus- und Kosinussignalen A und B zu jedem bestimmten Zeitpunkt abgeleitet. Sowohl die tatsächliche inkrementelle Zählung als auch die tatsächlichen analogen Sinus- und Kosinussignale müssen gleichzeitig und somit synchron gelatcht werden. Die inkrementelle Zeilenanzahl liefert den groben Winkel, während die Phase innerhalb von Sinus und Kosinus innerhalb dieser inkrementellen Zeile den feinen Winkel liefert. Der gesamte interpolierte Winkel ist eine Kombination des groben und des feinen Winkels, wie in einem vereinfachten Blockschaltbild in [Abbildung 1-5](#) dargestellt. Die entsprechenden [Gleichung 2](#) zu [Gleichung 4](#) werden im nächsten Absatz erläutert.

1.3.1.2 Berechnung des Winkels mit grober Auflösung

Die inkrementelle Anzahl und damit der inkrementelle grobe Winkel kann durch einen Zähler bestimmt werden, der aufwärts zählt, wenn A die führende Sequenz ist, und abwärts zählt, wenn B die führende Sequenz ist. Nach der Digitalisierung werden beide Kanten von A und B gezählt. Somit entspricht eine inkrementelle Anzahl einer Phasenverschiebung der Signale A und B von 90°, siehe [Abbildung 1-3](#). Die inkrementelle Anzahl beginnt bei 0 mit der maximalen inkrementellen Anzahl $incr_{MAX}$ gem [Gleichung 2](#), wobei N die Zeilenanzahl ist:

$$incr_{MAX} = (4 \times N) - 1 \quad (2)$$

Die inkrementelle Position Φ_{incr} kann wie folgt berechnet werden:

$$\Phi_{incr} [\text{deg}] = \frac{360}{4 \times N} \times incr + \Phi_0 \quad (3)$$

Wobei incr die tatsächliche inkrementelle Anzahl ist, N die gesamte Zeilenanzahl und Φ_0 der Nullwinkel, der durch den Referenz-Marker R bestimmt wird, sofern verwendet.

1.3.1.3 Berechnung des Winkels mit feiner Auflösung

Die Phase $\phi_{A,B}$ der sinusförmigen Signale A und B wird verwendet, um den Winkel zwischen zwei aufeinander folgenden Zeilenanzahlen oder vier äquivalenten Schritten zu interpolieren. Die Phase $\phi_{A,B}$ kann berechnet werden mit [Gleichung 4](#):

$$\phi_{A,B} [\text{deg}] = \begin{cases} 90^\circ + \tan^{-1}\left(\frac{B}{A}\right) & \text{if } A \geq 0 \\ 270^\circ + \tan^{-1}\left(\frac{B}{A}\right) & \text{if } A < 0 \end{cases} \quad (4)$$

Da nur das Verhältnis der Amplituden A und B verwendet wird, die eine gängige Funktion der Drehgeschwindigkeit und der Versorgungsspannung des Encoders sind, hat dieses Ergebnis keinen Einfluss auf das Ergebnis.

1.3.1.4 Berechnung des interpolierten hochauflösenden Winkels

Wenn die inkrementelle Anzahl incr mit der Phase $\phi_{A,B}$ gemäß [Tabelle 1-5](#) abgeglichen wird, wird der gesamte interpolierte Winkel Φ_{TOTAL} mit der Zeilenanzahl N wie folgt berechnet:

$$\Phi_{TOTAL} [\text{deg}] = \frac{360^\circ}{N} \left((incr \gg 2) + \left(\times \frac{\phi_{A,B}}{360^\circ} \right) \right) + \Phi_0 \quad (5)$$

CAUTION

Die sinusförmigen Signale A und B und die inkrementelle Anzahl incr müssen gleichzeitig gelatcht werden.

Tabelle 1-5. Beispiel für die Beziehung zwischen inkrementeller Anzahl zu Phase und Phasenquadrant

INKREMENTELLE ANZAHL	PHASE	QUADRANT
0	$0 \leq \text{Phase} < 90$	1
1	$90 \leq \text{Phase} < 180$	2
2	$180 \leq \text{Phase} < 270$	3
3	$270 \leq \text{Phase} < 360$	4
4	$0 \leq \text{Phase} < 90$	1

1.3.1.5 Praktische Implementierung für nicht ideale Synchronisation

Praktisch weisen die digitalisierten Signale A_{TTL} und B_{TTL} , die in den Quadratur-Encoder-Impulszähler eingespeist werden, typischerweise eine Phasenverschiebung gegenüber den analogen Signalen auf. Dies ist hauptsächlich auf die Hysterese und die Ausbreitungsverzögerung der Komparatoren sowie auf die nicht ideale Synchronisierung zwischen dem Latching des inkrementellen Zählers und dem Abtasten der Analogeingänge A und B zurückzuführen.

Der Einfluss der Hysterese auf die Phasenverschiebung ist nahezu unabhängig von der Signalfrequenz, aber nahezu umgekehrt proportional zur Signalamplitude. Die Auswirkungen einer Ausbreitungsverzögerung und einer nicht idealen Synchronisierung zwischen der Abtastung des Analogsignals und dem Latching des inkrementellen Zählers sind nahezu unabhängig von der Amplitude, aber proportional zur Frequenz. Daher erfolgt die maximale Phasenverschiebung bei maximaler Sin/Cos-Encoder-Frequenz und minimaler Amplitude.

Dies bedeutet, dass bei jedem Übergang zum nächsten Quadranten der inkrementelle Zähler nicht sofort aktualisiert wird, beispielsweise aufgrund der Phasenverzögerung, wie für den ersten Quadranten in [Abbildung 1-6](#) gezeigt.

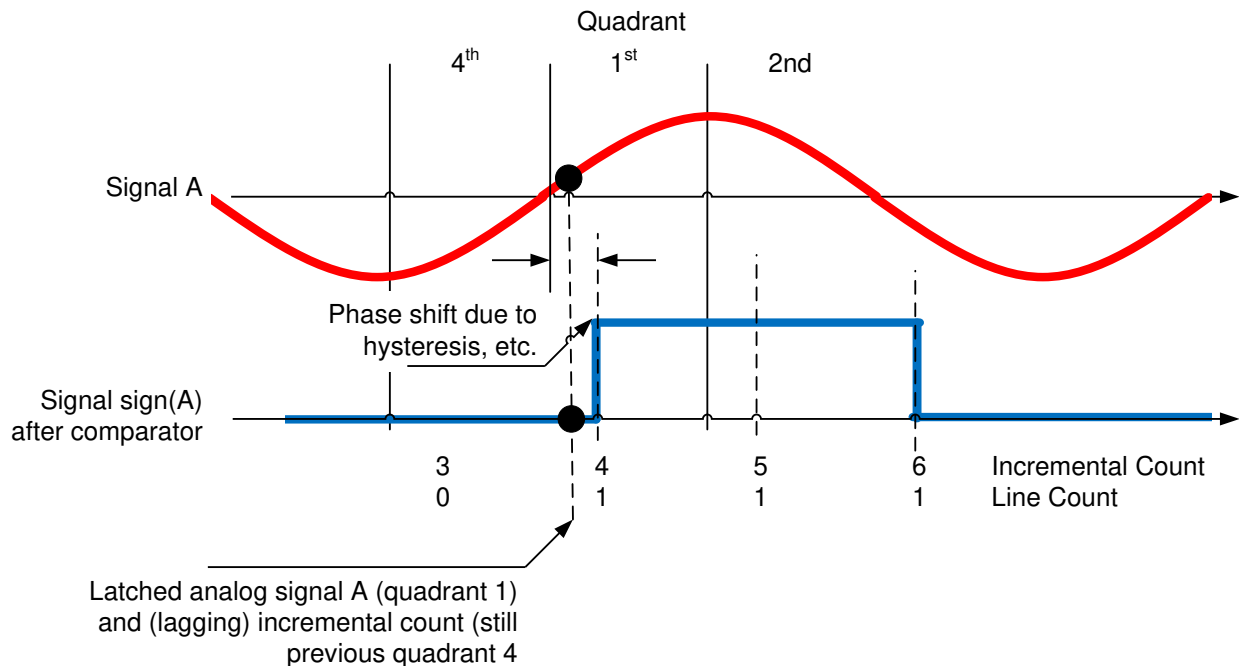


Abbildung 1-6. Phasenverschiebung von A_{TTL} gegenüber dem Analogsignal A aufgrund der Phasenverzögerung

Die dargestellten Faktoren können nicht ignoriert werden. Daher muss eine Methode zur Erkennung und Korrektur dieser Eckfälle angewendet werden. Aufgrund der Mehrdeutigkeit der unteren zwei Bits der inkrementellen Zeilenanzahl und der analogen Phase kann eine Korrekturmethode wie in [Tabelle 1-6](#) skizziert angewendet werden, solange die Phasenverschiebung unter $\pm 90^\circ$ bleibt.

Da zur Identifizierung des Quadranten nur die Phaseninformationen verwendet werden, sind nur zwei Ausnahmen zu berücksichtigen, die je nach Drehrichtung beim Übergang von Quadrant 4 zu Quadrant 1 bzw. von Quadrant 1 zu Quadrant 4 auftreten.

Tabelle 1-6. Korrekturmethode

INKREMENTELLE ANZAHL [incr]	PHASE $\phi_{A,B}$	KORREKTURMETHODE
$incr \% 4 = 3$	$0 \leq \text{Phase} < 90$	$incr = incr + 1$, wenn $incr > 4 \times N - 1$, dann $incr = 0$
$incr \% 4 = 0$	$270 \leq \text{Phase} < 360$	$incr = incr - 1$, wenn $incr < 0$, dann $incr = 4 \times N - 1$

CAUTION

Die Korrekturmethode funktioniert nur, wenn die Phasenverschiebung zwischen den analogen Signalen A und B und den digitalen Signalen A_{TTL} und B_{TTL} kleiner als $\pm 90^\circ$ ist.

Eine Worst-Case-Berechnung für dieses Design ist in [Sektion 1.4](#) dargestellt.

1.3.1.6 Überlegungen zu Auflösung, Genauigkeit und Geschwindigkeit

Die ideale interpolierte Winkelauflösung ist eine Funktion der Zeilenanzahl des Sin/Cos-Encoders und der Auflösung des Zweikanal-ADC. Die äquivalente interpolierte Winkelauflösung kann wie folgt berechnet werden:

$$\Phi_{\text{RESOLUTION}} [\text{bit}] = \log_2(2 \times N) + \text{ADC}_{\text{RESOLUTION}} [\text{bit}] \quad (6)$$

[Abbildung 1-7](#) zeigt die erreichbare interpolierte Winkelauflösung als Funktion der Zeilenanzahl ohne Interpolation, mit Interpolation mit einem idealen 12-Bit-ADC und mit einem 16-Bit-Zweikanal-ADC.

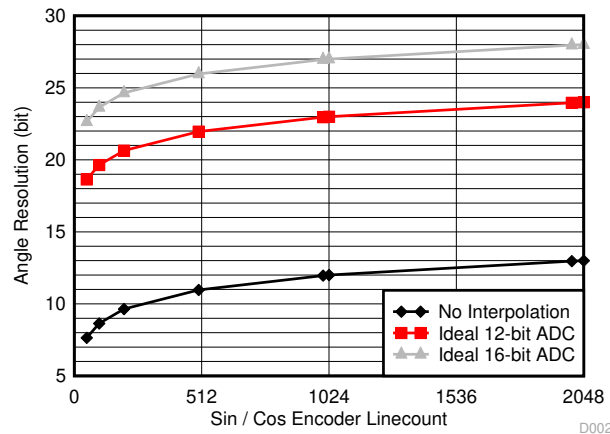


Abbildung 1-7. Ideale interpolierte Winkelauflösung im Vergleich zur Zeilenanzahl im Vergleich zur ADC-Auflösung

Die ideale Auflösung mit einem Sin/Cos-Encoder mit Zeilenanzahl 2048 und einem 16-Bit-Zweikanal-ADC entspricht 28 Bit, wenn der Vollausschlag-Eingangsbereich des ADC verwendet wird.

Diese hohe Auflösung ist in der Regel nicht für die Positionssteuerung erforderlich, sondern für eine sehr präzise Drehzahlregelung, insbesondere bei geringeren mechanischen Drehzahlen. [Abbildung 1-8](#) skizziert die ideale Drehzauflösung, die bei einer Abtastrate von 1,6 kHz ohne Tiefpassfilterung abgeleitet wird. Dies geht davon aus, dass die Drehzahlsteuerung mit geschlossenem Regelkreis des industriellen Antriebs 10-mal langsamer läuft als die Stromregelung mit geschlossenem Regelkreis und die PWM bei 16 kHz.

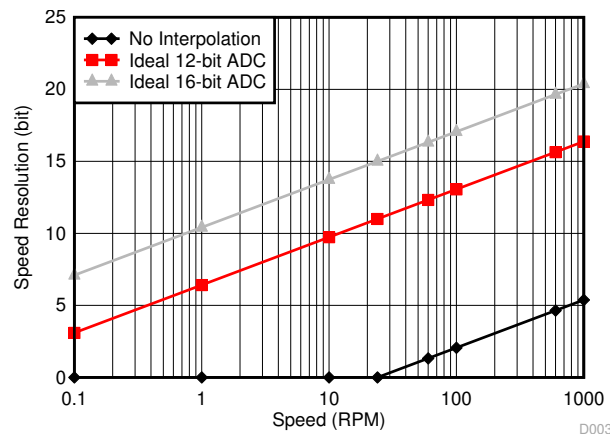


Abbildung 1-8. Ideale Drehzauflösung im Vergleich zu mechanischer Drehzahl bei 1,6 kHz Abtastrate und Encoder mit Zeilenanzahl 1000

In der Praxis wird Tiefpassfilterung eingesetzt, um die Auflösung und Immunität gegenüber Rauschen zu verbessern, jedoch mit einer filterspezifischen Ausbreitungsverzögerung (Gruppe) oder Latenz.

Hinsichtlich der idealen Auflösung skizzieren [Tabelle 1-7](#), [Abbildung 1-9](#) und [Abbildung 1-10](#) die Auswirkungen von Quantisierung, Offset, Verstärkungsfaktor oder Phasenfehler auf den interpolierten Winkel.

Tabelle 1-7. Beispielanalyse für Phasenfehler

FEHLERQUELLE	BEISPIEL	PHASENFEHLER [MAX]
Quantisierung der Signale A und B	12 Bit	0,012 % [0,045°]
Offsetfehler der Signale A und B	0,1 %	0,05 % [0,18°]
Verstärkungsfehler der Signale A und B	0,1 %	0,04 % [0,15°]
Phasenverschiebung zwischen den Eingangssignalen A und B	90 + 0,36° [0,1 %]	0,1 % [0,36°]

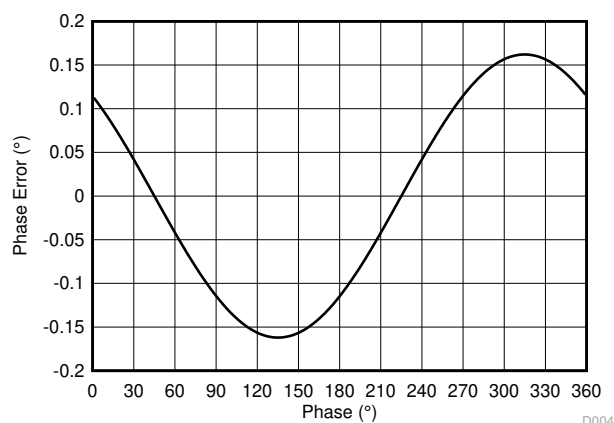


Abbildung 1-9. Phasenfehler mit +0,1 % Offset mit den Signalen A und B

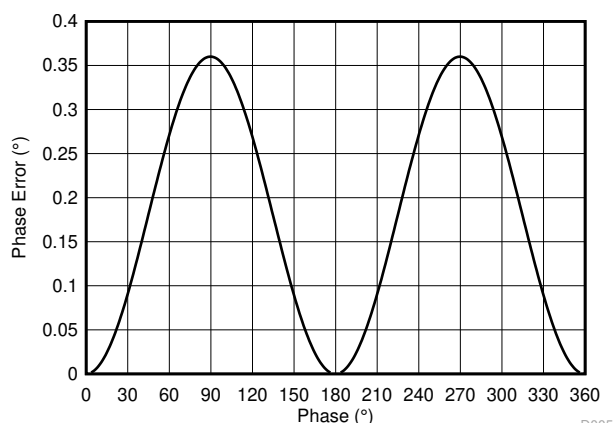


Abbildung 1-10. Phasenfehler mit (90 + 0,36°) Phasenverschiebung zwischen den Signalen A und B

Beachten Sie, dass der durch eine Phasenverschiebung zwischen den Eingangssignalen A und B entstehenden Phasenfehler die doppelte Periode aufweist. Diese Signatur kann zur Erkennung und Korrektur einer konstanten Phasenverschiebung mithilfe von Signalverarbeitungsalgorithmen genutzt werden. Diese liegen jedoch außerhalb des Umfangs dieses Designleitfadens.

1.4 Auswirkungen von Sin/Cos-Encoder-Parametern auf die Spezifikation analoger Schaltkreise

Zur Spezifikation der analogen Schaltung, wie in [Sektion 4](#) beschrieben, wurden die folgenden Sin/Cos-Encoder-Signalparameter (einschließlich Unterstützung für längere Kabel) berücksichtigt.

- Minimale und maximale Sin/Cos-Spitze-Spitze-Amplitude: Differenziell 0,3 bis 1,2 V_{PP}, Vollausschlag-Eingangsbereich mit mindestens 50 % Spielraum (1,8 V_{PP})
- Sin/Cos-Offsetspannungsbereich: 2,5 V ± 1 V
- Maximale Sin/Cos-Frequenz: 500 kHz
- Maximale Sin/Cos-Anstiegsrate: 2 V/μs
- Sin/Cos-Leitungsterminierung: 120 Ω ± 1 %
- Encoder-Versorgungsspannung und -strom: 5 V ± 5 %, 200 mA

1.4.1 Überlegungen zum Design der analogen Signalkette für die Phaseninterpolation

Die hochauflösende analoge Signalkette unterstützt 16-Bit-Auflösung und bietet so eine hohe Auflösung des interpolierten Winkels, insbesondere für die präzise Drehzahlsteuerung.

AC-Grundrauschen und Verzerrungen des differentiellen Analogverstärkers müssen der 16-Bit-Auflösung entsprechen. In Bezug auf eine Eingangsspannung von $1 V_{PP}$ entspricht dies etwa $15 \mu V$.

- Eingangsspannungsrauschen: $15 \mu V / \text{SQRT}(1 \text{ MHz}) = 15 \text{ nV} / \text{SQRT}(\text{Hz})$
- Eingangsstromrauschen: $15 \mu V / \text{SQRT}(1 \text{ MHz}) / R_{\text{EINGANG}}$, bei $R_{\text{EINGANG}} = 1 \text{ k}$ entspricht das $15 \text{ pA} / \text{SQRT}(\text{Hz})$

Verstärkungsfaktor und Offset sind eher DC-Parameter und ihre Drift ist in der Regel sehr langsam, da sie hauptsächlich mit Temperatur oder Alterung zusammenhängt. Der anfängliche Offset und Verstärkungsfaktor können während der Initialisierung und mit spezifischen Algorithmen auch während der Laufzeit kalibriert werden. Daher können die Anforderungen an diese Parameter etwas gelockert werden. Verstärkungsfaktor- und Offset-Drift über die Temperatur müssen jeweils im Bereich von 10 LSB liegen. In Bezug auf ein Eingangssignal von $1 V_{PP}$ entspricht dies etwa $150 \mu V$.

- Offset-Drift [0 bis 85°C]: $150 \mu V / 85^\circ \text{C} \sim 2 \mu V / ^\circ \text{C}$
- Verstärkungsdrift: [0 bis 85°C]: $160 \text{ ppm} / 85^\circ \text{C} \sim 2 \text{ ppm} / ^\circ \text{C}$

Für die Verstärkungseinstellung werden abgestimmte Widerstände (dasselbe Gehäuse) empfohlen.

1.4.2 Systemdesign der Komparatorfunktion für inkrementelle Anzahl

Unter Verweis auf [Abbildung 1-5](#): Die Gesamtausbreitungsverzögerung zwischen dem Analogsignal und den digitalen Signalen ATTl und BTTL bei 500 kHz sollte weniger als 90° betragen, was 500 ns entspricht. Die Hardware sollte nicht mehr als etwa 50 bis 70 % beitragen; dies entspricht 250 bis 350 ns, um Reserven zu lassen, zum Beispiel für hardwarebedingte Offset- und Temperaturdrift, Phasenverschiebung aufgrund analoger Tiefpass-/Entkopplungsfiler und nicht ideale Synchronisierung im nachfolgenden Hostprozessor.

Der Hysteresebeitrag zur Verzögerung mit einer 160-mV-Hysterese ($\pm 80 \text{ mV}$) bei einem Mindesteingang von $0,3 V_{PP}$ am Komparator beträgt etwa 32 Grad oder 180 ns bei einer Signalfrequenz von 500 kHz.

Zusätzlich kommt die Ausbreitungsverzögerung des Komparators dazu. Je geringer die Ausbreitungsverzögerung des Komparators ist, desto mehr Reserven stehen zur Verfügung, um die Hysterese zu erhöhen oder um die Rauschunempfindlichkeit des Systems auf andere Weise zu verbessern.

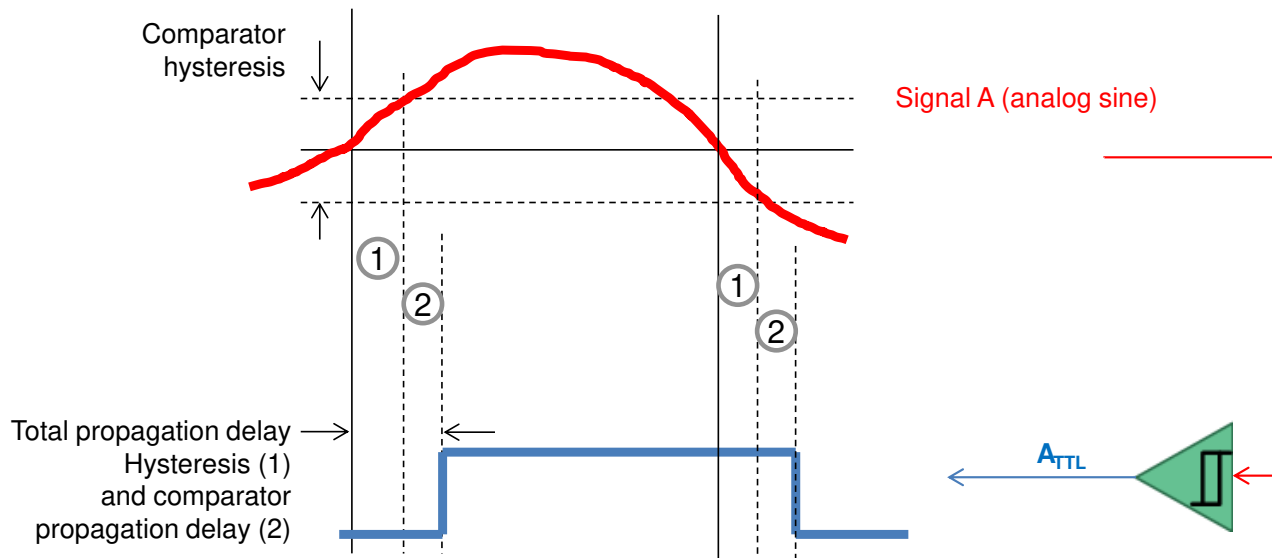


Abbildung 1-11. Signalverzögerung am Komparator mit Hysterese

2 Designmerkmale

Wie in [Sektion 1](#) erläutert, realisiert dieses TI-Design einen industriellen Temperaturbereich, eine EMV-konforme Schnittstelle zu Sin/Cos-Inkrementalpositions-Encodern mit differenziellen analogen 1-V_{PP}-Ausgangssignalen A, B und Index-Marker R mit Eingangsfrequenzen bis zu 500 kHz und einer 5-V-Versorgungsspannung. Die wichtigsten Bausteine dieses TI-Designs sind die analoge Zweiweg-Signalkette, der Hochgeschwindigkeits-Komparatorblock, der Power-Management-Block und die Schnittstellen zum Sin/Cos-Encoder sowie die Schnittstelle zu einem Host-Mikrocontroller zur digitalen Signalverarbeitung und hochauflösenden Positionsberechnung.

Um die einfache Evaluierung dieses TI-Designs zu ermöglichen, wird eine Beispiel-Firmware für das InstaSPIN-MOTION-LaunchPad TMS320F28069M bereitgestellt. TMS320F28069M berechnet die hochauflösende Winkelposition für beide Signalwege unter Verwendung des externen 16-Bit-ADC über SPI und des Analogkanals mit dem internen dualen S/H-12-Bit-ADC und gibt die Winkelpositionsdaten mit bis zu 28 Bit Auflösung über einen virtuellen USB-COM-Port aus.

TIDA-00176-Funktionsüberblick

- Großer Eingangsspannungsbereich: 24 V (17 bis 36 V) mit Verpolungsschutz liefern die notwendigen Spannungen für die analoge Signalkette sowie die 5,25 V für den Sin/Cos-Encoder.
- Encoderschnittstelle: Sub-D15- oder 8-polige Stiftleisten-Schnittstelle zu 5-V-Sin/Cos-Encodern mit differenziellen Ausgangssignalen A, B und Marker R von 0,3 V bis 1,2 V_{PP} bei 2,5 V ± 1 V Offset, Eingangsbandbreite bis zu 500kHz.
- Analoge Zwei-Wege-Signalverarbeitung: Zwei-Wege-Option mit einem integrierten hochauflösenden dualen Hochgeschwindigkeits-16-Bit-ADC mit simultaner Abtastung und SPI sowie zwei Analogausgängen mit 1,65-V-Vorspannung zur Schnittstelle mit einem externen dualen S/H-ADC. Hochgeschwindigkeits-Komparatoren mit geringer Ausbreitungsverzögerung und einer einstellbaren 160-mV-Hysterese für bessere Störfestigkeit zur Umwandlung der analogen Signale A, B und R in 3,3-V-TTL-Signale, die oft als ABZ-Signale bezeichnet werden.
- Hochauflösende interpolierte Winkelposition, bis zu 28 Bit Auflösung, Kabellänge getestet bis zu 70 m
- EMV-Störfestigkeit: Das Design wurde nach IEC 61000-4-2, 4-4, und 4-5 (ESD, EFT und Stoßspannungen) getestet, wie in der Norm IEC 61800-3 für EMV-Störfestigkeitsanforderungen und spezifischen Prüfverfahren für drehzahlregulierbare elektrische Antriebssysteme festgelegt.
- Schnittstelle zum Hostprozessor mit digitalen 3,3-V-Schnittstellensignalen zum MCU-QEP und -SPI und optionalen unsymmetrischen analogen 0- bis 3,3-V-Ausgängen für einen MCU-integrierten dualen S/H-ADC.
- Evaluierungs-Firmware: Beispiel-Firmware für Piccolo-F28069M-MCU mit hochauflösender dualer Winkelpositionsberechnung bei 16 kHz. Die Benutzerschnittstelle läuft über einen virtuellen USB-COM-Anschluss zur einfachen Leistungsbewertung.

2.1 Sin/Cos-Encoder-Schnittstelle

Das Design bietet entweder eine geschirmte Sub-D15-Buchse, die mit HEIDENHAIN-Encoder-Prüfgeräten kompatibel ist, oder eine 8-polige Stiftleiste als Schnittstelle zu 5-V-Sin/Cos-Encodern mit differenziellen Ausgangssignalen A, B und Marker R.

Tabelle 2-1. Sin/Cos-Encoder-Schnittstelle

PARAMETER	TYPISCHER WERT	KOMMENTAR
Encoder-Versorgungsspannung	5,25 V [± 5 %], 200 mA	5,25 V wurde gewählt, um eine Reserve von 0,25 V für die Kompensation des Spannungsabfalls bei längeren Kabeln zu haben. Einstellbar auf beispielsweise 5 V durch Änderung des Rückkopplungswiderstands
Eingangssignale	A+, A–, B+, B–, R+, R–	120-Ω-Differenzialleitungsabschluss
Eingangspegel und Gleichtaktspannungsbereich für A+, A–, B+, B–	0,3 V–1,2 V _{PP} , 2,5 V ± 1,0 V Gleichtakt	
Eingangspegel und Gleichtaktspannungsbereich für R+, R–	0,2 V–0,85 V _{PP} , 2,5 V ± 1,0 V Gleichtakt	

2.2 Hostprozessor-Schnittstelle

Der hochauflösende Pfad für die Signale A+, A– und B+, B– verfügt über einen hochauflösenden Hochgeschwindigkeits-Dual-16-Bit-ADC mit simultaner Abtastung, Differenzialeingang und SPI-Ausgang. Die Hauptmerkmale dieses Funktionsblocks sind in [Tabelle 2-2](#) beschrieben.

Tabelle 2-2. Hochauflösender 16-Bit-Kanal mit ADC und SPI-Ausgang

PARAMETER	TYPISCHER WERT	KOMMENTAR
Verstärkungsfaktor A, B	5,0 (0,1 %)	Abgestimmte Verstärkungseinstellregister für einzelne Gehäuse (0,1 %)
Verstärkungsdrift A, B	2 ppm/°C	Abgestimmte Widerstände für einzelne Gehäuse
Offset, A, B	< 10 LSB (bei 16 Bit)	Unkalibriert
Offset-Drift, A, B	< 0,15 LSB/°C	
Bandbreite (– 3 dB)	≥ 500 kHz	
Quantisierung	16 Bit	FSR = ± 5 V (ADS8354) Drop-in-kompatible 14- und 12-Bit-Versionen verfügbar
Abtastfrequenz	Bis zu 700 kSPS	
Datenausgabeformat A, B	16-Bit-Zweierkomplementär	
Serielle Schnittstelle (SPI-Slave)	3,3 V, bis zu 24 MHz SPI-Takt	Doppelte 16-Bit-Daten pro SPI-Frame

Der parallele zweite Weg für die Signale A+, A– und B+ bietet einen unsymmetrischen Analogausgang für A und B mit einer 1,65-V-Vorspannung als Schnittstelle zu einem externen dualen S/H-ADC, der beispielsweise in Mikrocontroller wie einen C2000 Piccolo integriert ist.

Tabelle 2-3. Analoger Kanal mit unsymmetrischem Analogausgang

PARAMETER	TYPISCHER WERT	KOMMENTAR
Unsymmetrischer Analogausgang A und B.	0–3,3 V, 1,65-V-Vorspannung [50 ppm/K]	Drop-in-kompatible 1,5-V-Referenz verfügbar, um ADC mit 0-bis-3-V-Eingang und 1,5-V-Vorspannung zu entsprechen.
Verstärkungsfaktor (A, B)	1,66 (0,1 %)	Einstellbare Widerstände von 0,1 % empfohlen
Offset (A,B)	< 1 mV	Unkalibriert
Offset-Drift (A, B)	< 2 μ V/°C	
Bandbreite (– 3 dB)	~ 500 kHz	Einstellbarer LP-Filter zur Bandbreitenanpassung

Der Komparatorblock enthält Hochgeschwindigkeitskomparatoren mit niedriger Ausbreitungsverzögerung und einer einstellbaren 100-mV-Hysterese für eine bessere Rauschunempfindlichkeit zur Umwandlung der Analogsignale A, B und R in 3,3-V-TTL.

Tabelle 2-4. Komparatoren

PARAMETER	TYPISCHER WERT	KOMMENTAR
Digitalausgangssignale A, B und R	3,3-V-TTL	
Hysterese	~ 160 mV ($\pm$ 80 mV)	Zur Erhöhung der Rauschunempfindlichkeit, einstellbar durch Rückkopplungswiderstandsänderung
Ausbreitungsverzögerung	~ 40 ns	Geringe Ausbreitungsverzögerung:
Maximale Phasenverzögerung (Ausbreitungsverzögerung und Hysterese)	< 60°	Bei 0,3V _{PP} /500-kHz-Eingang

2.3 Evaluierungs-Firmware

Für die schnelle Evaluierung des TIDA-00176-Designs wird eine Beispiel-Firmware für die Piccolo-F28069M-MCU bereitgestellt, mit der der interpolierte hochauflösende Winkel sowohl für den 16-Bit-Dual-ADC ADS8354 als auch für den integrierten Dual-S/H-12-Bit-ADC der F28069M-MCU berechnet wird. Eine Benutzerschnittstelle über einen virtuellen USB-COM-Port mit 115000 Baud ermöglicht eine einfache Leistungsbewertung.

Die Benutzeroberfläche über einen virtuellen COM-Port bei 115000 Baud unterstützt die folgenden Funktionen:

- Auswahl der Sin/Cos-Encoder-Zeilenzahl: bis zu 32000
- Hardware- und Software-synchronisierte Abtastung des externen 16-Bit-Doppelabtastungs-ADC über SPI, des internen 12-Bit-Dual-S/H-ADC und des inkrementellen Zählers mit einer Synchronisierungsverzögerung von weniger als 100 ns
- Hochauflösender Winkel im 32-Bit-Q28-Bruchzahlformat. Winkelskalierung pro Recheneinheit von 0 bis 0,9999999, bis zu 28 Bit Auflösung des interpolierten Winkels
- Automatische absolute Positionsinitialisierung nach dem ersten Auftreten des Index-Markers R
- Menü zur Unterstützung des Anzeigemodus mit 10 Hz oder Data-Dump-Modus mit 200 Hz Aktualisierungsrate für Gesamtwinkel, inkrementellen Winkel und Phase mit sowohl dem 16-Bit-Dual-ADC (ADS8354) des TIDA-00176-Designs als auch dem C2000-On-Chip-12-Bit-Dual-S/H-ADC
- Diagnosefehlermeldung, wenn Encoder nicht angeschlossen oder wenn die Differenzialeingangsspannung unter $0,3 V_{PP}$ liegt

2.4 Power-Management

Das TI-Design verfügt über einen 24-V-DC-Eingang mit großem Eingangsspannungsbereich von 17 bis 36 V und Verpolungsschutz. Das auf der Platine integrierte Power-Management ist in einen DC/DC-Abwärtswandler, der eine 6-V-Zwischenschiene erzeugt, und drei LDOs, welche die entsprechenden 3,3-V-, 5-V- und 5,25-V-Schienen erzeugen, eingeteilt.

Die 5,25-V-Encoder-Stromversorgung besteht aus einem sehr rauscharmen LDO und einem Aktivierungspin. Daher kann die Versorgungsspannung des Sin/Cos-Encoders bei Bedarf über den Hostprozessor abgeschaltet werden.

Tabelle 2-5. TIDA-00176-Spannungsschienen

PARAMETER	SPANNUNG	STROM	KOMMENTAR
Eingang	24 V [17 bis 36 V]	150 mA	Großer Eingangsspannungsbereich mit Verpolungsschutz
Zwischenschiene	6 V [$\pm 5\%$]	500 mA	Zwischenschiene. DC/DC-Abwärtsstromversorgung mit hohem Wirkungsgrad ($> 80\%$)
Encoder-Versorgung	5 V [$\pm 5\%$]	250 mA	5,25 V wurde gewählt, um eine Reserve von 0,25 V für die Kompensation des Spannungsabfalls bei längeren Kabeln zu haben. Einstellbar auf beispielsweise 5 V durch Änderung des Rückkopplungswiderstands
5-V-Versorgungsschiene	5 V [$\pm 5\%$]	100 mA	Versorgung der Signalkette mit hoher Präzision
3,3-V-Versorgungsschiene	3,3 V [$\pm 5\%$]	100 mA	Versorgung der Signalkette mit niedriger Präzision

2.5 EMV-Störfestigkeit

Das Design erfüllt die ESD-, EFT- und Stoßspannungs-Anforderungen gemäß IEC 61000-4-2, 4-4, und 4-5 mit den in der Norm IEC 61800-3 „Anforderungen an die elektromagnetische Verträglichkeit (EMV) für drehzahlveränderbare elektrische Antriebssysteme“ festgelegten Werten. Es wird davon ausgegangen, dass nur der SubD-15-Anschluss zum Positionsgeber zugänglich ist und abgeschirmte Encoder-Kabel zum Anschluss an den Encoder verwendet werden. Da das Encoder-Kabel länger als 30 m sein kann, gelten Anforderungen für ESD, EFT und Stoßspannungen gemäß [Tabelle 2-6](#) für den Einsatz in Umgebung 2.

Tabelle 2-6. Anforderungen an die EMV-Störfestigkeit

PORT	EMV-TEST	EMV-STANDARD	PEGEL	LEISTUNGSKRITERIUM (ABNAHME)
Sin/Cos-Encoder-Schnittstellenanschluss	ESD	IEC61000-4-2	± 4 kV CD oder 8 kV AD, wenn CD nicht möglich	B
	Schnelle transiente Störgröße/Burst (EFT)	IEC61000-4-4	± 2 kV/5 kHz, kapazitive Klemme	B
	Stoßspannung 1,2/50 µs, 8/20 µs	IEC61000-4-5	± 1 kV. Da abgeschirmtes Kabel > 20 m, direkte Kopplung mit Abschirmung (2 Ω Quellenimpedanz)	B

Das Leistungskriterium (Abnahme) ist wie folgt definiert:

Tabelle 2-7. Leistungskriterium

LEISTUNGSKRITERIUM (ABNAHME)	BESCHREIBUNG
A	Das Modul muss weiterhin wie vorgesehen funktionieren. Kein Verlust von Funktion oder Leistung auch während des Tests
B	Eine vorübergehende Verschlechterung der Leistung wird akzeptiert. Nach dem Test muss das Modul ohne manuellen Eingriff wie vorgesehen weiter funktionieren.
C	Während des Tests wird der Verlust von Funktionen akzeptiert, aber nicht die Zerstörung von Hardware oder Software. Nach dem Test muss das Modul nach einem manuellen Neustart oder einem Aus- oder Einschalten automatisch weiter wie vorgesehen funktionieren.

3 Blockschaltbild

Das Systemblockschaltbild dieses Designs ist in [Abbildung 3-1](#) dargestellt. Die wichtigsten Bausteine dieses TI-Designs sind ein Doppelweg für die analoge Signalkette, ein Hochgeschwindigkeits-Komparatorblock, das Power-Management sowie die Schnittstellen zum Sin/Cos-Encoder und Host-Mikrocontroller für die digitale Signalverarbeitung und hochauflösende Positionsberechnung. Um die einfache Evaluierung des TIDA-00176-Designs zu ermöglichen, wird eine Beispiel-Firmware für das Piccolo-LaunchPad F28069M bereitgestellt, welche die Winkelposition über einen virtuellen COM-Port ausgibt.

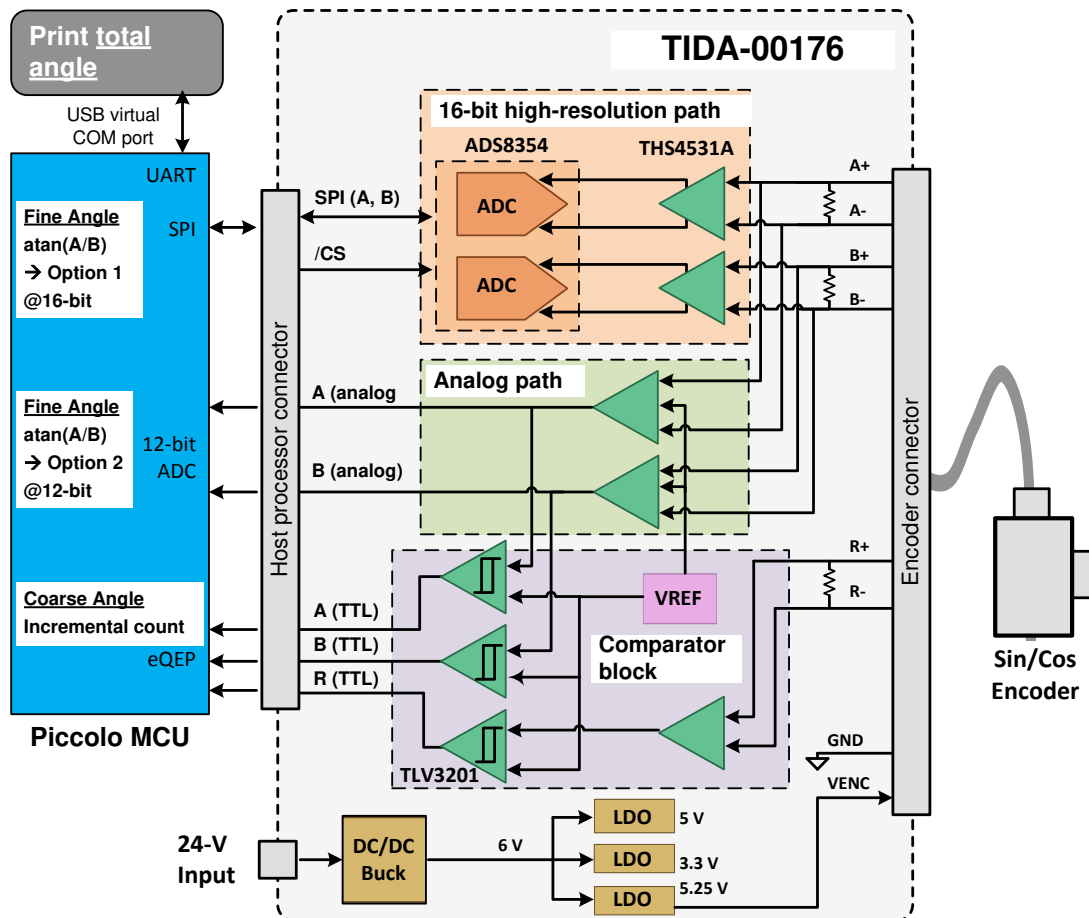


Abbildung 3-1. System-Blockdiagramm des TIDA-00176 mit Piccolo LaunchPad F28069M

Die analoge Signalkette bietet eine 120- Ω -Terminierung mit EMV-Schutz und dient der Verstärkung und Pegelverschiebung der differenziellen 1-V_{pp}-Sinus- bzw. Kosinus-Eingangssignale. Eine Option für zwei Signalwege wird ermöglicht durch einen auf der Platine integrierten Hochgeschwindigkeits-Dual-16-Bit-ADC ADS8354 mit simultaner Abtastung und SPI sowie einen analogen Weg mit zwei analogen Ausgängen mit 1,65-V-Vorspannung zur Schnittstelle mit einem externen Dual-S/H-ADC, der beispielsweise auf MCUs wie C2000 Piccolo eingebettet ist.

Der Hochgeschwindigkeits-Komparatorblock mit geringer Ausbreitungsverzögerung bietet eine einstellbare Hysteresis für bessere Rauschunempfindlichkeit und wandelt die analogen Signale A, B und den Marker R in digitale Signale mit 3,3-V-TTL-Pegel um, um eine Schnittstelle zu einem Quadratur-Encoder-Impulsmodul wie dem QEP-Modul des Piccolo-MCU C2000™ zu schaffen.

Die integrierte 24-V-Stromversorgung mit großem Eingangsspannungsbereich stellt die erforderlichen Spannungen für die analoge Signalkette sowie die 5,25 V für den Sin/Cos-Encoder bereit.

Die Sin/Cos-Encoder-Schnittstelle bietet entweder einen geschirmten 15-poligen Sub-D-Steckverbinder oder eine 8-polige Stiftleiste. Die Schnittstelle zur Host-MCU bietet digitale 3,3-V-TTL-konforme Signale für SPI und A, B und R sowie die analogen Signale A und B von 0 bis 3,3 V skaliert mit einer 1,65-V-Vorspannung.

4 Schaltkreisdesign und Komponentenauswahl

4.1 Analoge Signalkette

Abbildung 4-1 bietet einen Überblick über das Analogsignalketten-Subsystem und das Komparator-Subsystem. Für die analoge Signalkette sind zwei Wege implementiert:

- Ein hochauflösender Signalweg mit erhöhter Gleichtaktrauschunempfindlichkeit mit voll differenziellen Verstärkern und voll differenziellem Dual-16-Bit-ADC mit einem SPI-Ausgang
- Ein analoger Weg mit Differenzialeingang zu unsymmetrischem Analogausgang zur Ansteuerung des Komparators und zusätzlich zur Schnittstelle mit einem Hostprozessor mit integriertem ADC

Der duale analoge Weg bietet die Option, das Design entweder mit dem auf der Platine integrierten 16-Bit-Dual-ADC als Teil des hochauflösenden Wegs zu testen oder den analogen Differential-to-single-ended-Weg mit einer MCU mit integriertem ADC zu verwenden. Darüber hinaus sorgt der analoge Weg, da er durch einen Puffer vom hochauflösenden Weg entkoppelt ist, für eine ideale Entkopplung des Komparatorwegs. Dadurch wird das Übersprechen in den hochauflösenden analogen Weg beim Umschalten des Ausgangspegels während des Sinus- und Kosinus-Nulldurchgangs vermieden.

Ein anderer Anwendungsfall würde beide Wege verwenden. Ein Weg hätte eine verbesserte Rauschunempfindlichkeit mit einer reduzierten Bandbreite, um HF-Rauschen herauszufiltern, während der andere Weg eine Standardbandbreite bis zur maximalen Drehzahl bieten würde. Die geringere Bandbreite mit verbesserter Rauschunempfindlichkeit würde dem hochauflösenden 16-Bit-ADC zugewiesen, während der andere Weg mit Standardbandbreite mit der MCU mit integriertem ADC verbunden wäre. Die interpolierte Phase (Bogentangens) würde dann dem hochauflösenden Weg entnommen werden, wenn die Motordrehzahl niedrig ist (unter der konfigurierten Abschaltfrequenz), während bei höherer Drehzahl die interpolierte Phase aus dem anderen Weg verwendet würde. Der Hostprozessor entscheidet je nach Motordrehzahl, welcher Winkel verwendet werden soll.

Das Komparator-Subsystem erzeugt TTL-Pegelausgänge für die Signale A, B und R mit einer sehr kurzen Ausbreitungsverzögerung. Die einzelnen Subsysteme werden in den folgenden Abschnitten erläutert.

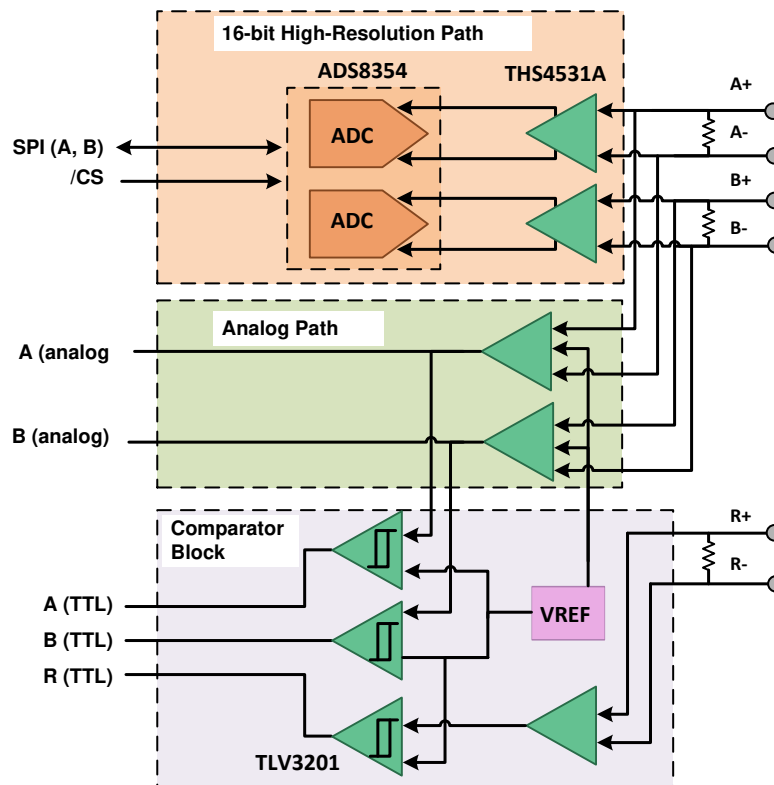


Abbildung 4-1. Analoge Signalkette

4.1.1 Hochauflösender Signalweg mit 16-Bit-Doppelabtastungs-ADC

4.1.1.1 Komponentenauswahl

Zur Erfüllung der Designanforderungen wird ein hochpräziser Zweikanal-ADC benötigt. ADS8354 wurde aus folgenden Gründen ausgewählt:

- Hohe Auflösung (16 Bit) mit hoher Präzision (hervorragende THD- und SNR-Leistung von – 93 dB SNR, – 100 dB THD)
- Drop-in- und pinkompatible 14-Bit- und 12-Bit-Versionen für Flexibilität hinsichtlich erforderlicher Auflösung in Abwägung mit der Kostenoptimierung
- Hohe Geschwindigkeit (700 kSPS) und Bandbreite zur Unterstützung von Analogeingangssignalen mit mindestens 500 kHz
- Zwei Kanäle mit echten Differenzialeingängen und dualen/unabhängigen Referenzspannungen zur Verbesserung der Immunität gegen Gleichtaktrauschen
- Zweikanalige, simultane Abtastung von zwei Kanälen, um eine Phasenverschiebung von Null zwischen den Sin- und Cos-Eingangssignalen A und B zu gewährleisten
- Durch Hardware ausgelöster Abtastpunkt (abfallende Flanke von /CS) ermöglicht es dem Hostprozessor, den Abtastpunkt präzise mit dem inkrementellen Zähler-Haltespeicher zu synchronisieren.
- Der Sample-and-Hold-Schaltkreis kehrt nach Abschluss des Wandlungsvorgangs in den Abtastmodus zurück, wodurch relativ lange Abtastzeiten zum Einschwingen auf 16-Bit-Genauigkeit entstehen
- Duale, programmierbare und gepufferte interne 2,5-V-Referenz zur Bereitstellung von Gleichtakt-Vorspannung an den Verstärker, um Offset- und Offset-Drift-bezogene Fehler nahezu zu beseitigen.
- Serielle Schnittstelle zum Hostprozessor (Dual-Daten) mit bis zu 24 MHz Taktfrequenz zur Minimierung der Latenz
- Vollständig spezifiziert für den erweiterten industriellen Temperaturbereich: – 40 °C bis 125 °C
- Kleines Gehäuse

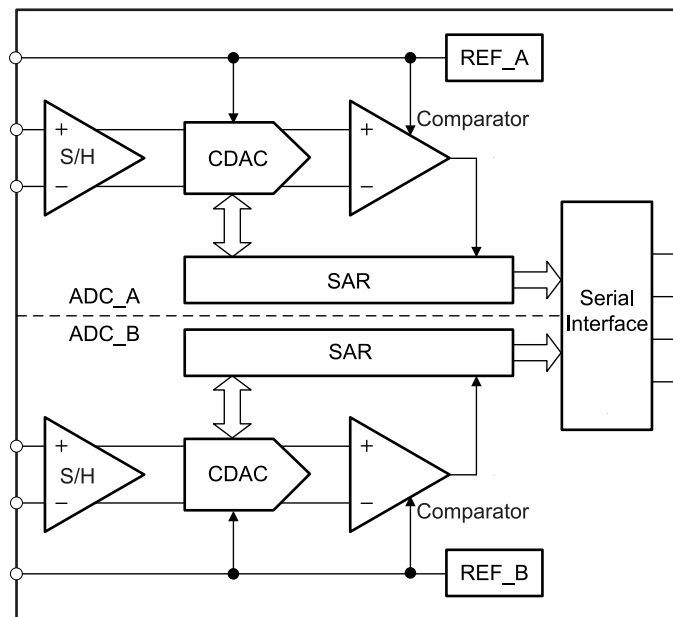


Abbildung 4-2. ADS8354 Blockschaltbild

Um die Leistung von ADS8354 zu nutzen, ist ein voll differenzieller Hochgeschwindigkeitsverstärker mit konfigurierbarer Ausgangs-Gleichtaktspannung, wie z. B. die THS45xx-Produktfamilie, erforderlich.

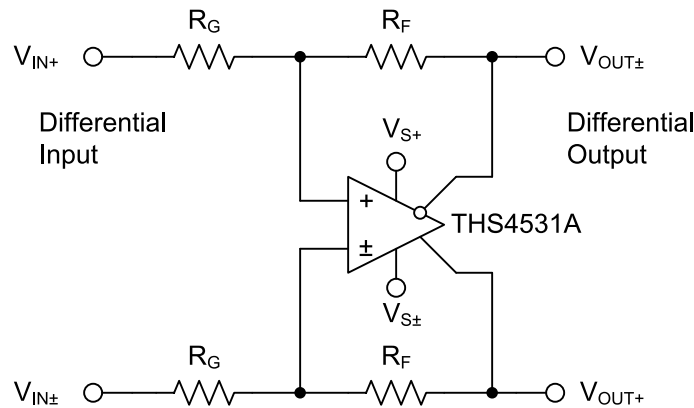


Abbildung 4-3. Differenzialeingang-zu-Differenzialausgang-Verstärker

Das Signal bleibt vollständig differenziell, Verstärkung und optionale Filterung werden durch die Eingangs- und Rückkopplungswiderstände sowie Kondensatoren definiert. Die Verstärkung wird durch das Verhältnis von R_F/R_G und die Ausgangs-Gleichtaktspannung durch das Eingangssignal V_{OCM} festgelegt.

THS4531A wurde gewählt, da er die Topologie erfüllt, ADS8354 ansteuern kann und die AC- und DC-Anforderungen erfüllt, die in [Sektion 1.4](#) spezifiziert sind. Anstelle des doppelten Differenzialverstärkers pro Gehäuse wie bei THS4532 wurde eine einzelne Verstärkertopologie pro Gehäuse verwendet, um Flexibilität und einfacheres PCB-Routing zu ermöglichen.

Die wichtigsten Parameter von THS4531A für die Verwendung in diesem Design sind:

- Vollständig differenzielle Architektur mit einstellbarer Ausgangs-Gleichtaktspannung
- Hohe Verstärkungsbandbreite: 27 MHz (6 MHz bei $G = 5$)
- Geringe Verzerrungen, THD – 120 dBc bei 1 kHz ($1 V_{RMS}$, $R_L = 2 k\Omega$)
- Niedriges Eingangsspannungsrauschen: 10 nV/ $\sqrt{Hz}$ bei 1 kHz
- Sehr geringer Offset, V_{OS} : $\pm 100 \mu V$
- Sehr geringe Offset-Drift, V_{OS} -Drift: $\pm 2 \mu V/^{\circ}C$ (industrieller Temperaturbereich)
- Einzelne 5-V-Stromversorgung zur Nutzung derselben Versorgung wie ADS8354
- Rail-to-Rail-Ausgang (RRO) und Negative-Schiene-Eingang (NRI) zur Maximierung der Eingangs- und Ausgangssignalamplitude

4.1.1.2 Eingangssignalabschluss und -schutz

Die Differenzialeingangssignale werden mit jeweils 120- Ω -Widerständen terminiert. COG-Kondensatoren werden zur Differential- und Gleichtakt-HF-Rauschunterdrückung hinzugefügt. Die Grenzfrequenz des differentiellen Tiefpassfilters

(– 3 dB) beträgt etwa 6 MHz. Der impulsfeste 10- Ω /1-%-Widerstand in Verbindung mit Schottky-Diodenklemme dient an der 5-V-Schiene oder GND zum ESD-Schutz mit Eingangsstrombegrenzung. [Abbildung 4-4](#) zeigt die TIDA-00176-Schaltpläne der Eingangsstufe für die Differenzialsignale A+ (Sinus) und A– (Kosinus) des Encoders.

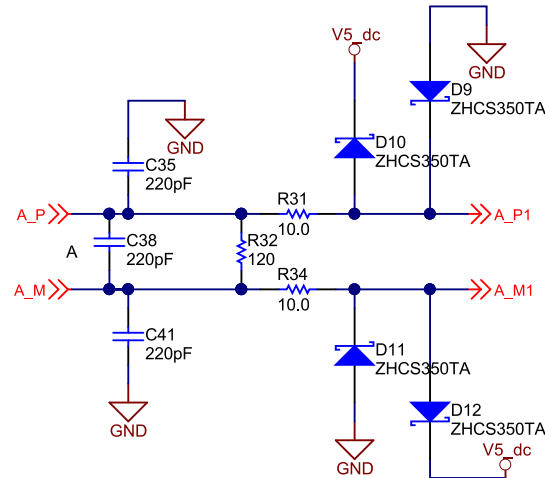


Abbildung 4-4. Terminierung von Analogeingängen

Anhand der Encoder-Signale A+/A– (im Schaltplan „A_P – A_M“ genannt) im Schaltplan des Signalumformungsblocks von links nach rechts lassen sich die folgenden Teile/Funktionen unterscheiden:

- Die COG-Kondensatoren zur HF-Rauschunterdrückung: C35, C38 und C41. Zur besseren Gleichtaktunterdrückung kann ein zusätzlicher 2-nF-COG-Kondensator parallel zum 220-pF-Kondensator von jedem Differenzialeingang zu GND platziert werden. Die Tiefpass-Grenzfrequenz (– 3 dB) beträgt etwa 6 MHz.
- Der Impedanzanpassungs-/Abschlusswiderstand mit 120 Ω : R32
- Strombegrenzungswiderstände mit impulsfestem Strom: R31, R34
- Klemmdioden/Operationsverstärker-Eingangsschutz (D9 bis D12) zur 5-V-Schiene und GND

Die LP-Filter sind so konzipiert, dass sie die ordnungsgemäße Funktionalität und Leistung bei der in den Systemspezifikationen angegebenen Drehzahl gewährleisten.

4.1.1.3 Differenzialverstärker THS4531A und 16-Bit-ADC ADS8354

Die beiden Primärschaltungen, die zur Maximierung der Leistung eines hochpräzisen SAR-ADCs (Successive Approximation Register) erforderlich sind, sind der Eingangstreiber- und die Referenztreiber-Schaltungen. Weitere Informationen zur Auswahl des Verstärkers finden Sie im Datenblatt zu ADS8354, Abschnitt 9.1.

THS4531A ist auf die Funktion in Kombination mit ADS8354 ausgelegt. Tatsächlich wird der Gleichtakt- oder DC-Pegel des Eingangssignals (2,5 V Nennspannung) direkt vom Referenz Ausgang von ADS8354 selbst an THS4531A geliefert, um mögliche Offset- und Drift-Fehler zu minimieren.

Der Vollausschlagsbereich des Differenzeingangs von ADS8354 wurde auf $\pm 2 \times V_{REF}$ konfiguriert. Bei der Referenzspannung $V_{REF} = 2,5 \text{ V}$ ergibt sich ein Vollausschlagsbereich von $\pm 5 \text{ V}$. Die maximale differenzielle Eingangsspannung des Sin/Cos-Encoders beträgt $1,2 V_{PP}$. Eine Spannung über $1,35 V_{PP}$ sollte weiterhin als Fehler erkannt werden. Die maximale Spitze-Spitze-Spannung enthält eine Sicherheitsmarge von 50 % und beträgt dementsprechend $1,8 V_{PP}$. Um dem Vollausschlag-Eingangsbereich des ADC zu entsprechen, sollte der Verstärkungsfaktor von THS4531A 5,5 betragen. Um jedoch bei einer 5-V-Versorgung, die mindestens 0,25 bis 4,8 V beträgt, im linearen Ausgangsspannungsbereich von THS4531A zu bleiben, sollte der Verstärkungsfaktor um etwa 10 % reduziert werden, daher wäre der ideale Verstärkungsfaktor des Differenzverstärkers 5.

Um Verstärkungsfehler und insbesondere den Drift zwischen den Kanälen so gering wie möglich zu halten, sind hochpräzise, abgestimmte Widerstände mit 0,1 % Genauigkeit und 2 ppm/K Temperaturdrift erforderlich. Um das Rauschen zu minimieren, sollten die Rückkopplungswiderstände im unteren k Ω -Bereich gewählt werden (siehe [Sektion 1.4](#)).

Ein präziser Abschlusswiderstandsteiler wird verwendet, um potenzielle Verstärkungsfehler so klein wie möglich zu halten. Einzelheiten finden Sie im MPMT10015001AT1-Datenblatt.

Aufgrund des Verstärkungsfaktors von 5 nutzt ein typisches V_{PP} -Eingangssignal von 1 V etwa 50 % des Vollausschlagsbereichs (FSR) des ADC, was zu einem Verlust von 1 Bit Genauigkeit führt und daher eine äquivalente 15-Bit-Auflösung ergibt. Die niedrigere Eingangsspannung von $0,6 V_{PP}$ nutzt etwa 25 % des Vollausschlagsbereichs, was typischerweise einer 14-Bit-Auflösung entspricht.

[Abbildung 4-5](#) zeigt die Schaltpläne des hochpräzisen analogen Signalwegs; die Einstellwiderstände für die angepasste Verstärkung sind R18, R27, R30 und R37.

Die seriellen 10- Ω -Widerstände R21, R25 und der 2,2-nF-Kondensator C29 (R33, R36 und C39 für ADS8354-Kanal B) vom Anti-Aliasing-Filter. Der über die ADC-Eingänge verbundene Filterkondensator C29 (C39) filtert das Rauschen aus der Frontend-Antriebsschaltung, reduziert die Abtastladungsinjektion und stellt einen Charge Bucket zum schnellen Laden der internen Sample-and-Hold-Kondensatoren während des Erfassungsprozesses bereit. Als Faustregel gilt, dass der Wert dieses Kondensators mindestens 10-mal so hoch sein sollte wie der spezifizierte Wert der ADC-Abtastkapazität. Bei diesen Bausteinen beträgt die Eingangsabtastkapazität 40 pF. Bei dem Kondensator sollte es sich um einen COG- oder NPO-Kondensator handeln, da diese Kondensatortypen einen hohen Q-Wert und einen niedrigen Temperaturkoeffizienten sowie stabile elektrische Eigenschaften bei unterschiedlichen Spannungen, Frequenzen und Zeiten aufweisen. Um Stabilitätsprobleme bei den Verstärkern zu vermeiden, werden am Ausgang der Verstärker die seriellen 10- Ω -Isolationswiderstände R21, R25 (R31, R39) verwendet. Einzelheiten finden Sie im Abschnitt 9.1 des ADS8354-Datenblatts.

Um die Auswirkungen eines Offset-Drift der ADC-Referenzen REFIO_A und REFIO_B zu minimieren, werden die ADC-Referenzen für eine Vorspannung der Gleichtakt-Ausgangsspannung von THS4531A verwendet. Zum Puffern und Entkoppeln des V_{OCM} -Signals an THS4531A werden an jedem Kontakt kleine RC-Filter mit R24/C32 und R35/C42, R28, R29, C36 und C37, hinzugefügt.

Die ADS8354 Referenzspannungen REFIO_A und REFIO_B werden mit einem 10-uF-Kondensator C36 bzw. C37 entkoppelt, und ein 0,22- Ω -Widerstand wird in Reihe geschaltet, um hochfrequente Schwingungen zu vermeiden.

Zur Optimierung des Layouts für das Übersprechen mit minimalem Einsatz von Durchkontaktierungen für die kritischen Signale A+, A– und B+, B– wurden die folgenden Verbindungen hergestellt.

1. Das Differenzeingangssignal A (A+, A–) ist am Eingang von THS4531A invertiert und in den ADS8354-Eingangskanal B eingespeist worden.

2. Das differenzielle Ausgangssignal von THS4531A, B+ und B–, wurde invertiert mit den ADS8354-Eingangspins AINP_A zu B– und AINM_A zu B+ verbunden

Daraus ergibt sich die folgende Hardware-Beziehung: Der ADS8354-Kanal B entspricht dem invertierten Sin/Cos-Encoder-Signal A; der ADS8354-Kanal A entspricht dem invertierten Sin/Cos-Encoder-Signal B.

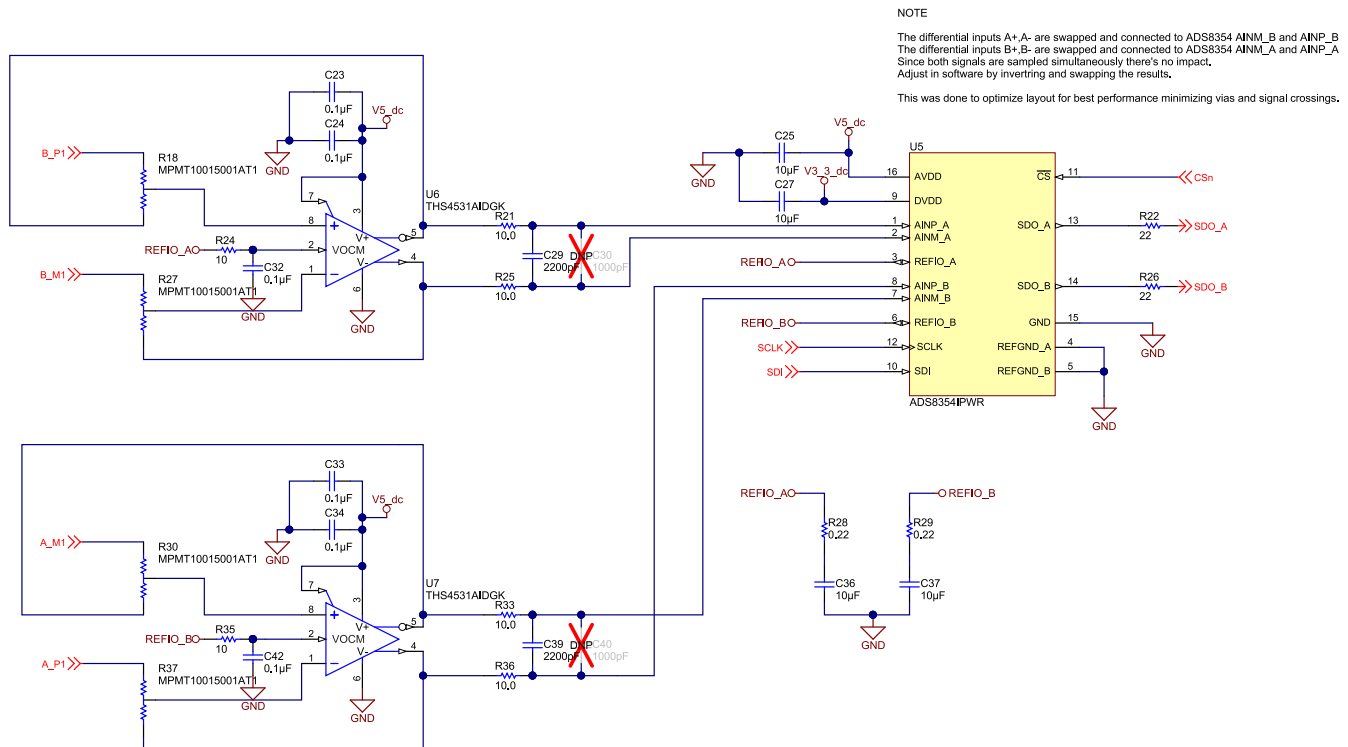


Abbildung 4-5. Sin- und Cos-Signalkette mit Dual THS4531A und ADS8354

NOTE

Die Kanäle werden invertiert und getauscht, um ein optimales Leistungslayout zu erreichen und die Anzahl der Durchkontaktierungen zu minimieren.

Für eine höhere Störfestigkeit bei reduzierter Bandbreite wird je nach gewünschter Bandbreite ein Kondensator von mindestens 10 pF (1 % oder besser) im Rückkopplungspfad parallel zu den 5 kΩ empfohlen. Siehe [Sektion 4.5](#).

Die Konfiguration von ADS8354 Register über eine serielle Schnittstelle wird in [Sektion 4.3](#) erklärt.

4.1.2 Analoger Signalweg mit unsymmetrischem Ausgang für MCU mit eingebettetem ADC

Der parallele analoge Signalweg sollte sich nicht auf den hochauflösenden Weg und insbesondere den Differenzialverstärker auswirken. Daher werden die Differenzialsignale A+, A–, B+ und B– nach der Eingangsterminierung und dem Eingangsschutz abgegriffen und mit Verstärkern mit Verstärkungsfaktor 1 mit sehr geringem Offset und insbesondere Offset-Drift gepuffert. Der folgende Verstärker sollte die Differenzialsignale in ein unsymmetrisches Signal umwandeln. Das Bandbreitenminimum sollte mindestens 500 kHz betragen und idealerweise höher sein, um inkrementelle Encoder mit höheren Ausgangssignalen als 500 kHz zu unterstützen. Die Phasenverzögerung für den Weg zum Komparator sollte dem hochauflösenden Weg entsprechen, um eine minimale Phasenverschiebung des Analogsignals zu gewährleisten.

Die Versorgungsspannung sollte 5 V aus einer einzelnen Stromversorgung betragen.

Um den hochauflösenden Kanal zu verwenden, sollte die Summe des Offset-Drifts beider Operationsverstärker eine äquivalente Genauigkeit von mindestens 12 Bit aufweisen und im Idealfall der analogen Leistung des hochauflösenden Kanals entsprechen. Für den Eingangspuffer und die den Differential-to-single-ended-Wandlung wurde aus folgenden Gründen OPA2365 gewählt:

- 2,2-V- bis 5,5-V-Betrieb zur Nutzung einer 5-V-Schiene
- Rail-to-Rail-E/A-Operationsverstärker
- Sehr geringer Offset und Offset-Drift: 200 μV (max.) und 1 $\mu\text{V/K}$ (typisch)
- Geringes Spannungs- und Stromrauschen: 4,5 nV/SQRT(Hz) und 0,004 pA/SQRT(Hz)
- Hervorragende THD+N: 0,0004 %
- Hohe Gleichtaktunterdrückung, CMRR: 100 dB (min.)
- Anstiegsrate: 25 V/ μs
- Schnelles Einschwingverhalten: 300 ns bis 0,01 % zur Ansteuerung des externen ADC

Eine weitere Option ist OPA2322, eine kostengünstigere Alternative mit 2 mV Offsetspannung und leicht reduzierter AC- und DC-Leistung.

Die analoge Ausgangsspannung sollte von 0 bis 3,3V mit einem 1,65-V-Gleichtakt skaliert werden. Bei Anwendung der gleichen Kriterien in [Sektion 4.1.1](#) mit einer maximalen Eingangsspannung von 1,8 V_{PP} und einer Marge von 10 % gegenüber dem 3,3-V-FSR ergibt sich ein Verstärkungsfaktor von 1,66.

Abbildung 4-6 zeigt die Analogsignalkette für Kanal A. Kanal B ist identisch.

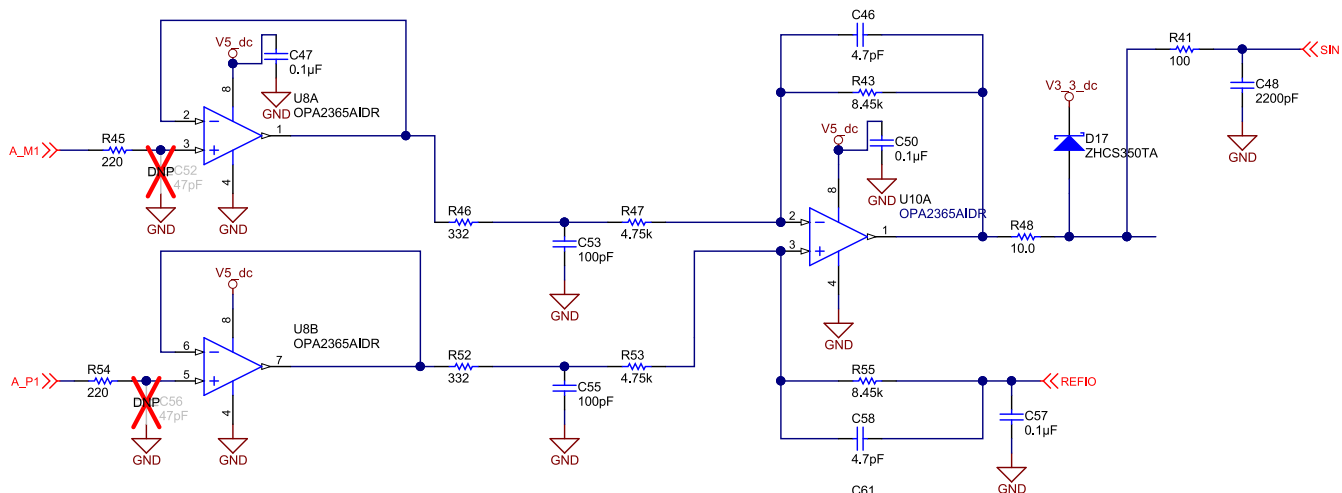


Abbildung 4-6. Analoger Signalweg mit Differenzialeingang zu unsymmetrischem Ausgang für Signal A (sin), Signal B (cos) nicht abgebildet

Die Differenzialsignale A_P und A_N sind über einen 220- Ω -Widerstand mit dem nicht invertierenden Eingang von OPA2365 (U8A und U8B) verbunden. OPA2365 (U8A und U8B) ist als Puffer mit Verstärkungsfaktor 1 konfiguriert, um zu vermeiden, dass die Quelle belastet wird und Verzerrungen entstehen. Der Serienwiderstand mit 220 Ω begrenzt den Strom in den nicht invertierenden Eingang des OPA2365 im Falle eines Über- oder Unterspannungsereignisses. Der Ausgang jedes Puffers verwendet einen kleinen, einstellbaren RC-Filter, z. B. mit R46 und C53 in obiger Abbildung mit $f_{-3\text{ dB}} \sim 5\text{ MHz}$ zur Hochfrequenz-Rauschunterdrückung.

Der nachgeschaltete Baustein OPA2365 (U10A) ist als Differential-to-single-ended-Verstärker und Pegelumsetzer konfiguriert. Über eine driftarme Spannungsreferenz REF2033 wird der Verstärkungsfaktor auf 1,66 und die Gleichtaktspannung am Ausgang auf 1,65 V eingestellt. Für die HF-Rauschfilterung ($f_{-3\text{ dB}} \sim 3,5\text{ MHz}$) wird ein einstellbarer 5,6-pF-Rückkopplungskondensator in Parallelschaltung zum Rückkopplungswiderstand hinzugefügt, der idealerweise mit der THS4531A-Bandbreite übereinstimmt. Siehe [Sektion 4.5](#).

Da OPA2365 mit 5 V versorgt wird, wird der Ausgang des Verstärkers mit einem 10- Ω -Strombegrenzungswiderstand (R48) auf 3,3 V (D17) geklemmt. Dies dient zum Schutz des folgenden Komparators (TLV3202/1) und eines externen ADC, die in der Regel um einen 3,3 V E/A haben.

Zur Ansteuerung eines externen ADC wird ein RC-Netzwerk (R41/C48) für Anti-Aliasing und Entkopplung hinzugefügt. Der Filter wurde für die Verwendung mit dem integrierten 12-Bit-Dual-S/H-ADC der MCU-Produktfamilie C2000 Piccolo optimiert. Bei anderen ADCs muss der Filter entsprechend angepasst werden.

Die 1,65-V-Vorspannung wird mit einem 100-n-Kondensator (C57) entkoppelt. Darüber hinaus wurden LP-RC-Filter hinzugefügt, um mehr und mehr HF-Rauschkomponenten zu reduzieren, insbesondere die potenzielle vom Switcher TPS54040A.

4.1.3 Komparator-Subsystem für die digitalen Signale A, B und R

Die Komparatoren werden benötigt, um den Nulldurchgang der analogen Signale A und B sowie den Nullindex-Impuls mit dem Marker R zu erkennen und die entsprechenden digitalen 3,3-V-TTL-kompatiblen Signale A_{TTL}, B_{TTL}, und R_{TTL}, oft auch als ABZ bezeichnet, zu erzeugen. Wie in [Sektion 1.4](#) erläutert, bietet ein Komparator mit geringer Ausbreitungsverzögerung zusätzlichen Spielraum für das System.

Als Komparatoren wurden die 40-ns-MicroPOWER-Push-Pull-Ausgangskomparatoren TLV3201 (einzeln) und TLV3202 (doppelt) mit den folgenden Hauptmerkmalen ausgewählt:

- Geringe Ausbreitungsverzögerung von typisch 40 ns
- Niedrige Eingangs-Offsetspannung von typisch 1 mV, um eine minimale Drift des Schaltschwellenwerts zu gewährleisten
- Push-Pull-Ausgänge zur Ansteuerung des Eingangs eines 3,3-V-E/A-Hostprozessors
- Industrieller Temperaturbereich

Der Dual-Komparator TLC372 mit 250 ns Signallaufzeit ist eine kostengünstigere Option, je nach Signallaufzeit des Gesamtsystems und maximaler Frequenz. Der Vorteil der TLV320x-Produktfamilie besteht darin, dass damit andere Komponenten mehr Verzögerungen hinzufügen können, während gleichzeitig die erforderliche maximale Verzögerung von 500 ns bei 500 kHz beibehalten wird. So würde beispielsweise eine größere Hysterese die Ausbreitungsverzögerung erhöhen und gleichzeitig die Rauschfestigkeit verbessern.

4.1.3.1 Nicht invertierender Komparator mit Hysterese

Die Eingangssignale zu allen Komparatoren werden vom Ausgang des Single-ended-to-Differential-Verstärkers abgeleitet. Das Ausgangssignal wird wie oben beschrieben auf 3,3 V geklemmt und mit einem RC-Netzwerk entkoppelt (wie R49, C54 in [Abbildung 19](#) für Signal A), um ein Übersprechen zu den analogen unsymmetrischen Signalen A bzw. B zu vermeiden.

Zur Anpassung der Phase zwischen dem hochauflösenden Weg und diesem Weg entspricht das RC-Entkopplungsnetzwerk am Eingang zum Komparator dem RC-Filter ($2 \times 10 \Omega$ und 2,2 nF) am THS4531A-Ausgang.

TLV370x ist als nicht invertierender Komparator konfiguriert, um den Nulldurchgang der analogen Sinus- und Cosinus-Signale A und B sowie des Indeximpulses R zu erkennen. [Abbildung 4-7](#) zeigt die entsprechenden Schaltpläne für das Signal A.

Der Schaltschwellenwert wird durch die Referenzspannung $V_{REF} = 1,65 \text{ V}$ (REF2033) festgelegt, die auch als Vorspannung für die unsymmetrischen Analogsignale für den Differential-to-single-ended-Verstärker verwendet wird. Für jeden Komparator wird der Referenzeingang von REF2033 entnommen und mit einem 10- Ω -Serienwiderstand und einem 100-n-Kondensator entkoppelt.

Zur Verbesserung der Rauschunempfindlichkeit wird eine Hysterese hinzugefügt. Die Hysterese ($V_{TH+} - V_{TH-}$) eines nicht invertierenden Komparators kann berechnet werden nach [Gleichung 7](#):

$$V_{\text{Hysteresis}} = (V_{\text{Out_High}} - V_{\text{Out_Low}}) \times \frac{R_G}{R_F} \quad (7)$$

wobei $V_{\text{Out_High}}$ die Hochpegel- und $V_{\text{Out_Low}}$ die Tiefpegel-Komparatorausgangsspannung ist, R_F der Feedbackwiderstand und R_G der Eingangswiderstand in den nicht invertierenden Komparatoreingang.

Für die Konfiguration dieses Designs, wie in [Abbildung 4-7](#) beschrieben, wurde die Hysterese auf etwa 160 mV pro [Gleichung 8](#) eingestellt. Da R49 und R48 wesentlich kleiner als R50 sind, können sie vernachlässigt werden.

$$V_{\text{Hysteresis}} = 3.3 \text{ V} \times \frac{R_{50}}{R_{51}} \sim 160 \text{ mV} \quad (8)$$

Die oberen und unteren Schaltschwellenwerte V_{TH+} und V_{TH-} sind gemäß Gleichung 9 und Gleichung 10 mit der Referenzspannung $V_{REF} = 1,65 \text{ V}$ definiert.

$$V_{TH+} = 1.65 \text{ V} \times \left(1 + \frac{R50}{R51}\right) = 1.73 \text{ V} \quad (9)$$

$$V_{TH-} = (3.3 \text{ V} - 1.65 \text{ V}) \times \left(1 - \frac{R50}{R51}\right) = 1.57 \text{ V} \quad (10)$$

CAUTION

Der untere Schwellenwert ist eine Funktion der Versorgungsspannung. Allerdings beträgt die Versorgungsspannungstoleranz dieses Designs 5 %, wie bei den meisten Designs typisch. Eine Toleranz von $\pm 5 \%$ bei der 3,3-V-Versorgungsspannung würde den unteren Schwellenwert nur um $\pm 16 \text{ mV}$ beeinflussen, was einen V_{TH-} -Bereich von ca. 1,56 bis 1,59 V bedeutet, der weiterhin akzeptabel ist.

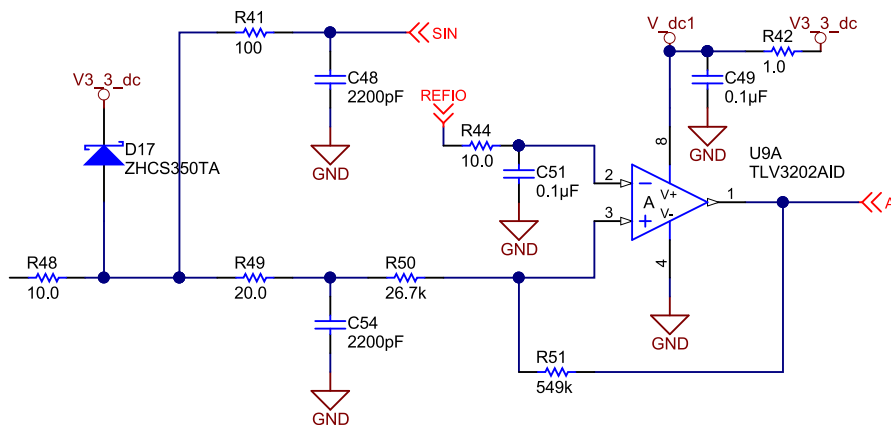


Abbildung 4-7. Signal-A-Komparator mit Hysterese

Die 3,3-V-Stromversorgung jedes Komparators wird mit einem 1-Ω-Serienwiderstand und einem 100-nF-Kondensator entkoppelt, um das Übersprechen zu anderen Komparatoren über die 3,3-V-Schiene zu minimieren. Der RC-Tiefpass aus R49 und C54 wird hinzugefügt, um den Schaltknoten der Komparatoren vom Analogsignal A/Sin zu entkoppeln, das mit einem externen ADC verbunden wird.

Die Hysterese ermöglicht ein sauberes digitales Signal, sodass eine schnelle Schaltung aufgrund von Rauschen am Nulldurchgangspunkt vermieden wird. Die Hysterese führt jedoch zu einer zusätzlichen Ausbreitungsverzögerung, die von der Analogsignalamplitude $V_{IN_PEAK-PEAK}$ am Komparatoreingang abhängt.

$$f_{\text{Hysteresis}} \sim \sin^{-1} \left(\pm \frac{160 \text{ mV}}{V_{IN_PEAK-PEAK}} \right) \quad (11)$$

Bei einer minimalen Eingangsspannung von $0,3 V_{PP}$: Der Ausgang des Differential-to-single-ended-Verstärkers (Verstärkungsfaktor = 1,66) hat aufgrund der Tiefpassfilterdämpfung eine Amplitude von $0,5 V_{PP}$ bei 0 bis 100 kHz und ca. $0,32 V_{PP}$ bei 500 kHz. Die der Hysterese entsprechende Phasenverzögerung der digitalen Signale A, B und R beträgt bei einer Eingangsspannung von $0,32 V_{PP}$ am Komparator etwa 30 Grad. Bei 500 kHz würde dies zu einer Gesamtausbreitungsverzögerung des Komparators von etwa $170 \text{ ns} + 40 \text{ ns} = 210 \text{ ns}$ führen.

Aufgrund der geringen Ausbreitungsverzögerung des TLV3201 von nur 40 ns bleibt die Gesamtverzögerung des Komparatorblocks bis zu 500kHz unter 45 Grad.

Die Komparatoren für die Signale B und R haben die gleichen Einstellungen. Auch die Puffer- und Verstärkungsstufe für den Indexmarker R ist mit den Signalen A und B identisch. Dadurch wird sichergestellt, dass die Phase des Index-Markers R bis zu einer Signalfrequenz von 500 kHz exakt mit den Signalen A und B synchron ist. Das gewährleistet, dass der Null-Index-Marker R wie angegeben etwas vor der steigenden Flanke der Signale A und B auftritt. Der Index-Marker R definiert die absolute Nullposition, daher ist eine exakte Beziehung zu den Signalen A und B erforderlich, um eine Positionsabweichung zu vermeiden.

4.2 Power-Management

Das Power-Management besteht aus einem DC/DC-Abwärtswandler, um eine 6-V-Zwischenschiene aus der 24-V-Eingangsspannung zu erzeugen. Die Encoder-Versorgungsspannung sowie die 5-V- und 3,3-V-Schienen werden von der Zwischenspannung abgeleitet, wie in [Abbildung 4-8](#) dargestellt.

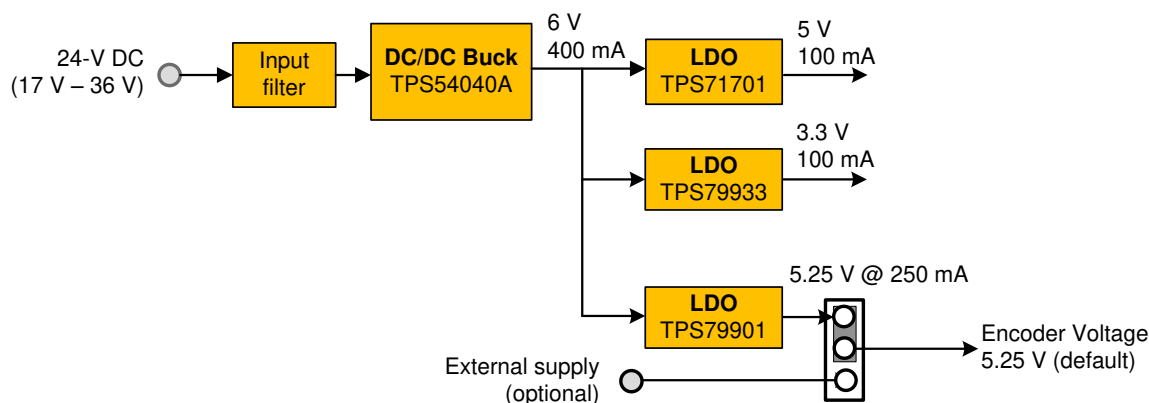


Abbildung 4-8. Power-Management-Lösung

Aufgrund der hohen Leistung, die für das System und die Lösung erforderlich ist, werden die meisten Stromschienen von rauscharmen LDOs bereitgestellt. Der Nachteil ist der begrenzte Wirkungsgrad und die geringe Ausgangsstromfähigkeit. Der maximale Ausgangsstrom ist aufgrund der hohen Leistungsverluste durch die thermische Leistung begrenzt.

Zur Reduzierung des Spannungsabfalls über den LDO-Regler ist ein hocheffizienter DC/DC-Schaltwandler zur Erzeugung einer 6-V-Zwischenschiene aus dem 24-V-Eingang erforderlich. Achten Sie darauf, das Rauschen der Schaltreglerlösung durch die richtige Anordnung und Komponentenauswahl zu minimieren.

4.2.1 24-V-Eingang auf 6-V-Zwischenschiene

Ein schaltender DC/DC-Wandler wird bereitgestellt, um die 6-V-Zwischenspannungsschiene zu ermöglichen, über die die drei LDOs versorgt werden. Dies ist eine quasi obligatorische Wahl, da jeder LDO aufgrund des hohen V_{IN}/V_{OUT} -Verhältnisses für die Leistungsumwandlung ungeeignet ist. Tatsächlich könnte der Wirkungsgrad eines LDO-Reglers einfach als V_{OUT}/V_{IN} berechnet werden, was im schlimmsten Fall (maximale V_{IN}) zu $5,25\text{ V} / 36\text{ V} \approx 14\%$ führen würde. Die restlichen 86 % der Leistungsaufnahme werden vom LDO-Gehäuse abgeführt: Ein maximaler Strom von 200 mA würde tatsächlich zu einer Verlustleistung von $36\text{ V} \times 200\text{ mA} \times 86\% = 6,2\text{ W}$ führen, die vom LDO-Gehäuse abgeleitet und jedes verhältnismäßige Gehäuse einfach und schnell sprengen würde.

Angefangen beim Eingangsfilter ist allgemein bekannt, dass leitungsgeführte EMI durch den normalen Betrieb von Schaltkreisen erzeugt werden. Große diskontinuierliche Ströme werden erzeugt, wenn sich die Leistungsschalter sehr schnell ein- und ausschalten. In einer Abwärts-Topologie liegen am Eingang des Wandlers große diskontinuierliche Ströme (hohe di/dt) vor. Die ausgewählten Werte für den Eingangsfilter sind in [Abbildung 4-9](#) dargestellt.

Weitere Details zum Design eines EMI-Eingangsfilters finden Sie im Anwendungsbericht AN-2162 – *einfacher Erfolg bei leitungsgeführter EMI von DC/DC-Wandlern* (SNVA489).

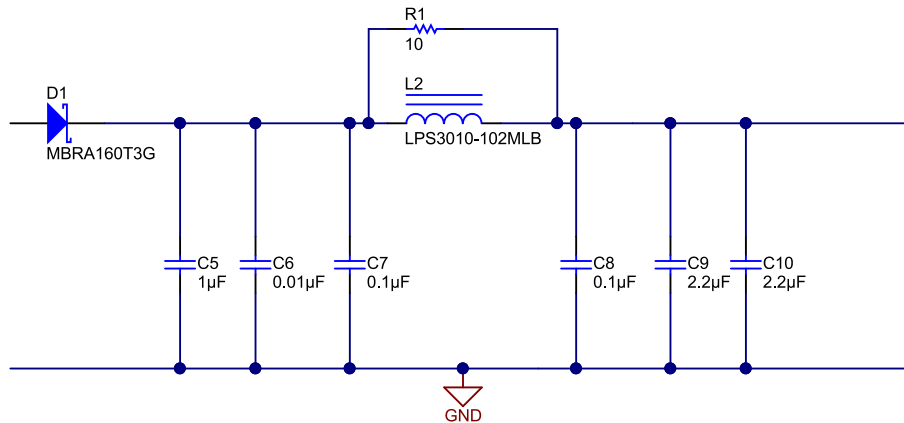


Abbildung 4-9. Eingangsfilter einschließlich Verpolungsschutz

Der DC/DC-Abwärtswandler wurde für die folgenden Spezifikationen entwickelt:

- Eingangsspannung: V_{IN} = 17 bis 36 V, 24 V Nennspannung
- Ausgangsspannung: 6 V bei 500 mA
- Schaltfrequenz: 500kHz nominal
- Ausgangsspannungswelligkeit: Max. 25 mV_{PP}
- Wirkungsgrad: > 80 % bei Vollast
- Nicht isolierte Topologie

TPS54040A wurde für diesen Zweck ausgewählt: Es handelt sich um einen Abwärtswandler mit integriertem FET, 3,5 bis 42 V Eingangsspannung und 0,8 bis 39 V Ausgangsspannung bei 500 mA Ausgangsstrom. Die Frequenz kann von 100 kHz bis 2,5 MHz eingestellt oder mit einem externen Taktgeber synchronisiert werden. Der Baustein kann auch aktiviert und deaktiviert werden. Durch diese Eigenschaften passt TPS54040A sehr gut zu den oben aufgeführten Anforderungen/Spezifikationen.

Beachten Sie, dass TPS54040A pinkompatibel mit TPS5401 ist, einer kostengünstigeren Version des TPS54040A mit ähnlicher Leistung, aber weniger genauer Ausgangsspannung und aktiviertem Schwellenwert.

Beachten Sie auch, dass TPS54040A auch mit den Modellen TPS54140A, TPS54240, TPS54340 und TPS54540 pinkompatibel ist: Dies erweitert die Auswahl der Bauteile und bietet die Möglichkeit, Kosten und Leistung zu modulieren (im Falle zukünftiger System-Upgrades).

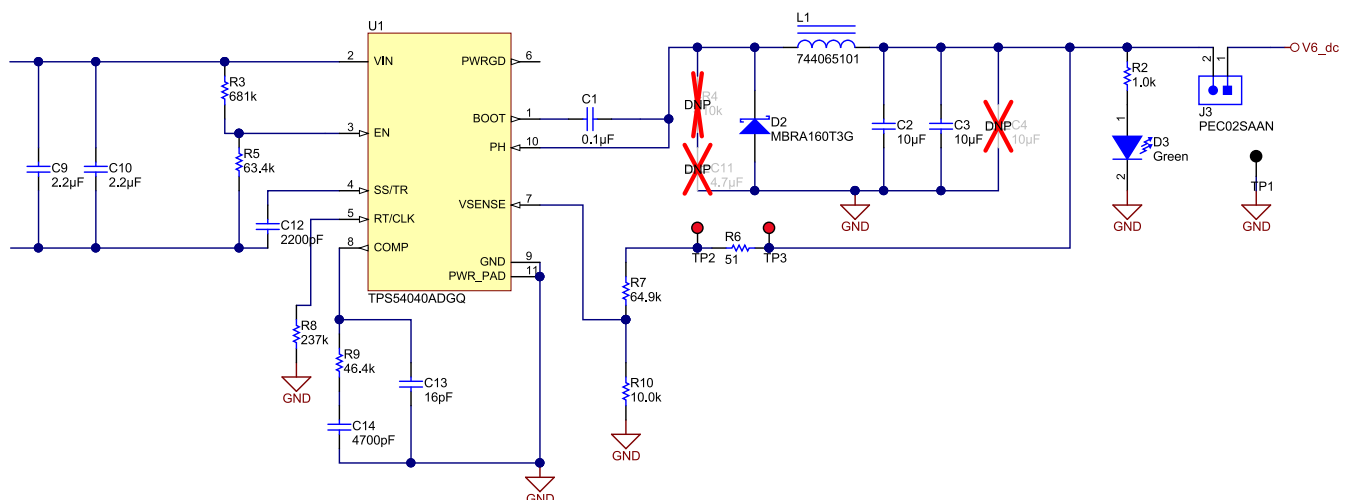


Abbildung 4-10. Schaltplan des DC/DC-Abwärtswandlers für 24 auf 6 V mit TPS54040A

Eine detaillierte Erklärung des Designprozesses finden Sie im Datenblatt zu TPS54040A oder im TI Design TIDA-00180.

In einer typischen Anwendung wird die Ausgangsspannung mithilfe eines einfachen Widerstandsteilernetzwerks eingestellt. [Gleichung 12](#) gibt den Wert des oberen Widerstands entsprechend der Ausgangsspannung, der Referenzspannung (0,8 V für TPS54040A) und dem unteren Widerstand (R10 normalerweise auf 10 kΩ festgelegt) an.

$$R7 = R10 \times \frac{V_{OUT} - 0.8 \text{ V}}{0.8 \text{ V}} \quad (12)$$

Mit $V_{OUT} = 6 \text{ V}$ und $R10 = 10 \text{ k}\Omega$ ergibt sich für R7 ein Wert von 65 kΩ.

Die Toleranz der 6-V-Ausgangsspannung beträgt $6 \text{ V} \pm 4 \%$. Dies setzt Rückkopplungswiderstände mit einer Toleranz von 1 % und eine interne Bandlückentoleranz von TPS54040A von $\pm 2 \%$ voraus.

Die Schaltfrequenz wird durch $R8 = 237 \text{ k}\Omega$ auf 500 kHz eingestellt.

In den TPS54040A-Schaltplänen sind einige Komponenten mit nicht bestücken (DNP) gekennzeichnet. Dies ist beim Snubber-Netzwerk der Fall, das aus R4 und C11 gebildet wurde. Das Snubber-Netzwerk wird für das TPS54040A-Design nicht benötigt. Ein Snubber-Netzwerk ist eine Lösung, um das Überspringen am Schalterknoten und das Übersteuern des MOSFET bei Bedarf zu reduzieren. Nähere Informationen zu anderen Optionen finden Sie im Anwendungshinweis *Methoden zur Reduzierung von Überspringen bei NexFET™-Hochleistungs-MOSFETs* ([SLPA010](#)) zur Verwendung und Berechnung des Snubber-Netzwerks.

4.2.2 Encoder-Versorgung

Für den Encoder wurde eine 5,25-V-Stromversorgung ausgewählt, um eine typische 5-V-Encoder-Versorgungsspezifikation ($\pm 5 \%$) zu erfüllen und eine zusätzliche 0,25-V-Reserve zur Kompensation des Spannungsabfalls an längeren Kabeln zum Anschließen des Encoders zu bieten.

Der LDO, der den Encoder mit 5,25 V versorgt, muss außerdem einen Aktivierungspin bereitstellen. Auf diese Weise ist es möglich, die Encoder-Versorgung von einem Hostprozessor aus zu deaktivieren oder aus- und wieder einzuschalten, um beispielsweise die Spannung am Encoder-Anschluss abzuschalten, falls kein Encoder angeschlossen ist.

Die LDOs benötigen keine spezifische Beschreibung, außer für den zulässigen Bereich von Ausgangskondensator/ESR aus Stabilitätszwecken. Das Hauptdesign betrifft hingegen das SMPS, da sich dies auf alle wichtigen Leistungen auswirkt (Rauschen, EMI, Wirkungsgrad, Kosten und Platinenplatz).

TPS79901 ist dafür ausgelegt, eine etwas höhere Spannung (5,25 V) als die nominalen 5 V zu liefern. Dabei wird ein Teil der größeren Genauigkeit des LDO verwendet, um seine thermische Belastung zu reduzieren. Kurzum, $5,25 \text{ V} \pm 2 \%$ liegen innerhalb des zulässigen Versorgungsbereichs des Encoders ($5 \text{ V} \pm 5 \%$). Auf diese Weise ist die abzuleitende Leistung

$$P_{LDO,MAX} = (V_{LDO,IN} - V_{LDO,OUT}) \times i_{LDO,MAX} = (6 \text{ V} - 5.25 \text{ V}) \times 250 \text{ mA} = 187 \text{ mW} \quad (13)$$

Bei einer Encoder-Spannung von 5 V würde die maximale Verlustleistung auf 250 mW steigen.

Bei einem $R_{thja} \approx 180 \text{ }^\circ\text{C/W}$ bedeutet dies, dass die Sperrschichttemperatur von TPS79901 bei einem maximalen Laststrom von 250 mA um weniger als $34 \text{ }^\circ\text{C}$ gegenüber der Umgebungstemperatur ansteigt. Bei einer Umgebungstemperatur von $85 \text{ }^\circ\text{C}$ beträgt die Sperrschichttemperatur beispielsweise $120 \text{ }^\circ\text{C}$.

Die Ausgangsspannung des LDO-Reglers TPS79901 wird mit 1 % der Rückkopplungswiderstände R11 und R13 gemäß [Gleichung 13](#) eingestellt, wobei 1,193 V der Nennwert der Referenzspannung TPS79901 ist:

$$V_{ENC_VCC} = 1.193 \text{ V} \times \left(1 + \frac{R11}{R13}\right) = 1.193 \times \left(1 + \frac{340\text{k}}{100\text{k}}\right) = 5.25 \text{ V} \quad (14)$$

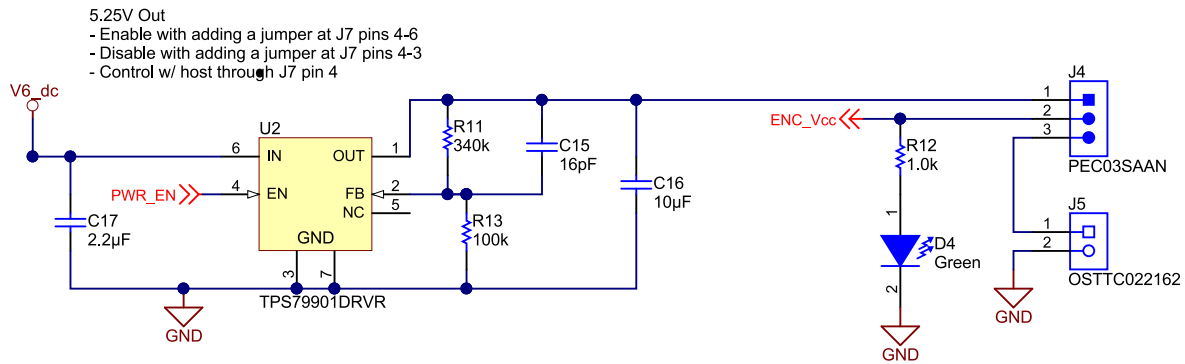


Abbildung 4-11. Schaltplan des 5,25-V-LDO für die Encoder-Versorgung

Mit einem Jumper kann zwischen dem 5,25-V-LDO-Ausgang und einer optionalen externen Stromversorgung gewählt werden. Das Signal PWR_EN ist der Standard-Pull-up, kann aber von einem Host-Mikrocontroller auf Low gesetzt werden, um die Encoder-Versorgungsspannung zu deaktivieren oder aus- und wieder einzuschalten (siehe [Sektion 4.3](#)).

4.2.3 Signalketten-Stromversorgung 5 V und 3,3 V

Aufgrund des niedrigen Stroms, der von der analogen Signalkette benötigt wird, wie in [Sektion 4.1](#) beschrieben, und um eine hohe Leistung mit sehr geringem Rauschen zu erreichen, ist der LDO wieder eine zwingende Wahl. Aufgrund des hohen PSRR der LDOs von TI wird das vom Schaltregler erzeugte AC-Rauschen blockiert und hat keinen Einfluss auf rauschempfindliche Analogbausteine wie die ADCs, Eingangspuffer und Verstärker.

Die 5-V-Schiene ist für die analogen Puffer und Verstärker sowie für die analoge Versorgungsspannung des ADC ADS8354 ausgelegt. Die 3,3 V sind für die digitale Stromversorgung des ADS8354 und der Komparatoren ausgelegt, um eine 3,3-V-Schnittstelle zum Hostprozessor ohne Notwendigkeit für E/A-Pegelverschieber zu gewährleisten. Aufgrund des geringen Stromverbrauchs der ausgewählten Komponenten wurde für die 3,3-V- und 5-V-Schiene jeweils ein LDO mit einem Nennausgangsstrom von 100mA ausgewählt.

Für die 3,3-V-Schiene wurde ein fester 3,3-V-LDO TPS79933 verwendet, für die 5-V-Schiene wurde TPS71701 verwendet. Der Schaltplan ist in [Abbildung 4-12](#) dargestellt. Die 5-V-Ausgangsspannung wird durch die Rückkopplungswiderstände R15 und R16 mit der TPS71701-V_{REF} = 0,8 V eingestellt, gemäß [Gleichung 15](#).

$$V_{5V} = V_{REF} \times \left(1 + \frac{R15}{R16}\right) = 0.8 \text{ V} \times \left(1 + \frac{845k}{160k}\right) = 5.02 \text{ V} \quad (15)$$

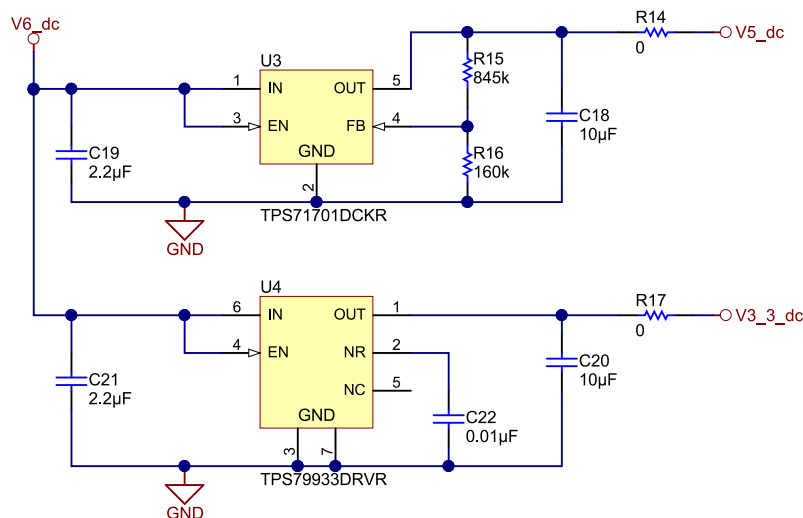


Abbildung 4-12. Schaltplan für 5-V- und 3,3-V-Spannungsregler für Signalkette

4.3 Hostprozessor-Schnittstelle

4.3.1 Signalbeschreibung

Für den Anschluss an einen Hostprozessor steht eine 10-polige Stiftleisten-Schnittstelle zur Verfügung. Die Stiftleiste liefert die erforderlichen Signale zur Berechnung des hochauflösenden interpolierten Winkels für beide Signalwege mit dem Dual-16-Bit-ADC ADS8354 und einem eingebetteten Dual-S/H-ADC, sofern verfügbar.

Die Schnittstelle ist kompatibel zu Systemen mit 3,3-V-E/A. Um eine stabile GND-Verbindung zu haben, sind alle ungeraden Pins GND zugeordnet. Die verfügbaren Signale sind in [Tabelle 4-1](#) aufgelistet.

Tabelle 4-1. TIDA-00176-Schnittstellenanschluss zur Host-MCU

FUNKTION	SIGNALE	E/A (3,3 V)	KOMMENTAR
Hochauflösender 16-Bit-Ausgangskanal für A, B mit ADS8354 und SPI (Slave)	SDI (E)	Digital-Eingang	Dateneingang für serielle Kommunikation. Wird für die Konfiguration des dualen Abtastmodus verwendet
	/CS (E)	Digital-Eingang	Chip-Auswahlsignal; Active-Low. Abfallende Flanke von /CS latched den Analogeingang (Hold) und initiiert eine neue Wandlung. Verwenden Sie die abfallende Flanke von /CS, um den QEP-Zähler synchron auf dem Hostprozessor zu latched, wie z. B. auf dem Piccolo-MCU
	SCLK (E)	Digitaleingang, bis zu 24 MHz	Taktgeber für serielle Kommunikation
	SDO_A (A)	Digitalausgang	Datenausgang für serielle Kommunikation, Kanal A und Kanal B. 16-Bit-2-Komplementärdaten auf jedem Kanal A und Kanal B. Signalverstärkungsfaktor zwischen Eingang und Ausgang = 5.
	SDO_B (A)	Digitalausgang	Datenausgang für seriellen Kommunikationskanal B.
Digitale quadraturcodierte Signale A, B und Index-Marker R	ATTTL (A)	Digitalausgang	160 mV Hysterese für A, B und R, konfigurierbar
	BTTL (A)	Digitalausgang	
	RTTL (A)	Digitalausgang	
Analoger unsymmetrischer Ausgangskanal für A und B.	A/Sin (A)	Analogausgang 0 bis 3,3 V, 1,65 V Vorspannung (unsymmetrisch)	Nennausgangsbereich: 0,82 V–2,48 V ($1,65 \pm 0,83$ V) für 1 V _{PP} , Verstärkungsfaktor = 1,66, Vorspannung = 1,65 V.
	B/cos (A)	Analogausgang 0 bis 3,3 V, 1,65 V Vorspannung (unsymmetrisch)	Nennausgangsbereich: 0,82 V–2,48 V ($1,65 \pm 0,83$ V) für 1 V _{PP} , Verstärkungsfaktor = 1,66, Vorspannung = 1,65 V.

Einzelheiten zur Steckerkontaktbelegung siehe [Sektion 6](#).

CAUTION

Um die Analogeingangsabtastung des 16-Bit-Doppelabtastungs-ADC ADS8354 mit einem QEP-Inkrementalzählermodul zu synchronisieren, verwenden Sie das /CS-Signal zum ADS8354, um auch den QEP-Zähler zu latched. Bei einer MCU wie Piccolo muss /CS an den eQEP-Stroboskopeingangspin EPEPxS angeschlossen werden, wobei x die Modulnummer ist. Das Piccolo-eQEPx-Modul kann konfiguriert werden, um den QEP-Zähler an einer abfallenden Flanke des EQEPxS-Pins zu latched.

4.3.2 Hochauflösender Pfad unter Verwendung des 16-Bit-Dual-ADC ADS8354 mit seriellem Ausgang

In diesem Abschnitt wird die Konfiguration von ADS8354 über die serielle Schnittstelle beschrieben. Dies unterteilt sich in die Programmierung des gesamten Eingangsspannungsbereichs mit der internen ADS8354-Referenz sowie der seriellen Datenübertragung.

4.3.2.1 Ausgabedatenformat des Vollausschlagsbereichs von ADS8354

Zur Verwendung in diesem Design sollte der ADS8354 für einen Eingangsbereich von $\pm 2 \times V_{REF}$ konfiguriert werden. Die interne Referenzspannung V_{REF} sollte auf 2,5 V eingestellt werden, um einen FSR von ± 5 V zu erhalten.

Tabelle 4-2. ADS8354-Übertragungscharakteristik für TIDA-00176

EINGANGSSPANNUNG: A _{INP} _x – A _{INM} _x	MODUS	EINGANGSSPANNUNG	AUSGANGSCODE (HEX)
< -5 V	$\pm 2 \times V_{REF}$ -BEREICH	NFSC	8000
- 5 V + 1 LSB		NFSR	8001
-1 LSB		-1 LSB	FFFF
0		0	0000
> 5 V – 1 LSB		PFSR – 1 LSB	7FFF

Das Ausgabedatenformat für jeden Kanal A und B ist eine 16-Bit-Ganzzahl-Ausgabe mit Vorzeichen (Zweierkomplement).

4.3.2.2 Serielle Datenschnittstelle von ADS8354

ADS8354 verwendet den seriellen Taktgeber (SCLK) für die Synchronisierung von Datenübertragungen zum und vom Baustein. Das CS-Signal definiert einen Frame für Umwandlung und serielle Übertragung. Ein Frame beginnt mit einer abfallenden CS-Flanke und endet mit einer steigenden CS-Flanke. Zwischen Anfang und Ende des Frames muss ein Minimum von N abfallenden SCLK-Flanken bereitgestellt werden, um den Lese- oder Schreibvorgang zu validieren. Wie in [Tabelle 4-3](#) gezeigt, hängt N vom Schnittstellenmodus ab, der zum Lesen des Wandlungsergebnisses verwendet wird. Wenn N abfallende SCLK-Flanken bereitgestellt werden, wird der im Frame versuchte Schreibvorgang validiert und die internen benutzerprogrammierbaren Register werden auf der nachfolgenden steigenden CS-Flanke aktualisiert. Diese steigende CS-Flanke beendet auch den Frame. Wenn CS ansteigt, bevor N abfallende SCLK-Flanken bereitgestellt werden, ist der im Frame versuchte Schreibvorgang nicht gültig.

Tabelle 4-3. ADS8354 – abfallende SCLK-Flanken für einen gültigen Schreibvorgang

SCHNITTSTELLENMODUS	ZUM VALIDIEREN DES SCHREIBVORGANGS MINDESTENS ERFORDERLICHE ABFALLENDE SCLK-FLANKEN N
32-CLK-Dual-SDO-Modus (Standard)	32
32-CLK-Einzel-SDO-Modus	48
16-CLK-Dual-SDO-Modus	16
16-CLK-Einzel-SDO-Modus	32

Die Beispiel-Firmware des Piccolo-MCU F28069M initialisiert den ADS8354 im 32-CLK-Einzel-SDO-Modus.

Weitere Details zum Seriellen-Schnittstelle-Modus und zu den Lese- und Schreibvorgängen finden Sie im Datenblatt zu ADxx54.

4.3.2.3 Wandlungsdaten von ADS8354 lesen

Wie in [Tabelle 4-3](#) beschrieben bietet das Gerät vier verschiedene Schnittstellenmodi für den Benutzer. Diese können auch zum Lesen des Wandlungsergebnisses verwendet werden. Diese Modi bieten flexible Hardwareverbindungen und Firmware-Programmierung. In den 32-CLK-Schnittstellenmodi verwendet der Baustein einen internen Takt, um das abgetastete Analogsignal umzuwandeln. Die Wandlung wird in den ersten 16 Perioden von SCLK abgeschlossen und das Wandlungsergebnis kann auf den nachfolgenden abfallenden Flanken von SCLK abgelesen werden. Alle Bausteine der Familie (d. h. ADS8354, ADS7854 und ADS7254) unterstützen die 32-CLK-Schnittstellenmodi. Neben den 32-CLK-Schnittstellenmodi unterstützen die Bausteine ADS7854 und ADS7254 auch die 16-CLK-Schnittstellenmodi. Durch die Verwendung der 16-CLK-Schnittstellenmodi kann der gleiche Durchsatz bei viel geringeren SCLK-Geschwindigkeiten erreicht werden.

Die Beispiel-Firmware des Piccolo-MCU F28069M initialisiert den ADS8354 im 32-CLK-Einzel-SDO-Modus.

Der 32-CLK-Einzel-SDO-Modus bietet die Möglichkeit, nur einen SDO-Pin (SDO_A) zum Auslesen der Wandlungsergebnisse von beiden ADCs (ADC_A und ADC_B) zu verwenden. SDO_B bleibt als Tri-State und kann als verbindungsloser Pin (NC) behandelt werden. [Abbildung 4-13](#) zeigt ein detailliertes Zeitverlaufsdiagramm für diesen Modus.

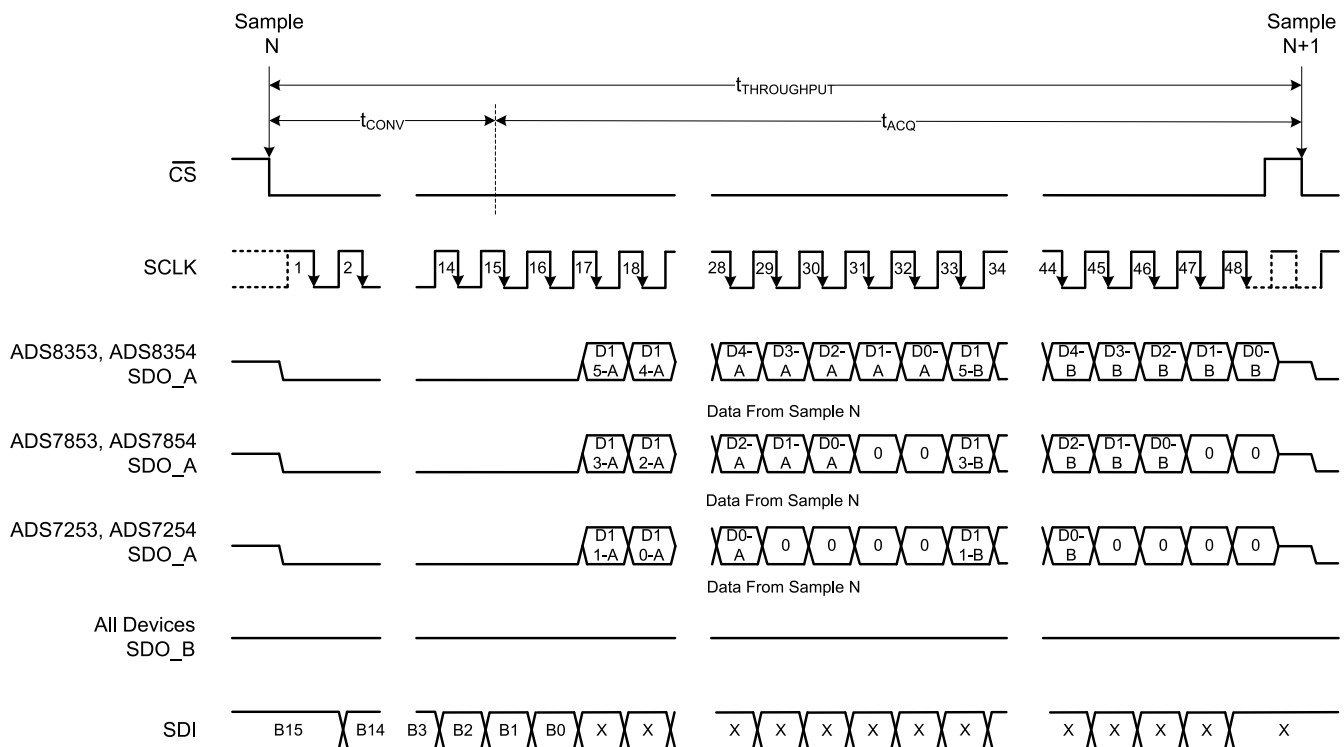


Abbildung 4-13. Zeitdiagramm des 32-CLK-Einzel-SDO-Modus

Eine fallende CS-Flanke holt den seriellen Datenbus aus dem Tri-State und gibt außerdem eine 0 am SDO_A-Pin aus. Das Gerät wandelt den abgetasteten Analogeingang während der Wandlungszeit (t_{CONV}) um. SDO_A hat in diesem Zeitraum den Ablesewert 0. Nach Abschluss des Wandlungsvorgangs wechselt der Sample-and-Hold-Schaltkreis wieder in den Abtastmodus. Das Gerät gibt den MSB von ADC_A auf dem SDO_A-Pin auf der abfallenden Flanke des 16. SCLK aus. Die nachfolgenden abfallenden SCLK-Flanken werden verwendet, um das Wandlungsergebnis von ADC_A und anschließend das Wandlungsergebnis von ADC_B auf dem SDO_A-Kontakt heraus zu verschieben. In diesem Modus müssen mindestens 48 abfallende SCLK-Flanken angegeben werden, um den Lese- oder Schreibrahmen zu validieren. Eine steigende CS-Flanke beendet den Frame und versetzt den seriellen Bus in den Tri-State.

Weitere Einzelheiten finden Sie im Datenblatt zu ADSxx54.

4.3.2.4 Registerkonfiguration für ADS8354

Zur Auswahl der Modi, wie in den vorherigen Abschnitten erläutert, werden die Register REFDAC_A, REFDAC_B und CFR von ADS8354 wie folgt programmiert.

REFDAC_X und CFR sind 16-Bit-Register und werden wie in [Tabelle 4-4](#) gezeigt programmiert, wobei die oberen

4 Bit den Schreib-/Lesemodus und das entsprechende Register auswählen.

Tabelle 4-4. Registerkonfiguration für ADS8354

REGISTER	DATEN (HEX)	KOMMENTAR
REFDAC_A	9FF8	Schreibmodus auf REFDAC_A, wählt $V_{REF_A} = 2,5\text{ V}$
REFDAC_B	AFF8	Schreibmodus auf REFDAC_B, wählt $V_{REF_B} = 2,5\text{ V}$
CFR	8640	Schreibmodus auf CFR, wählt 32-CLK-Dual-SDO-Modus mit A und B auf SDO_A, $FSR = \pm 2 \times V_{REF}$, wählt interne V_{REF}

Weitere Einzelheiten finden Sie im Datenblatt zu ADSxx54.

4.4 Encoder-Anschluss

Zwei Anschlussoptionen sind für die Schnittstelle zu Sin/Cos-Encodern verfügbar. Der Standardanschluss ist eine abgeschirmte SubD-15-Buchse. Die andere Option ist eine 8-polige Stiftleiste. Einzelheiten zur Steckerbelegung siehe [Sektion 6](#).

4.5 Design-Upgrades

Hochauflösender Weg: Um die Rauschunempfindlichkeit des hochauflösenden Kanals weiter zu erhöhen, wird für den Differenzverstärker THS4531A ein Tiefpassfilter erster Ordnung empfohlen. Zur Verwendung des hochauflösenden Kanals bis zu 500 kHz wird ein 33-pF-Kondensator mit jeweils 1 % NPO/COG im THS4531A Rückkopplungsweg parallel zum abgestimmten 5-k Ω -Widerstand empfohlen. Bei niedrigeren Grenzfrequenzen sollte der Kondensatorwert entsprechend höher sein.

Der 5,25-V-LDO mit Ausgangsfreigabe über Signal PWR_EN: Obwohl der Stecker J-7, Pin 4 verfügbar ist, um sicherzustellen, dass der Eingang zum LDO immer mit entweder einem Pull-up (Jumper: J7 4-6) oder Pull-down (Jumper: J7 4-3) terminiert wird, wird ein zusätzlicher Pull-up von 10k aus U2, Pin 4 bis 3,3V ($V3_3_dc$) empfohlen.

5 Software design

5.1 Übersicht

Jeder integrierte Prozessor oder Mikrocontroller mit einem integrierten quadraturcodierten Impulszähler und SPI kann in Verbindung mit dem TIDA-00176-Hardware-Design verwendet werden.

Um jedoch eine einfache Evaluierung des TIDA-00176-Hardware-Referenzdesigns zu ermöglichen, wird eine Beispiel-Firmware für das C2000-F28069M-Piccolo-LaunchPad bereitgestellt, mit der das TIDA-00176 mit Sin/Cos-Encodern mit inkrementeller Position evaluiert werden kann. Über den virtuellen USB-COM-Port wird ein Benutzermenü bereitgestellt, um die Zeilenanzahl des ausgewählten Sin/Cos-Encoders zu initialisieren und die berechneten hochauflösenden Winkelinformationen zusammen mit anderen vom Benutzer auswählbaren Daten auszugeben.

Der wichtigste Peripheriebaustein auf dem F28069M ist der SPI-A-Peripheriebaustein zum Lesen der hochauflösenden Dual-16-Bit-Datensignale $A_{16\text{-bit}}$ und $B_{16\text{-bit}}$. Der integrierte Dual-S/H-ADC wird verwendet, um die unsymmetrischen Analogsignale $A_{12\text{-bit}}$ und $B_{12\text{-bit}}$ umzuwandeln. Das Quadratur-Encoder-Impulsmodul (eQEP2) wird für die direktionale inkrementelle Aufwärts-/Abwärtszählung auf Basis der Signale A_{TTL} und B_{TTL} und des Nullindex-Markers R_{TTL} für die absolute Positionsinitialisierung verwendet. Der ePWM1-Timer wird verwendet, um periodische Interrupts zu generieren, die eine neue Winkelmessung auslösen. Es wurde eine 16-kHz-Periode gewählt. Das SCI-A-Peripheriegerät wurde zur Implementierung der UART-basierten Benutzerschnittstelle mit 115000 Baud über einen virtuellen COM-Port verwendet.

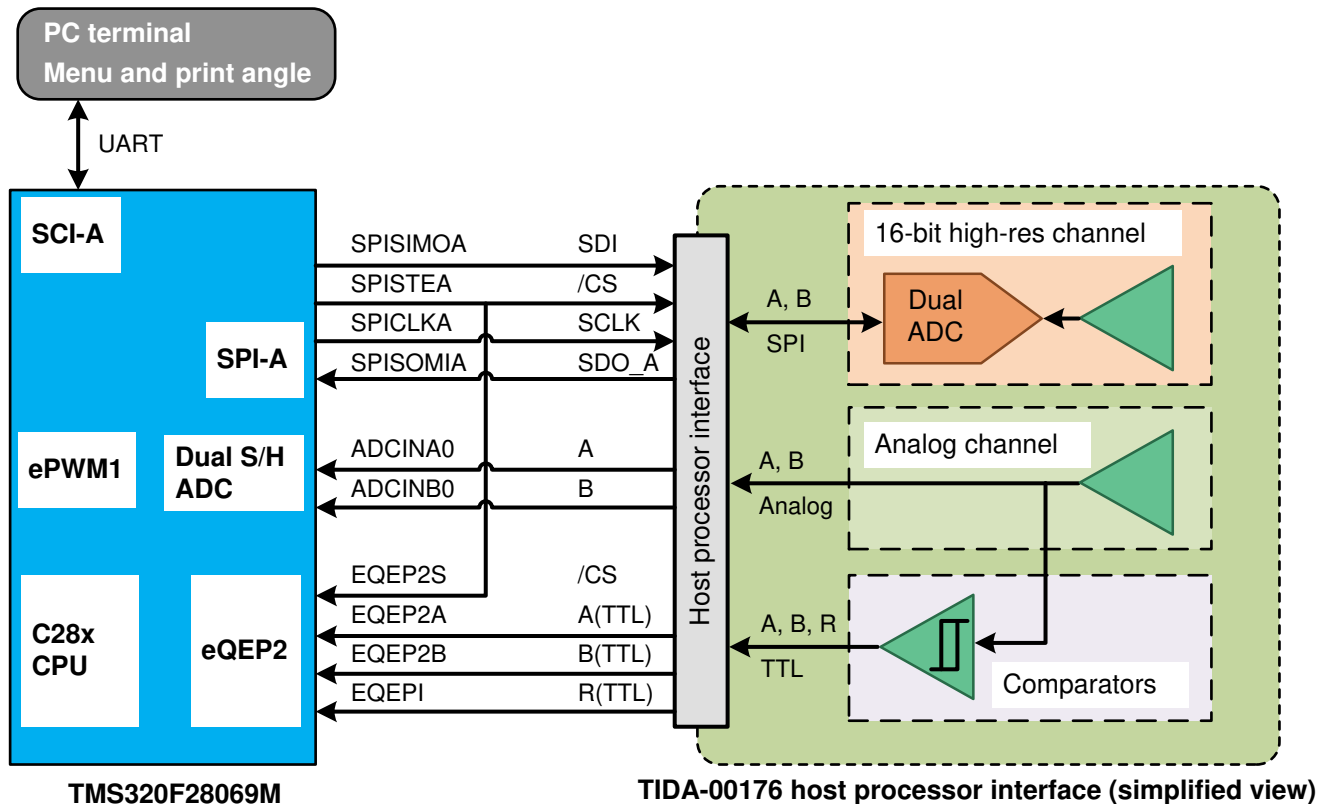


Abbildung 5-1. Peripheriemodul TMS320F28069M und Pinbelegung für die TIDA-00176-Hostprozessor-Schnittstelle

5.2 C2000-Piccolo-Firmware

Die Beispiel-Firmware wurde für den Piccolo-TMS320F28069M entwickelt und kompiliert und nutzt die in [Abbildung 5-1](#) beschriebenen Peripheriemodule.

Die Firmware nutzt C2000 controlSUITE™. Die Firmware besteht im Wesentlichen aus drei Funktionsblöcken. Das F28069M-Framework, wie in [Abbildung 5-2](#) beschrieben, der Algorithmus zur synchronen Abtastung der erforderlichen Daten und Berechnung des interpolierten Winkels sowie die UART-Terminal-basierte Benutzeroberfläche.

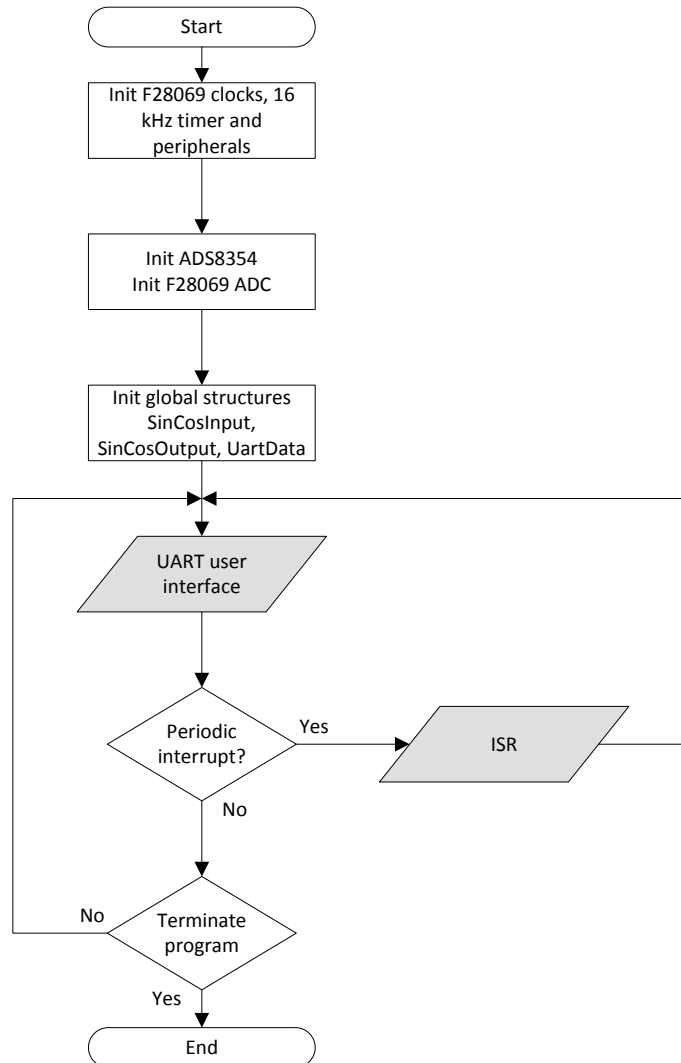


Abbildung 5-2. Flussdiagramm des Sin/Cos-Encoder-Frameworks

Das TMS320F28069M-Framework initialisiert den TMS320F28069M-CPU-Takt auf 80 MHz, die GPIO-Multiplexer, die Peripheriebausteine wie SPI-A, SCI-A (UART), den ePWM1-basierten periodischen Timer und Interrupt sowie den integrierten 12-Bit-Dual-S/H-ADC. Außerdem wird der externe 16-Bit-Dual-ADC ADS8354 durch SPI-A konfiguriert, wie in [Sektion 4.3.2.4](#) beschrieben. Die SPI-A ist als SPI-Master mit einem seriellen Taktgeber von 10 MHz konfiguriert. Dies ist der maximale SPI-Takt für den Piccolo F28069M. Bei anderen Prozessoren wie Sitara AM437x oder Delfino F287x kann der SPI-Takt bis zu 24 MHz betragen.

Nach der Initialisierung ruft das Programm die UART-basierte Benutzeroberfläche auf und bedient das Perioden-Unterbrechungs-Serviceprogramm (ISR). Der Perioden-ISR implementiert die synchronisierte Datenerfassung, die Berechnung der Zwischenphase und den gesamten interpolierten Winkel basierend sowohl auf dem externen 16-Bit-ADC ADS8354 als auch dem internen 12-Bit-ADC. Es folgt den in [Sektion 1](#) beschriebenen Algorithmen.

Der Code wird mit 32-Bit-Q28-Ganz-/Bruchzahlen unter Verwendung der IQmath-Bibliothek von TI geschrieben. Der Vorteil von 32-Bit-Bruchzahlen gegenüber 32-Bit-IEEE-Gleitkommazahlen besteht darin, dass die Auflösung unabhängig vom Datenbereich konstant bleibt. Da der Datenbereich für den Winkel (pro Einheit) sowie für die ADC-Eingangsdaten, die auf maximal ± 5 (V) skaliert sind, auf 0 bis 1,0 begrenzt ist, bieten Q28-Zahlen mit einem ganzzahligen Bereich $\pm 8,0$ genügend Reserven, wobei die Genauigkeit für alle Daten konstant bleibt.

Das Flussdiagramm der ISR ist in [Abbildung 5-3](#) dargestellt.

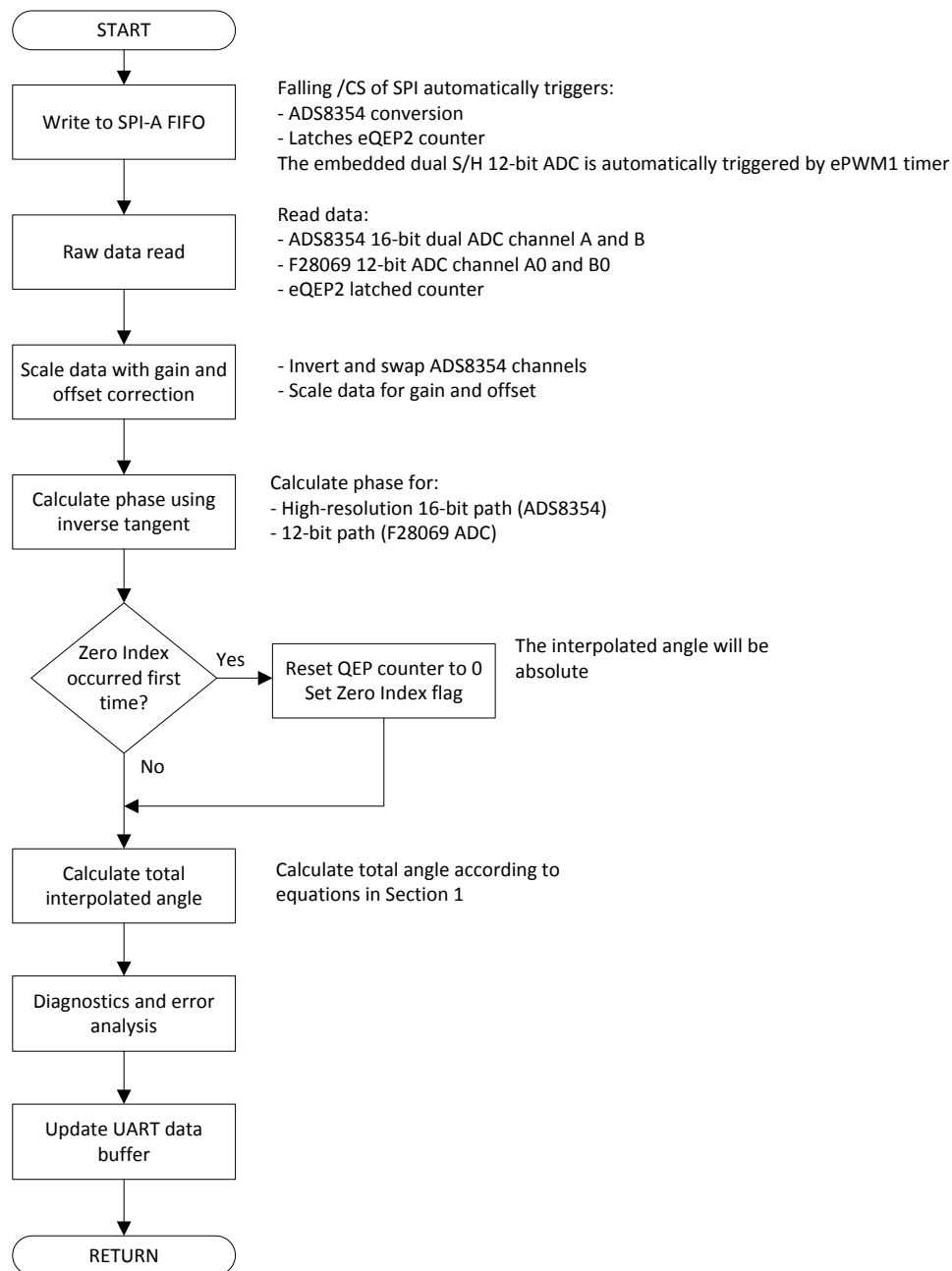


Abbildung 5-3. Flussdiagramm des Sin/Cos-Encoder-Haupt-ISR mit interpolierter Winkelberechnung

5.3 Benutzerschnittstelle

Um eine schnelle Evaluierung zu ermöglichen, wurde eine Benutzeroberfläche basierend auf dem virtuellen COM-Port implementiert. Es kann jede Terminalschnittstelle bei 115000 Baud verwendet werden, wie Tera Term.

Über die Benutzeroberfläche kann der Benutzer die Zeilenanzahl des verbundenen Sin/Cos-Encoders eingeben, bevor das Programm das Hauptmenü erreicht. Das Menü bietet Menüoptionen, mit denen der Benutzer entweder einen einfachen Anzeigemodus mit nur der Ausgabe des hochauflösenden Winkels oder einen Expertenanzeigemodus auswählen kann, beide mit einer Aktualisierungsrate von 10 Hz. Weitere Menüpunkte sind Data-Dump-Modi mit einer Aktualisierungsrate von 200 Hz, die für die Nachanalyse in eine Datei schreiben sollen.

Das Flussdiagramm der Benutzeroberfläche ist in [Abbildung 5-4](#) dargestellt.

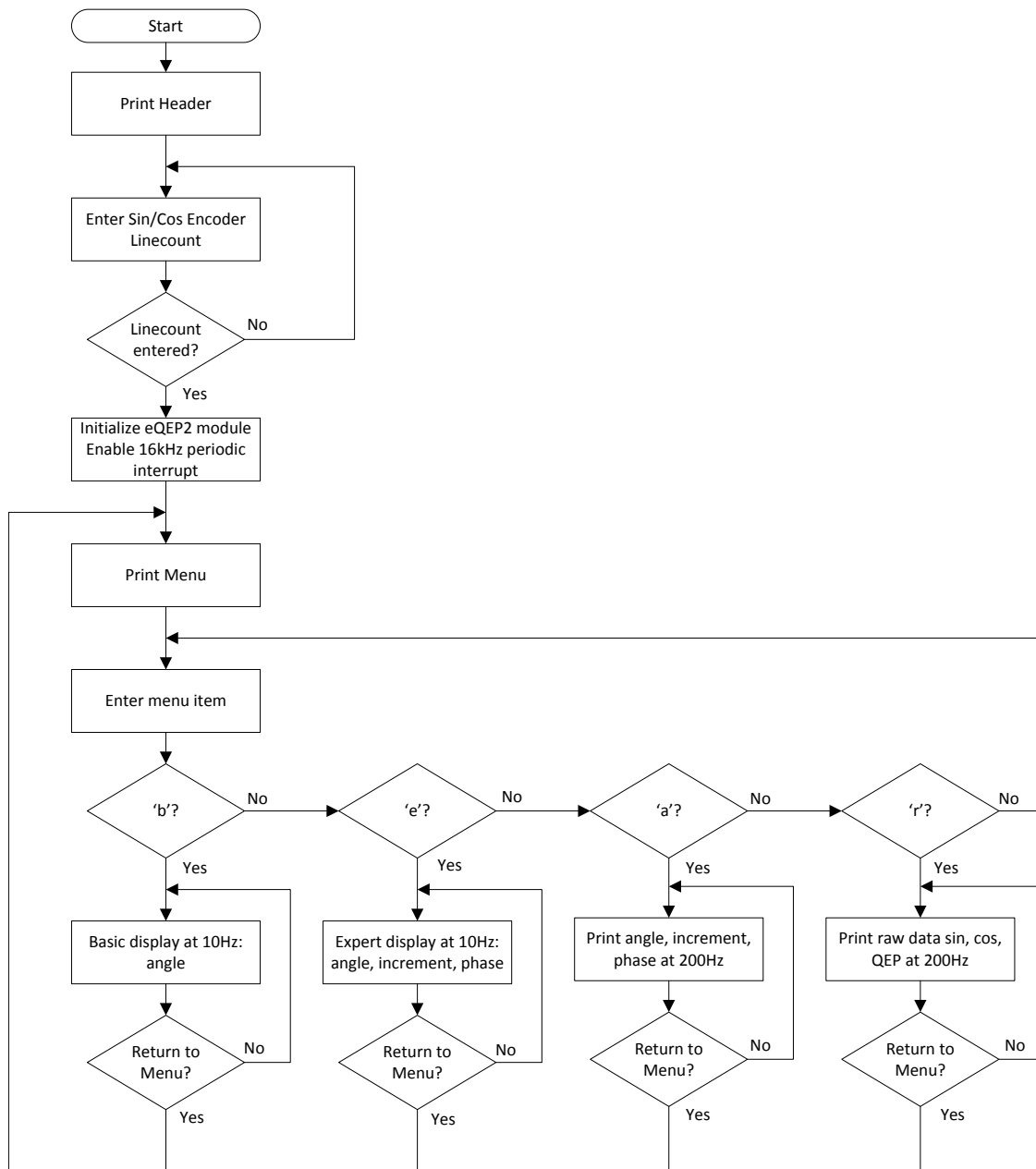


Abbildung 5-4. Flussdiagramm der UART-Terminal-Benutzeroberfläche

Tabelle 5-1 bis Tabelle 5-4 skizzieren das Datenausgabeformat für jeden der vier Menüpunkte. Im Data-Dump-Modus wird ein „Tab“ als Trennzeichen zwischen den Daten in jeder Zeile eingefügt.

Tabelle 5-1. Ausgabeformat und Datenskalierung im einfachen Anzeigemodus

MENÜ	COLUMN 1	COLUMN 2	COLUMN 3	COLUMN 4	COLUMN 5
Einfache Anzeige „b“	Gesamtwinkel mit ADS8354 (Maßstab)	—	—	—	—
Datenformat	Float (0 bis 360 Grad)	—	—	—	—

Tabelle 5-2. Ausgabeformat und Datenskalierung im Expertenanzeigemodus

MENÜ	COLUMN 1	COLUMN 2	COLUMN 3	COLUMN 4	COLUMN 5
Expertenanzeige „e“	Gesamtwinkel mit ADS8354 (Maßstab)	Marker-Index R aufgetreten	Inkrementelle Anzahl	Phase ADS8354 (Maßstab)	Phase F28069M-ADC (Maßstab)
Datenformat	Float (0 bis 360 Grad)	Flag (Ja/Nein)	Integer	Float (0 bis 1,0)	Float (0 bis 1,0)

Tabelle 5-3. Format und Skalierung im Winkeldaten-Dump-Menü

MENÜ	COLUMN 1	COLUMN 2	COLUMN 3	COLUMN 4	COLUMN 5	COLUMN 6
Winkel-Dump „d“	Gesamtwinkel mit ADS8354 (Maßstab)	Gesamtwinkel mit F28069-ADC (Maßstab)	Inkrementelle Anzahl	Phase ADS8354 (Maßstab)	Phase F28069M-ADC (Maßstab)	Periodischer Tick (Maßstab)
Datenformat	Float (0 bis 360 Grad)	Float (0 bis 360 Grad)	Integer	Float (0 bis 1,0)	Float (0 bis 1,0)	Ganzzahl (66 µs)

Tabelle 5-4. Format und Skalierung des Rohdaten-Dump-Menüs

MENÜ	COLUMN 1	COLUMN 2	COLUMN 3	COLUMN 4	COLUMN 5	COLUMN 6	COLUMN 7
Rohdaten „r“	Inkrementelle Anzahl (SW)	Inkrementelle Anzahl (Latch auf /CS)	Eingabe A+/A–, ADS8354 (Maßstab)	Eingang B+/B–, ADS8354 (Maßstab)	Eingabe A+/A–, F28069 (Maßstab)	Eingabe A+/A–, F28069 (Maßstab)	Periodischer Tick (Maßstab)
	Integer	Integer	Float (V_{PP})	Float (V_{PP})	Float (V_{PP})	Float (V_{PP})	Ganzzahl (66 µs)

6 Erste Schritte

6.1 TIDA-00176-Platinen-Übersicht

Abbildung 6-1 zeigt ein Foto der Oberseite der TIDA-00176-Platine. Die Stiftleisten und Standard-Jumpereinstellungen werden in [Sektion 6.2](#) erklärt.

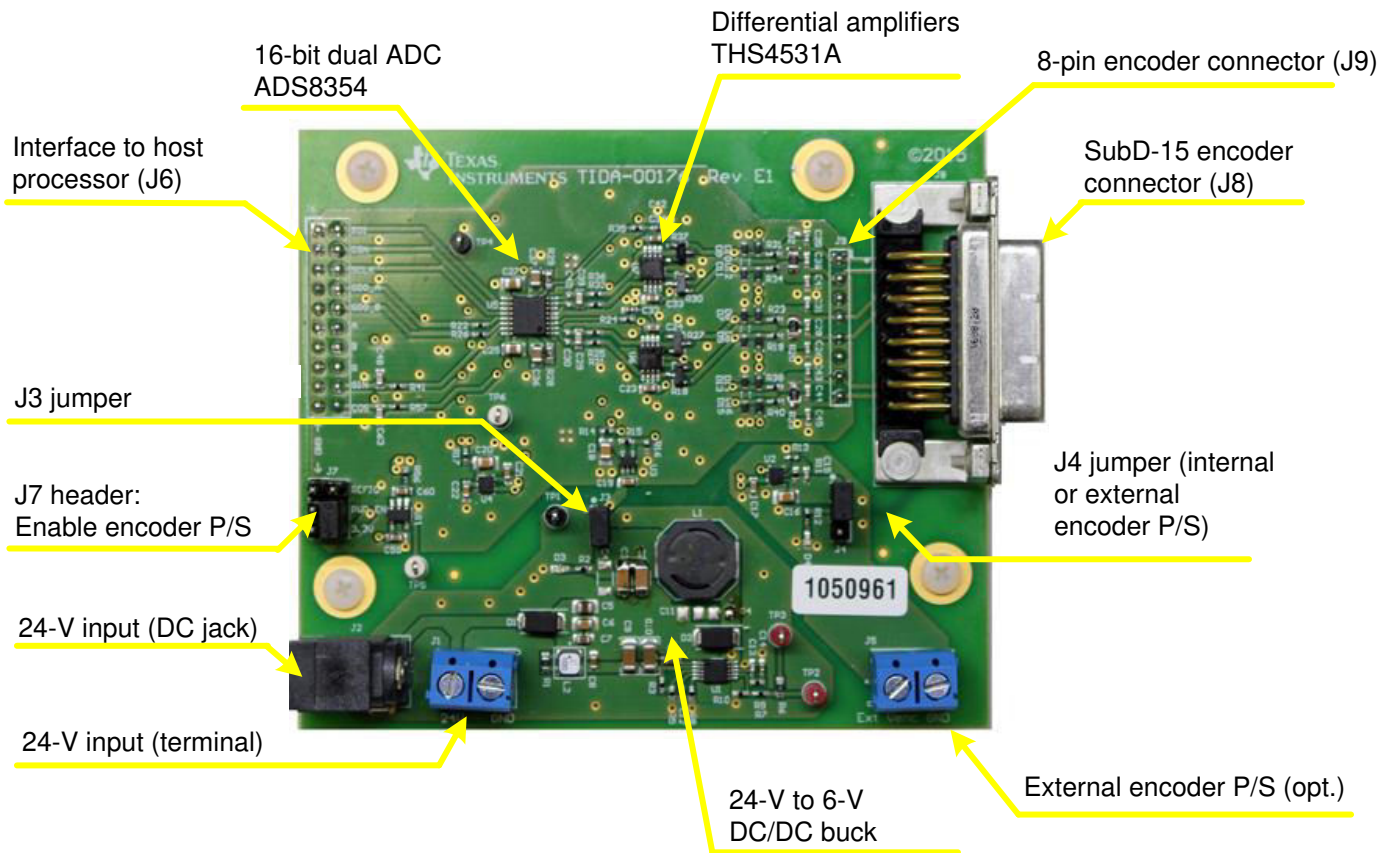


Abbildung 6-1. Bild der TIDA-00176-Platine

6.2 Anschlüsse und Jumpereinstellungen

6.2.1 Übersicht über Anschlüsse und Jumper

Die Steckerbelegung und die Jumpereinstellungen werden in [Tabelle 6-1](#) bis [Tabelle 6-4](#) beschrieben.

Die 24-V-Nenneingangsspannung kann entweder über den Anschluss J1 oder J2 bereitgestellt werden.

Tabelle 6-1. Anschlussbelegung und Jumpereinstellungen (J1 bis J4)

ANSCHLUSS- UND PINBELEGUNG	BESCHREIBUNG
24-V-EINGANG (TERMINAL; J1)	
1	24-V-Eingangsspannung (17 bis 36 V)
2	GND
24-V-EINGANG (DC-BUCHSE; J2)	
Intern	24-V-Eingangsspannung (17 bis 36 V)
Extern	GND
J3	
1	Ausgang von TPS54040A (Standard 6 V)
2	6-V-Versorgungsschiene
J4	
1	5,25-V-Versorgung (Standard)
2	V_ENC (Encoder-Versorgungsspannung)
3	Externe Versorgung

Bei Bedarf kann über Stecker J5 eine andere externe Versorgungsspannung als die 5,25-V-Encoder-Versorgungsspannung angelegt werden.

Tabelle 6-2. Anschluss für externe Encoder-Versorgung (J5)

PIN	BESCHREIBUNG
1	Encoder-Versorgung VCC
2	Encoder-Versorgung GND

Tabelle 6-3. Hostprozessor-Schnittstelle (J6)

PIN	BESCHREIBUNG	PIN	BESCHREIBUNG (3,3-V-E/A)
1	GND	2	SDI (ADS8354)
3	GND	4	/CS (ADS8354)
5	GND	6	SCLK (ADS8354)
7	GND	8	SDO_A (ADS8354)
9	GND	10	SDO_B (ADS8354)
11	GND	12	A (TTL)
13	GND	14	B (TTL)
15	GND	16	R (TTL)
17	GND	18	A (unsymmetrisch analog 0 bis 3,3 V)
19	GND	20	B (unsymmetrisch analog 0 bis 3,3 V)

Detaillierte Signalbeschreibungen zur Hostprozessor-Schnittstelle finden Sie in [Sektion 4.3](#).

Tabelle 6-4. Anschlussbelegung und Jumpereinstellungen (J7 bis J9)

PIN	BESCHREIBUNG	PIN	BESCHREIBUNG
STIFTFLEISTE J7 MIT ENCODER-VERSORGUNGSAKTIVIERUNG (J7)			
1	GND	2	REFIO (1,65V)
3	GND	4	AKTIVIERUNG Encoder-Versorgungsspannung (5,25 V)
5	GND	6	
			3,3 V
ENCODER-DSUB-15-ANSCHLUSS (J8)			
1	A+	2	Encoder-Versorgung GND
3	B+	4	Encoder-Versorgung VCC (Standard 5,25 V)
5	NC	6	NC
7	R–	8	NC
9	A–	10	Reserviert
11	B–	12	Reserviert
13	NC	14	R+
15	NC	—	—
ENCODER-8SIL100-ANSCHLUSS (J9)			
1	A+	2	A–
3	Encoder-Versorgung GND	4	B–
5	B+	6	Encoder-Versorgung VCC (Standard 5,25 V)
7	R–	8	R+

6.2.2 Standard-Jumperkonfiguration

Stellen Sie vor der Arbeit mit der TIDA-00176-Platine sicher, dass die folgenden Standard-Jumpereinstellungen angewendet wurden. Siehe Platinenbild [Abbildung 6-1](#).

Tabelle 6-5. Standard-Jumpereinstellungen

STIFTFLEISTE	JUMPEREINSTELLUNG
J3	Fügen Sie einen Jumper zwischen den Pins 1-2 von J3 ein, um die 6-V-Zwischenschiene zu aktivieren, die mit den drei LDOs verbunden ist
J4	Fügen Sie einen Jumper zwischen den J4 Pins 1-2 ein, um die integrierte 5,25-V-Encoder-Versorgung zu den Encoder-Anschlüssen zu routen
J7	Fügen Sie einen Jumper zwischen den J7 Pins 4-6 ein, um die 5,25-V-Encoder-Versorgung zu aktivieren.

6.3 Design-Evaluierung

6.3.1 Voraussetzungen

Die folgende Hardware und Software sind für eine Evaluierung des TI-Designs TIDA-00176 erforderlich.

Tabelle 6-6. Voraussetzungen

GERÄTE	KOMMENTAR
24-V-Stromversorgung	Netzteil mit 24-V-Ausgang und mindestens 250 mA Ausgangsstrom Ausgangsanschluss 2,1 mm Innendurchmesser × 5,5 mm Außendurchmesser × 9,5-mm-Buchse
TIDA-00176-Hardware	Informationen zu den Standard-Jumpereinstellungen finden Sie in Abschnitt 6.2.
Drei Jumper für die Platineneinstellungen	2 Pins, 100 mil
TIDA-00176-Firmware	Download aus dem TIDA-00176-Designordner
InstaSPIN-MOTION-F28069M-LaunchPad	Im TI-eStore erhältlich
USB-Kabel	USB-Typ-A-Stecker auf USB-Typ-A-Kabel
Adapter TIDA-00176 auf LaunchPad	TI-intern (optional)
Code Composer Studio 6	Download von www.ti.com
PC-Terminalprogramm	Jedes Terminalprogramm, wie z. B. Tera Term
Sin/Cos-Encoder mit 1-V _{pp} -Ausgangssignalen	Zum Beispiel ROD480

6.3.2 Hardware-Einrichtung

Die folgenden Verbindungen zwischen TIDA-00176 und dem InstaSPIN-MOTION-LaunchPad sind erforderlich.

Tabelle 6-7. TIDA-00176-Hostprozessor-Schnittstelle (J6) zum InstaSPIN-LaunchPad

TIDA-00176-HOSTPROZESSOR-SCHNITTSTELLE (J6)		VERBINDUNG ZU →	InstaSPIN-MOTION-LAUNCHPAD	
J6-PIN	BESCHREIBUNG		STIFTFLEISTENKON TAKT	BESCHREIBUNG (3,3-V-E/A)
1	GND		J3-Pin 22	GND
19	GND		J2-Pin 20	GND
2	SDI (ADS8354)		J2-Pin 15	GPIO16/SPISIMOA
4	/CS (ADS8354)		J2-Pin 19 J6-Pin 59	GPIO27/eQEP2S und GPIO19/SPISTEA
6	SCLK (ADS8354)		J1-Pin 7	GPIO18/SPICLKA
8	SDO_A (ADS8354)		J2-Pin 14	GPIO17/SPISOMIA
10	SDO_B (ADS8354)	NC	NC	NC
12	A (TTL)		J6-Pin 55	GPIO24/eQEP2A
14	B (TTL)		J6-Pin 54	GPIO25/eQEP2B
16	R (TTL)		J6-Pin 58	GPIO26/eQEP2I
18	A (unsymmetrisch analog 0 bis 3,3 V)		J3-Pin 27	ADCIN_A0
20	B (unsymmetrisch analog 0 bis 3,3 V)		J3-Pin 28	ADCIN_B0

Gehen Sie wie folgt vor, um die Hardware einzurichten:

1. Verbinden Sie die TIDA-00176-Platine mit dem InstaSPIN-MOTION-LaunchPad mittels des entsprechenden Anschlusses oder Adapters.

NOTE

Für die interne Prüfung wurde eine Adapterplatine als Schnittstelle zwischen TIDA-00176 und dem InstaSPIN-MOTION-LaunchPad geplant, wie in [Abbildung 6-2](#) dargestellt.

2. Stellen Sie sicher, dass TIDA-00176 mit den drei Standard-Jumpereinstellungen gemäß [Sektion 6.2.2](#) konfiguriert ist.
3. Schließen Sie einen Sin/Cos-Encoder an die Platine an. Verwenden Sie dazu entweder den SubD-15-Anschluss (J8) oder den SIL-8-Anschluss (J9).
4. Stecken Sie den 24-V-Eingang vom Netzteil in den J1-Anschluss oder verwenden Sie den J2-Anschluss, wenn eine externe Stromversorgung (17 bis 36 V) bevorzugt wird.
5. Verbinden Sie das InstaSPIN-MOTION-LaunchPad über das Mini-USB-Kabel mit dem PC.

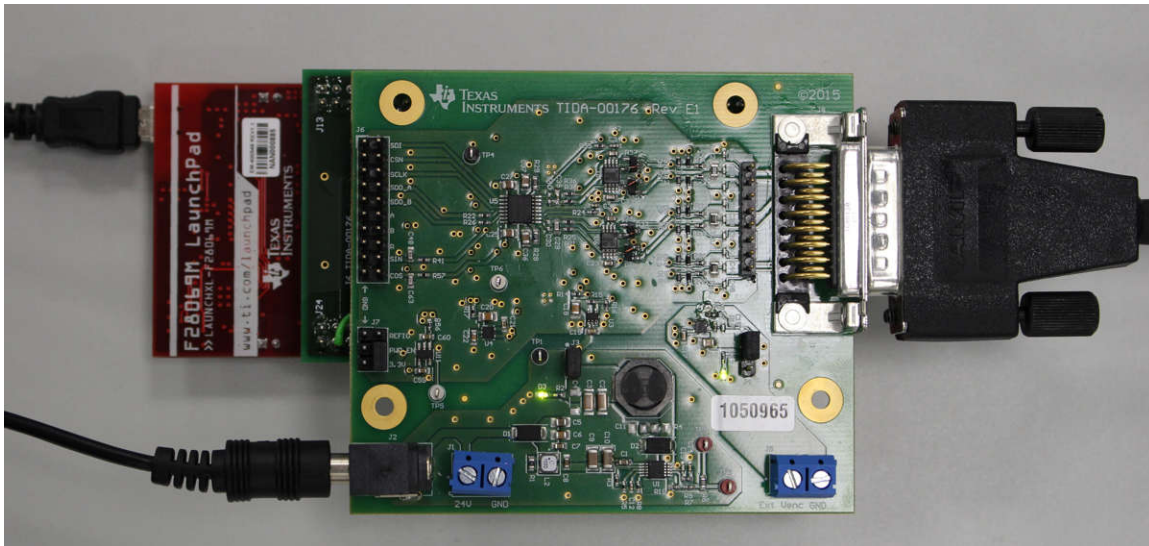


Abbildung 6-2. TIDA-00176-Platine montiert auf InstaSPIN-MOTION-LaunchPad

Weitere Informationen finden Sie auch in den Voraussetzungen für InstaSPIN-MOTION-LaunchPad unter: <http://www.ti.com/tool/launchxl-f28069m>

Stellen Sie sicher, dass die folgenden Jumper auf dem F28069-LaunchPad eingestellt sind: JP1, JP2, JP3 und JP7. Stellen Sie JP4, JP5 und JP6 nicht ein; diese dürfen nicht verbunden sein.

6.3.3 Software-Einrichtung

Gehen Sie wie folgt vor, um die Software einzurichten:

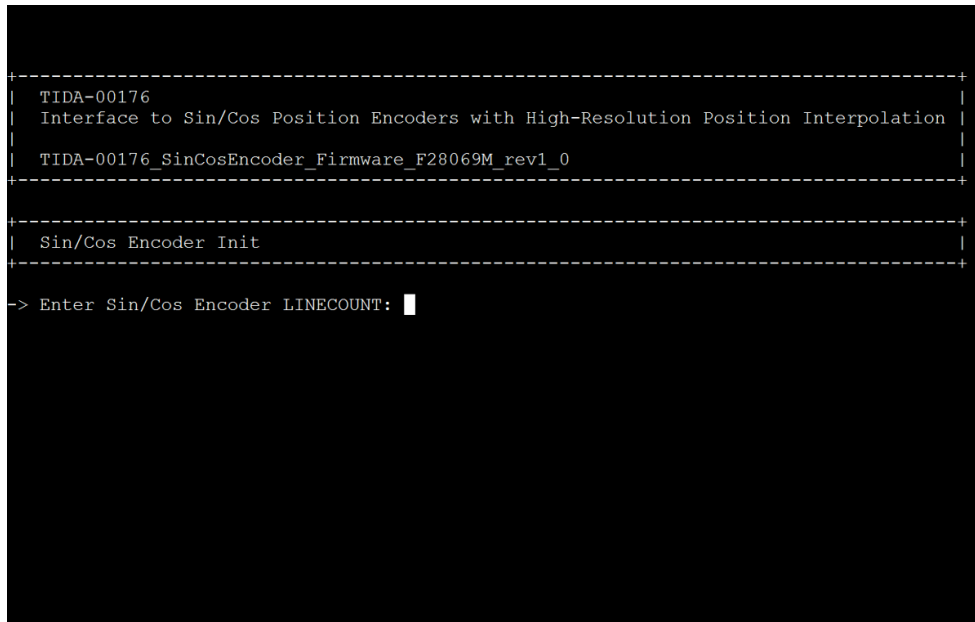
1. Falls noch nicht geschehen, laden Sie die TIDA-00176-SinCos-Encoder-Firmware aus dem Designordner TIDA-00176 herunter und extrahieren Sie sie in einen Ordner wie c:\ti\tida-00176\bin.
2. Rufen Sie ein Terminalprogramm wie Tera Term auf, das eine Verbindung zum virtuellen COM-Port herstellen kann.
3. Richten Sie das Terminalprogramm im Serial-Console-Modus ein und setzen Sie die Parameter auf:
 - Baudrate = 115200, Daten = 8 Bit, Parität = Keine, Stopp = 1 Bit, Flusssteuerung = Keine
4. Starten Sie Code Composer Studio (CCS).
5. Richten Sie in CCS das XDS100-JTAG-Ziel mit dem InstaSPIN-MOTION-F28069M-LaunchPad ein.
6. Stellen Sie in CCS eine Verbindung mit TMS320F28069M her und laden Sie die Binärausgabedatei TIDA-00176 herunter. Ausführen → Programm laden → TIDA-00176_SinCosEncoder_Firmware_rev1_0.out
7. Führen Sie das Ziel in CCS aus.

Das Terminalprogramm sollte den Startbildschirm des TIDA-00176 wie in dargestellt [Abbildung 6-3](#) anzeigen.

NOTE

Nachdem die Binärdatei auf F28069M geladen wurde, sind die Schritte 4 bis 7 nicht mehr erforderlich. Setzen Sie einfach das LaunchPad zurück, um das Programm neu zu starten. Stellen Sie sicher, dass F28069M für den Start vom internen Flash-Speicher konfiguriert ist. Weitere Informationen finden Sie in der Dokumentation zum InstaSPIN-MOTION-LaunchPad.

Fehlerbehebung: Wenn keine Verbindung hergestellt wird, muss der VCP-Treiber des virtuellen USB-COM-Anschlusses TI XDS100, Kanal B im Geräte-Manager von Windows® 7 aktiviert werden. Weitere Details finden Sie in der Dokumentation zum InstaSPIN-MOTION-LaunchPad.



```

-----+
| TIDA-00176                                     |
| Interface to Sin/Cos Position Encoders with High-Resolution Position Interpolation |
| TIDA-00176_SinCosEncoder_Firmware_F28069M_rev1_0 |
|-----+
| Sin/Cos Encoder Init                         |
|-----+
-> Enter Sin/Cos Encoder LINECOUNT: 

```

Abbildung 6-3. TIDA-00176-Benutzeroberfläche beim Start

6.3.4 Benutzerschnittstelle

Nach dem Start fordert die Benutzeroberfläche den Benutzer auf, die Zeilenanzahl des Sin/Cos-Encoders im Dezimalformat einzugeben. Nach Eingabe der Zeilenanzahl steht das Hauptmenü zur Verfügung, wie in [Abbildung 6-4](#) dargestellt.

```

| Interface to Sin/Cos Position Encoders with High-Resolution Position Interpolation |
| TIDA-00176_SinCosEncoder_Firmware_F28069M_rev1_0                               |
|-----+
| Sin/Cos Encoder Init                                                             |
|-----+
-> Enter Sin/Cos Encoder LINECOUNT: 2000
LINECOUNT entered: 2000
|-----+
| Main Menu                                                                       |
|-----+
key  mode                                format
---  ---                                ---
b    basic display mode                  [angle]
e    expert display mode                 [angle index incr phase16 phase12 tick]
r    raw data dump at 200Hz              [QEP QEPL sin16 cos16 sin12 cos12 tick]
a    angle dump at 200Hz                 [angle incr phase16 phase12 tick]
x    reserved
---  ---                                ---
any  any other key returns to this main menu
-> press key

```

Abbildung 6-4. Hauptmenü der TIDA-00176-Benutzeroberfläche

Vier Menüs stehen zur Verfügung. Sie können jeweils durch Drücken der Zeichen „b“, „e“, „r“ oder „a“ ausgewählt werden. Der Menüpunkt x ist für interne Testmodi während der Softwareentwicklung reserviert.

Drücken Sie „b“ oder „e“, um den einfachen oder den Expertenanzeigemodus auszuwählen, welche den interpolierten Winkel in Grad oder zusätzliche Informationen anzeigen. Beachten Sie, dass der Gesamtwinkel anfangs nicht absolut ist, da der Index nicht aufgetreten ist. Dies erkennt man am auf „Nein“ stehenden Inkrement-Marker im Expertenanzeigemodus. Drehen Sie den Encoder langsam im Uhrzeigersinn, bis die Inkrementmarkierung zu „Ja“ wechselt. Nun ist der interpolierte Winkel absolut in Bezug auf die Index-Marker-Position. Um zum Hauptmenü zurückzukehren, drücken Sie eine beliebige Taste.

```

=====+
| High-resolution angle [degree] |
=====+
359.9804

-----+
| Main Menu |
-----+

key  mode                format
---  -
b    basic display mode  [angle]
e    expert display mode [angle index incr  phase16 phase12 tick]
r    raw data dump at 200Hz [QEP  QEPL  sin16  cos16  sin12  cos12  tick]
a    angle dump at 200Hz  [angle  incr  phase16  phase12  tick]
x    reserved

any any other key returns to this main menu

-> press key

=====+
| Expert display mode [10Hz update rate] |
=====+
| High-resolution angle | Increments | Phase/atan [PU] |
| [degree]             | Marker  Count | ADS8354 F28069 |
=====+
359.9804                No      0      0.8914  0.8926

```

Abbildung 6-5. Einfache Winkelanzeige und Expertenanzeigemodus

Drücken Sie „a“, um einen Winkeldaten-Dump mit einer Aktualisierungsrate von 200 Hz zu starten. Das Datenformat ist wie in [Sektion 5](#) beschrieben. Ein Screenshot ist in [Abbildung 6-6](#) zu sehen. Drücken Sie eine beliebige Taste, um anzuhalten und zum Hauptmenü zurückzukehren.

```

=====+
| Data dump at 200 Hz |
=====+
Angle16PU      Angle12PU      Incr      Phase16PU      Phase12PU      Tick[32kHz]
0.85510715     0.85510683     7005     0.25946 0.25879 9190
0.85510674     0.85510638     7005     0.25862 0.25788 9270
0.85510715     0.85510668     7005     0.25945 0.25851 9350
0.85510679     0.85510661     7005     0.25871 0.25835 9430
0.85510692     0.85510671     7005     0.25898 0.25854 9510
0.85510753     0.85510694     7005     0.26022 0.25902 9590
0.85510702     0.85510659     7005     0.25919 0.25830 9670
0.85510717     0.85510682     7005     0.25949 0.25878 9750
0.85510726     0.85510671     7005     0.25967 0.25857 9830
0.85510681     0.85510660     7005     0.25876 0.25833 9910
0.85510682     0.85510658     7005     0.25877 0.25829 9990
0.85510727     0.85510681     7005     0.25970 0.25877 10070
0.85510728     0.85510672     7005     0.25972 0.25858 10150
0.85510755     0.85510694     7005     0.26027 0.25902 10230

```

Abbildung 6-6. Winkel-Dump-Modus mit einer Aktualisierungsrate von 200 Hz

Drücken Sie „r“, um einen Rohdaten-Dump mit einer Aktualisierungsrate von 200 Hz zu starten. Das Datenformat ist wie in [Sektion 5](#) beschrieben. Ein Screenshot ist in [Abbildung 6-7](#) zu sehen. Drücken Sie eine beliebige Taste, um anzuhalten und zum Hauptmenü zurückzukehren.

```

=====+
| Raw data dump at 200 Hz |
=====+
QEP      QEPL      Vsin16  Vcos16  Vsin12  Vcos12  Tick[32kHz]
7005     7005     1.0044  0.0631  1.0280  0.0583  1542
7005     7005     1.0108  0.0631  1.0280  0.0583  1622
7005     7005     1.0069  0.0616  1.0280  0.0583  1622
7005     7005     1.0150  0.0662  1.0309  0.0597  1702
7005     7005     1.0089  0.0627  1.0324  0.0612  1782
7005     7005     1.0083  0.0643  1.0280  0.0597  1862
7005     7005     1.0101  0.0680  1.0295  0.0612  1942
7005     7005     1.0066  0.0636  1.0265  0.0597  2022
7005     7005     1.0072  0.0666  1.0265  0.0597  2102
7005     7005     1.0083  0.0595  1.0295  0.0568  2182
7005     7005     1.0047  0.0605  1.0251  0.0554  2262
7005     7005     1.0032  0.0610  1.0251  0.0583  2342
7005     7005     1.0040  0.0671  1.0280  0.0612  2422
7005     7005     1.0110  0.0643  1.0324  0.0597  2502

```

Abbildung 6-7. Rohdaten-Dump-Modus mit einer Aktualisierungsrate von 200 Hz

7 Prüfergebnisse

Es wurden Tests durchgeführt, um jeden einzelnen Funktionsblock sowie die gesamte Platine zu charakterisieren. Speziell wurden die folgenden Tests durchgeführt.

- Analoge Signalkette
- Energiemanagement
- Vollständiges System mit Sin/Cos-Encoder-Signalemulation und Sin/Cos-Encoder
- EMV-Störfestigkeit (ED, EFT und Stoßspannungen)

Die Prüfungen wurden bei Raumtemperatur um 22 bis 23 Grad oder bei 75 oder 85 Grad durchgeführt. Wenn nicht ausdrücklich angegeben, gilt die Raumtemperatur.

Folgende Geräte wurden für die TIDA-00176-Testsitzung verwendet:

Tabelle 7-1. Prüfausrüstung für TIDA-00176-Leistungstests

PRÜFGERÄTE	TEILENUMMER
Programmierbarer 16-Bit-Wellenformgenerator	Keysight (Agilent) 33600A
Oszilloskop mit niedriger Drehzahl (geeignet für Netzteilprüfungen)	Tektronix TDS2024B
Hochgeschwindigkeits-Oszilloskop (geeignet für analoge Signaltests)	Tektronix TDS784C
Einstellbares SMPS	Knuerr-Heinzinger Polaris 125-5
24 V bei 2,5 A, SMPS (Netzteil)	V-infinity 3A-621DN24
True-RMS-Multimeter	Fluke 179
Differenzielle Sonden	Tektronix P6630
Unsymmetrische Sonden	Tektronix P6139A
Programmierbare thermische Kammer	Voetsch VT 4002
Programmierbares elektronisches Lastmodul	Chroma 63103
Steuermodul für elektronisches Lastmodul	Chroma 6314
Wärmebildkamera	Fluke TI40
Steuerungssystemsleifen-Analysator	Venable 3120
Geschirmte HEIDENHAIN-Kabel, PUR-M23-Stecker/Buchse (4 × 2 × 0,14 mm; 4 × 0,5 mm), 10 m, 20 m, 50 m	298399-10, -20, -50
HEIDENHAIN-M23/Sub-D15-Stecker-Adapterkabel, 1 m	310196-01
HEIDENHAIN-Sin/Cos-Encoder	ROD480-2000, ROD480-1024, ROD486-2048

7.1 Analoge Leistungstests

Abbildung 7-1 zeigt eine Abbildung der Tests der analogen Signalkette von TIDA-00176.

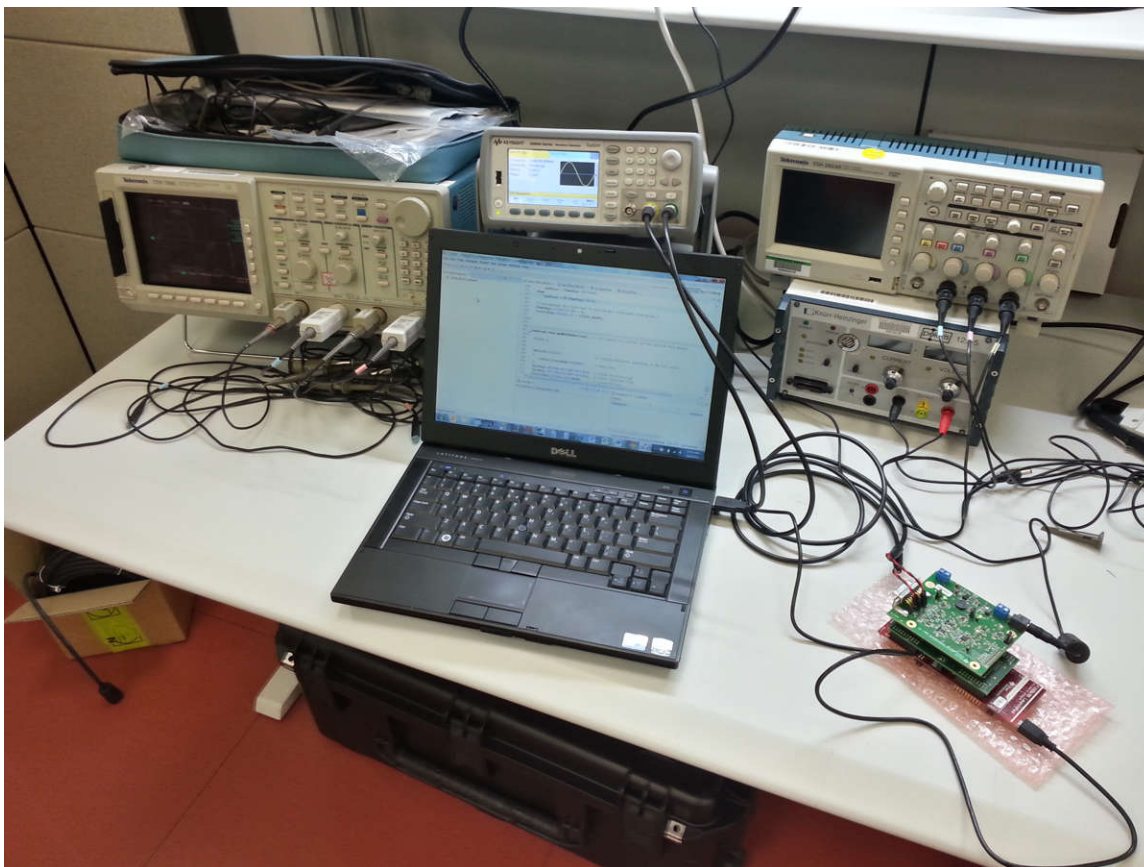


Abbildung 7-1. Testkonfiguration für Leistungstests der analogen Signalkette von TIDA-00176

Getestet wurden der hochauflösende 16-Bit-Signalweg mit den Volldifferenzialverstärkern THS4531A und dem dualen 16-Bit-ADC ADS8353 sowie der analoge Differential-to-single-ended-Signalweg. Zu diesem Zweck wurde ein programmierbarer Funktionsgenerator mit zwei Ausgängen verwendet. Die Eingangssignale werden am Stecker J8 angelegt (Differenzialeingänge A, B und R). Die Ausgangswellenformen wurden an verschiedenen Sondenpunkten erfasst, je nachdem, welcher Signalweg analysiert wurde.

7.1.1 Hochauflösender Signalweg

Die Messungen wurden auf dem hochpräzisen, hochauflösenden Signalweg durchgeführt. An den Eingängen A+, A– und B+, B– des Encoder-Steckers J8 wurde ein sinusförmiges Signal mit 1 V_{PP} eingespeist, und die differenziellen Analogsignale wurden an den differenziellen Eingängen von ADS8354 gemessen. [Abbildung 7-2](#) skizziert die für den Test gemessenen Eingangs- und Ausgangssignale.

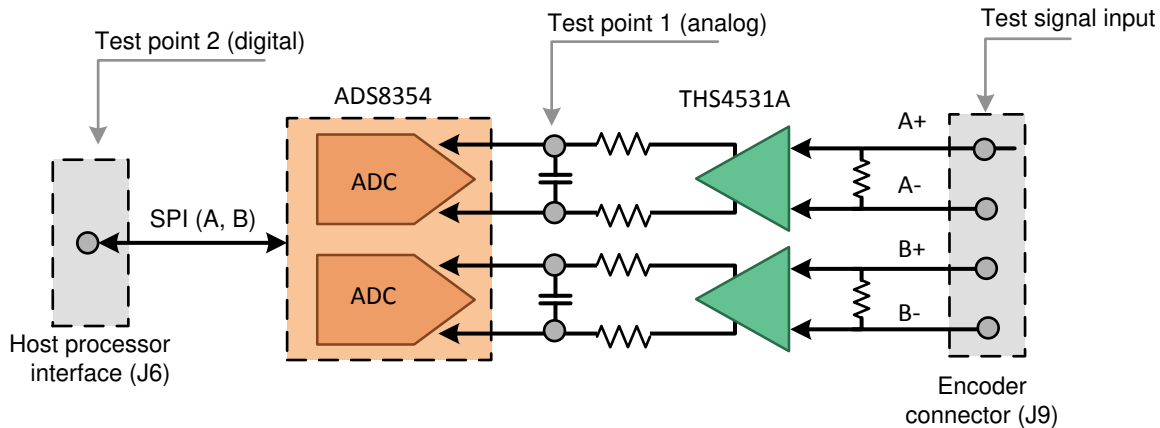


Abbildung 7-2. Messpunkte für die hochauflösende Signalkette

7.1.1.1 Bode-Diagramm des Analogpfads vom Encoder-Anschluss bis zum ADS8354-Eingang

[Abbildung 7-3](#) zeigt die Betrags- und Phasenantwort, die hauptsächlich durch den eingestellten Verstärkungsfaktor 2 von THS4531A und den passiven Tiefpassfilter erster Ordnung aus zwei 10-Ω-Reihenwiderständen und dem parallelen 2,2-nF-Kondensator definiert wird.

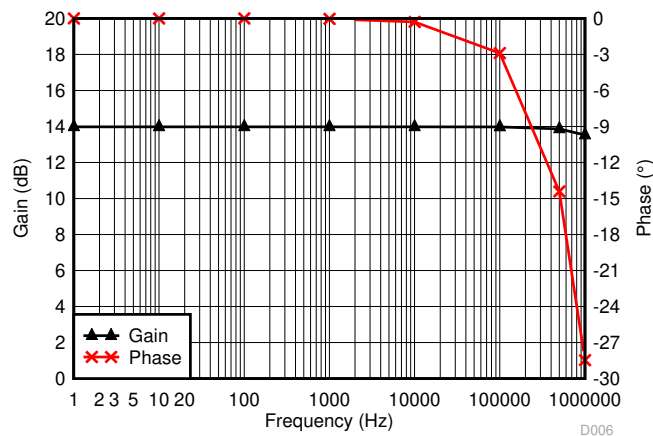


Abbildung 7-3. Bode-Diagramm für hochauflösende Analogsignale vom Encoder-Differenzeingang zum ADS8354-Differenzeingang

7.1.1.2 Leistungsdiagramme (DFT) für den gesamten hochauflösenden Signalweg

Für die folgenden Tests wurde die gesamte hochauflösende Signalkette mit dem über einen RC-Filter mit dem dualen 16-Bit-ADC ADS8354 verbundenen Differenzverstärker THS4531A getestet. An den Differenzeingangspins des Encoders wurde ein sinusförmiges Testsignal eingespeist, und die digitalen 16-Bit-Daten wurden analysiert.

Die Analyse wurde in der Frequenzdomäne durchgeführt, um die Leistung auf das Signal-Rausch-Verhältnis (SNR), die harmonische Gesamtverzerrung (THD), das Signal-zu-Rausch-und-Verzerrung-Verhältnis (SINAD) sowie die effektive Anzahl von Bits (ENOB) zu bewerten. Im Wesentlichen stellen alle diese Parameter verschiedene Möglichkeiten dar, das Rauschen und die Verzerrungsleistung eines ADC auf der Grundlage einer FFT-Analyse (schnelle Fourier-Transformation) zu quantifizieren. Am Ende dieses Abschnitts erhalten Sie eine kurze Einführung in die Theorie der Rauschmessung mit ADCs.

Für den Test wurden zwei Arten von Eingangssignalen verwendet:

- eine extrem rauscharme Gleichstromquelle mit 1,8 V
- ein 1-kHz-Sinussignal mit einer Amplitude von 0,6 V_{PP}, das eine niedrige Ausgabe von Sin/Cos-Encodern darstellt

Das Eingangssignal wird jeweils an einen der Eingangskanäle A+, A– oder B+, B– angelegt, während der andere Kanal nicht verbunden ist. Ziel ist es, den extrem niedrigen Übersprechpegel zwischen den beiden Kanälen A und B (bzw. Sinus und Kosinus) zu messen und hervorzuheben.

Der DC-Eingang wird verwendet, um das beste Rauschverhalten zu gewährleisten (da kein Rauschen vom Eingang/der Quelle kommt). Das 1-kHz-Sinussignal wird verwendet, um die effektive Anzahl von Bits auf den beiden parallelen Kanälen zu messen.

Die beiden Kanäle A und B wurden bei 32 kHz abgetastet und 8192 aufeinanderfolgende 16-Bit-Samples wurden jeweils für Kanal A und B erfasst. Die DFT wurde für die erfassten Daten berechnet, um SNR und THD zu messen.

Die Ergebnisse sind in den folgenden Abbildungen dargestellt.

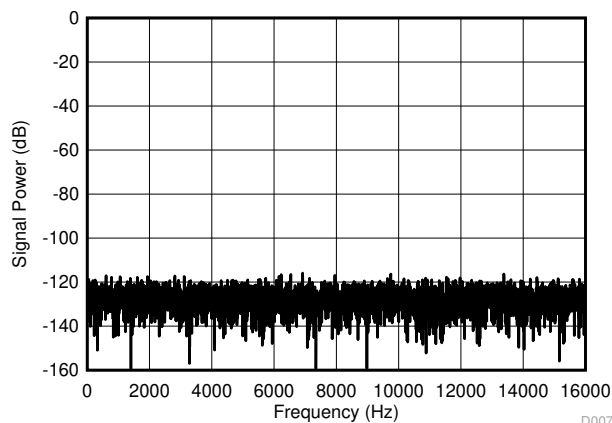


Abbildung 7-4. DFT des 16-Bit-Kanal-A-Ausgangs mit 1,8 V DC an Eingang A.

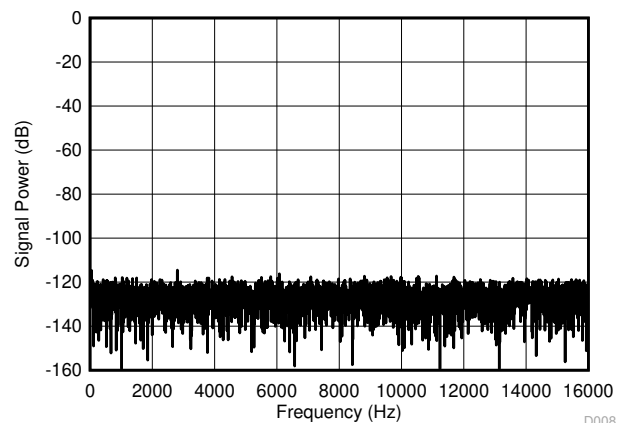


Abbildung 7-5. DFT des 16-Bit-Kanal-B-Ausgangs mit 1,8 V DC an Eingang B.

In den obigen Abbildungen liegt das gemessene Grundrauschen unter 120 dB, was bedeutet, dass dies die beste Leistung ist, die erreicht werden konnte. Beachten Sie auch, dass sich die Kurven auf den vollen Eingangsbereich beziehen, d. h. die maximale Amplitude. 0 dB entsprechen dem maximal möglichen Eingang für ADS8354, der in dieser Konfiguration 2 V_{PP} wäre.

Die folgenden Abbildungen zeigen die DFT des gesamten hochauflösenden Kanals bei einer sinusförmigen Eingangsspannung von 0,6 V_{PP} Amplitude und 1 kHz. Dies entspricht einem Eingangspegel von etwa – 6 dB gegenüber dem theoretischen Vollausschlagsbereich des Eingangs.

Das Eingangssignal wurde entweder auf Kanal A oder Kanal B angelegt. Der andere Kanal wurde offen gelassen, um auch das Übersprechen zu messen.

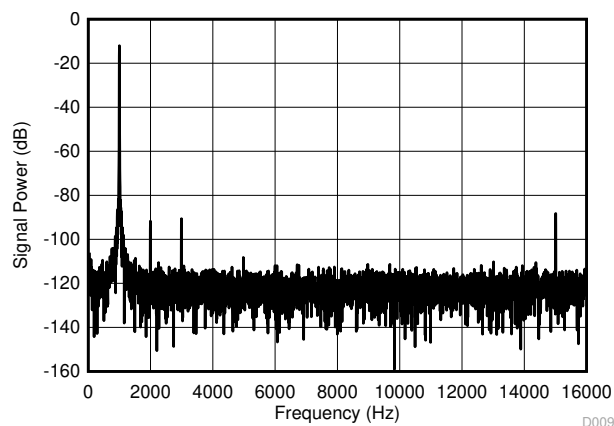


Abbildung 7-6. DFT des 16-Bit-Kanal-A-Ausgangs mit 600-mV_{PP}/1-kHz-Sinuswelleneingang am Eingang A

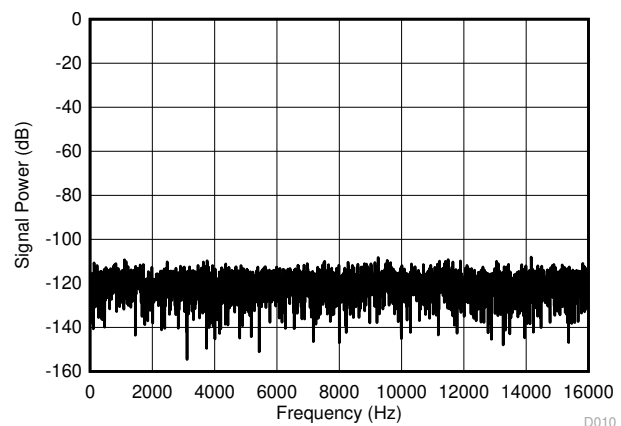


Abbildung 7-7. DFT des 16-Bit-Kanal-B-Ausgangs mit 600-mV_{PP}/1-kHz-Sinuswelleneingang am Eingang A

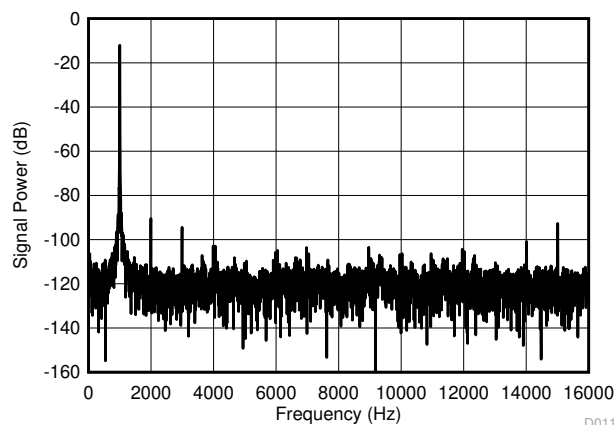


Abbildung 7-8. DFT des 16-Bit-Kanal-B-Ausgangs mit 600-mV_{PP}/1-kHz-Sinuswelleneingang am Eingang B

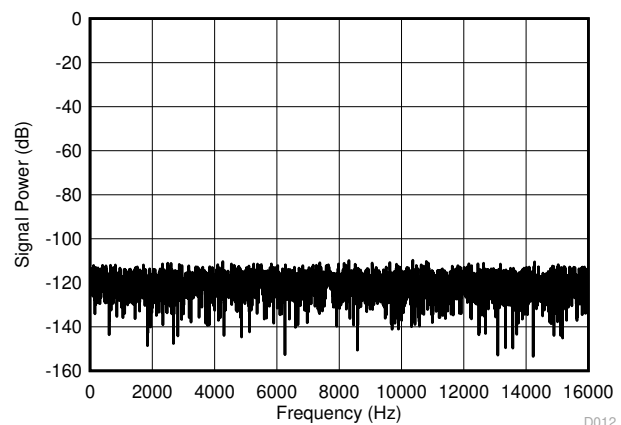


Abbildung 7-9. DFT des 16-Bit-Kanal-A-Ausgangs mit 600-mV_{PP}/1-kHz-Sinuswelleneingang am Eingang B

Diese Abbildungen beziehen sich auf den theoretischen Vollausschlag-Eingangsbereich. Beachten Sie, dass die erste und zweite Oberschwingung des sinusförmigen 1-kHz-Signals auf die Signalquelle selbst zurückzuführen sind (normalerweise wird ein sehr aggressiver Notch-Filter verwendet, um die Frequenz des Testsignals zu isolieren, siehe z. B. auch [SLAU515](#)).

Beachten Sie auch, dass das 1-kHz-Signal eine leichte Frequenzspreizung hat. Dies liegt nicht an der TIDA-00176-Hardware, sondern an einem Jitter in der F28069-Software-Implementierung, der dafür sorgte, dass die SPI-Übertragung die ADS8354-Wandlung (Hold-Modus) mit einem Jitter von einem CPU-Taktzyklus (12,5 ns) startete.

Die obigen Abbildungen haben auch gezeigt, dass es so gut wie kein Übersprechen zwischen den beiden analogen Kanälen für Sinus (Signal A+, A–) und Cosinus (B+, B–) gibt. Das Spektrum (DFT) ist die Hälfte der Abtastfrequenz (die zweite Hälfte des Spektrums ist eine spekuläre Kopie der ersten Hälfte, weshalb sie nicht in den Diagrammen angezeigt wird). Das Von-Hann-Fenster (<https://de.wikipedia.org/w/index.php?title=Fensterfunktion#Von-Hann-Fenster>) dient zur Gewichtung der Daten, um sauberere Kurven im Frequenzbereich zu erhalten.

Für dieses Design können dann THD, SNR und ENOB im Vergleich zum Vollausschlag-Signal berechnet werden und sind in [Tabelle 7-2](#) aufgelistet.

Tabelle 7-2. Typische Leistung des hochauflösenden Signalwegs (THS4531A und ADS8354)

PARAMETER	WERT (GEMESSEN)
SNR	89,1 dB
SINAD	88,5 dB
ENOB	14,4 Bit
Übersprechen	– 107 bis – 109 dB

7.1.1.3 Hintergrundinformationen zu AC-Leistungsdefinitionen für ADCs

Ein typisches FFT-Diagramm für einen ADC ist in [Abbildung 7-10](#) dargestellt.

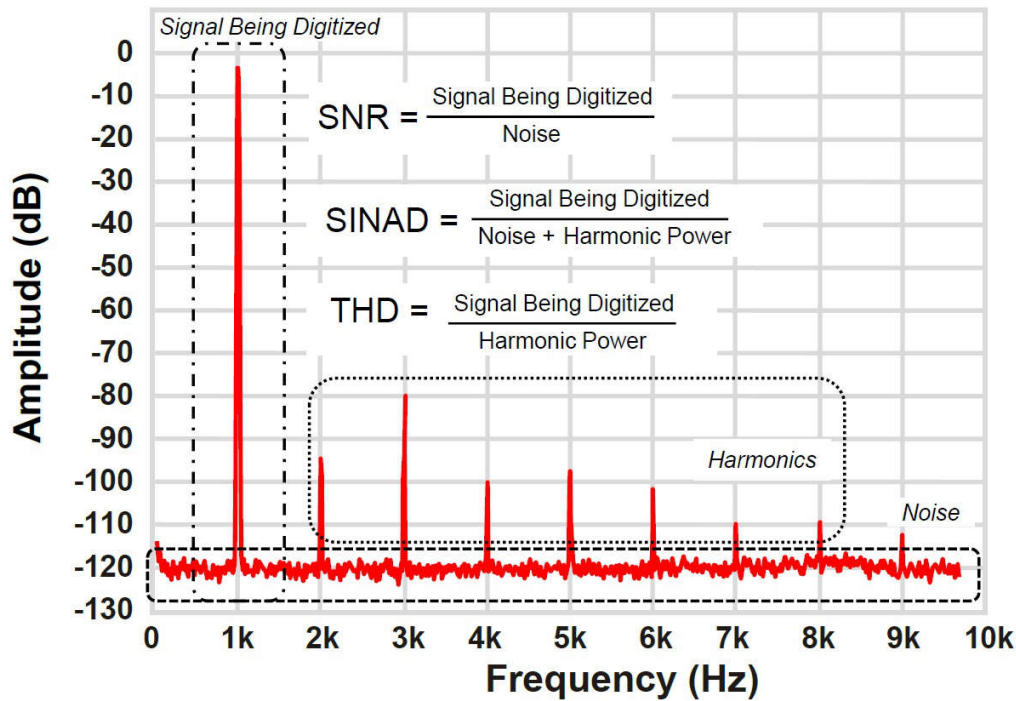


Abbildung 7-10. Leistungsdefinitionen

Der SNR liefert Einblicke in das Gesamtrauschen des Systems. Das Gesamtrauschen des Datenerfassungssystems ist die Wurzel aus der Summe der Quadrate (SRSS) des Frontend-Verstärker-Rauschens und des ADC-Rauschens. Zum Rauschen des ADC gehören sowohl das Quantisierungsrauschen als auch das Rauschen interner ADC-Schaltkreise. Der Gesamtrauschbeitrag aller dieser Quellen, bezeichnet als $V_{n_TOT_RMS}$, werden zur Berechnung des Gesamt-SNR des Systems als Beitrag des ADC übermittelt:

$$SNR = \frac{V_{SIGNAL_RMS}}{V_{NOISE_RMS}} \quad (16)$$

Die harmonische Gesamtverzerrung (THD) ist definiert als das Verhältnis des SRSS aller harmonischen Komponenten (im Allgemeinen werden neun Oberschwingungen verwendet) zur Leistung der grundlegenden Signalfrequenz. Es wird im Allgemeinen mit einem Eingangssignal nahe dem Vollausschlag (FS) spezifiziert, aber in diesem Design wird der Eingang 0,5 dB unter FS gehalten, um ein Clipping zu verhindern.

Wenn der quadratische Mittelwert (RMS) des Eingangssignals als V_{SIGNAL_RMS} und die Gesamtleistung der ersten neun Oberschwingungen (außer der Grundschwingung) als $V_{HARMONICS_RMS}$ bezeichnet wird, kann der THD wie folgt berechnet werden:

$$THD = \frac{V_{SIGNAL_RMS}}{V_{HARMONICS_RMS}} \quad (17)$$

SINAD verbindet die Effekte von Verzerrung und Rauschen, um ein kumulatives Maß für die gesamte Dynamikleistung des Systems zu erhalten.

$$\text{SINAD} = \frac{V_{\text{SIGNAL_RMS}}}{\sqrt{V_{\text{NOISE_RMS}}^2 + V_{\text{HARMONICS_RMS}}^2}} \quad (18)$$

Nicht zuletzt ist ENOB ein effektives Maß für die Qualität eines digitalisierten Signals von einem ADC, da er die Anzahl der Bits über dem Grundrauschen angibt. Er wird berechnet (ausgehend von SINAD in dB) wie folgt:

$$\text{ENOB} = \frac{\text{SINAD}_{\text{dB}} - 1.76 \text{ dB}}{6.02 \text{ dB}} \quad (19)$$

Weitere Informationen zur Berechnung der Parameter finden Sie in [SLAU515](#).

7.1.2 Analoger Differential-to-single-ended-Signalweg

Mit dem zweikanaligen Signalgenerator werden zwei gekoppelte Sinuswellen (gleiche Amplitude, gleiche Frequenz, mit einer Phasenverschiebung von 90 Grad) erzeugt und über den J9-Anschluss an die analogen Differenzsignale A+, A– und B+, B– angelegt. Zwei differenzielle Sonden werden zur Erfassung der am Eingang angelegten Differenzsignale verwendet, während zwei unsymmetrische Sonden an die unsymmetrischen Analogausgänge A und B des Analogpfads an Stecker J6, Pin 18 bzw. Pin 20 angeschlossen sind.

Auf diese Weise wird die Amplitude der Ausgänge gegenüber den Eingängen gemessen; gleichzeitig wird die Phasenverschiebung zwischen den Differenzialeingängen und dem jeweiligen unsymmetrischen Ausgang gemessen. Auf diese Weise kann ein Bode-Diagramm des analogen Signalumformungswegs berechnet werden.

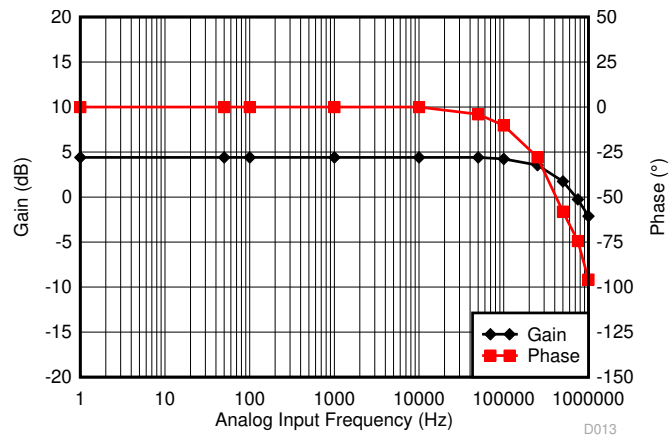


Abbildung 7-11. Übertragungsfunktion des analogen Differential-to-single-ended-Signalwegs – Kanal A und B

Die gleichen Messungen wurden am Marker-Signal (R+/R–) durchgeführt. Beachten Sie, dass die Phase des R-Signals kleiner als das Äquivalent für A und B ist, da der Ausgang am Eingang des Komparators gemessen wurde. Der Entkopplungsfilter hat hier eine fünfmal höhere Grenzfrequenz (R = 20 Ω, C = 2,2 nF) als der Ausgangsfilter für A und B (R = 100 Ω, C = 2,2 nF).

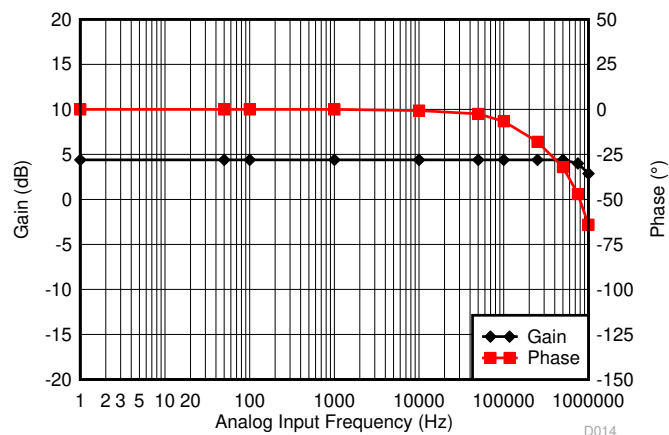


Abbildung 7-12. Übertragungsfunktion des analogen Differential-to-single-ended-Signalwegs – Index-Marker R

7.1.3 Komparator-Subsystem mit digitalen Ausgangssignalen A_{TTL} , B_{TTL} und R_{TTL}

In diesem Abschnitt wurde die Leistung des Komparators mit Hysterese getestet, die die unsymmetrischen analogen Signale A, B und R in digitale Signale umwandelt.

Der Fokus lag dabei auf der Ausbreitungsverzögerung der Komparator-Ausgangssignale A_{TTL} , B_{TTL} und R_{TTL} am Host-Anschluss J6 gegenüber dem Analogeingang an ADS8354 für den hochauflösenden Weg sowie den unsymmetrischen Analogsignalen für den analogen Weg.

Ziel des Tests war es, die Gesamtsignalverzögerung des Komparatorwegs gegenüber dem Analogweg zu messen. Dabei wurden die durch die Hysterese verursachten Verzögerungen, die Phasenverschiebung aufgrund der Tiefpassfilterung und die Ausbreitungsverzögerung des Komparators selbst berücksichtigt.

Da alle drei Kanäle A, B und R absolut symmetrisch in Bezug auf den Komparatorausgang ausgeführt wurden, wurden Messungen nur mit Kanal A durchgeführt.

Die analogen Signale wurden beide mit einer unsymmetrischen Sonde gemessen, daher wurde am Differenzialeingang von ADS8354 nur das positive Differenzialsignal gegen GND gemessen.

Für die Prüfung wurden sinusförmige Eingangssignale am Encoder-Stecker J9, A_P, A_M (Sinus) und B_P, B_M (Kosinus) sowie P_M und R_P eingespeist

Für den hochauflösenden Weg wurde die Amplitude auf 1,0 V_{PP} (typisch) und 0,3 V_{PP} (minimal) mit 100 Hz und 500 kHz (maximal) eingestellt, um das Worst-Case-Szenario für die Ausbreitungsverzögerung zu testen. Für den analogen Weg wurde die Messung bei 0,3 V_{PP} mit 100 Hz und 500 kHz als Eckfälle durchgeführt.

Die Testergebnisse sind in den folgenden Abbildungen dargestellt. Beachten Sie, dass sowohl der hochauflösende Weg (am Differenzeingang von ADS8354) als auch der unsymmetrische Analogweg (an Stecker J6, Pin 12) mit dem Komparatorausgang (an Stecker J6, Pin 18) verglichen werden.

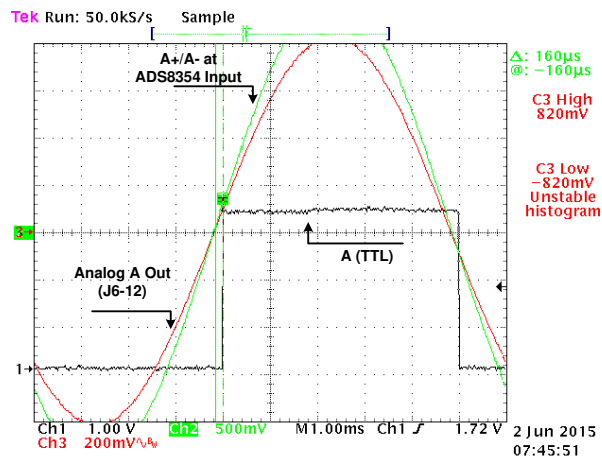


Abbildung 7-13. Komparatorausgang A_{TTL} gegenüber Differenzialeingang an ADS8354 und Analogausgang A (J6-12) mit Eingang 1,0 V_{PP}, 100 Hz am Encoder-Anschluss J9-1, J9-2

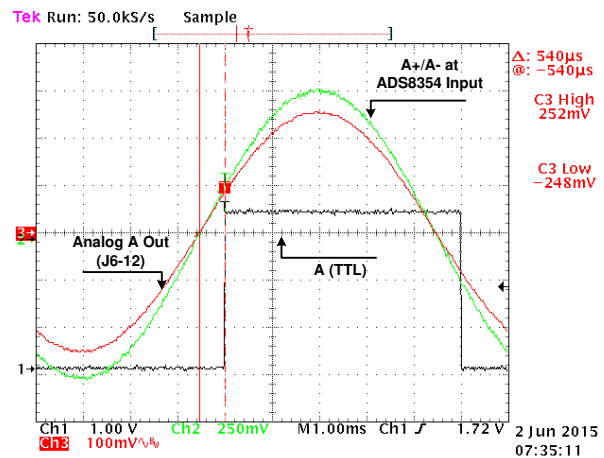


Abbildung 7-14. Komparatorausgang A_{TTL} gegenüber Differenzialeingang an ADS8354 und Analogausgang A (J6-12) mit Eingang 0,3 V_{PP}, 100 Hz am Encoder-Anschluss J9-1, J9-2

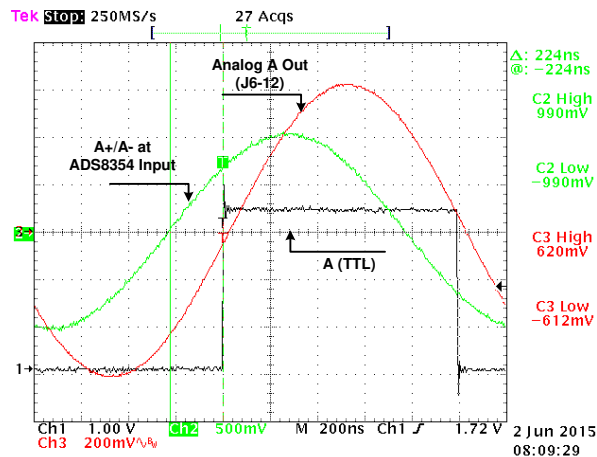


Abbildung 7-15. Komparatorausgang A_{TTL} gegenüber Differenzialeingang an ADS8354 und Analogausgang A (J6-12) mit Eingang 1,0 V_{PP}, 500 kHz am Encoder-Anschluss J9-1, J9-2

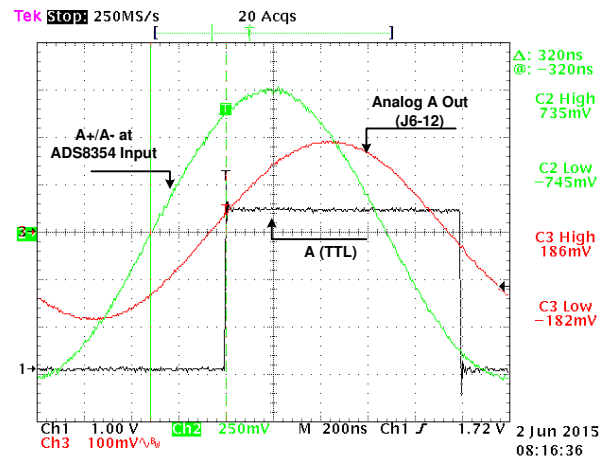


Abbildung 7-16. Komparatorausgang A_{TTL} gegenüber Differenzialeingang an ADS8354 und Analogausgang A (J6-12) mit Eingang 0,3 V_{PP}, 500 kHz am Encoder-Anschluss J9-1, J9-2

Wie erwartet, tritt die maximale Gesamtphasenverschiebung einschließlich RC-Filter-Entkopplungsnetzwerken bei 500 kHz mit der niedrigsten Eingangsamplitude auf und beträgt insgesamt rund 320 ns, was 57 Grad entspricht, was deutlich unter 90 Grad und innerhalb der 60-Grad-Spezifikation gemäß [Sektion 2](#) liegt. Die sehr geringe Ausbreitungsverzögerung des TLV3201 mit typischerweise 40 ns hat einen großen Einfluss auf diesen niedrigen Wert. Dies bietet auch eine große Reserve zur Kompensation aller möglichen Spreads in den Parametern, die das Ausmaß der Phasenverzögerung beeinflussen, wie z. B. durch Tiefpassfilter usw.

Die Ausbreitungsverzögerung bei 100 Hz ist nahezu die gleiche wie beim hochauflösenden Kanal, da die Verzögerung bei niedrigeren Frequenzen von der amplitudenabhängigen Hysterese dominiert wird.

Auf dem unsymmetrischen analogen Weg gibt es trotz der 250-ns-Ausbreitungsverzögerung des Komparators mit Hysterese selbst nahezu keine Verzögerung bei 500kHz. Der Grund hierfür ist der starke Tiefpassfilter am unsymmetrischen Analogausgang ($R = 100 \Omega$, $C = 4,7 \text{ nF}$) zur Ansteuerung eines eingebetteten ADC mit geschaltetem Kondensator wie im Piccolo-MCU. Diese frequenzabhängige Phasenverzögerung kompensiert die Verzögerung des Komparators bei höheren Frequenzen ein wenig.

In einem zweiten Schritt wurde nur die Verzögerung gemessen, die mit dem Komparator mit Hysterese zusammenhängt. Die Verzögerung wurde als Eingang zum Komparator (Analogsignal bei R50) und als Ausgang des Komparators festgelegt. Beachten Sie, dass 0,3 V_{PP} am Encoder-Eingang aufgrund der vorherigen Verstärkerstufe mit dem Verstärkungsfaktor 1,66 am Komparatoreingang etwa 0,5 V_{PP} entspricht.

Die Verzögerung, die nur durch den Komparatorblock (Hysterese und Komparator-Ausbreitungsverzögerung) entsteht, wurde gemessen und ist in [Tabelle 7-3](#) ausgeführt.

Tabelle 7-3. Verzögerung des Hysteresekomparator-Subsystems

EINGANG AM ENCODER-ANSCHLUSS	SPANNUNG AM KOMPARATOREINGANG (Z. B. R50)	AUSBREITUNGSVERZÖGERUNG	PHASENVERZÖGERUNG
1,0 V _{PP} , 100 Hz	1,66 V	170 µs	6,1 Grad
0,3 V _{PP} , 100 Hz	0,5 V	560 µs	20,1 Grad
1,0 V _{PP} , 500 kHz	1,52 V	120 ns	21 Grad
0,3 V _{PP} , 500 kHz	0,46 V	200 ns	36 Grad

Der Unterschied zur Gesamtverzögerung in [Abbildung 7-13](#) zu [Abbildung 7-16](#) liegt am Tiefpassrauschfilter im Analogweg, der für den hochauflösenden Signalweg zu weiteren ca. 22 Grad bei 500 kHz beiträgt. Die Verzögerung liegt jedoch immer noch deutlich unter 90 Grad.

Wenn eine ideale Phasenanpassung gewünscht wird, kann mit THS4531A wie in [Sektion 4.5](#) beschrieben ein entsprechender Tiefpassfilter implementiert werden.

7.2 Stromversorgungstests

7.2.1 24-V-DC/DC-Eingangsversorgung

Die folgenden Tests wurden durchgeführt, um den DC/DC-Abwärtswandler zu charakterisieren, der die 24-V-Schiene in eine 6-V-Zwischenschiene umwandelt.

7.2.1.1 Lastleistungsregelung

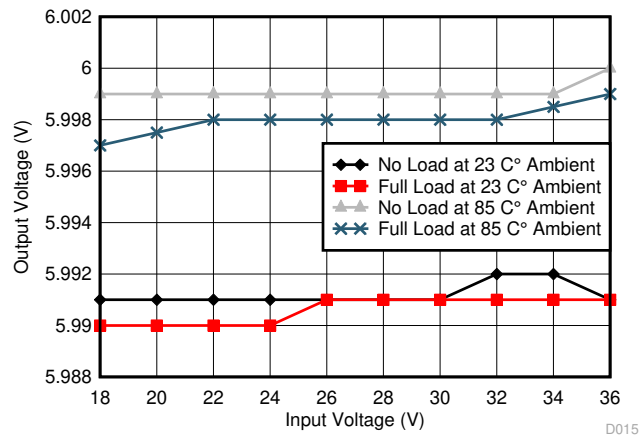


Abbildung 7-17. Lastleistungsregelung

Kommentare: Die Lastleistungsregelung liegt unter allen Betriebsbedingungen innerhalb des ± 10 -mV-Bereichs. V_{OUT} ist wie erwartet $6\text{ V} \pm 2\%$ (Genauigkeit des Reglers) plus die Genauigkeit des Widerstandsteilers R7/R10.

7.2.1.2 Ausgangsspannungswelligkeit

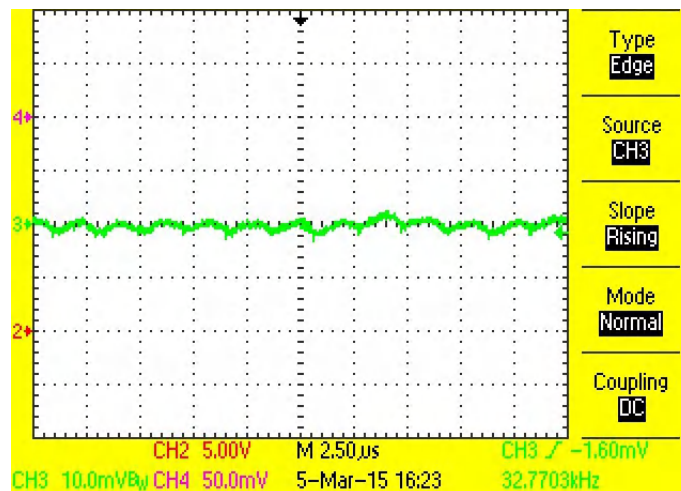


Abbildung 7-18. Ausgangsspannungswelligkeit bei 24-V-Eingang, ohne Last, bei 22 °C Umgebungstemperatur

Kommentare: Die V_{OUT} -Welligkeit ist viel geringer als die vorgeschriebenen 20 mV_{PP} .

7.2.1.3 Schaltknoten und Schaltfrequenz

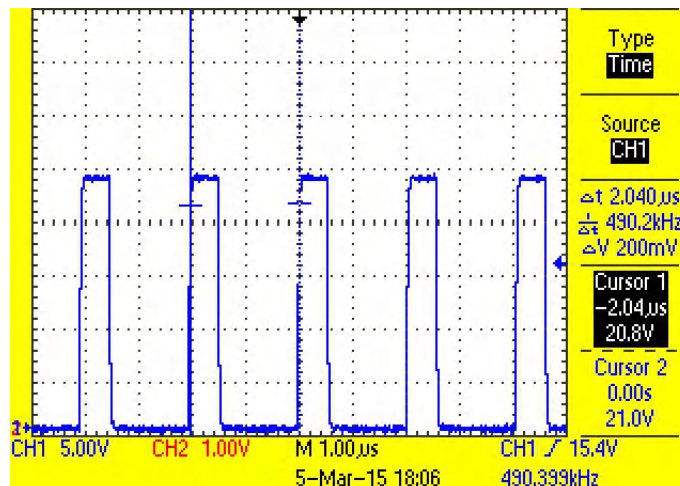


Abbildung 7-19. Schaltfrequenzmessung, Vollast, 24-V-Eingang, Raumtemperatur

Kommentare: Die Schaltfrequenz liegt im erwarteten Bereich ($500 \text{ kHz} \pm 23 \%$). Der SMPS ist stabil, kein Jitter, kein unregelmäßiges Schalten, keine Spannungsspitze.

7.2.1.4 Wirkungsgrad

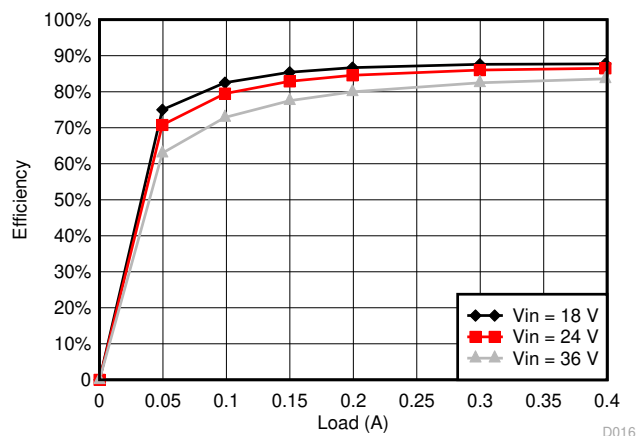


Abbildung 7-20. Wirkungsgrad bei 22 °C mit Verpolungsschutzdiode

Kommentare: Die Wirkung der Diode zum Verpolungsschutz auf den Wirkungsgrad des DC/DC-Wandlers ist vernachlässigbar. Der angestrebte Wirkungsgrad von 80 % bei Vollast wurde bei jeder angegebenen Eingangsspannung vollständig erreicht.

7.2.1.5 Bode-Diagramm

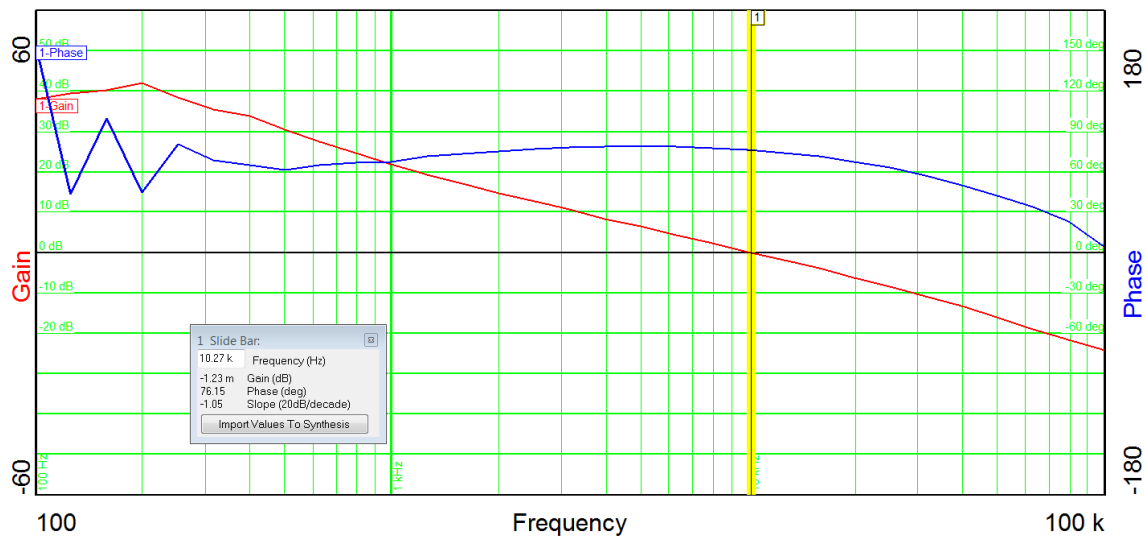


Abbildung 7-21. Bode-Diagramm bei 24-V-Eingang, Vollast

Tabelle 7-4. Phasen- und Verstärkungsreserve

EINGANGSSPANNUNG	PHASENRESERVE	FREQUENZWEICHE
36 V	78 Grad	10,3 KHz
24 V	76 Grad	10,3 KHz
17 V	74 Grad	10,2 KHz

Kommentare: Die Verstärkungsschleifenanalyse zeigt eine Systembandbreite von 10 kHz mit einer sehr guten Phasenreserve (> 60 Grad) unter allen Betriebsbedingungen.

7.2.1.6 Thermisches Diagramm

Ein Wärmebild wurde erfasst, um den Hotspot auf der Platine bei maximaler Last zu ermitteln.

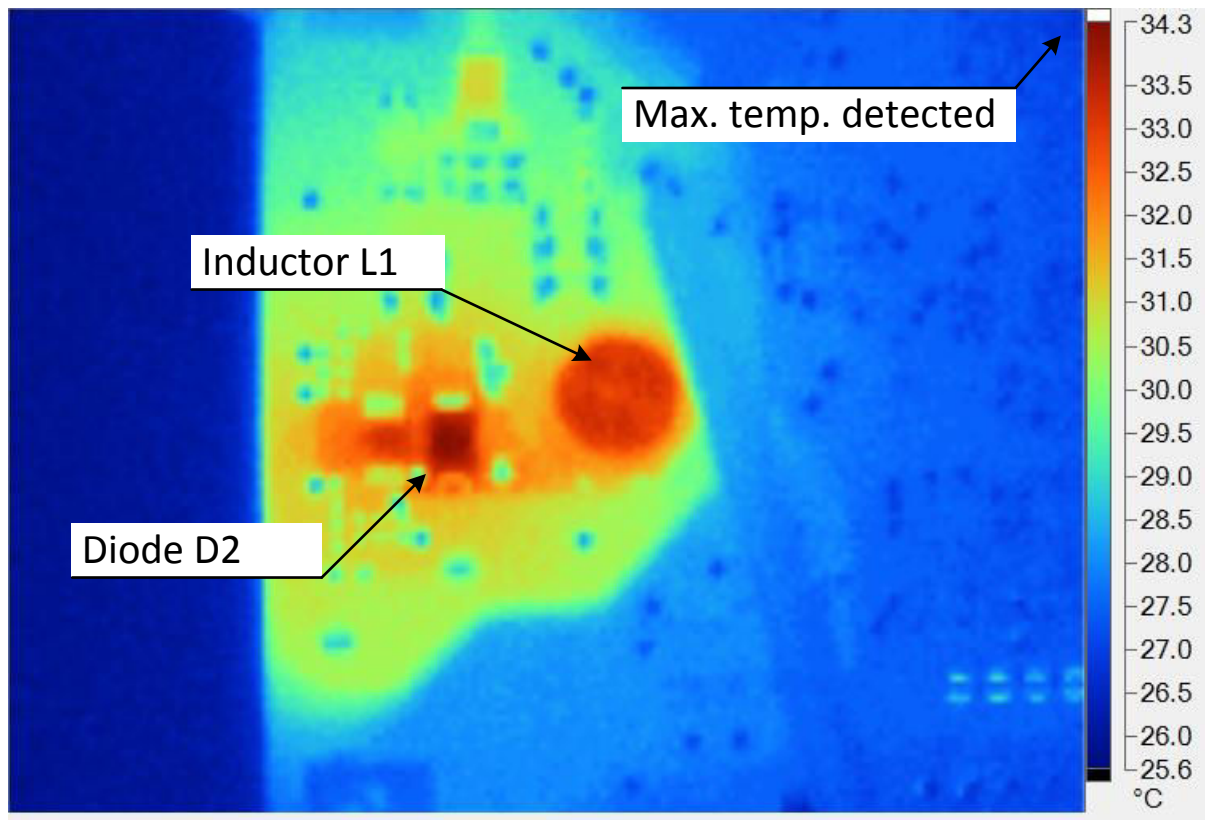


Abbildung 7-22. Wärmebilder, 24-V-Eingang, Volllast, 22 °C Umgebungstemperatur

Kommentare: Der erkannte Hotspot auf der Platine entspricht dem nicht synchronen Gleichrichter oder der Diode des Schaltkreises TPS54040A. Er zeigt eine Temperaturerhöhung von 11 °C bei Raumtemperatur-Tests, abhängig von der Eingangsspannung und dem Ausgangsstrom. Die maximal erkannte Temperatur auf diesem Bauteil beträgt 34 °C.

Tests bei 85 °C zeigten keine signifikanten Leistungsdrifts (siehe [Abbildung 7-17](#), Lastleistungsregelung bei 85 °C).

7.2.2 Ausgangsspannung der Encoder-Stromversorgung

Die Ausgangsspannung des LDO-Reglers, der die Versorgung für den Encoder bereitstellt, ist gut geregelt und entspricht den Spezifikationsanforderungen, wie bei den folgenden Messungen.

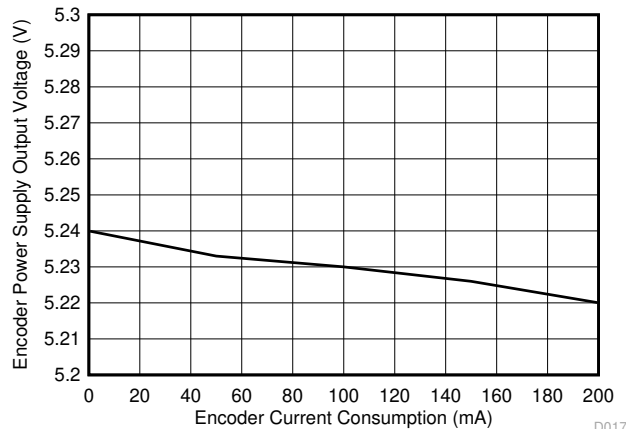


Abbildung 7-23. Ausgangsspannung der Encoder-Stromversorgung im Vergleich zum Laststrom (0 bis 200 mA)

7.2.3 5-V- und 3,3-V-Point-of-Load

Die Ausgangsspannungen der beiden LDOs zur Erzeugung des Point-of-Load zur Versorgung des Signalkettenblocks sind gut geregelt und entsprechen den Spezifikationsanforderungen. Die Messungen sind in [Tabelle 7-5](#) dargestellt. Der Nennstromverbrauch auf den 3,3-V- und 5-V-Schienen wurde mit einem angeschlossenen Sin/Cos-Encoder gemessen, und das F28069M-LaunchPad löste eine neue Messung bei 16 kHz aus.

Tabelle 7-5. Gemessene Ausgangsspannung

SPEZIFIZIERTE AUSGANGSSPANNUNG	GEMESSENE SPANNUNG BEI NENNLAST	NENNSTROM
5 V	5,02 V	49,9 mA
3,3 V	3,34 V	0,2 mA

7.3 Systemleistung

7.3.1 Sin/Cos-Encoder-Ausgangssignal-Emulation

Zu diesem Zweck wurden die Encoder-Ausgangssignale mit einem programmierbaren 16-Bit-Signalgenerator Keysight (Agilent) 33600A mit zwei Ausgängen emuliert. Sinusförmige Testsignale von DC bis zu 500 kHz wurden in die Differenzialeingänge A+/A– und B+/B– eingespeist.

In diesem Abschnitt wurde die Leistung auf Systemebene gemessen. Speziell:

- Genauigkeit über eine elektrische Periode (Phase)
- Genauigkeit über eine Umdrehung bei maximaler Eingangsfrequenz von 500 kHz. Hier basierte die Encoder-Emulation auf einer Periode von 2000 Signalen, die einer emulierten Revolution entsprach

Die Tests wurden bei Raumtemperatur durchgeführt und bei 70 Grad wiederholt, um die Fehlerdrift gegenüber der Temperatur zu überprüfen.

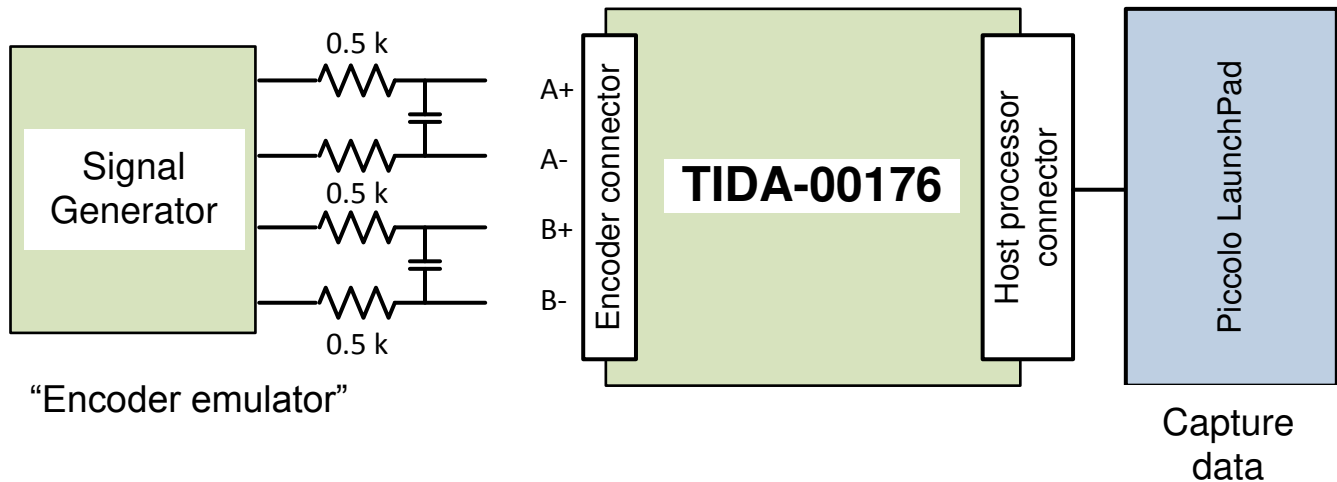


Abbildung 7-24. Testkonfiguration für Encoder-Signal-Emulation

7.3.1.1 Ein-Perioden-Test (inkrementelle Phase)

Die ersten Tests zeigten, dass der vom Signalgenerator mit zwei Ausgängen eingespeiste Fehler deutlich schwerwiegender war als die Genauigkeit des TIDA-00176, was dem Zweck der Tests völlig entgegensteht. Rausch- und Fehlerquellen könnten kurz wie folgt zusammengefasst werden:

- Verstärkungsfehler (Amplitude von A ungleich Amplitude von B)
- Phasenverschiebungsfehler (nicht genau 90 Grad konstant wie erwartet)
- Offsetfehler (Mittelwert des A- oder B-Signals ist nicht gleich 0)
- HF-Rauschen aufgrund des Quantisierungsfehlers des Funktionsgenerators
- Frequenzfehler (Frequenz von A ungleich Frequenz von B, selbst wenn die Signale „gekoppelt“ sind)

CAUTION

Um den Quantisierungsfehler und das Rauschen des Funktionsgenerators zu reduzieren, wird zwischen dem Signalgenerator und den TIDA-00176-Eingängen ein 1-K-zu-1-µF-LP-Filter (der 1-K-Widerstand ist eigentlich eine Serie von zwei 500-Ω-Widerständen, um das Netzwerk ausgeglichen zu halten) am Eingang eingesetzt.

Um Verstärkungs-, Offset-, Phasenverschiebungs- und Frequenzfehler zwischen den beiden Kanälen zu beseitigen, wurde die folgende Konfiguration vorgenommen: Nur ein Ausgangssignal, wie oben beschrieben gefiltert, wurde am Encoder-Stecker J8 des TIDA-00176 an die beiden Eingänge A und B angelegt, die somit mit demselben Signal versorgt wurden. Dadurch wird die Einschränkung des Funktionsgenerators beseitigt. Darüber hinaus können Abweichungen zwischen den beiden Kanälen von ADS8354 (und deren jeweiligen Signalumformungswegen) besser ausgewertet werden.

Tatsächlich sollten die von ADS8354 erfassten Daten (im Idealfall) zwei Streams von rohen identischen Daten zeigen, während jede Abweichung auf dieser Ebene aus der Nichtübereinstimmung der beiden Kanäle und nicht aus der Eingabe selbst kommt. Dies kann auch zur Kalibrierung des Systems verwendet werden, da Offset- und Verstärkungsfehlerkorrekturen durchgeführt werden können, um die A- und B-Kanäle vollständig anzugleichen.

Die Daten wurden mit einer Abtastrate von 32 kHz mit dem an das TIDA-00176 angeschlossenen F28069M-LaunchPad erfasst, wie in [Sektion 6](#) beschrieben.

Nachdem die Daten der ADS8354-Kanäle A und B von F28069M erfasst wurden, wurden die 16-Bit-Rohdaten in eine Excel-Datei ausgegeben. Dann wurden die Rohdaten für Kanal B um exakt 90 Grad phasenverschoben. Danach wurde die Phase mit Hilfe des inversen Tangens der Rohdaten A und der um 90 Grad phasenverschobenen Rohdaten B berechnet.

Diese Prüfung wurde für die 1,0-V_{pp}-Amplitude und Frequenzen von 10 Hz bis zu 500 Hz wiederholt. Das Ergebnis ist in den folgenden Abbildungen dargestellt.

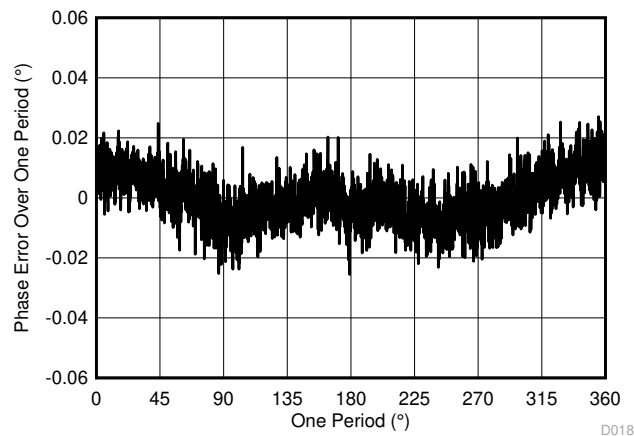


Abbildung 7-25. Phasenfehler über eine Signalperiode, wenn ein 1,0-V_{pp}/10-Hz-Eingang angewendet wird

Innerhalb einer inkrementellen Linie (eine Signalperiode = 360 Grad) bleibt der Phasenfehler deutlich innerhalb von $\pm 0,02$ Grad. Dies entspricht einem Fehler $\pm 0,02/360 = 0,0055\%$. In Bezug auf die 16-Bit-Auflösung entspricht dies nur etwa ± 3 LSB.

Die Rauschverteilung liegt sogar innerhalb von $\pm 0,01$ ($\pm 1,5$ LSB). Der Phasenfehler mit der Doppelperiode ist auf eine nicht ideale 90-Grad-Phasenverschiebung zwischen den beiden Signalen A und B zurückzuführen, wie in [Sektion 1](#) beschrieben.

Beachten Sie, dass ein Fehler von $\pm 0,02$ Grad über eine Signalperiode einem Gesamtfehler von ± 10 Mikrograd ($0,036$ Bogensekunden) für einen Encoder mit einer Zeilenanzahl von 2000 entspricht.

Die gleichen Tests wurden in der thermischen Kammer bei einer Temperatur von 70 °C durchgeführt, um die Systemleistungsdrift und insbesondere den absoluten Fehler in der Winkelposition zu bewerten.

Auch hier kommt die Doppelfrequenzmodulation von der nicht perfekten Anpassung (90-Grad-Phasenverschiebung usw.) des Signals von den zwei Eingängen.

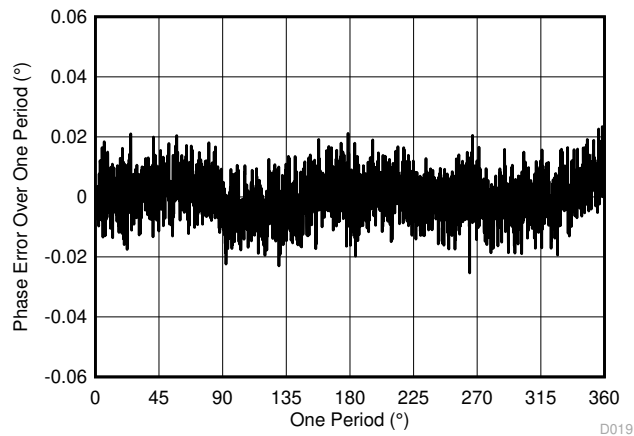


Abbildung 7-26. Phasenfehler bei 70 °C über eine Signalperiode, wenn ein 1,0-V_{PP}/10-Hz-Eingang angewendet wird

Die gleiche Prüfung wurde mit einem 0,6-V_{PP}-Eingang durchgeführt, wobei die höheren Rausch-/niedrigeren SNR-Bedingungen sichtbar sind:

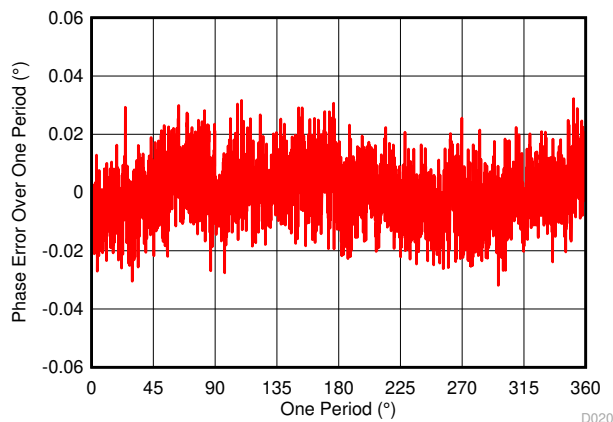


Abbildung 7-27. Phasenfehler bei 23 °C Umgebungstemperatur über eine Signalperiode, wenn ein 0,6-V_{PP}/10-Hz-Eingang angewendet wird

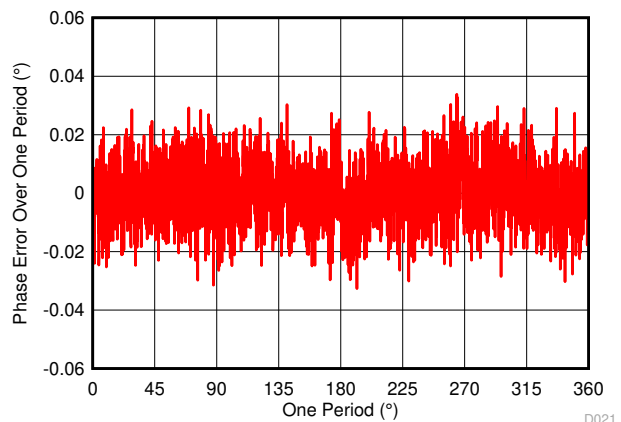


Abbildung 7-28. Phasenfehler bei 70 °C Umgebungstemperatur über eine Signalperiode (eine Umdrehung/2000), wenn ein 0,6-V_{PP}/10-Hz-Eingang angewendet wird

Die extrem geringe Drift gegenüber der Temperatur entspricht den Erwartungen, auch aufgrund der Eigenschaften der ausgewählten Operationsverstärker und angepassten Widerstände, die für die Analogsignalumformung verwendet werden.

7.3.1.2 Ein mechanischer Umdrehungstest bei maximaler Geschwindigkeit

Für diesen Test wurde der hochauflösende interpolierte Winkel über eine mechanische Umdrehung innerhalb des mit dem Piccolo F28069M LaunchPad verbundenen TIDA-00176 berechnet. Die Abtastrate wurde auf 32 kHz bei einem 80-MHz-CPU-Takt eingestellt.

Ziel des Tests ist es, zu überprüfen, ob der Interpolationsalgorithmus bei einer maximalen Eingangssignalfrequenz von 500 kHz funktioniert, ohne dass inkrementelle Werte fehlen oder die interpolierte Phase (Bogentangens) und die entsprechende Zeilenanzahl (QEP) nicht übereinstimmen, beispielsweise aufgrund von inkongruentem Latching

der analogen Samples und des QEP-Zählers. Dies würde sich in einem größeren Fehler niederschlagen als das in [Sektion 7.3.1.1](#) gemessene Quantisierungsrauschen.

Zu diesem Zweck wurde mit dem Doppelsignalgenerator eine 360-Grad-Drehung des Encoders emuliert. Die Prüfung wird mit dem Signalgenerator mit zwei Ausgängen wie folgt durchgeführt: Die beiden Ausgangssignale sind in Amplitude und Frequenz gekoppelt und haben eine Phasenverschiebung von 90 Grad. Die beiden Signale werden dann als Eingang an die Pins A+/A– und B+/B– des Encoder-Steckers J9 des TIDA-00176 angelegt.

Der gesamte interpolierte Winkel wird im F28069M-RAM gespeichert und durch den CCS-Speicherauszug gelesen.

Der berechnete hochauflösende Winkel wird mit einer idealen Phase unter der Annahme eines Encoders mit einer Zeilenanzahl von 2000 verglichen. Daher entsprechen 2000 Signalperioden bei 500K kHz einer emulierten Revolution. Die gesamte Phasenanstiegsgeschwindigkeit beträgt $360 \text{ Grad} \times 500 \text{ kHz} / 2000 = 90.000 \text{ Grad/s}$.

[Tabelle 7-6](#) enthält die Timings für

1 μs und für 100 ns, was einem F28069M-CPU-Takt bei 80 MHz entspricht.

Tabelle 7-6. Winkelgeschwindigkeit für Sin/Cos-Encoder mit Zeilenanzahl 2000 und einer Drehzahl von 15000 U/min

IDEALE WINKELGESCHWINDIGKEIT	WINKELÄNDERUNG IN 1 μs	WINKELÄNDERUNG IN 12,5 (CPU-TAKT)
90.000 Grad/s	0,09	0,0011

Ein Jitter am Signalgenerator sowie am Prozessortakt oder sogar ein CPU-Takt-Jitter des Hostprozessors, der das Analogsignal über SPI/CS abtastet, kann nicht vermieden werden. Bei einer idealen Rampe (aufgrund fehlender Referenz) hat der gemessene Winkel einen entsprechenden Phasenrückstand oder -vorsprung, was einen geschwindigkeitsabhängigen Winkelfehler ergibt.

[Abbildung 7-29](#) zeigt den interpolierten Winkelfehler unter der Annahme einer idealen Rampe (500 kHz, 2000 Signalperioden pro Umdrehung) bei 32 khz, die 128 aufeinanderfolgende Muster pro Umdrehung ergibt.

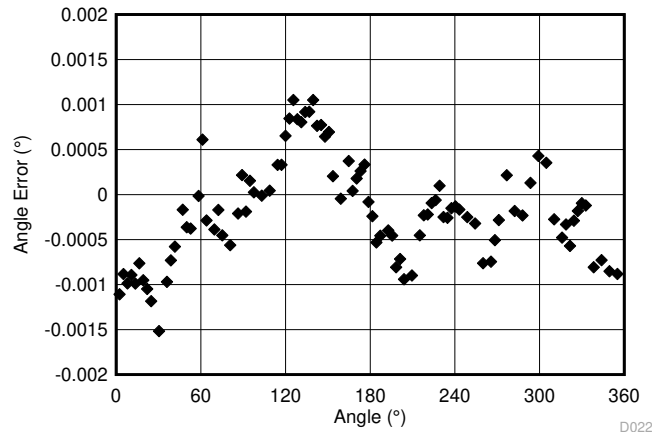


Abbildung 7-29. Fehler des interpolierten Winkels über eine Umdrehung mit Encoder-Emulation (1 V_{PP} , 500-kHz-Eingang bei 32-kHz-Abtastung)

Wie bereits erwähnt, bestand das Ziel nicht darin, die Genauigkeit zu testen, sondern zu verifizieren, dass kein Inkrement verloren wurde. Bei einer Emulation mit 2000 Zeilen würde eine inkrementelle Zeilenanzahl einem Wert von $360/2000 = 0,18 \text{ Grad}$ entsprechen. Der Winkelfehler (Differenz) zu einer idealen Geraden bleibt innerhalb von $\pm 0,001 \text{ Grad}$; daher funktioniert die Interpolation auch bei 500 kHz noch gut und es geht kein Inkrement verloren.

Wie in der Abbildung zu sehen ist, liegt der Fehler innerhalb von $\pm 0,0015 \text{ Grad}$. Der Grund hierfür ist der CPU-Takt-Jitter sowie andere Jitter, wie z. B. von der Signalgeneratorquelle, wobei der CPU-Takt-Jitter die minimale Genauigkeit bestimmt.

Der Grund für diese Verteilung ist der Jitter mit der F28069-Software, die die SPI-Übertragung/CS von einem oder zwei CPU-Taktzyklen auslöst. Abfallende Flanke von /CS latched den Analogeingang. Schon ein Jitter von 12,5 ns führt zu einer Phasendifferenz von rund $12,5 \text{ ns} / 2000 \text{ ns} \times 360 / 2000 \text{ Grad} \sim 0,0011 \text{ Grad}$. Daher ist die Winkeldifferenz tatsächlich ein geschwindigkeitsabhängiger Winkelfehlerrückstand (Geschwindigkeitsrückstand).

7.4 Sin/Cos-Encoder-Systemtests

Systemtests werden mit den Sin/Cos-Encodern ROD480-2000 und ROD480-1024 mit einer Kabellänge von 1 m bzw. 71 m durchgeführt.

7.4.1 Nullindex-Marker R

Der erste Test besteht darin, die Synchronisierung oder den Versatz zwischen den digitalen Ausgangssignalen A, B und R zu überprüfen, die am Schnittstellenanschluss J6 des TIDA-00176-Hostprozessors, Pin 12 (A_{TTL}), Pin 14 (B_{TTL}) und Pin 16 (R_{TTL}) verfügbar sind. Mit diesem Test wird die ordnungsgemäße Konfiguration des TIDA-00176-Komparator-Subsystems überprüft.

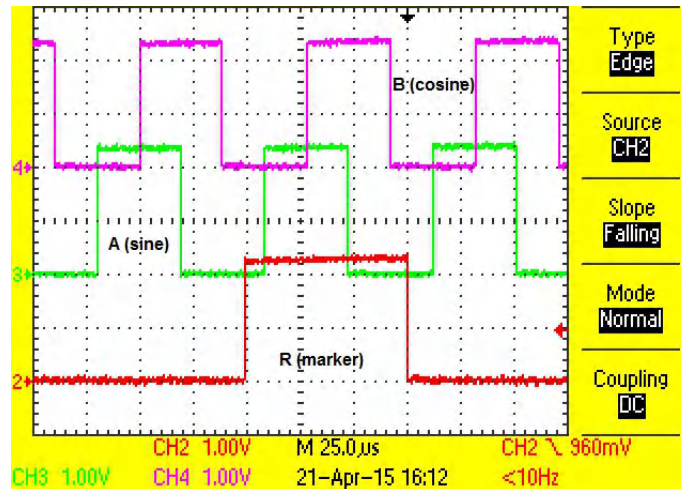


Abbildung 7-30. Gemessene TTL-Signale A, B und R an TIDA-00176-Komparatorausgang J6-12, 14 und 18

Die Übergänge am Komparator-Ausgangssignal R treten wie erwartet nur auf, wenn sowohl A als auch B niedrig sind. Dieses Ergebnis bedeutet, dass die Reihenfolge zwischen den A-, B- und R-Signalen von der Drehrichtung der Sin/Cos-Encoder-Welle abhängt. In [Abbildung 7-30](#) wird der Encoder im Uhrzeigersinn gedreht, da die steigende Flanke von B nach der steigenden Flanke von A auftritt.

Ein genauerer Blick auf den Versatz zwischen A, B und R wurde bei einer höheren Drehzahl von etwa 400 U/min und für die steigende und fallende Flanke von R geworfen. Die ansteigende und die abfallende Flanke von R treten weiterhin auf, wenn beide Signale A und B niedrig sind.

Beachten Sie, dass die Drehrichtung von [Abbildung 7-31](#) und [Abbildung 7-32](#) gegen den Uhrzeigersinn (CCW) ist.

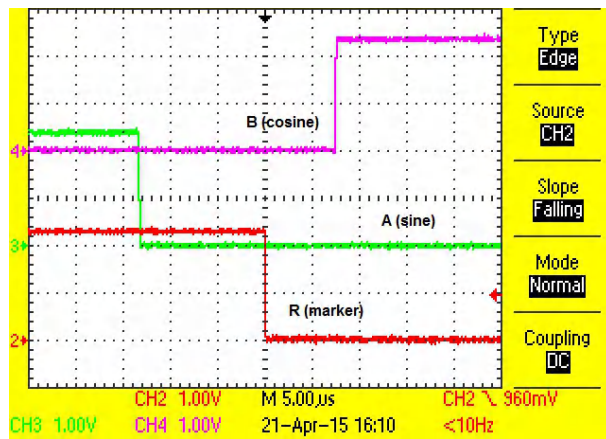


Abbildung 7-31. Abfallendes Index-Signal R im Vergleich zu A und B entgegen dem Uhrzeigersinn

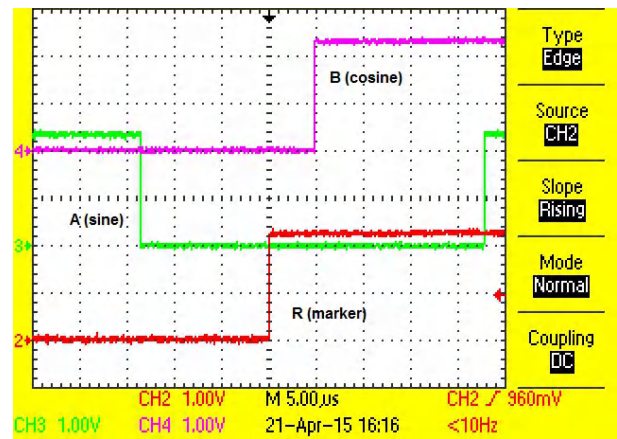


Abbildung 7-32. Steigendes Index-Signal R im Vergleich zu A und B entgegen dem Uhrzeigersinn

7.4.2 System-Funktionstests

Die folgenden Tests bezüglich statischer Winkel wurden mit einem Sin/Cos-Encoder ROD480-1024 bei 1 m und 71 m Kabellänge durchgeführt. Gesamtgenauigkeitsmessungen mit einer höheren Genauigkeit als 0,003 Grad (10 Bogensekunden) waren aufgrund des Fehlens eines mechanisch ausreichend genauen Encoder-Prüfstands nicht möglich. Eine Abbildung der Testkonfiguration ist in [Abbildung 7-33](#) dargestellt.

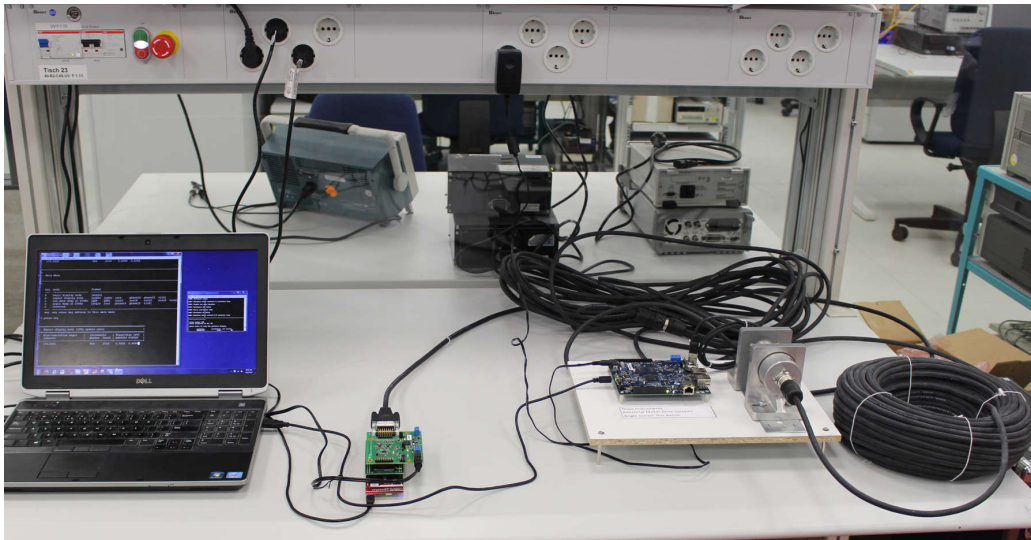


Abbildung 7-33. TIDA-00176-Testaufbau mit 70-m-Kabel (20 m + 50 m) und Sin/Cos-Encoder ROD4800-1024

[Abbildung 7-34](#) und [Abbildung 7-35](#) zeigen den mit ROD480-1024 (Zeilenanzahl 1024) gemessenen Winkel im Zeitverlauf für einen statischen Winkel bei den Kabellängen 1 m und 70 m entsprechend an. Der Schaft war nicht fixiert.

Beachten Sie, dass sich der absolute Winkel für die 1-m- und 71-m-Messung durch mechanische Vibrationen bei der Entfernung des 1-m-Kabels vom Encoder und der Montage des 70-m-Kabels leicht geändert hat.

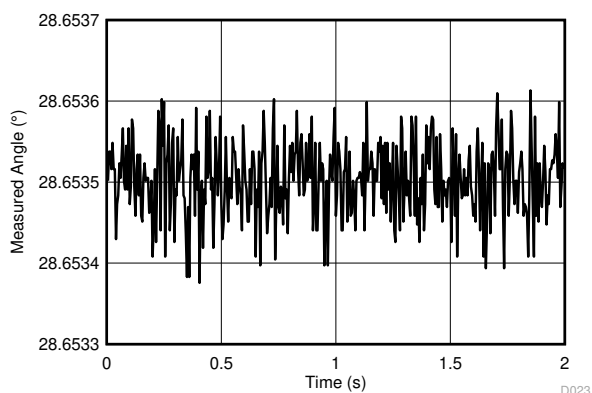


Abbildung 7-34. Systemtest, gemessene Winkelverteilung mit ROD480-1024 bei 1 m Kabellänge

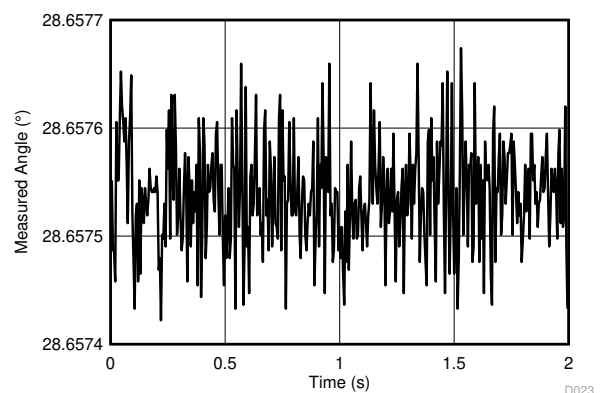


Abbildung 7-35. Systemtest, gemessene Winkelverteilung mit ROD480-1024 bei 71 m Kabellänge

Der gemessene Winkel mit dem ROD480-1024 hat eine Rauschverteilung von $\pm 0,0001$ Grad (0,36 Bogensekunden). Es gibt keinen signifikanten Unterschied zwischen den 1-m- und 70-m-Messungen, da die Dämpfung des Kabels bei 0 Hz etwa $-1,5$ dB betrug.

Um die grundlegende Genauigkeit und Wiederholbarkeit des TIDA-00176-Designs mit einem Sin/Cos-Encoder zu überprüfen, ist der Sin/Cos-Encoder ROD480-1024 mechanisch mit einem EnDat-2.2-Encoder ROQ437

gekoppelt. Der ROD480-1024 wird über ein 70-m-Kabel angeschlossen. Eine Abbildung der Testkonfiguration ist in [Abbildung 7-37](#) dargestellt.

Abbildung 7-36 Zeigt die Winkeldifferenz zwischen dem TIDA-00176, das mit einem Sin/Cos-Encoder ROD480-1024 verbunden ist, und einem EnDat-2.2-Absolut-Encoder ROQ437, wobei der absolute Winkel durch einen Sitara-AM437x-EnDat-2.2-Master gelesen wird. Der absolute Winkel weist einen kosinusförmigen Fehler auf, der auf eine nicht-ideale, nicht-zentrische Kupplung der beiden Wellen mit einer geringen Unrundheit zurückzuführen ist.

Der Encoder wurde mehrmals gedreht und der Winkel entsprechend erfasst, um auch die Wiederholbarkeit zu überprüfen.

Wie erwartet war die mechanische Konfiguration jedoch nicht genau und präzise genug, um Rückschlüsse auf die absolute Gesamtgenauigkeit des Systems zu ziehen. Daher sind die in [Sektion 7.3](#) durchgeführten Tests auf Basis der Encoder-Emulation repräsentativer für die Leistung, die vom Referenzdesign TIDA-00176 zu erwarten ist.

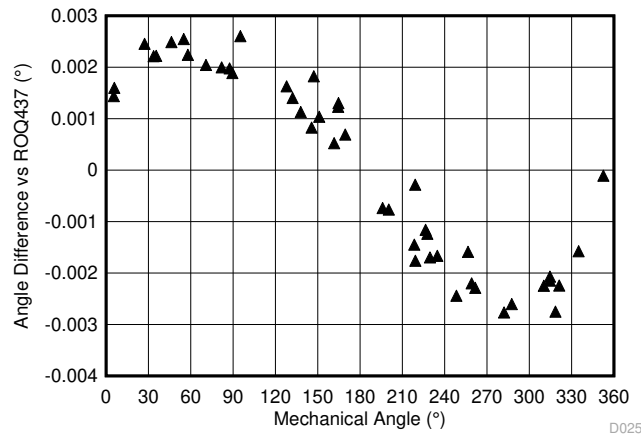


Abbildung 7-36. Grundlegender Systemgenauigkeitstest mit Sin/Cos-Encoder bei 70 m Kabellänge

7.5 EMV-Testergebnis

Das TI-Design TIDA-00176 wurde auf seine Konformität mit IEC 61000-4-2, 4-4 und 4-5 (ESD, EFT und Stoßspannungen) getestet. Die Testniveaus und Leistungskriterien sind in der Norm IEC 61800-3 „EMV-Anforderungen einschließlich spezieller Prüfverfahren für drehzahlveränderbare elektrische Antriebssysteme“ festgelegt.

Das Design entspricht diesen Standards und übertrifft die Spannungsanforderungen gemäß den EMV-Störfestigkeitsanforderungen aus IEC 61800-3. Eine Zusammenfassung finden Sie in den untenstehenden Tabellen und weitere Details in den folgenden Kapiteln.

Das Leistungskriterium A ist häufig kundenspezifisch und die zu erwartende Genauigkeit hängt von den Systemanforderungen ab. Einzelheiten zu den Testspezifikationen finden Sie in [Sektion 7.5.1](#).

Tabelle 7-7. IEC 618000-3 EMV-Störfestigkeitsanforderungen für die Zweitumgebung sowie gemessene Spannungspegel und -klasse

ANFORDERUNGEN					TIDA-00176-MESSUNGEN		
PORT	PHÄNOMEN	BASISSTANDARD	PEGEL	LEISTUNGSKRITERIUM (ABNAHME)	PEGEL	LEISTUNGSKRITERIUM (ERREICHT) ⁽¹⁾	TEST
Gehäuse-Ports	ESD	IEC61000-4-2	± 4 kV CD oder 8 kV AD, wenn CD nicht möglich	B	± 8 kV CD	B	BESTANDEN (ÜBERTROFFEN)
Anschlüsse für Steuerzeilen und Gleichstrom-Hilfsversorgungen < 60 V.	Schnelle transiente Störgröße/Burst (EFT)	IEC61000-4-4	Kapazitive Klemme mit ± 2 kV/5 kHz	B	± 4 kV	B	BESTANDEN (ÜBERTROFFEN)
	Stoßspannung 1,2/50 µs, 8/20 µs	IEC61000-4-5	± 1 kV. Da abgeschirmtes Kabel > 20 m, direkte Kopplung mit Abschirmung (2 Ω/500 A)	B	± 1 kV	B	BESTANDEN

- (1) Die Klasse A wird in Betracht gezogen, wenn die Differenz zwischen dem gemessenen Winkel und der anfänglichen mechanischen Referenzposition während des EMV-Ereignisses immer kleiner als die inkrementelle Winkelgenauigkeit war. Die inkrementelle Zeilengenauigkeit beträgt 360/N Grad. Für den Test wurde ein Sin/Cos-Encoder mit Zeilenanzahl 2000 verwendet (HEIDENHAIN ROD480), wobei die inkrementelle Auflösung 0,18 Grad beträgt.

Das Leistungskriterium (Abnahme) ist wie folgt definiert:

Tabelle 7-8. Leistungskriterium

LEISTUNGSKRITERIUM (ABNAHME)	BESCHREIBUNG
A	Das Modul muss weiterhin wie vorgesehen funktionieren. Kein Verlust von Funktion oder Leistung auch während des Tests.
B	Eine vorübergehende Verschlechterung der Leistung wird akzeptiert. Nach dem Test muss das Modul ohne manuellen Eingriff wie vorgesehen weiter funktionieren.
C	Während des Tests wird der Verlust von Funktionen akzeptiert, aber nicht die Zerstörung von Hardware oder Software. Nach dem Test muss das Modul nach einem manuellen Neustart oder einem Aus- oder Einschalten automatisch weiter wie vorgesehen funktionieren.

7.5.1 Testeinrichtung

Das TI-Design TIDA-00176 wurde im Prüflabor der CSA Group Bayern in Straßkirchen getestet. Eine Abbildung des Grundaufbaus des TIDA-00176-Designs finden Sie in [Abbildung 7-37](#).

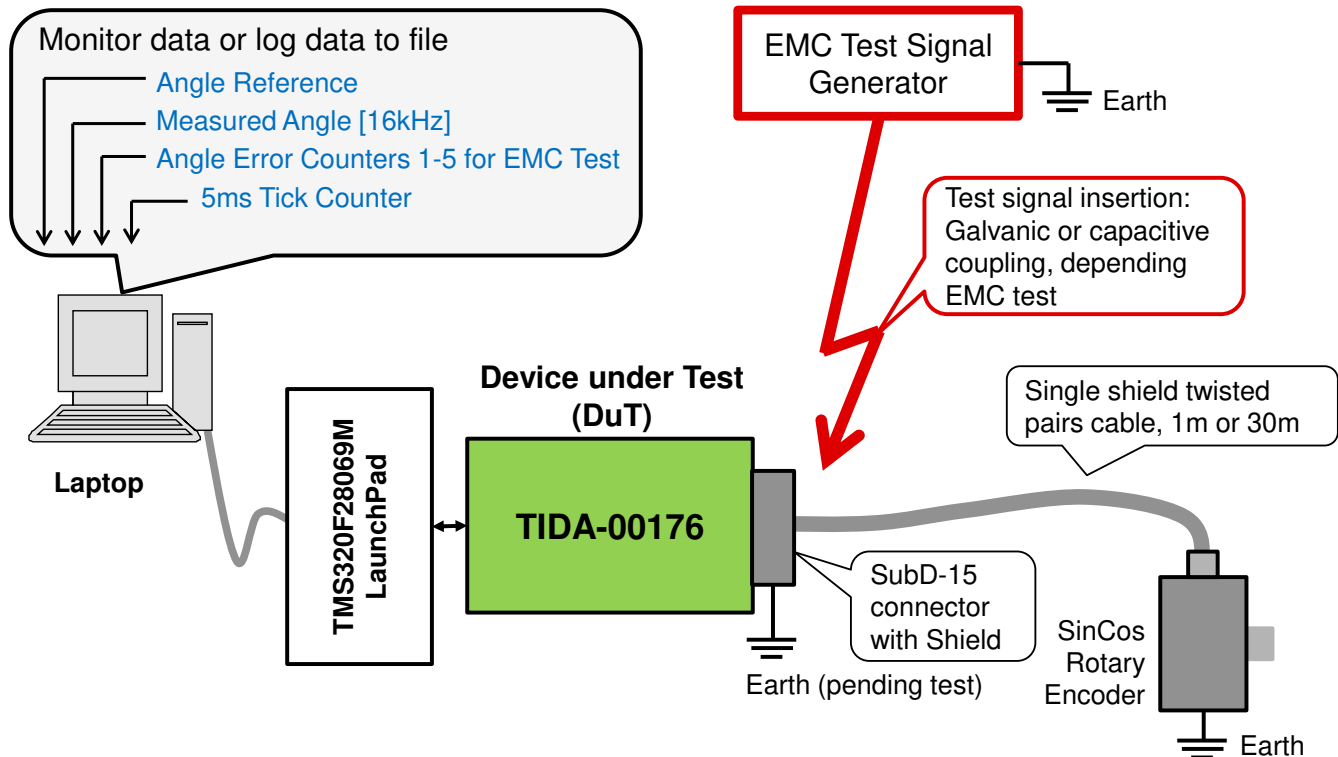


Abbildung 7-37. Vereinfachtes Systemblockschaltbild des TIDA-00176 mit Piccolo-F2069M-LaunchPad

Um die Integrität des interpolierten Winkelsignals während und nach dem EMV-Test zu überprüfen, wurde während der EMV-Tests die Ausgangswinkelposition (Stillstand) des Sin/Cos-Encoders als Referenz verwendet und der Encoder wurde nicht gedreht.

Der interpolierte Winkel wurde alle 16 kHz gemessen und das Ergebnis mit der ursprünglichen Referenzwinkelposition verglichen. Aufgrund der sehr hohen Auflösung und analogen Eingangssignale wurde der Winkelfehler in sechs Bereiche unterteilt, die in [Tabelle 7-9](#) aufgeführt sind. Jedes Mal, wenn ein Fehler in einem bestimmten Bereich auftrat, wurde der entsprechende Fehlerzähler um 1 erhöht.

Tabelle 7-9. TIDA-00176 Definitionen von Bereichen des Winkelfehlers mit hoher Auflösung

FEHLERZÄHLER	WINKELFEHLERBEREICH (GRAD)	WINKELFEHLERBEREICH (BOGENSEKUNDE)	KOMMENTAR
Fehlerbereich 1	>1,0		
Fehlerbereich 2	$0,18 \leq \text{Fehler} < 1,0$		
Fehlerbereich 3	$0,1 \leq \text{Fehler} < 0,18$		Immer noch keine inkrementellen Zeilenanzahlfehler
Fehlerbereich 4	$0,01 \leq \text{Fehler} < 0,1$		
Fehlerbereich 5	$0,001 \leq \text{Fehler} < 0,01$	$3,6 \leq \text{Fehler} < 36$	
Fehlerbereich 6	$0,0001 \leq \text{Fehler} < 0,001$	< 3,6	Nicht berücksichtigt

Die Fehlerbereiche wurden entsprechend der Zeilenanzahl des Encoders ausgewählt. Für diesen Test wurde ein Sin/Cos-Encoder mit Zeilenanzahl 2000 verwendet (HEIDENHAIN ROD480-2000), wobei die Auflösung der Zeilenanzahl 0,18 Grad entspricht.

Beachten Sie, dass der Zähler des Fehlerbereichs 6 Unterschiede unter $1/1000$ Grad (3,6 Bogensekunden) zählt, was innerhalb der Standardwinkelmessverteilung des TI-Designs liegt und daher während der EMV-Prüfung nicht berücksichtigt wurde.

Die verwendete Firmware war die mit diesem Design gelieferte TIDA-00176_SinCosEncoder_example_Firmware_rev1_0.out. Die Firmware läuft auf dem Piccolo-MCU TMS320F28069M.

Ein spezieller EMV-Testschnittstellenmodus wurde aktiviert, indem „9999“ als Zeilenanzahl eingegeben wurde, um den Sin/Cos-Encoder und die Position des Referenzwinkels zu initialisieren und den Data-Dump bei 200Hz zu starten. Das EMV-Testmenü wird mit einer festen Zeilenanzahl von 2000 initialisiert und verlässt diesen Testmodus nicht mehr. Dies wurde durchgeführt, um einen festen Programmablauf zu gewährleisten, da der USB-Anschluss am Laptop (nicht Teil des Designs) sich als sehr empfindlich gegenüber EMV herausstellte.

In den folgenden Kapiteln wird eine Abbildung der spezifischen Prüfkfiguration für ESD, EFT und Stoßspannungen gezeigt.

7.5.2 ESD-Prüfergebnisse nach IEC 61000-4-2

Abbildung 7-38 zeigt die ESD-Testkonfiguration. Der ESD-Durchschlag wurde auf die Abschirmung der SubD-15-Buchse angewendet. Die Abschirmung war auch geerdet und der Sin/Cos-Encoder wurde über ein 1 m langes geschirmtes Kabel mit verdrehtem Leiterpaar angeschlossen.

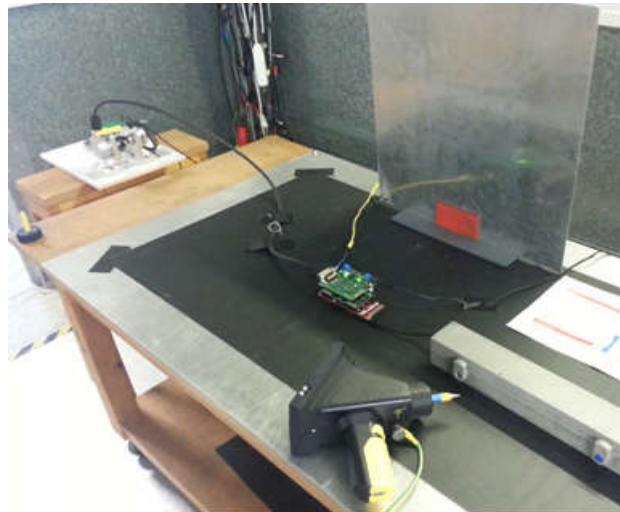


Abbildung 7-38. ESD-Testkonfiguration nach IEC 61000-4-2 für TIDA-00176

[Tabelle 7-10](#) zeigt die vollständigen ESD-Prüfergebnisse für Kontakt- und Luftentladung bei Spannungspegeln, die sogar die Anforderungen gemäß IEC 618000-3 übertreffen. Dies ist entsprechend gekennzeichnet.

Tabelle 7-10. ESD-Prüfergebnisse nach IEC 61000-4-2 für TIDA-00176

PHÄNOMEN	BASISSTANDARD	PEGEL	TIDA-00176-ANSCHLUSS	ERREICHTES LEISTUNGSKRITERIUM ⁽¹⁾	KOMMENTAR
ESD	IEC61000-4-2	± 4 kV Kontaktentladung	SubD-15	B	
ESD	IEC61000-4-2	± 6 kV Kontaktentladung	SubD-15	B	Nicht erforderlich gemäß IEC 61800-3
ESD	IEC61000-4-2	± 8 kV Kontaktentladung	SubD-15	B	Nicht erforderlich gemäß IEC 61800-3
ESD	IEC61000-4-2	± 8 kV Luftentladung	SubD-15	B	
ESD	IEC61000-4-2	± 15 kV Luftentladung	SubD-15	B	Nicht erforderlich gemäß IEC 61800-3

- (1) Mindestens Klasse B wurde erreicht, da kein während der ESD-Prüfung gemessener Winkel mehr als 0,1 Grad vom Referenzwinkel abweicht. Dies war kleiner als die Auflösung der inkrementellen Zeilenanzahl. Die Winkelfehler innerhalb jedes Bereichs sind in [Tabelle 7-9](#) aufgelistet. Für Klasse A siehe [Tabelle 7-7](#), Hinweis 1.

Tabelle 7-11. ESD-Winkelfehlerverteilung während der gesamten Prüfung nach IEC 61000-4-2

FEHLERZÄHLER	WINKELFEHLERBEREICH H (GRAD)	AUFTRETEN bei 4 kV CD	AUFTRETEN bei 6 kV CD	AUFTRETEN bei 8 kV CD
Fehlerbereich 1	>1,0	0	0	0
Fehlerbereich 2	0,18 ≤ Fehler < 1,0	0	0	0
Fehlerbereich 3	0,1 ≤ Fehler < 0,18	0	0	0
Fehlerbereich 4	0,01 ≤ Fehler < 0,1	1	2	3
Fehlerbereich 5	0,001 ≤ Fehler < 0,01	0	1	31878

Der Winkel vor und nach den ESD-Prüfungen unterschied sich nicht um mehr als 0,0005 Grad, was innerhalb der Normalverteilung bei einem festen Winkel lag. Zum Beispiel betrug der Winkel vor dem 6-kV-CD-ESD-Test 80,0272 Grad und nach dem ESD-Test 80,0274 Grad, was innerhalb der Standardverteilung bei festem Winkel lag.

7.5.3 EFT-Prüfergebnisse nach IEC 61000-4-4

Eine Abbildung der EFT-Testkonfiguration für TIDA-00176 finden Sie in [Abbildung 7-39](#). Während des EFT-Tests wurde die SubD-15-Buchse an ein 30 m (10 m + 20 m) langes abgeschirmtes Kabel mit verdrehtem Leiterpaar mit einem Sin/Cos-Encoder ROD480 am anderen Ende angeschlossen.



Abbildung 7-39. EFT-Testkonfiguration nach IEC 61000-4-4 für TIDA-00176 (rechte Seite oben, linke Seite unten)

Tabelle 7-12. EFT-Prüfergebnisse nach IEC 61000-4-4 für TIDA-00176

PHÄNOMEN	BASISSTANDARD	PEGEL	TIDA-00176-ANSCHLUSS	ERREICHTES LEISTUNGSKRITERIUM ⁽¹⁾	KOMMENTAR
EFT	IEC61000-4-4	± 2 kV/5 kHz, kapazitive Klemme	SubD-15	B	
EFT	IEC61000-4-4	± 2 kV/5 kHz, kapazitive Klemme	SubD-15	B	
EFT	IEC61000-4-4	± 4 kV/5 kHz, kapazitive Klemme	SubD-15	B	Nicht erforderlich gemäß IEC 61800-3
EFT	IEC61000-4-4	± 4 kV/5 kHz, kapazitive Klemme	SubD-15	B	Nicht erforderlich gemäß IEC 61800-3

(1) Mindestens Klasse B wurde erreicht, da kein während der ESD-Prüfung gemessener Winkel mehr als 0,045 Grad vom Referenzwinkel abweicht. Für Klasse A siehe [Tabelle 7-7](#), Hinweis 1).

Tabelle 7-13. EFT-Winkelfehlerverteilung während der gesamten Prüfung nach IEC 61000-4-4

FEHLERZÄHLER	WINKELFEHLERBEREICH (GRAD)	AUFTRETEN bei 2 kV EFT	AUFTRETEN bei 4 kV EFT
Fehlerbereich 1	>1,0	0	0
Fehlerbereich 2	0,18 ≤ Fehler < 1,0	0	0
Fehlerbereich 3	0,1 ≤ Fehler < 0,18	0	0
Fehlerbereich 4	0,01 ≤ Fehler < 0,1	254	1302
Fehlerbereich 5	0,001 ≤ Fehler < 0,01	1658	3413

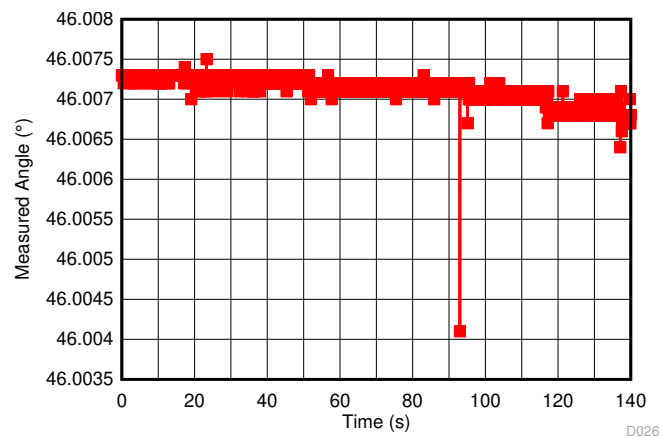


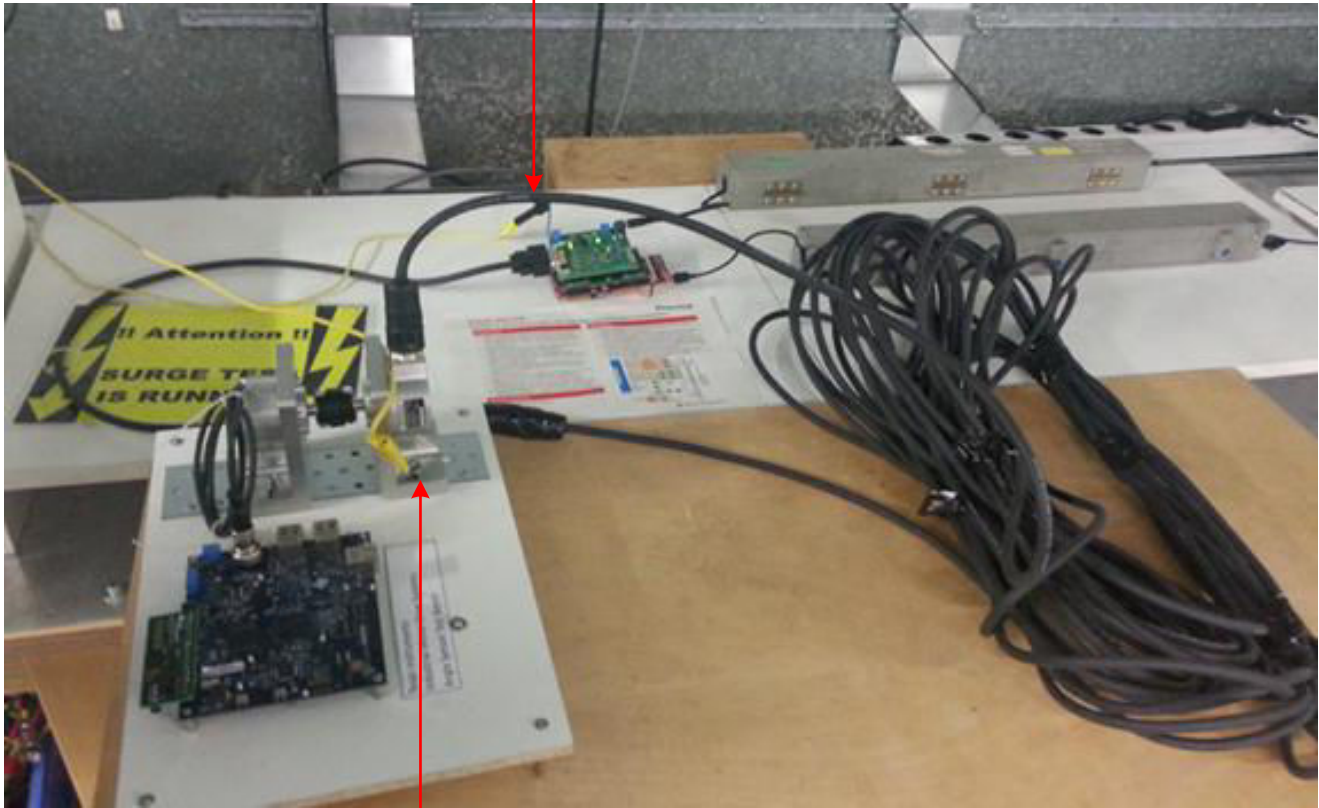
Abbildung 7-40. Gemessener Winkel während einer ± 2-kV-EFT-Prüfungsperiode bei einer Aktualisierungsrate von 10 Hz

Der Winkel bleibt vor und nach der EFT-Prüfung bei 2 kV konstant. Der maximale Fehler auf dem Diagramm beträgt 0,003 Grad. Da die Aktualisierungsrate nur 10 Hz beträgt (aufgrund von 115000-Baud-UART), ist der Winkel höher als der 0,001-Grad-Fehler, der wahrscheinlich dazwischen auftrat und nicht ausgegeben wurde. Beachten Sie, dass die Fehlerzähler mit 16 kHz aktualisiert werden.

7.5.4 Stoßspannungsprüfungsergebnisse nach IEC 61000-4-5

Abbildung 7-41 zeigt eine Abbildung der Konfiguration der Stoßspannungsprüfung für den TIDA-00176. Während des EFT-Tests wurde die SubD-15-Buchse an ein 30 m (10 m + 20 m) langes abgeschirmtes Kabel mit verdrehtem Leiterpaar mit einem Sin/Cos-Encoder ROD480 am anderen Ende angeschlossen.

Surge injection at TIDA-00176
SubD-15 Connector/Shield



Surge return path at 30-m far end
of cable (shield)

Abbildung 7-41. Stoßspannungstestkonfiguration nach IEC 61000-4-5 für TIDA-00176

Tabelle 7-14. Stoßspannungstestergebnisse nach IEC 61000-4-5 für TIDA-00176

PHÄNOMEN	BASISSTANDARD	PEGEL	TIDA-00176-ANSCHLUSS	ERREICHTES LEISTUNGSKRITERIUM ⁽¹⁾	KOMMENTAR
Stoßspannung	IEC61000-4-4	$\pm 0,5 \text{ kV}/2 \Omega$ (10 m + 20 m abgeschirmtes Kabel)	SubD-15	B	
Stoßspannung	IEC61000-4-4	$\pm 1 \text{ kV}/2 \Omega$ (10 m + 20 m abgeschirmtes Kabel)	SubD-15	B	

(1) Mindestens Klasse B wurde erreicht, da kein während der ESD-Prüfung gemessener Winkel mehr als 0,045 Grad vom Referenzwinkel abweicht. Für Klasse A siehe [Tabelle 7-7](#), Hinweis 1).

Tabelle 7-15. Stoßspannungs-Winkelfehlerverteilung während der gesamten Prüfung nach IEC 61000-4-5

FEHLERZÄHLER	WINKELFEHLERBEREICH [GRAD]	AUFTRETEN BEI 0,5 kV	AUFTRETEN BEI 1 kV
Fehlerbereich 1	>1,0	0	0
Fehlerbereich 2	$0,18 \leq \text{Fehler} < 1,0$	0	0

Tabelle 7-15. Stoßspannungs-Winkelfehlerverteilung während der gesamten Prüfung nach IEC 61000-4-5 (Fortsetzung)

FEHLERZÄHLER	WINKELFEHLERBEREICH [GRAD]	AUFTRETEN BEI 0,5 kV	AUFTRETEN BEI 1 kV
Fehlerbereich 3	$0,1 \leq \text{Fehler} < 0,18$	1	5
Fehlerbereich 4	$0,01 \leq \text{Fehler} < 0,1$	1	4
Fehlerbereich 5	$0,001 \leq \text{Fehler} < 0,01$	204	5669

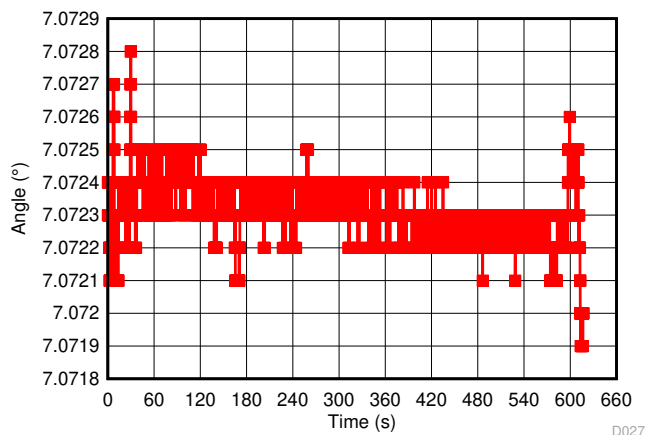


Abbildung 7-42. Gemessener Winkel während einer ± 1 -kV-Stoßspannungsprüfungsperiode bei einer Aktualisierungsrate von 10 Hz

Der Winkel bleibt vor und nach der Stoßspannungsprüfung bei 1 kV konstant. Der maximale Fehler auf dem Diagramm betrug nur 0,0009 Grad. Da die Aktualisierungsrate nur 10 Hz beträgt, wird der Winkel mit dem höheren Fehler wie in [Abbildung 7-8](#) aufgeführt nicht über UART ausgedruckt.

Die mechanischen M23-Anschlüsse zwischen den drei Kabeln ermöglichten aufgrund fehlender Schrauben keine mechanisch robuste kontinuierliche Verbindung der Abschirmung. Eine ordnungsgemäße elektrische Verbindung wurde durch Kupfer hergestellt und durch den Bediener der CSA Group durch einen gemessenen Stoßspannungsstrom überprüft. Sobald Tests bei ± 2 kV mit einem Kabel mit entsprechenden mechanischen Anschlüssen durchgeführt wurden, wird der Designleitfaden entsprechend aktualisiert.

8 Designdateien

8.1 Schaltpläne

Die Schaltpläne können Sie aus den Designdateien unter [TIDA-00176](#).

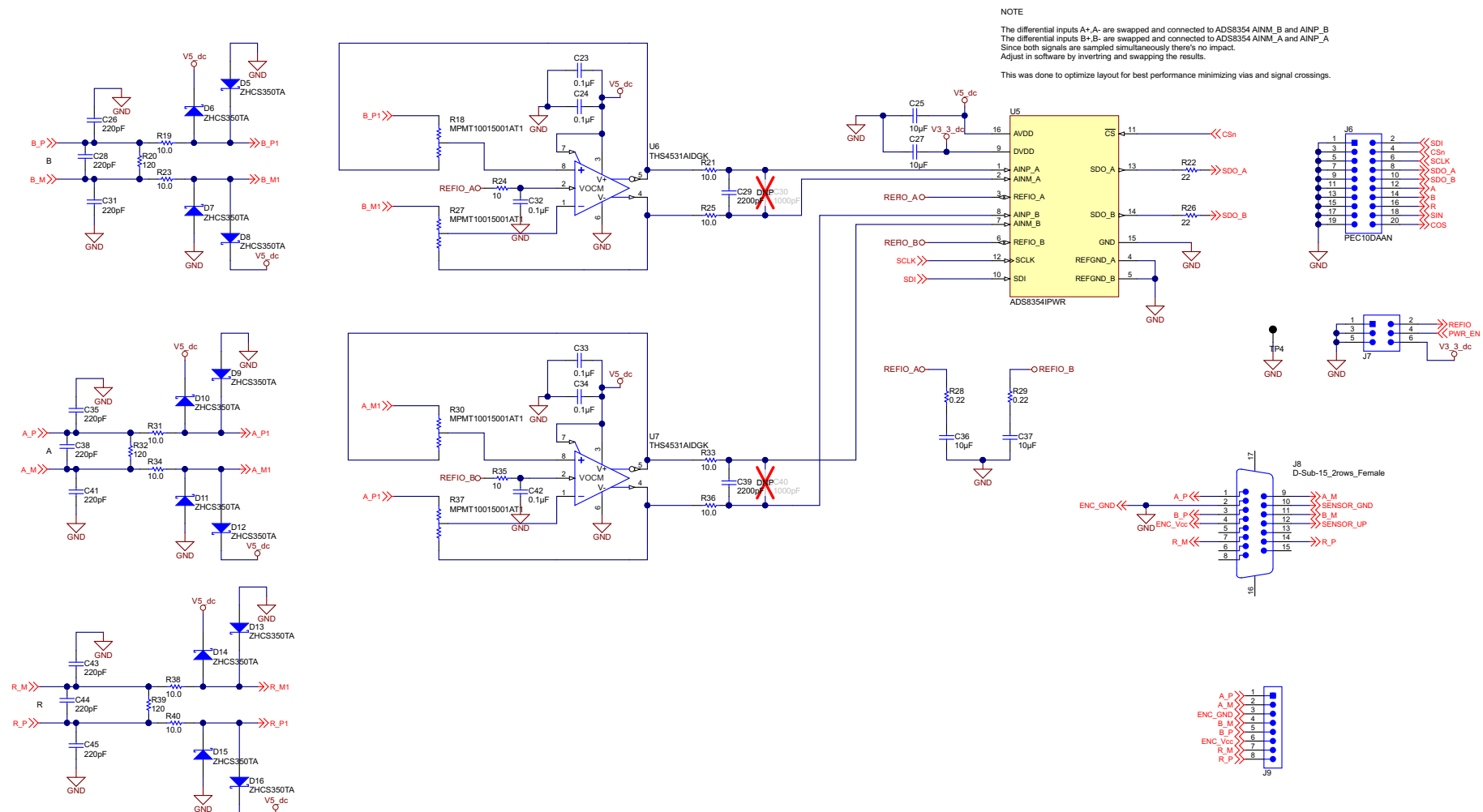


Abbildung 8-1. Schaltplan des hochauflösenden Analogwegs mit 16-Bit-ADC

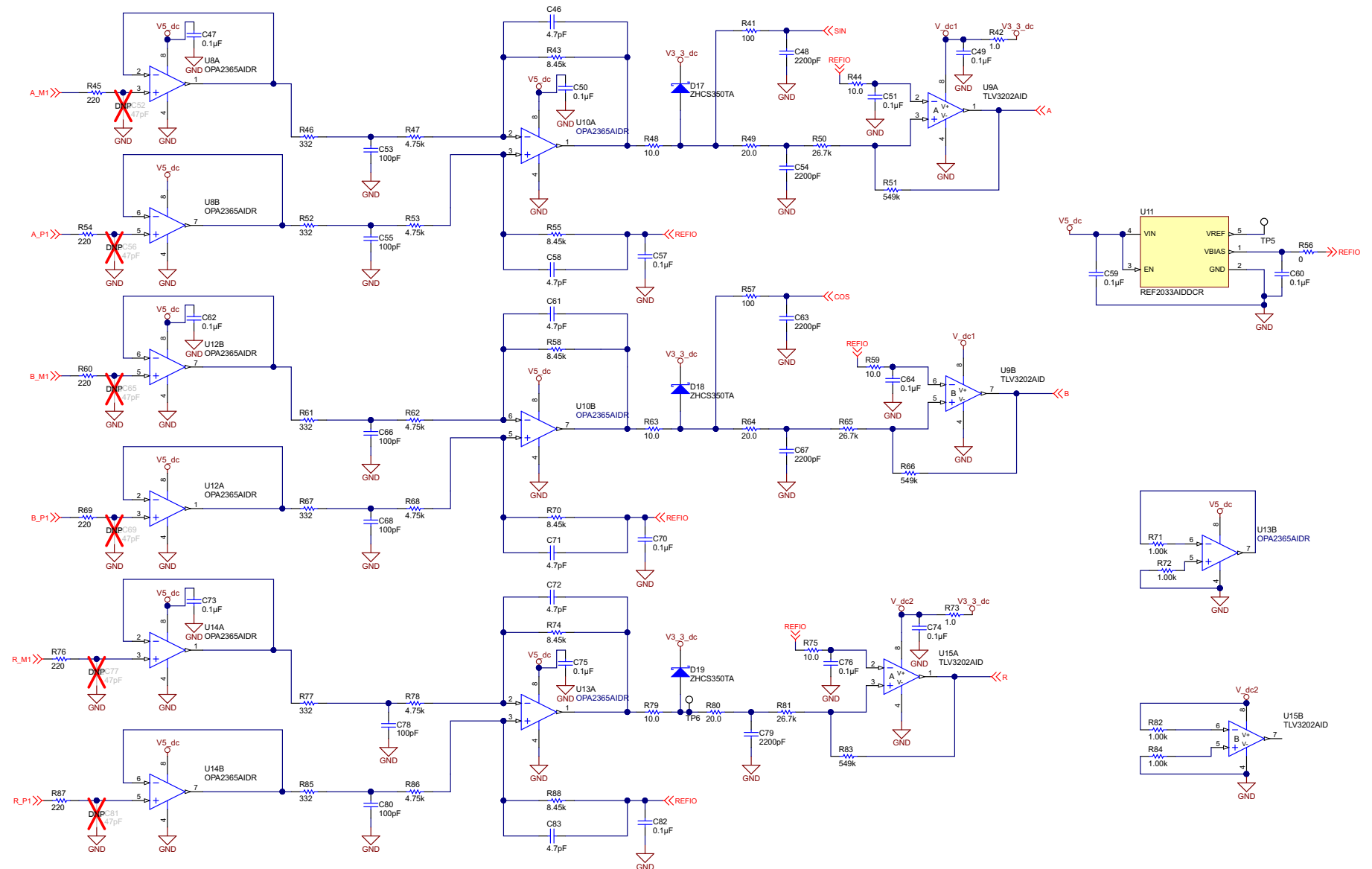


Abbildung 8-2. Schaltplan des Differential-to-single-ended-Analogpfads und der Komparatoren

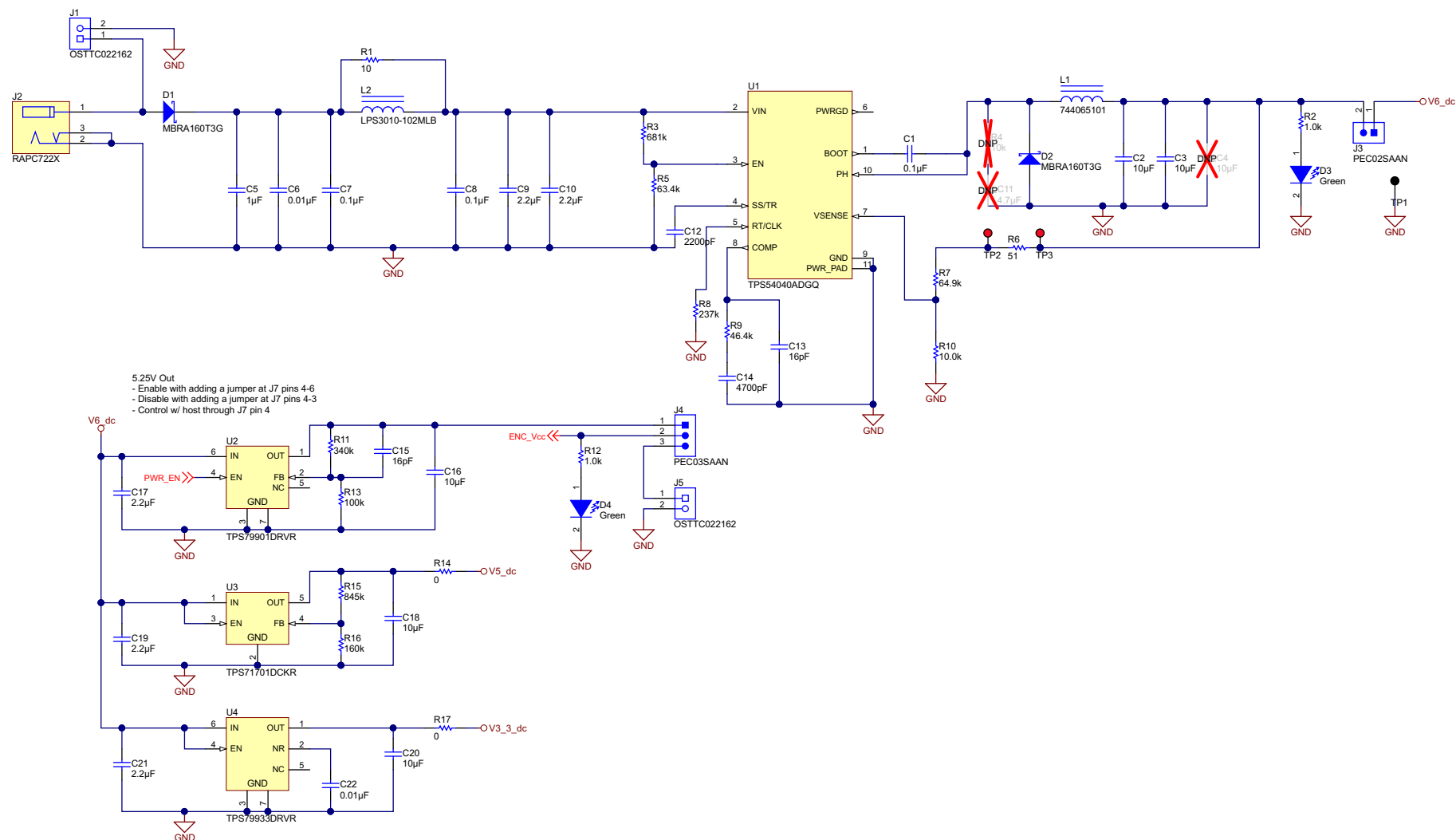


Abbildung 8-3. Schaltplan des Power-Managements

8.2 Stückliste

Die Stückliste (BOM) können Sie aus den Designdateien unter [TIDA-00176](#).

8.3 PCB-Layout-Richtlinien

Die bausteinspezifischen Layout-Richtlinien für jedes einzelne in diesem Design verwendete TI-Bauteil sind im entsprechenden Datenblatt zu finden.

Die folgenden Abbildungen enthalten Layout-Richtlinien speziell für das TIDA-00176-Design.

Aufgrund der Empfindlichkeit der analogen Signalumformungsteile wird dringend der Entwurf einer vierlagigen Leiterplatte mit mindestens einer vollständigen Masseplatte empfohlen, um die Rauschunempfindlichkeit des Systems zu verbessern.

Besondere Aufmerksamkeit ist auch bei der Verdrahtung der beiden Sinus-/Kosinus-Signale erforderlich (um Übersprechprobleme/Interferenzen zu vermeiden). Außerdem sollte der Power-Management-Abschnitt (insbesondere der Schaltregler TPS54040A) ordnungsgemäß geroutet und gut vom empfindlichen Teil der Platine getrennt sein, damit Letzterer kein Rauschen vom Schaltregler aufnimmt.

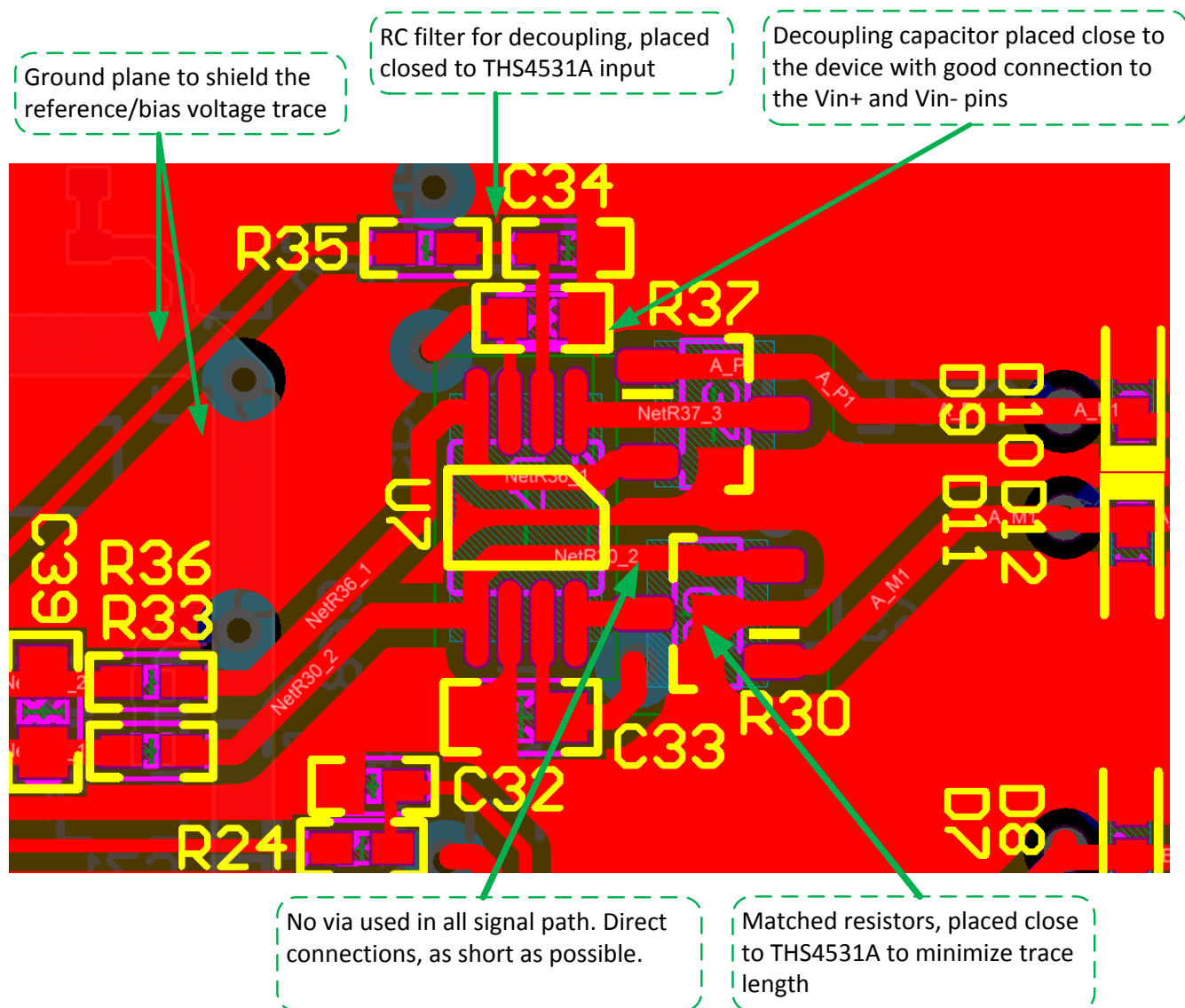


Abbildung 8-4. Layout für THS4531A

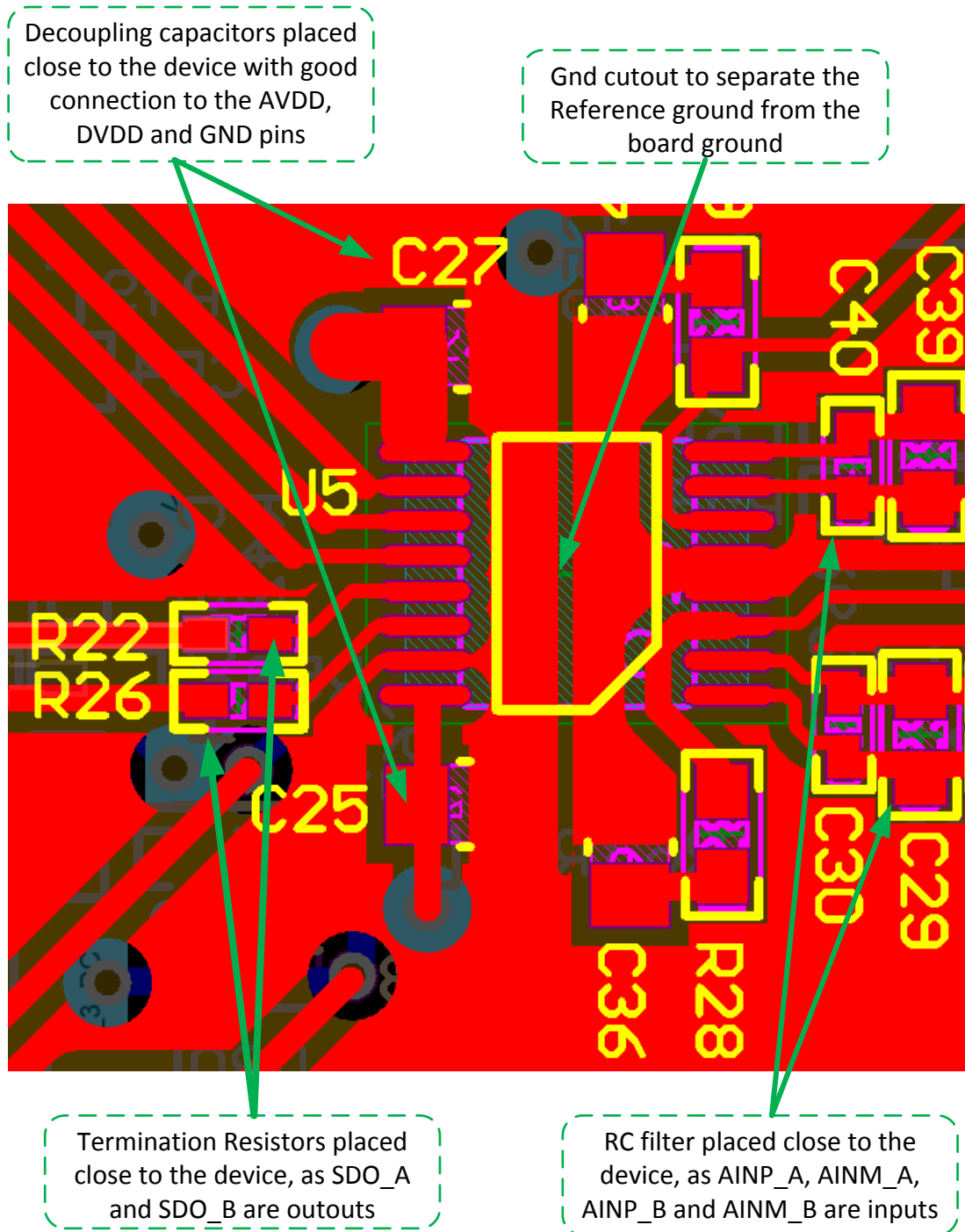


Abbildung 8-5. 16-Bit-ADC-Layout für ADS8354

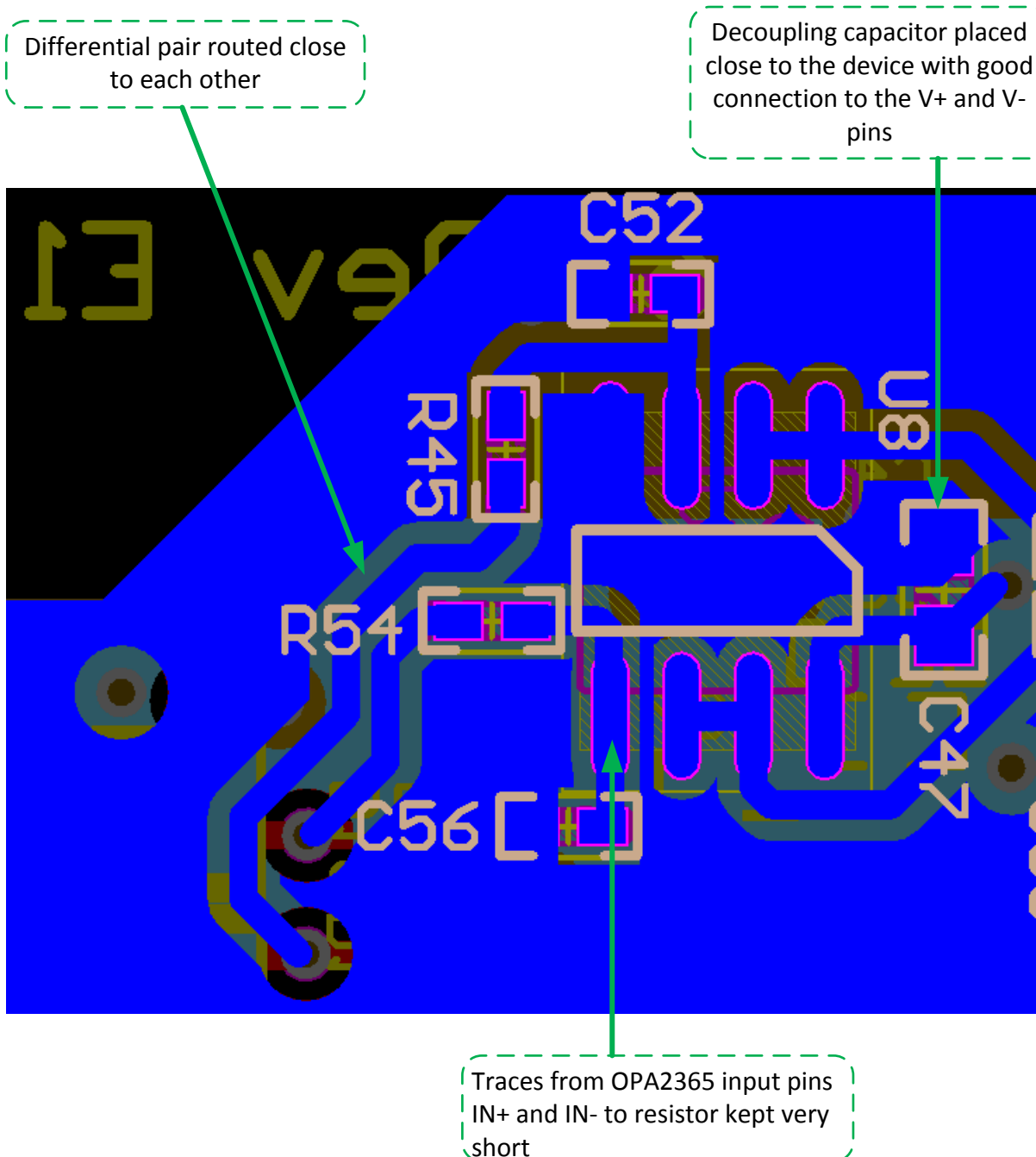
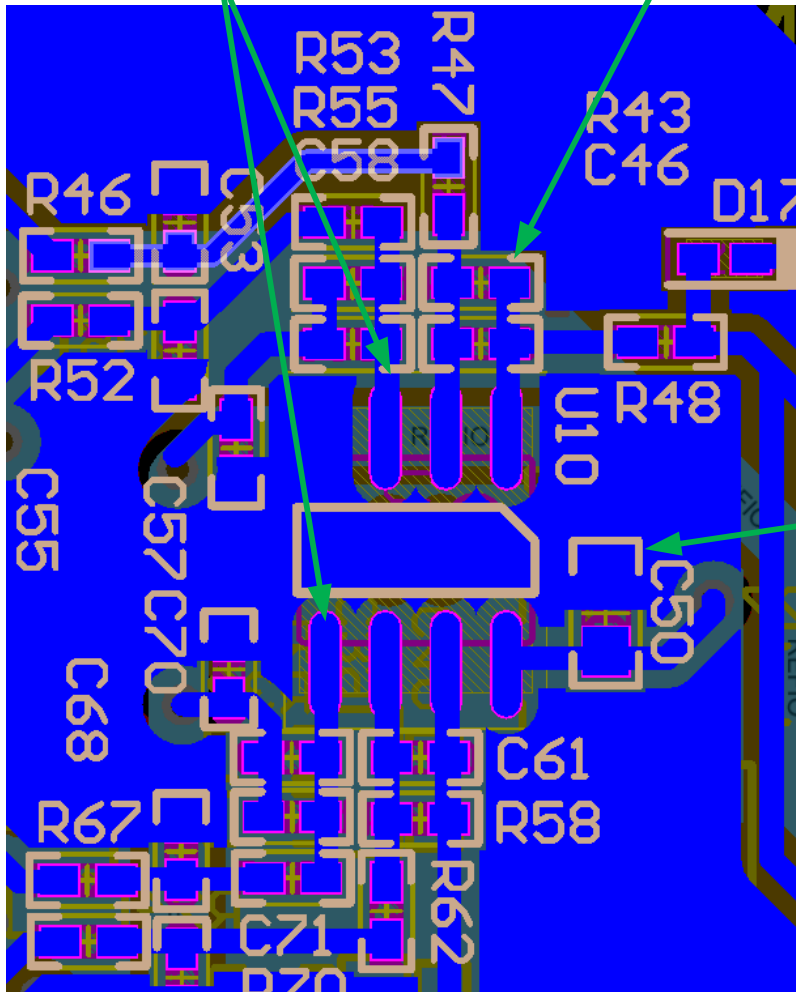


Abbildung 8-6. Eingangspuffer-Layout-Hinweis für OPA2365

Keep traces from +INx and -
INx as short as possible

Place feedback caps
close to op-amp



Decoupling capacitor placed close
to the device with good connection
to the V+ and V- pins

Abbildung 8-7. Differential-to-single-ended-Verstärker-Layout für OPA2365

Decoupling capacitor placed close to the device with good connection to the VCC and GND pins

Keep signal trace from output to input via R51 as short as possible.

Decoupling R44, C51 close to non-inverting input of TLV3202.

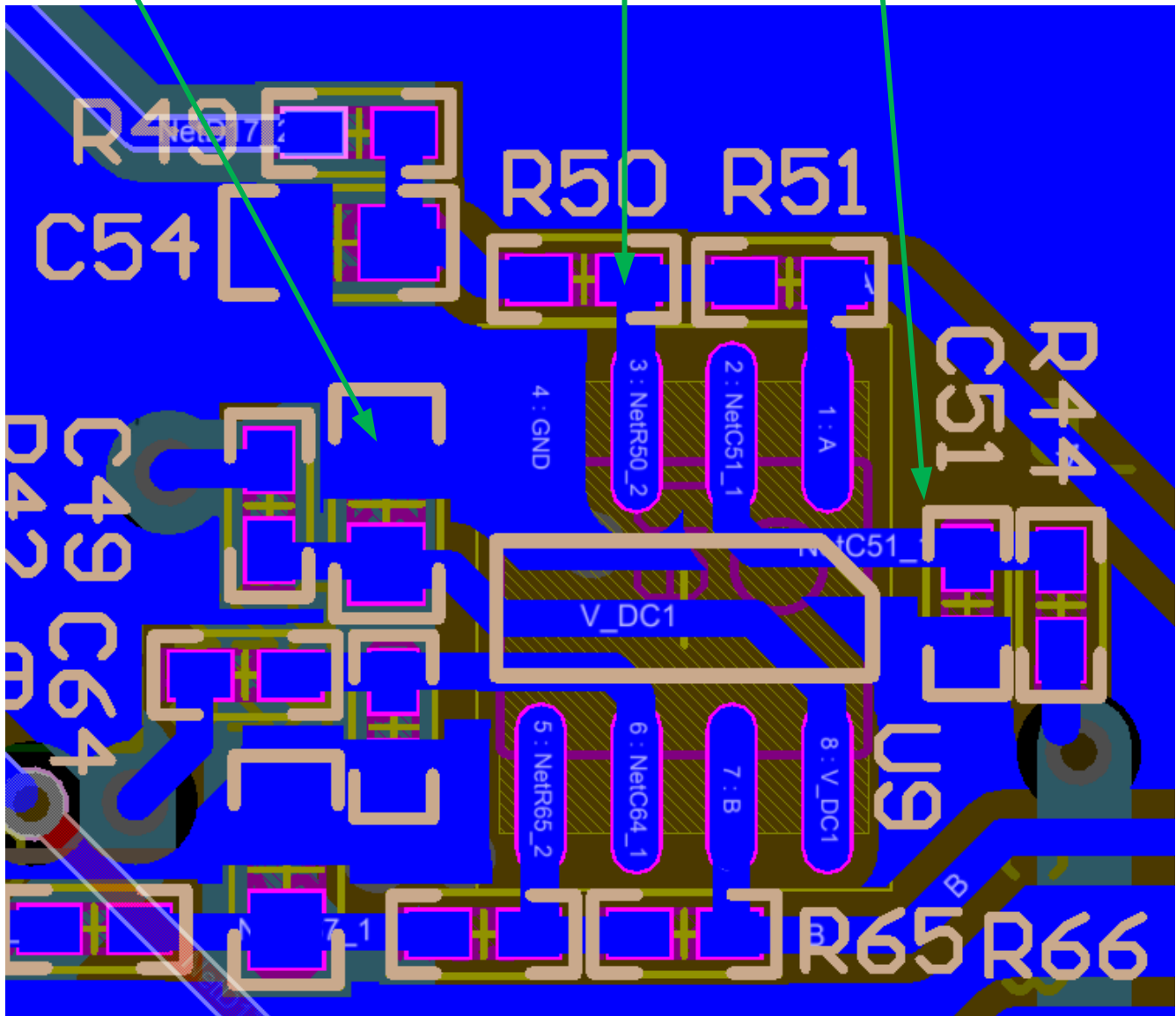


Abbildung 8-8. Layout für TLV3202

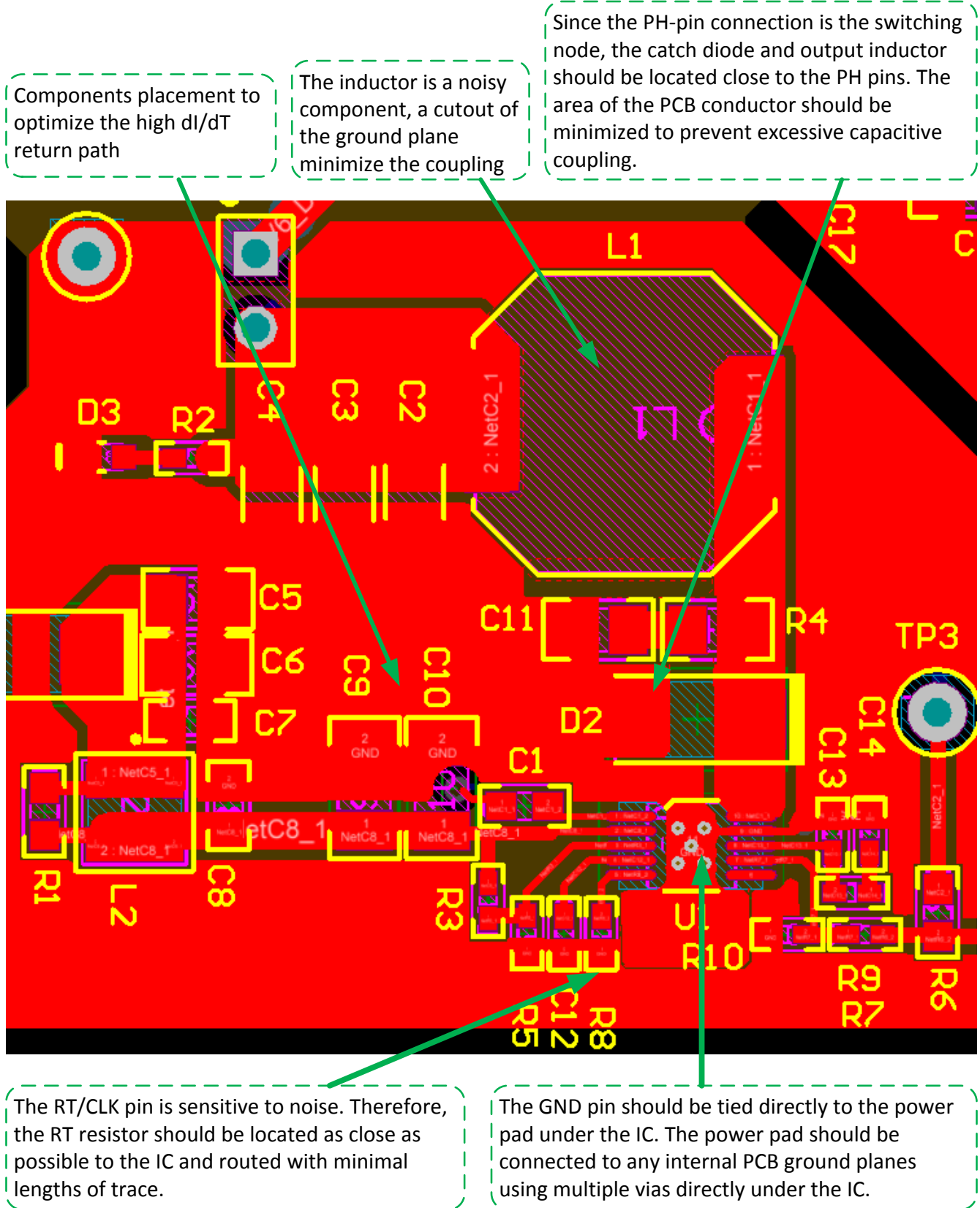


Abbildung 8-9. Layout für TPS54040A

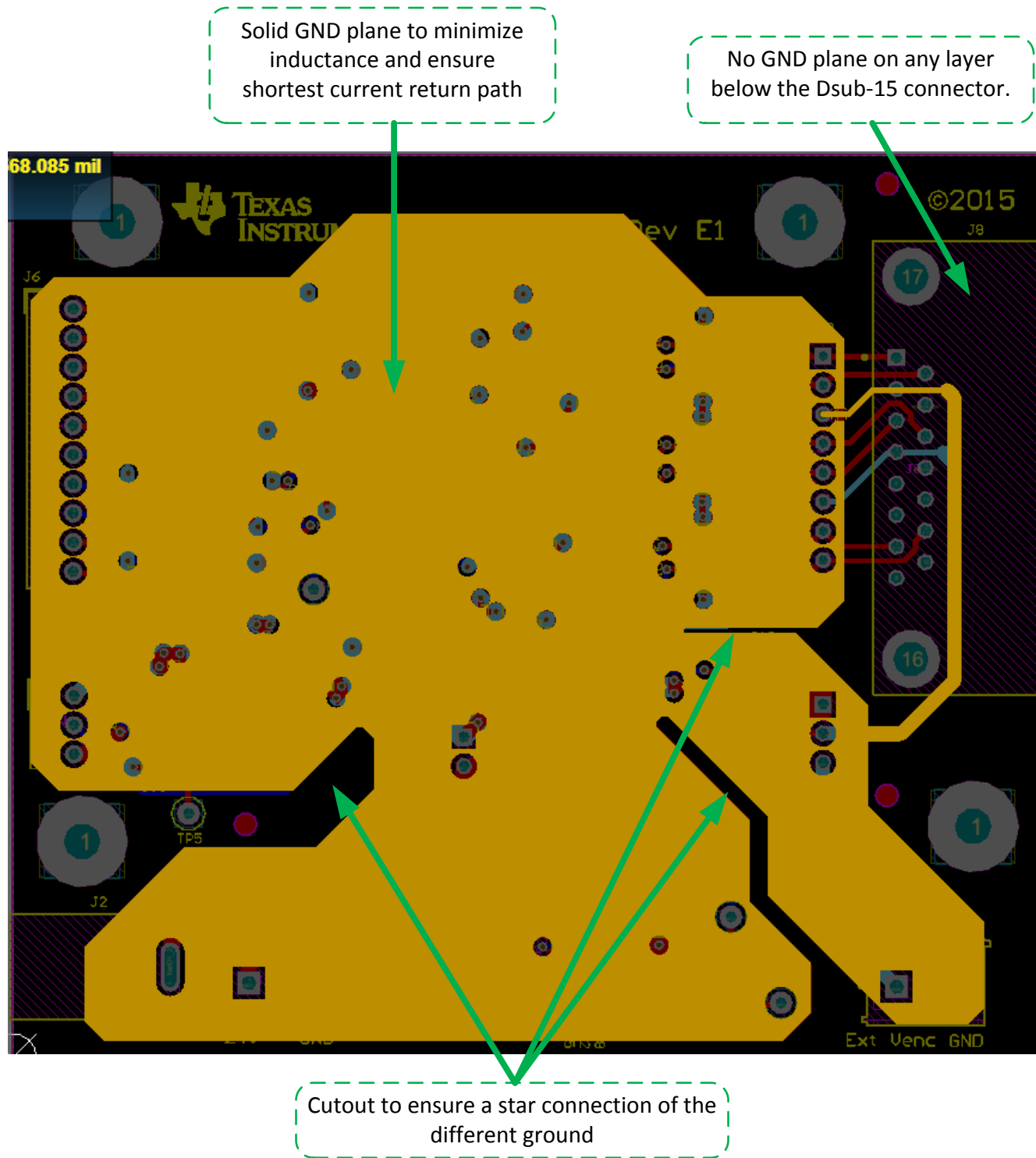


Abbildung 8-10. GND-Schicht

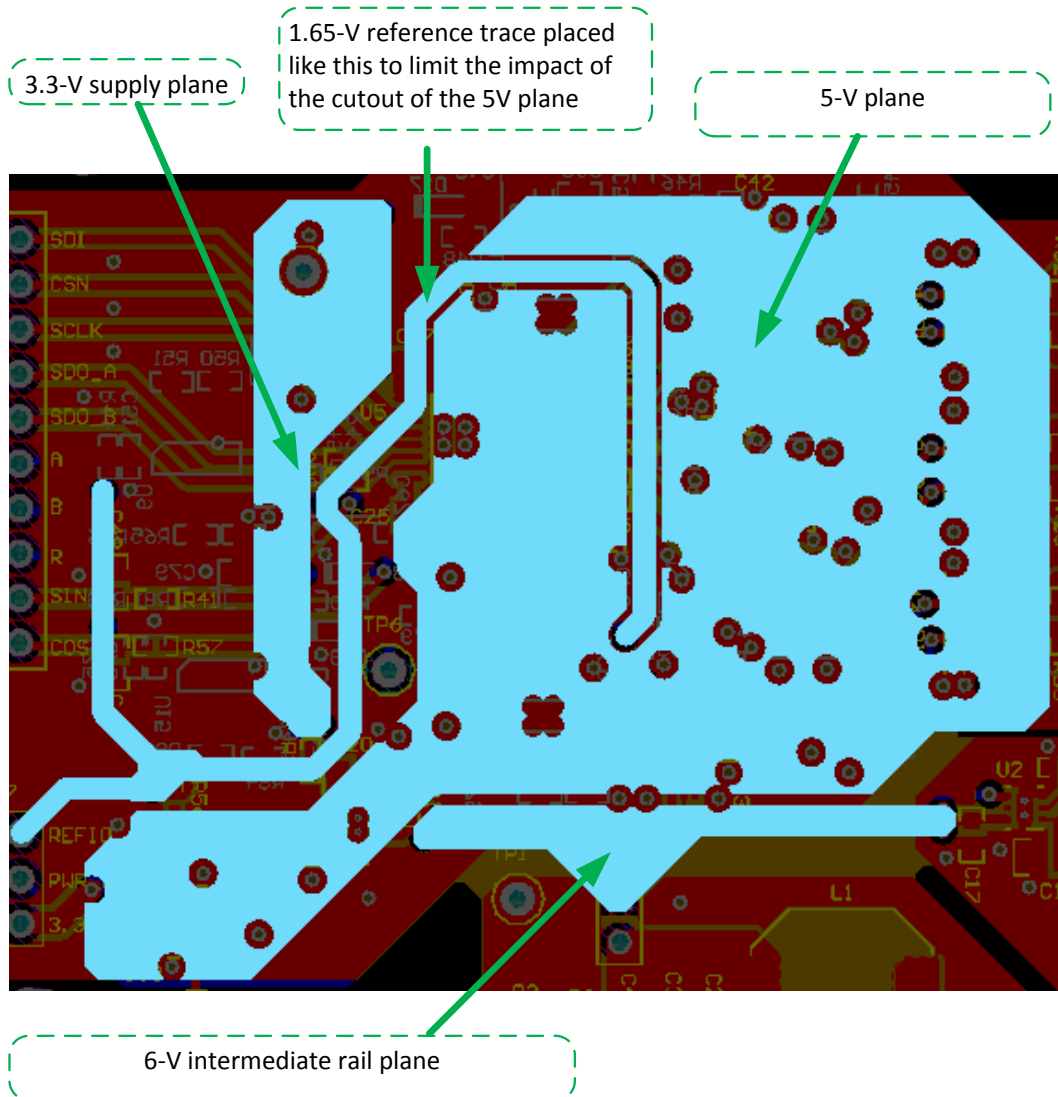


Abbildung 8-11. Versorgungsschicht

8.3.1 Platinenschichtdiagramme

Die Schichtdiagramme können Sie aus den Designdateien unter [TIDA-00176](#).

8.4 Altium-Projekt

Die Altium-Projektdateien können Sie aus den Designdateien unter [TIDA-00176](#).

8.5 Gerber-Dateien

Die Gerber-Dateien können Sie aus den Designdateien unter [TIDA-00176](#).

8.6 Softwaredateien

Die Softwaredateien können Sie aus den Designdateien unter [TIDA-00176](#).

9 Quellennachweise

NOTE

Beziehen Sie sich auch auf die technischen Dokumente der [Designressourcen](#).

1. Texas Instruments, *Stromversorgung mit programmierbarer Ausgangsspannung und Schutz für Positionsgeberschnittstellen*, TIDA-00180-Designleitfaden ([TIDU533](#))
2. Texas Instruments, *18-Bit/1-MSPS-Datenerfassungsblock für geringste Verzerrungen und Rauschen*, TI Precision Designs ([SLAU515](#))
3. Texas Instruments, *TPS799 – extrem rauscharmer 200-mA-LDO-Regler mit geringem Ruhestrom (IQ) und hohem PSRR*, TPS799-Datenblatt ([SBVS056](#))
4. Texas Instruments, *TPS717xx – rauscharmer Linearregler mit hoher Bandbreite, PSRR, niedrigem Dropout und 150 mA*, TPS717 Datenblatt ([SBVS068](#))
5. Texas Instruments, *AN-2162 – einfacher Erfolg bei leitungsgeführter EMI von DC/DC-Wandlern*, Anwendungsbericht ([SNVA489](#))
6. Texas Instruments, *TMS320F240 – DSP-Lösung für hochauflösende Position mit Sin/Cos-Encodern*, Anwendungsbericht ([SPRA496](#))
7. IEC 61800-3 Ed. 2.0 (2004-08), *Drehzahlveränderbare elektrische Antriebssysteme – Teil 3: EMV-Anforderungen einschließlich spezieller Prüfverfahren*, [IEC 61800-3 Ed. 2.0 (2004-08)].
8. IEC 61800-3:A1 Ed. 2.0 (2011-11), *Änderung 1 – Drehzahlveränderbare elektrische Antriebssysteme – Teil 3: EMV-Anforderungen einschließlich spezieller Prüfverfahren*, [IEC 61800-3:A1 Ed. 2.0 (2011-11)].
9. Schnittstellen von HEIDENHAIN-Encodern, März 2015, Broschüre #1078628-21, www.heidenhain.com
10. Drehgeber, November 2014, Broschüre #349529-2E, www.heidenhain.com

10 Autorenprofil

VINCENZO PIZZOLANTE ist Systemingenieur im Team Industrial Systems – Motor Drive bei Texas Instruments und verantwortlich für die Entwicklung von Referenzdesigns für Industrieantriebe.

MARTIN STAEBLER ist Systemingenieur im Team Industrial Systems – Motor Drive bei Texas Instruments und verantwortlich für die Entwicklung von Referenzdesigns für Industrieantriebe.

KEVIN STAUDER ist Systemingenieur im Team Industrial Systems – Motor Drive bei Texas Instruments und verantwortlich für die Entwicklung von Referenzdesigns für Industrieantriebe.

Danksagung

Besondere Anerkennung zollen die Autoren dem ausgezeichneten Beitrag von **FERDINAND von MOLO**, der seine Bachelorarbeit bei Texas Instruments über eine Schnittstelle zu Sin/Cos-Encodern mit Piccolo-MCU auf Basis von TIDA-00176 durchgeführt hat.

11 Revisionsverlauf

Changes from Revision A (July 2015) to Revision B (March 2025)	Page
--	------

- | | |
|---|-------------------|
| • Nummerierungsformat für Tabellen, Abbildungen und Querverweise im gesamten Dokument aktualisiert..... | 1 |
|---|-------------------|
-

Changes from Revision * (June 2015) to Revision A (July 2015)	Page
---	------

- | | |
|-----------------------------------|-------------------|
| • Von Vorschauseite geändert..... | 1 |
|-----------------------------------|-------------------|
-

WICHTIGER HINWEIS UND HAFTUNGSAUSSCHLUSS

TI STELLT TECHNISCHE UND ZUVERLÄSSIGKEITSDATEN (EINSCHLIESSLICH DATENBLÄTTER), DESIGNRESSOURCEN (EINSCHLIESSLICH REFERENZDESIGNS), ANWENDUNGS- ODER ANDERE DESIGNBERATUNG, WEB-TOOLS, SICHERHEITSINFORMATIONEN UND ANDERE RESSOURCEN „WIE BESEHEN“ UND MIT ALLEN FEHLERN ZUR VERFÜGUNG, UND SCHLIESST ALLE AUSDRÜCKLICHEN UND STILLSCHWEIGENDEN GEWÄHRLEISTUNGEN AUS, EINSCHLIESSLICH UND OHNE EINSCHRÄNKUNG ALLER STILLSCHWEIGENDEN GEWÄHRLEISTUNGEN DER MARKTGÄNGIGKEIT, DER EIGNUNG FÜR EINEN BESTIMMTEN ZWECK ODER DER NICHTVERLETZUNG VON RECHTEN.

Diese Ressourcen sind für qualifizierte Entwickler gedacht, die mit TI-Produkten entwickeln. Sie allein sind verantwortlich für (1) die Auswahl der geeigneten TI Produkte für Ihre Anwendung, (2) das Design, die Validierung und den Test Ihrer Anwendung und (3) die Sicherstellung, dass Ihre Anwendung die geltenden Normen sowie alle anderen Sicherheits-, regulatorischen und sonstigen Vorgaben erfüllt.

Diese Ressourcen können jederzeit und ohne Vorankündigung geändert werden. Sie erhalten von TI die Erlaubnis, diese Ressourcen ausschließlich für die Entwicklung von Anwendungen mit den in der Ressource beschriebenen TI-Produkten zu verwenden. Jede andere Vervielfältigung und Darstellung dieser Ressourcen ist untersagt. Es wird keine Lizenz für andere Rechte am geistigen Eigentum von TI oder an Rechten am geistigen Eigentum Dritter gewährt. TI übernimmt keine Verantwortung für und Sie schützen TI und seine Vertreter gegen Ansprüche, Schäden, Kosten, Verluste und Verbindlichkeiten, die sich aus Ihrer Nutzung dieser Ressourcen ergeben.

Produkte von TI werden gemäß den [Verkaufsbedingungen von TI](#) oder anderen geltenden Bedingungen bereitgestellt, die entweder auf [ti.com](#) verfügbar sind oder in Verbindung mit diesen TI-Produkten bereitgestellt werden. Durch die Bereitstellung dieser Ressourcen durch TI werden die geltenden Garantien oder Gewährleistungsausschlüsse von TI für TI-Produkte weder erweitert noch verändert.

TI widerspricht allen zusätzlichen oder abweichenden Bedingungen, die Sie möglicherweise vorgeschlagen haben, und lehnt sie ab.

Postanschrift: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025 Texas Instruments Incorporated

IMPORTANT NOTICE AND DISCLAIMER

TI PROVIDES TECHNICAL AND RELIABILITY DATA (INCLUDING DATA SHEETS), DESIGN RESOURCES (INCLUDING REFERENCE DESIGNS), APPLICATION OR OTHER DESIGN ADVICE, WEB TOOLS, SAFETY INFORMATION, AND OTHER RESOURCES "AS IS" AND WITH ALL FAULTS, AND DISCLAIMS ALL WARRANTIES, EXPRESS AND IMPLIED, INCLUDING WITHOUT LIMITATION ANY IMPLIED WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE OR NON-INFRINGEMENT OF THIRD PARTY INTELLECTUAL PROPERTY RIGHTS.

These resources are intended for skilled developers designing with TI products. You are solely responsible for (1) selecting the appropriate TI products for your application, (2) designing, validating and testing your application, and (3) ensuring your application meets applicable standards, and any other safety, security, regulatory or other requirements.

These resources are subject to change without notice. TI grants you permission to use these resources only for development of an application that uses the TI products described in the resource. Other reproduction and display of these resources is prohibited. No license is granted to any other TI intellectual property right or to any third party intellectual property right. TI disclaims responsibility for, and you will fully indemnify TI and its representatives against, any claims, damages, costs, losses, and liabilities arising out of your use of these resources.

TI's products are provided subject to [TI's Terms of Sale](#) or other applicable terms available either on [ti.com](https://www.ti.com) or provided in conjunction with such TI products. TI's provision of these resources does not expand or otherwise alter TI's applicable warranties or warranty disclaimers for TI products.

TI objects to and rejects any additional or different terms you may have proposed.

Mailing Address: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated