

고속 컨버터의 나이퀴스트 홀 주변 샘플링

Luke Allen
Application Engineer
High-Speed Converters

Rob Reeder
Application Engineer
High-Speed Converters

Chase Wood
Application Engineer
High-Speed Converters

주파수 계획은 모든 주파수 기반 애플리케이션에서 매우 중요한 부분입니다. 모든 주파수 개발 전략에는 관심 주파수가 대역 내에서 유효하며 스퓨리어스 동적 범위를 잃게 되는 지점까지 감소하지 않도록 하는 것이 포함되어야 합니다. 이 백서에서는 슈퍼 나이퀴스트 샘플링에 적용되는 고속 ADC(아날로그-디지털 컨버터) 나이퀴스트 규칙에 대해 다룹니다. 또한 데시메이션을 통해 주파수 계획을 지원하는 방법과 설계 및 개발 단계에서 주파수 "구멍"으로 떨어지지 않도록 대역을 보호하는 방법에 대해서도 알아봅니다.

나이퀴스트 규칙

슈퍼 나이퀴스트 샘플링, IF(중간 주파수) 샘플링 및 하위 샘플링은 SDR(소프트웨어 정의 라디오) 또는 레이더와 같은 리시버 아키텍처(그림 1 참조)를 사용하는 많은 주파수 기반 애플리케이션에서 널리 사용됩니다.

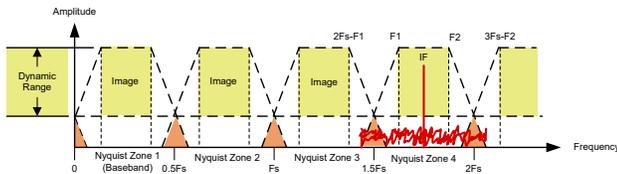


그림 1. 슈퍼 나이퀴스트 샘플링과 베이스밴드에서의 샘플링을 비교한 예(첫 번째 나이퀴스트).

베이스밴드 외부에서 주파수를 계획하는 데는 두 가지 주된 이유가 있습니다(첫 번째 나이퀴스트). 첫 번째 이유는 AAF(앤티앨리어싱 필터 설계)에 적용되는 제약 조건의 완화 효과를 얻기 위함입니다(그림 2 참조). 처음에는 더 높은 나이퀴스트 영역을 위한 필터 설계보다 베이스밴드 필터를 설계할 때 일반 필터 롤오프가 훨씬 더 가팔라야 합니다. 더 가파른 필터 롤오프는 수동 부품이 번거로워지는 더 복잡한 필터로 이어질 수 있습니다. 간단한 물리학입니다. 0201 크기의 100μH 인덕터를 구매할 수는 없습니다. 따라서 더 높은 나이퀴스트 영역과 더 높은 샘플링 속도를 사용할 때, 저지 대역 영역의 롤오프에 대한 절충점과 요구 사항이 더 완화되어 부품 수가 줄어들고 부품 크기가 작아집니다.

고주파 하위 샘플링 기술을 사용하는 두 번째 이유는 ADC 앞에 있는 RF(무선 주파수) 리시버 신호 체인을 완화하기 위해서입니다. ADC가 거의 항상 해당되는 첫 번째 나이퀴스트를 넘는 대역폭 요구 사항을 지원할 수 있다고 가정하면, 리시버 신호 체인을 완화함으로써 RF 신호 체인에서 하나 또는 두 개의 혼합 단계를 제거할 수 있으므로 부품 수가 줄어들고 잡음이 낮아지며 복잡성이 줄어들 수 있습니다.

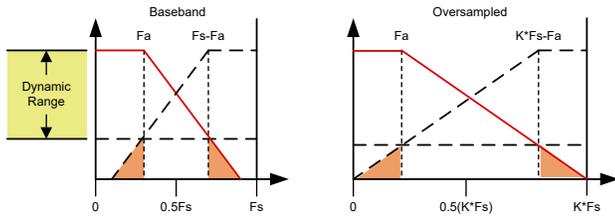


그림2. 동적 범위 대 AAF 저지 대역 감쇠.

예를 들어 그림 3은(는) 500MSPS 샘플링 주파수(Fs)에 비해 800MHz의 중간 주파수를 샘플링하는 TI(텍사스 인스트루먼트) ADC3669를 보여줍니다. 기본적으로 신호는 네 번째 나이퀴스트 영역에 있습니다. 관심 주파수의 이미지 또는 별칭은 200MHz 신호로 나타나는 첫 번째 나이퀴스트 영역으로 다시 반영됩니다. 고속 데이터 컨버터 프로와 같은 대부분의 FFT(고속 푸리에 변환) 분석기는 첫 번째 나이퀴스트 영역 또는 0Fs~0.5Fs의 FFT만 풀롯합니다. 따라서 관심 주파수가 0.5Fs를 넘으면 이미지가 첫 번째 나이퀴스트 영역이나 베이스밴드로 반영됩니다. 때문에 스푸리어스 톤이 관심 대역에 있는 경우에도 혼란스러울 수 있습니다.

그렇다면 ADC 샘플이 어떻게 0.5Fs를 초과하면서도 여전히 나이퀴스트 기준에 맞을 수 있을까요? 나이퀴스트 규칙은 신호의 모든 정보를 보존하기 위해 신호를 대역폭의 두 배 이상의 속도로 샘플링해야 한다고 명시하고 있습니다 (방정식 1 참조).

$$F_s > 2 > FBW \tag{1}$$

여기서 Fs는 샘플 주파수이고 FBW는 최대 관심 주파수입니다.

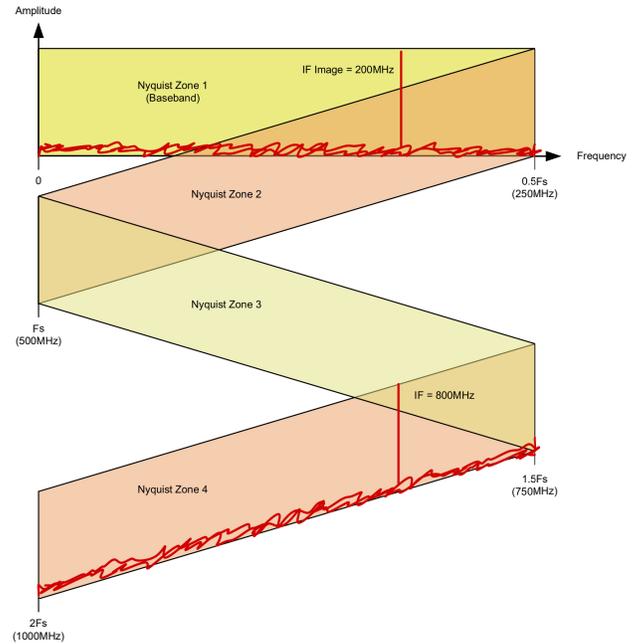


그림3. ADC3669의 예, 여기서 Fs = 500MSPS, 중간 주파수 = 800MHz.

나이퀴스트 규칙을 준수하기 위한 열쇠는 관심 주파수의 위치입니다. 신호가 중첩되지 않고 단일 나이퀴스트 영역 내에 머무르는 한 나이퀴스트 기준은 여전히 유효합니다. 유일하게 변경된 것은 첫 번째 나이퀴스트 영역의 위치가 더 높은 곳으로 변경되었다는 것입니다. 이러한 절충으로 인해 IF 샘플링이 매우 큰 인기를 얻고 있습니다.

프로세스 게인이란?

이전 형태의 고속 신호 체인 라인 업에는 단일 채널당 전력을 소비하는 데 사용되는 ADC, 그리고 모든 컨버터 데이터를 유용한 형식으로 캡처, 필터링 및 처리하는 FPGA(필드 프로그래머블 게이트 어레이)가 있었습니다. 대부분의 설계자는 프로세스 게인이라는 접근 방식을 사용합니다. 이 접근 방식은 원치 않는 스푸리어스와 잡음을 제거함으로써 주파수 계획에 도움이 되었을 뿐만 아니라, 나이퀴스트 영역 내에서 처리되는 대역폭을 제한하여 SNR(신호 대 잡음비) 측면에서 동적 범위를 "게인(얻는)"하는 것을 가능하게 했습니다. 표준 SNR 수식에 프로세스 게인 보정 인수를 추가하면 방정식 2과(와) 같은 결과가 발생합니다.

$$SNR = 6.02 \times N + 1.76dB + 10 \times \log_{10} \left(\frac{F_s}{(2 \times BW)} \right) \tag{2}$$

여기서 N은 ADC 비트의 수이고, Fs는 ADC 샘플링 주파수, BW는 나이퀴스트 영역 내의 관심 대역폭입니다.

ADC 및 디지털-아날로그 컨버터 기술에 모두 배포된 더 작은 프로세스 노드가 있기 때문에 대부분의 표준 FPGA 디지털 기능이 이제 ADC 내에 포함되어 있습니다. 몇 가지 예로는 DDC(디지털 다운 컨버터), NCO(숫자 제어 오실레이터), 주파수 호핑이 있습니다. 이러한 기능은 FPGA 처리를 오프로드하는 데 큰 도움이 되어 내부 리소스를 다른 곳에서 사용할 수 있습니다.

주파수 계획을 세우는 이유

ADC를 사용하여 시스템을 설계할 때 적절한 주파수 계획은 중요한 단계입니다. 주파수 계획을 통해 ADC의 동적 범위의 효율적인 활용을 보장하고 원치 않는 스퓨리어스 신호를 최소화할 수 있으며, 이는 SDR 시스템 또는 고밀도 RF 신호 체인과 같은 고성능 애플리케이션에 매우 중요합니다.

주파수 계획에서 필수적인 한 가지 측면은 ADC의 동적 범위를 최적화하는 것입니다. 아날로그 도메인의 각 추가 신호는 ADC의 사용 가능한 입력 신호 전력 예산의 일부를 소비하여 전체 동적 범위 기능을 줄입니다. 적절한 주파수 계획은 입력 주파수를 전략적으로 배치하여 사용 가능한 동적 범위를 극대화함으로써 ADC가 그 기능을 완전히 발휘하도록 합니다. 이 접근 방식에는 샘플링되는 대역에서 원치 않는 스퍼와 고조파가 나타나는 위치를 고려하여 관심 신호와 스퓨리어스 신호가 중첩되지 않도록 하는 것이 포함됩니다.

또 다른 중요한 측면은 고조파 및 인터리빙 아티팩트 등 ADC에서 생성된 고유의 스퓨리어스 신호를 관리하는 것입니다. 주파수 계획은 이러한 스퓨리어스 신호가 관심 대역에서 벗어났을 때 성공이라고 볼 수 있습니다. 특히 데이터가 샘플링된 후 디지털 필터링을 사용하지 않는 시스템에서 더욱 그렇습니다. 또한 주파수 계획은 클로킹 관련 스퍼의 영향을 최소화하는 데에도 도움을 줍니다. 예를 들어 채널 절연이 부족한 클로킹 장치에서 나타나는 스퍼가 있으며, 이는 고밀도 클로킹 분배 솔루션을 사용하는 큰 요소 시스템에서 특히 문제가 됩니다.

인터리빙 스퍼 관리 역시 인터리브 ADC가 포함된 시스템에서 고려해야 할 부분으로, 여러 ADC 코어가 공통 입력 신호를 직교로 샘플링하여 샘플링 속도와 나이퀴스트 영역을 효과적으로 두 배로 늘립니다. 그러나 이 인터리빙은 Fs/2-Fin에서 스퓨리어스 톤을 발생시킵니다. 또한 더 높은

인터리빙 인수를 사용하는 시스템에서는 이 동일한 Fs/2-Fin 스퍼가 "새로운" Fs/2-Fin에 의해 다시 변조됩니다. 따라서 새 Fin이 인터리브 Fs/2-Fin 스퍼로 구성되게 됩니다. 이는 발생한 스퍼 수가 단일 인터리빙 인수에 비해 훨씬 높아진다는 것을 의미합니다. 주파수 계획을 사용하면 아날로그 필터링 또는 디지털 데시메이션 필터(더 나은 방법)를 활용하여 이러한 스퍼를 완화하고 복잡한 아날로그 신호 체인을 설계할 필요 없이 크게 줄일 수 있습니다. 이 접근 방식은 선택한 영역으로의 순간 대역폭을 감소시키면서도 더 나은 동적 범위와 더 깨끗한 신호 성능을 보장합니다.

주파수 계획에서 흔히 발생하는 위험

이러한 이득에도 불구하고 잘못된 주파수 계획을 수립하면 ADC의 성능을 저하시키는 문제로 이어질 수 있습니다. 한 가지 일반적인 과제는 나이퀴스트 영역의 중첩입니다. 입력 신호를 잘못 계획하면 나이퀴스트 영역의 경계 안에 들어가 시스템 성능을 하락시키는 앨리어싱 효과가 발생할 수 있습니다. 이를 방지하려면 고려 중인 나이퀴스트 영역과의 스펙트럼 무결성을 유지할 수 있도록 신호를 적절한 주파수 대역 내에 할당해야 합니다.

클록 스퍼 오염 역시 자주 발생하는 또 다른 문제로, 특히 저품질의 클로킹 장치 또는 최적적 아닌 클록 분배를 사용하는 경우에 발생합니다. ADC 스펙트럼으로 변조된 이러한 스퓨리어스 신호는 알려진 오프셋 스퍼를 발생시켜 민감한 애플리케이션에 심각한 영향을 줄 수 있습니다. 더 높은 품질의 클로킹 솔루션을 사용하는 것과 같은 방법으로 클로킹 인프라를 신중하게 설계하면 이러한 효과를 완화하는 데 도움이 됩니다. 또 다른 가능한 방법은 이 오프셋 주파수에서 고차 대역 제거 필터로 데이터를 디지털 필터링하는 것입니다. 다만 잘못 구현하면 원하는 신호가 스퍼와 함께 제거될 수 있습니다.

극복해야 할 또 다른 과제는 엄격하게 변조된 3차 상호 변조 왜곡 스퍼의 수정입니다. 이러한 스퍼는 거의 항상 통과 대역 내에 속하며, 스퓨리어스가 없는 동적 범위를 제한하는 스퍼인 경우가 많습니다. 데시메이션 인수가 매우 높은 경우 이러한 톤이 감소 대역 내에 포함될 수 있습니다. 하지만 대부분의 다중 톤 시스템에서는 그럴 가능성이 낮습니다. 본질적으로 단일 톤 시스템보다 더 큰 순간 대역폭이 필요하기 때문에 그러한 대형 데시메이션 필터를 통합할 수 없기 때문입니다.

마지막으로 대역폭과 동적 범위의 절충점을 살펴보아야 합니다. 데시메이션이 스퓨리어스 신호와 고조파를 억제할 수 있지만 순간 대역폭이 감소하게 됩니다. 이러한 절충점의 균형을 유지하는 것이 특정 애플리케이션 요구 사항에 맞는 최고의 성능을 달성하는 데 필수적입니다.

데시메이션을 사용한 적절한 주파수 계획의 장점

효과적인 주파수 계획은 리시버 시스템 설계를 개선하는 몇 가지 이점을 제공합니다. 한 가지 장점은 향상된 스퍼 억제입니다. 디지털 데시메이션 필터는 종종 -85dBFS의 억제 수준까지 스퍼를 효과적으로 감소하여 신호 성능이 더욱 깨끗해지고, 대역 외 스퓨리어스 잡음보다 원하는 신호를 위한 ADC의 동적 범위를 더 잘 활용하게 됩니다.

또 다른 이점은 ADC의 데이터 처리량이 낮아진다는 것입니다. 데시메이션을 통해 ADC의 출력 데이터 속도를 낮추면 더 작고, 더 경제적인 FPGA로 ADC와 상호작용할 수 있습니다. 이렇게 전송되는 데이터가 줄어들면 하드웨어 요구 사항이 간소화될 뿐만 아니라, 시스템이 듀얼 대역 또는 쿼드 대역에서 작동할 수 있어 여러 RF 대역을 동시에 샘플링할 수 있습니다.

시스템을 소프트웨어만으로 완전히 재구성할 수 있다는 것도 ADC에서 데시메이션을 사용할 때의 또 다른 큰 이점입니다. 시스템에 예상되는 최대 데이터 속도를 지원하기 위해 ADC와 FPGA 간 하드웨어 인터페이스를 계획할 수 있으며, 덕분에 낮은 데이터 속도나 더 좁은 대역폭에서 많은 다른 시스템을 작동할 수 있는 능력이 확대됩니다. 소프트웨어 재구성 가능 시스템은 여러 시나리오에 배포해야 하는 애플리케이션에서 특히 유용합니다.

리소스 절약 역시 효과적인 주파수 계획의 중요한 이점입니다. 고속 직렬 데이터 레인이나 저전압 차동 신호 쌍에 관계없이 출력 레인의 수를 줄일 수 있으므로, ADC와 FPGA 모두에서 소중한 핀을 절약할 수 있고 사용률이 높아집니다. 이는 인쇄 회로 보드 면적과 전력 제약이 있는 고체 시스템에서 특히 중요합니다.

이론적 예: 데시메이션을 사용한 주파수 계획

인터리브 ADC가 F_s 에서 공통 RF 입력 신호를 샘플링한다고 가정해 보겠습니다. 인터리빙 프로세스에 의해 의도한 신호에 간섭을 일으킬 수 있는 $F_s/2 - F_{in}$ 의 스퍼가 발생합니

다. **그림 4**에서 보듯이 인수 2의 데시메이션 필터를 적용하면 이 스퍼를 데시메이션 필터의 제거 한도 내에서 감소할 수 있습니다. 또한 데시메이션 프로세스는 ADC의 출력 데이터 속도를 낮춰 비용 효율적인 FPGA 인터페이스를 가능하게 하고 다운스트림 처리를 간소화합니다. 또한 광대역 잡음 감소로 SNR의 N(즉, 잡음)이 반으로 줄어들기 때문에 S(즉, 신호)는 동일하게 유지되면서 3dB의 프로세스 게인이 발생합니다.

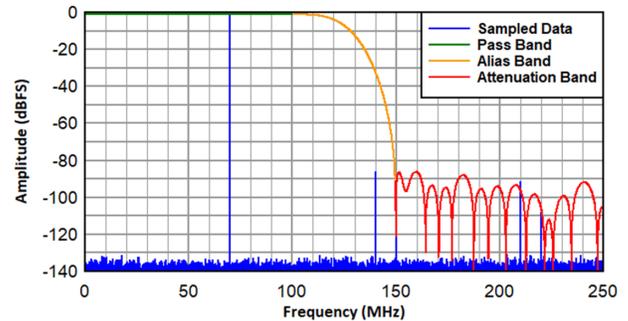


그림 4. 500MSPS, 70MHz F_{IN} 에서 데시메이션 필터 응답의 이론적 데이터(데시메이션 인수 2).

실제 환경에서의 예: 데시메이션을 사용한 주파수 계획

ADC에서 데시메이션 기능을 사용하여 샘플링 속도를 줄이면 관심 대역폭을 효과적으로 좁힐 수 있어 주파수 계획 프로세스가 간소화됩니다. 데시메이션은 스펙트럼의 좁은 부분을 선택하여 초점을 맞추는 것으로 생각하면 됩니다. 더 좁은 대역에 집중하면 원치 않는 고조파나 스퍼가 관심 통과 대역 밖으로 밀려나 필터링되어 제외됩니다. 다음 예에서는 **ADC3669**를 사용하여 주파수 계획 시 데시메이션이 만들어내는 차이를 보여줍니다. **그림 5**은(는) 16384 포인트의 FFT 크기를 사용하여 ADC가 데시메이션을 수행하지 않을 때 기존의 스펙트럼 캡처를 보여줍니다. 원치 않는 고조파가 대역에 있고 성능에 부정적인 영향을 준다는 것을 알 수 있습니다.

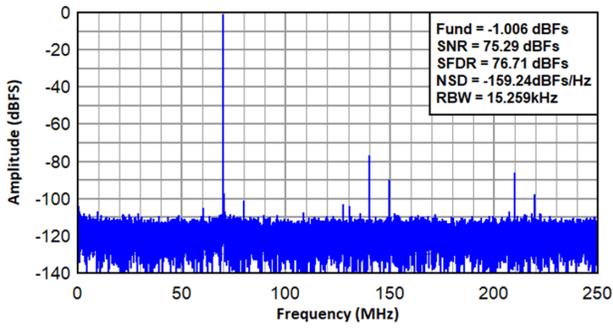


그림 5. ADC3669로 500MSPS에서 캡처한 실제 스펙트럼, 약 70MHz F_{IN} (데시메이션 없음).

이러한 고조파는 ADC 또는 일부 외부 아날로그 주파수에 의한 가산 잡음일 수 있습니다. 그림 6은(는) ADC가 실제 데시메이션 모드이고 데시메이션 인수로 2를 사용한 경우의 예를 보여줍니다. 이제 원치 않는 고조파 스퍼가 대역에서 떨어져서 데시메이션 필터에 의해 필터링되어 제외되는 것을 볼 수 있습니다. 프로세스 게인으로 +3dB가 추가로 개선됩니다.

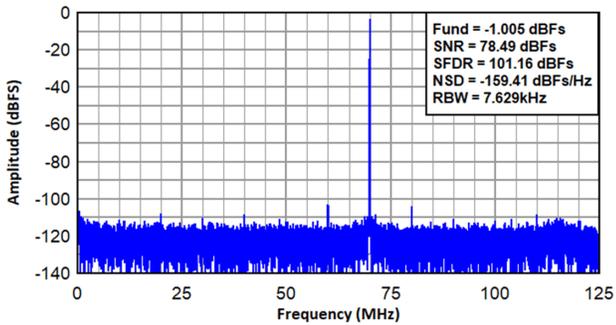


그림 6. ADC3669로 500MSPS에서 캡처한 실제 스펙트럼, 약 70MHz F_{IN} (데시메이션 인수 2).

또한 FFT 계산에도 동일한 인수를 유지하므로 FFT의 해상도 대역폭도 실제로 2배 감소합니다. 이는 아날로그 주파수를 더 가까운 빈으로 해석하는 데 도움이 됩니다. 지금까지는 주파수 변화 없이 데이터를 필터링하는 실제 데시메이션에 대해서만 이야기했습니다. 실제 데시메이션은 데시메이션을 할 때마다 관심 신호가 $F_s/4$ 이하로 떨어질 경우 유용합니다. 하지만 이 범위를 벗어나는 신호를 데시메이션을 하려면 어떻게 해야 할까요? 관심 신호는 보통 제로 주파수(베이스밴드)가 아니라 중간 주파수에 몰려 있습니다. 바로 이런 경우에 복합 데시메이션을 수행해야 합니다. ADC3669와 같이 최신 디지털 기능을 갖춘 ADC는 복합 DDC 단계에 NCO 믹서를 통합합니다. 관심 신호를 NCO 주파수와 혼합하면 데시메이션 전에 신호를 베이스

밴드로 이동시켜, 장치 대역폭 내 어느 곳에서든 신호 데시메이션의 이점을 활용할 수 있습니다.

그림 7은(는) ADC3669를 사용한 복합 데시메이션 모드에서 데시메이션 인수가 64일 경우의 결과를 보여줍니다. 8192 포인트를 사용하여 FFT를 계산할 때 7.8125MHz라는 유효 샘플링 대역폭이 얻어집니다. 입력 주파수는 70MHz이고 NCO 주파수는 71MHz입니다. 신호가 NCO 주파수와 혼합되면 신호가 베이스밴드로 이동해 약 -1MHz에서 톤이 발생합니다.

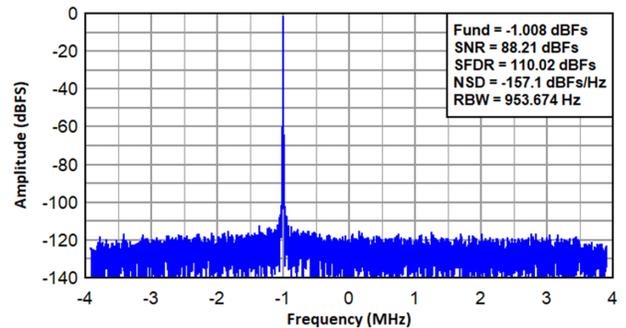


그림 7. 64의 데시메이션 인수로 500MSPS에서 ADC3669로 캡처한 복합 스펙트럼($F_{IN}=70\text{MHz}$, $F_{NCO}=71\text{MHz}$).

ADC3669는 최대 32768의 데시메이션 인수로 좁은 대역을 캡처할 수 있어, 고밀도 RF 대역 또는 정밀한 채널 간격을 가진 애플리케이션에 유용합니다. 이렇게 높은 인수로 데시메이션하면 관심 신호를 확대하고 거의 모든 것을 필터링하여 제외할 수 있습니다. ADC3669와 같은 최신 ADC에서 제공하는 데시메이션 인수는 원치 않는 스퍼를 훨씬 쉽게 필터링할 수 있기 때문에 주파수 계획에서 더 유연하게 사용할 수 있습니다. 그림 8은(는) 데시메이션 인수 16384로 8192 FFT 포인트를 사용하여 계산된 캡처를 보여줍니다. 결과적으로 해상도 대역폭은 3.726Hz입니다. 스퍼가 기본 대역인 수천 헤르츠 내에 있더라도 높은 데시메이션 비율로 손쉽게 필터링할 수 있습니다.

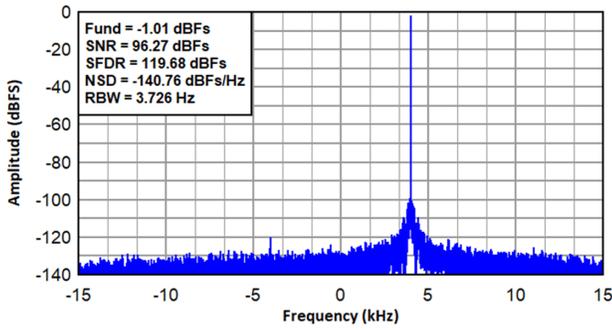


그림 8. 16384의 데시메이션 인수로 500MSPS에서 ADC3669로 캡처한 복합 스펙트럼($F_{IN}=70\text{MHz}$, $F_{NCO}=69.996\text{MHz}$).

NCO 주파수가 입력 신호보다 4kHz 낮기 때문에 하향 변환된 신호가 양의 주파수 오프셋으로 나타납니다. 500MSPS에서 이 데시메이션 모드가 작동하는 동안 이 ADC는 프로그래밍 가능한 NCO 주파수 주변에서 30.517kHz 범위 내의 신호를 샘플링할 수 있습니다.

결론

주파수 계획은 ADC 기반 시스템 설계의 필수적인 측면으로, 스퍼 관리, 동적 범위 최적화, AAF 설계 및 효율적인 데이터 처리와 같은 과제를 해결합니다. 세심한 주파수 계획을 미리 수립하면 나이퀴스트 영역 중첩이나 클록 스퍼 오염과 같은 일반적인 위험을 피할 수 있으며, 향상된 스푸리어스 억제 및 동적 범위, ADC 디지털 인터페이스 또는 데이터 전송률 감소, FPGA 리소스 절약 등의 장점을 얻을 수 있습니다. 이러한 장단점의 균형을 신중하게 맞추고 ADC 데시메이션과 같은 기능을 활용하면 다양한 애플리케이션에서 고성능, 소프트웨어 재구성 가능 리시버 시스템을 달성하면서 다음 샘플링 홀을 피할 수 있습니다.

관련 웹사이트

- 다음을 확인하여 RF 샘플링 데이터 컨버터의 빠른 주파수 호핑을 위한 기술을 알아보십시오. [SLYT861: RF 샘플링 데이터 컨버터의 빠른 주파수 호핑 살펴보기](#), 작성자: Chase Wood, 2024년 10월 아날로그 디자인 저널의 문서.
- 다음 문서에서 샘플링과 데이터 속도 사이의 관계를 이해할 수 있습니다. [TIPL4701: 고속 데이터 컨버터에서](#)

샘플링 대 데이터 속도, 데시메이션(DDC) 및 보간

(DUC), 작성자: Jim Seton, 2017년 8월 발표.

- 2024년 5월 Embedded Computing Design에서 발표한 Chase Wood의 [고대역폭 스펙트럼 클러스터 분석](#) 자료를 통해 고대역폭 데시메이션 예제에 대한 인사이트를 얻으십시오.
- [RF 샘플링 주파수 플래너, 아날로그 필터 및 DDC 계산기](#)를 사용하여 RF 샘플링 주파수 계획을 최적화하십시오. 자세한 사양은 [TI ADC3669 데이터 시트](#)를 살펴보세요.

중요 알림: 이 문서에 기술된 텍사스 인스트루먼트의 제품과 서비스는 TI의 판매 표준 약관에 의거하여 판매됩니다. TI 제품과 서비스에 대한 최신 정보를 완전히 숙지하신 후 제품을 주문해 주시기 바랍니다. TI는 애플리케이션 지원, 고객의 애플리케이션 또는 제품 설계, 소프트웨어 성능 또는 특허권 침해에 대해 책임을 지지 않습니다. 다른 모든 회사의 제품 또는 서비스에 관한 정보 공개는 TI가 승인, 보증 또는 동의한 것으로 간주되지 않습니다.

모든 상표는 해당 소유권자의 자산입니다.

IMPORTANT NOTICE AND DISCLAIMER

TI PROVIDES TECHNICAL AND RELIABILITY DATA (INCLUDING DATA SHEETS), DESIGN RESOURCES (INCLUDING REFERENCE DESIGNS), APPLICATION OR OTHER DESIGN ADVICE, WEB TOOLS, SAFETY INFORMATION, AND OTHER RESOURCES "AS IS" AND WITH ALL FAULTS, AND DISCLAIMS ALL WARRANTIES, EXPRESS AND IMPLIED, INCLUDING WITHOUT LIMITATION ANY IMPLIED WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE OR NON-INFRINGEMENT OF THIRD PARTY INTELLECTUAL PROPERTY RIGHTS.

These resources are intended for skilled developers designing with TI products. You are solely responsible for (1) selecting the appropriate TI products for your application, (2) designing, validating and testing your application, and (3) ensuring your application meets applicable standards, and any other safety, security, regulatory or other requirements.

These resources are subject to change without notice. TI grants you permission to use these resources only for development of an application that uses the TI products described in the resource. Other reproduction and display of these resources is prohibited. No license is granted to any other TI intellectual property right or to any third party intellectual property right. TI disclaims responsibility for, and you will fully indemnify TI and its representatives against, any claims, damages, costs, losses, and liabilities arising out of your use of these resources.

TI's products are provided subject to [TI's Terms of Sale](#) or other applicable terms available either on [ti.com](https://www.ti.com) or provided in conjunction with such TI products. TI's provision of these resources does not expand or otherwise alter TI's applicable warranties or warranty disclaimers for TI products.

TI objects to and rejects any additional or different terms you may have proposed.

Mailing Address: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated