

Errata

**MSPM0H3215、MSPMH03216、MSPR5F100FESNNA、
MSPR7F102GBESVFC マイコン**

概要

この文書では、機能仕様に対する既知の例外 (アドバイザリ) について説明します。

目次

1 機能アドバイザリ.....	1
2 プログラム済みのソフトウェア アドバイザリ.....	2
3 デバッグ専用のアドバイザリ.....	2
4 コンパイラ アドバイザリによって修正.....	2
5 デバイスの命名規則.....	2
5.1 デバイスの記号表記とリビジョンの識別.....	3
6 アドバイザリの説明.....	4
7 商標.....	15
8 改訂履歴.....	15

1 機能アドバイザリ

デバイスの動作、機能、パラメータに影響を与えるアドバイザリ。

✓ チェック マークは、指定されたリビジョンに問題が存在することを示します。

エラッタ番号	リビジョン A
ADC_ERR_05	✓
CPU_ERR_02	✓
CPU_ERR_03	✓
FLASH_ERR_02	✓
FLASH_ERR_03	✓
I2C_ERR_04	✓
I2C_ERR_05	✓
I2C_ERR_06	✓
I2C_ERR_07	✓
I2C_ERR_08	✓
I2C_ERR_09	✓
I2C_ERR_10	✓
LFXT_ERR_03	✓
LFXT_ERR_04	✓
PMCU_ERR_13	✓
RST_ERR_01	✓
SPI_ERR_04	✓
SPI_ERR_05	✓
SPI_ERR_06	✓
SPI_ERR_07	✓

エラッタ番号	リビジョン A
SWD_ERR_01	✓
SYSOSC_ERR_02	✓
TIMER_ERR_04	✓
TIMER_ERR_06	✓
UART_ERR_01	✓
UART_ERR_02	✓
UART_ERR_04	✓
UART_ERR_05	✓
UART_ERR_06	✓
UART_ERR_07	✓
UART_ERR_08	✓

2 プログラム済みのソフトウェア アドバイザリ

工場出荷時にプログラムされたソフトウェアに影響を及ぼすアドバイザリ。

✓ チェック マークは、指定されたリビジョンに問題が存在することを示します。

3 デバッグ専用のアドバイザリ

デバッグ動作のみに影響するアドバイザリ。

✓ チェック マークは、指定されたリビジョンに問題が存在することを示します。

4 コンパイラ アドバイザリによって修正

コンパイラの回避方法により解決されるアドバイザリ各アドバイザリについては、回避策が適用されている IDE およびコンパイラのバージョンを参照してください。

✓ チェック マークは、指定されたリビジョンに問題が存在することを示します。

5 デバイスの命名規則

製品開発サイクルの段階を示すため、TI はすべての MSP MCU デバイスの型番に接頭辞を割り当てています。MSP MCU 商用ファミリの各番号には、MSP、X のいずれかの接頭辞があります。MSP または XMS。これらの接頭辞は、製品開発の進展段階を表します。段階には、エンジニアリング プロトタイプ(XMS)から、完全認定済みの量産デバイス(MSP)までがあります。

XMS - 実験段階のデバイスであり、必ずしも最終製品の電气的特性を表しているとは限りません

MSP - 完全に認定済みの量産版デバイス

サポートツールの名前付けプレフィックス:

X: 開発サポート製品。テキサス・インスツルメンツの社内認定試験はまだ完了していません。

null: 完全に認定済みの開発サポート製品です。

XMS デバイスと **MSPX** 開発サポート ツールは、以下の免責事項に基づいて出荷されます:

「開発中の製品は、社内での評価用です。」

MSP デバイスの特性は完全に明確化されており、デバイスの品質と信頼性が十分に示されています。テキサス・インスツルメンツの標準保証が適用されます。

プロトタイプ デバイス (**XMS**) は、標準の量産デバイスよりも故障率が高いことが予想されます。これらのデバイスは、予測される最終使用時の故障率が未定義であるため、テキサス・インスツルメンツはそれらのデバイスを量産システムで使用しないよう推奨しています。認定済みの量産デバイスのみを使用する必要があります。

TI デバイスの項目表記には、デバイス ファミリ名の接尾辞も含まれます。この接尾辞は、温度範囲、パッケージタイプ、配布形式を示しています。

5.1 デバイスの記号表記とリビジョンの識別

次のパッケージ図はパッケージ記号化スキームを示しており、これは本番前バージョンです。リリース後、RTM バージョンがここに追加されます。また、表 5-1 に、デバイス リビジョンからバージョン ID へのマッピングを定義します。

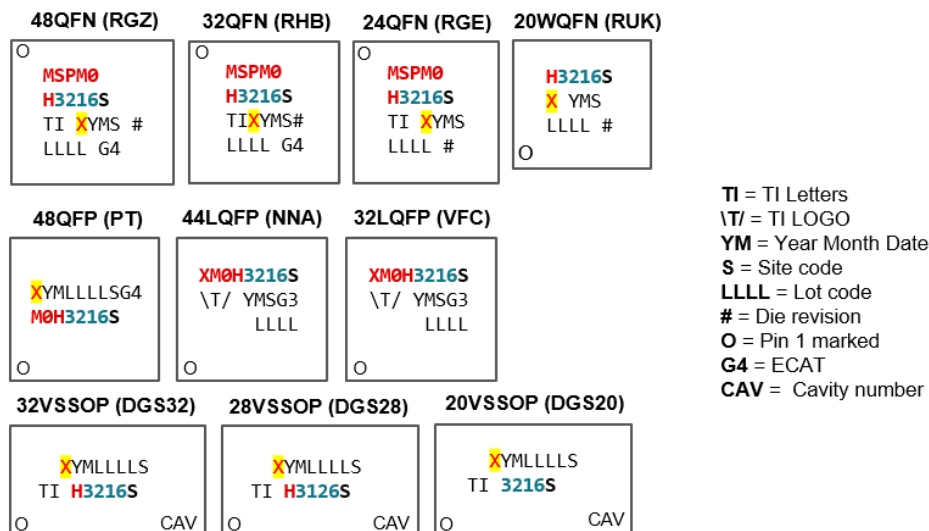


図 5-1. パッケージの記号表記

表 5-1. ダイ リビジョン

リビジョンレター	バージョン (デバイスの工場出荷時定数メモリ内)
A	1

リビジョン文字は、製品のハードウェアの改訂版を示します。このドキュメントのアドバイザーには、リビジョン文字に基づいて、特定のバースに該当するか否かがマークされています。この文字は、デバイスのメモリに保存された整数にマップされ、アプリケーションソフトウェア または接続されたデバッグプローブによるリビジョンの検索に使用できます。

6 アドバイザリの説明

ADC_ERR_05

ADC モジュール

カテゴリ

機能

機能

IP(周辺モジュール)が有効化される前にハードウェアイベントが生成された場合、その ADC トリガはキューに保持されたままになります

概要

ADC を HW イベントトリガモードに構成されていて、ADC が有効になる前にトリガが生成されると、ADC トリガはキュー内にとどまります。ADC が有効になると、サンプリングおよび変換がトリガされます。

回避方法

ADC をハードウェア トリガ モードで設定した後、外部トリガを与える前に、まず ADC を有効にします。

CPU_ERR_02

CPU モジュール

カテゴリ

機能

機能

CPUSS のプリフェッチ機能を無効にする制限

概要

保留中のフラッシュメモリアクセスがある場合、CPU プリフェッチを無効にしても無効にはなりません。

回避方法

プリフェッチを無効にした後、SYSCTL のシャットダウンメモリ (SHUTDNSTORE) へのメモリアクセスを実行してください。これは SYSCTL->SOCLOCK.SHUTDNSTORE0 にアクセスすることで行えます。メモリアクセスが完了すると、プリフェッチャは無効化されます。

CPU_ERR_03

CPU モジュール

カテゴリ

機能

機能

プリフェッチャは、SLEEP モードへの遷移時にデータ整合性の問題を引き起こす可能性があります

概要

SLEEP0 に移行するとき、プリフェッチャで不正なデータ(すべて 0)が誤ってフェッチされることがあります。スリープモードから復帰したときに、プリフェッチャとキャッシュが ISR コードによって上書きされない場合、フラッシュからのメインコード実行が破損するおそれがあります。たとえば、ISR が SRAM 内にある場合、フラッシュからプリフェッチされた誤ったデータは上書きされません。ISR から復帰する際に、プリフェッチャ内の破損したデータが CPU によってフェッチされ、誤った命令が実行されるおそれがあります。

回避方法

SLEEP に入る前にプリフェッチャを無効にします。

FLASH_ERR_02 *FLASH* モジュール

カテゴリ

機能

機能

NONMAIN でのデバッグ無効は、デフォルトのパスワードで再度有効にできます

概要

NONMAIN 構成 (DEBUGACCESS = 0x5566) でデバッグが無効になっている場合でも、デバイスにはデフォルトのパスワードでアクセスできます。

回避方法

1. DEBUGACCESS を Debug Enabled with Password オプション (DEBUGACCESS = 0xCCDD) に設定し、PWDDEBUGLOCK フィールドに一意のパスワードを入力します。より高度のセキュリティを確保するために、暗号化されたランダムなデバイス固有のパスワードを使用することをお勧めします。これにより、適切な 128 ビットのパスワードでデバッグアクセスが可能になりますが、一部のデバッグコマンドで、CFG-AP と SEC-AP にアクセスすることもできます。
2. SWDP_MODE を無効にして、物理的な SW デバッグポートを完全に無効にします。これにより、デバイスへのデバッグアクセスや要求は完全に防止されますが、Failure Analysis やリターンフローに影響が出るおそれがあります。

FLASH_ERR_03 *FLASH* モジュール

カテゴリ

機能

機能

2 待機状態のフラッシュ アクセスの直後に無効なブート コード領域へのアクセスが行われると、次のフラッシュ アクセスでも違反が発生する可能性があります

説明

2 待機状態が設定されている状態で、フラッシュ アクセスの直後に BOOTCODE 領域へのアクセスを行うと、その次のフラッシュ アクセスでも違反が発生する可能性があります。

回避方法

ブート フェーズ終了後は、ブートコード領域へのアクセスを行わないでください。そうしない場合、ブート コード違反の後に正しいフラッシュ アクセスを行うまでに、少なくとも 4 クロック サイクルの間隔を空ける必要があります。

I2C_ERR_04 *I2C* モジュール

カテゴリ

機能

機能

SCL が Low で SDA が High の状態では、ターゲット I2C はストレッチを解除できません。

概要

- 1: SCL ラインを接地して解放し、デバイスは無制限に SCL を Low にプルします。
- 2: クロック ストレッチ、タイムアウト、解放後、ライン上に別のクロック Low がある場合、デバイスは無期限に SCL を Low にプルします。

I2C_ERR_04 (続き) I2C モジュール

回避方法

I2C ターゲット アプリケーションで、非同期高速クロック要求を使用した低電力モードでのデータ受信が不要な場合は、**SWUEN** をデフォルトで無効にすることを推奨します (リセット時や電源サイクル時を含む)。この場合、バグの説明 1 と 2 は発生しません。

I2C ターゲットアプリケーションで、非同期高速クロック要求を使用した低電力モードでのデータ受信が必要な場合は、低電力モードへ移行する直前に **SWUEN** を有効にし、復帰後に **SWUEN** をクリアします。このシナリオでも、I2C ターゲットが低消費電力のときにバグ説明 1 および 2 が発生するおそれがあります。バス上の他のデバイスによって連続的なクロックストレッチングまたはタイムアウトが発生すると、**SCL** ラインが無期限にストレッチされます。この状況から回復するには、I2C ターゲットデバイスで **Low** タイムアウト割り込みを有効にし、低タイムアウト **ISR** 内で I2C モジュールをリセットして再初期化します。

I2C_ERR_05 I2C モジュール

カテゴリ

機能

機能

進行中のトランザクション中に **ACTIVE** ビットをトグルすると、I2C **SDA** が 0 に固定化されるおそれがあります。

概要

進行中の転送中に **ACTIVE** ビットがトグルされると、ステート マシンはリセットされます。ただし、I2C コントローラによって駆動される **SDA** と **SCL** 出力はリセットされません。**SDA** が 0 の状態で I2C コントローラが **IDLE** 状態に遷移すると、I2C コントローラは **IDLE** 状態から先へ進めず、**SDA** の値も更新できなくなります。I2C ターゲットの **BUSBUSY** が設定され (**ACTIVE** ビットのトグルによってライン上で開始が検出されます)、**BUSBUSY** はクリアされません。これは、I2C コントローラが **STOP** を駆動してクリアできないためです。

回避方法

進行中のトランザクション中は、**ACTIVE** ビットをトグルしないでください。

I2C_ERR_06 I2C モジュール

カテゴリ

機能

機能

SMBus の High タイムアウト機能は、I2C クロックが 24KHz 未満になると動作しません。

概要

SMBus の High タイムアウト機能は、I2C クロックレートが 24 kHz 未満 (20 kHz、10 kHz など) では正常に動作しません。SMBus 仕様から、アクティブトランザクション中の **SCL High** 時間の上限は 50μs です。I2C **START** ビットの書き込みから **SCL Low** までに要する合計時間は 60μs で、50μs 以上です。これにより、タイムアウト イベントをトリガし、転送開始時にトランザクションを完了することなく I2C コントローラを **IDLE** に移行できます。以下は詳細な説明です。

SCL が 20 kHz に構成されている場合、**SCL** の Low 期間と High 期間はそれぞれ 30 μs および 20 μs です。まず、High タイムアウト カウンタでデクリメントが開始し、同時に I2C **START** ビットの書き込みが開始します。その後、**START** ビットの書き込みから **SDA** が Low (スタート条件) になるまでに、1 **SCL Low** 期間 (30μs) かかります。次に、**SDA** が Low (スタート条件) になってから **SCL** が Low になる (データ転送が開始) までにさらに別の **SCL Low** 期間 (30μs) がかかり、この時点で High タイムアウトカウンタが停止します。合計で、カウンターの開始から終了まで

I2C_ERR_06 (続き) I2C モジュール

60 μ s かかります。ただし、高タイムアウトカウンタには上限 (50 μ s) により、I2C トランザクションは問題なく正常に動作しますが、タイムアウトイベントがトリガされます。

回避方法

I2C クロックが 24KHz 未満の場合は、SMBus High タイムアウト機能を使用しないでください。

I2C_ERR_07 I2C モジュール

カテゴリ

機能

機能

コントローラの制御レジスタへの連続書き込みを行うと、I2C 通信が開始されない可能性があります。

概要

CTR レジスタへの連続書き込みを行うと、次の CTR.START によって正しく開始条件が発生しない可能性があります。

回避方法

CTR.START を含むすべての CTR ビットは、1 回の書き込みでまとめて設定するか、CTR ビットの書き込み後に十分な待機時間を挟んでから CTR.START を書き込む必要があります。

I2C_ERR_08 I2C モジュール

カテゴリ

機能

機能

RXDONE 割り込みの直後に FIFO を読み出すと、誤ったデータが取得されます。

概要

RXDONE 割り込みが発生したとき、FIFO は最新のデータに対して更新されない場合があります。

回避方法

最新のデータが FIFO に確実に反映されるように、2 つの I2C クロックサイクル分待機してください。I2C CLK は、I2C レジスタの CLKSEL レジスタに基づいています。

I2C_ERR_09 I2C モジュール

カテゴリ

機能

機能

I2C を低速で動作させている場合、割り込みサービ斯拉ーチン (ISR) 内での読み取り時に、開始アドレス一致ステータスがタイミング的に更新されていない可能性があります。

概要

標準的な I2C 速度 (100kHz 未満) で動作している場合、割り込みを通過する読み出しの時間内に ADDRMATCH ビット (TSR レジスタのアドレス一致) が設定されないおそれがあります。

I2C_ERR_09 (続き) I2C モジュール

回避方法

非標準的な I2C 速度で動作する場合、ADDRMATCH ビットを読み取る前に、少なくとも 1 つの I2C クロックサイクル分の遅延を入れてください。

I2C_ERR_10 I2C モジュール

カテゴリ

機能

機能

低消費電力に移行しないよう、I2C ビジー ステータスは有効になっています。

概要

I2C ターゲットモードでは、STOP ビットがない場合、トランザクションの後、I2C ビジーステータスは High のままです。

回避方法

STOP ビットを送信するように I2C コントローラをプログラムします。最後のバイトに対して NACK を送信しないでください。任意の I2C 転送を必ず STOP 条件で終了し、適切な BUSY ステータスと非同期クロック要求の動作にしてください (低消費電力モードへの再移行に備えるため)。

LFXT_ERR_03 LFXT モジュール

カテゴリ

機能

機能

PA3/4 が LFXT ピンとして選択されている場合、PA26/27 は IOMUX で制御できません

概要

DGS28、DGS32、RGE、RHB、RGZ、および PT パッケージでは、LFXIN/LFXOUT は PA3/4 でのみサポートされます。LFXT が有効になっている場合、PA26/27 は IOMUX によって I/O 動作を制御することはできません。

回避方法

LFXT 機能を使用する必要がある場合は、PA26/27 を I/O 操作として使用しないでください。

LFXT_ERR_04 LFXT モジュール

カテゴリ

機能

機能

LFXT が有効になっている場合、消費電力が異常になります

概要

1. LQFP-44 (NNA) パッケージでは、LFXT 機能が有効になっている場合、VDD ピンから約 6 μ A の余分なリーケージが生じます。また、リーケージが増加することから、LFXT は 105C を上回ると信頼性のある動作をしません。
2. PA3/4 で LFXT をサポートする他の TI 互換パッケージでは、LFXT が有効で PA26 がフローティングのままである場合、VDD ピンからリーケージが約 5mA と大きくなる可能性があります。

LFXT_ERR_04 (続き)

LFXT モジュール

回避方法

1. LQFP-44 (NNA) パッケージでは、LFXT 動作の最高温度を 105C に制限してください。IDD_STDBY が約 10μA に達することがあります。
2. PA3/4 で LFXT をサポートする他の TI 互換パッケージでは、PA26 = 0 または VDD をボード上に強制的に外部から接続します。

PMCU_ERR_13

PMCU モジュール

カテゴリ

機能

機能

特定のシナリオにおいて、STOP2 または STANDBY0 からのウェークアップ時に MCU がスタックする可能性があります

概要

デバイスが STOP2 および STANDBY0 に遷移する前に、保留中のプリフェッチアクセスがある場合。タイマなどの保留中のプリフェッチアクセスが完了し、DMA が GPIO からのイベントを受信した直後のシナリオでは、DMA 転送もタイマの ISR 実行も行われず、CPU がスタック状態になります。この問題は、WFI 命令がハーフワードアライメント、デバイスのウェイト状態が 2 であり、デバイスが LPM に遷移する前に保留中のプリフェッチアクセスが存在するときに発生します。

回避方法

LPM に移行する前に、プリフェッチを無効にして、シャットダウンレジスタ読み取りまたはペリフェラル読み取りなどのいくつかのダミー命令を実行することができます。これにより、プリフェッチアクセスが無効になり、LPM からのウェークアップ時にデバイスがハングすることを防止できます。

RST_ERR_01

RST モジュール

カテゴリ

機能

機能

LFCLK_IN が LFCLK のソースとして選択されており、かつ LFCLK_IN が無効になっている場合、NRST リリースは検出されません。

概要

LFCLK = LFCLK_IN で、LFCLK_IN を無効にすると、NRST パルス エッジ検出でミスが発生し、デバイスがリセットから復帰しないコーナー シナリオが生じる場合があります。この問題は、NRST パルス幅が 608μs 未満のときに見られます。NRST パルスが 608μs を超える場合は、リセットは通常どおり表示されます。

回避方法

この問題を回避するため、608μs よりも高い NRST パルス幅を維持します。

SPI_ERR_04

SPI モジュール

カテゴリ

機能

機能

SPI ペリフェラルが受信モードのみの場合、各フレーム受信後の IDLE/BUSY ステータスグル。

SPI_ERR_04 (続き) SPI モジュール

概要

SPI ペリフェラルが受信モードのみの場合、SPI がデータを連続的に受信している間に、各フレーム受信の後で、IDLE 割り込みおよび BUSY ステータスがトグルされます (SPI_PHASE = 1)。ここでは、ペリフェラルの TXFIFO にロードされるデータはなく、TXFIFO は空です。

回避方法

SPI ペリフェラルのみの受信モードを使用しないでください。SPI ペリフェラルを送受信モードに設定します。TX FIFO のデータを SPI 用に設定する必要はありません。

SPI_ERR_05

SPI モジュール

カテゴリ

機能

機能

SPI ペリフェラルの受信タイムアウト割り込みは、RXFIFO のデータの有無にかかわらず発生します

概要

SPI タイムアウト割り込みを使用すると、最終的な SPI CLK を受信した後でも RXTIMEOUT でデクリメントが継続するため、誤った RXTIMEOUT が発生するおそれがあります。

回避方法

最後のパケットを受信した後は、RXTIMEOUT を無効にします (これは ISR 内で実行可能です)。その後、SPI 通信が再開されるときに、RXTIMEOUT を再度有効にしてください。

SPI_ERR_06

SPI モジュール

カテゴリ

機能

機能

デバッグ HALT がアサートされている場合、IDLE/BUSY ステータスは SPI IP の正しい状態を反映しません

概要

IDLE/BUSY は HALT とは無関係で、RXFIFO/TXFIFO の書き込み/読み取りストロブのみをゲーティングします。つまり、コントローラがデータ送信中であっても、そのデータが FIFO にラッチされていない状態で BUSY ステータスが設定されてしまいます。POCI 回線は、停止中に以前に送信されたデータを回線上で送信します

回避方法

SPI IP が停止しているときは、IDLE/BUSY ステータスを使用しないでください。

SPI_ERR_07

SPI モジュール

カテゴリ

機能

機能

SPI ペリフェラルで TXFIFO への読み取り/書き込みが同時に発生した場合、SPI アンダーフローイベントは生成できません

SPI_ERR_07 (続き) SPI モジュール

概要

SPh = 0 で、デバイスが SPI ペリフェラルとして構成されている場合: 読み取り要求の発行中に TXFIFO への書き込みが発生すると、読み取り/書き込み要求が同時に発生するため、アンダーフローイベントを生成できません。

回避方法

コントローラでペリフェラルがアドレス指定されているとき、ペリフェラルの TXFIFO が空にならないことを確認する必要があります。さらに、CRC などのデータチェック戦略で、パケットが正しく送信されたことを確認できます。

SWD_ERR_01 SWD モジュール

カテゴリ

機能

機能

デバイスは、SWDCLK ピンでより多くの電流を消費します

概要

IO 構造の内部プルダウンをサポートしていないデバイスでは、SWCLK ピンはフローティング状態のまま、より多くの電流を消費します。

回避方法

初期化 SW コードでは、SWCLK IOMUX 構成をオーバーライドして PINCM レジスタの PIPU ビットを 1 に設定し、SWCLK ピンのプルアップ機能を有効にするか、PINCM レジスタの PF ビットを使用してこのピンを GPIO/その他の機能に切り替えます。

または、

ブートコード実行時または NRST ピン印加時にフローティング ノード電流も固定したい場合は、ボード上の SWCLK ピンの近くに外付けプルダウン抵抗を追加してください。

SYSOSC_ERR_02 SYSOSC モジュール

カテゴリ

機能

機能

SYSOSC が FCL モードで無効化されている LPM 中に非同期クロック要求を受信しても、MFCLK は動作しません

概要

以下のシナリオでは、MFCLK はトグルを開始しません:

- 1.FCL モードを有効にした後、MFCLK を有効にします
- 2.SYSOSC が無効になる低消費電力モードに移行します (SLEEP2/STOP2/STANDBY0/STANDBY1)。
- 3.MFCLK を機能クロックとして使用する一部のペリフェラルから非同期要求を受信されます。ASYNC 要求を受信すると、SYSOSC は有効になり、ulpclock は 32MHz になります。ただし、デバイスが依然として LPM に設定されているため、MFCLK はゲートオフの状態となり、一切トグルしません。

回避方法

SYSOSC が FCL モードを使用している場合は、通常 SYSOSC がオフになる LPM モードへ移行する際に、ペリフェラル用の MFCLK を有効にしないでください。

TIMER_ERR_04	<i>TIMG</i> モジュール
カテゴリ	機能
機能	TIMER をゼロ イベントの直前に再有効化すると、再有効化が失われる可能性があります
概要	GP TIMER をワンショット モードで使用し、CLKDIV.RATIO が 0 でない場合、ゼロ イベント直前に TIMER を再有効化すると、再有効化が失われることがあります。
回避方法	タイマは、最初に再度イネーブルにする前に無効にできます。
TIMER_ERR_06	<i>TIMA</i> と <i>TIMG</i> モジュール
カテゴリ	機能
機能	CLKEN ビットに 0 を書き込んでも、カウンタは無効化されません
概要	カウンタ クロック制御レジスタ (CCLKCTL) のクロック イネーブル ビット (CLKEN) に 0 を書き込んでも、タイマは停止しません。
回避方法	カウンタ制御 (CTRCTL) イネーブル (EN) ビットに 0 を書き込むことで、タイマを停止します。
UART_ERR_01	<i>UART</i> モジュール
カテゴリ	機能
機能	STANDBY1 モードへの遷移時に、UART のスタート条件が検出されないことがあります
概要	デバイスが STANDBY1 モードのときに、UART 送信によって開始された非同期高速クロック要求を処理した後、デバイスは STANDBY1 モードに戻ります。STANDBY1 モードへの復帰中に別の UART 送信が開始されると、デバイスはそのデータを正しく検出および受信できません。
回避方法	UART のスタート条件が繰り返し発生することが想定される場合は、STANDBY0 モードまたはそれ以上の低消費電力モードを使用してください。
UART_ERR_02	<i>UART</i> モジュール
カテゴリ	機能
機能	TXE のみが有効な場合、UART 送信終了の割り込みは設定されません

UART_ERR_02 (続き)

UART モジュール

概要

デバイスを送信のみに設定すると (CTL0.TXE = 1, CTL0.RXE = 0)、UART 送信終了 (EOT) 割り込みのトリガはかかりません。デバイスが送受信に設定されている場合 (CTL0.TXE = 1, CTL0.RXE = 1)、EOT は正常にトリガされます

回避方法

UART 送信終了割り込みを使用するときは、CTL0.TXE ビットおよび CTL0.RXE ビットの両方を設定します。ピンを UART 受信として割り当てる必要はないので注意してください。

UART_ERR_04

UART モジュール

カテゴリ

機能

機能

クロックが SYSOSC から LFOSC に遷移する際、高速クロック要求が無効になっていると、UART データが誤って受信される可能性があります

概要

シナリオ:

1. UART の機能クロックとして LFCLK が選択されます 2.3 倍オーバーサンプリングで構成された 9600 のボーレート 3. UART 高速クロック要求が無効になっている状態で、UART 受信転送中に ULPCLK が SYSOSC から LFOSC に切り替わると、1 ビットが誤って読み取られることがあります

回避方法

LPM モードで UART を使用する場合は、UART 高速クロック要求を有効にしてください。

UART_ERR_05

UART モジュール

カテゴリ

機能

機能

UART モジュールのデバッグ停止機能の制限

概要

本来は既存のフレームを完了して停止することが期待されますが、すべての Tx FIFO 要素が送信されてから通信が停止します。

回避方法

デバッグ停止がアサートされた後は、データが TX FIFO に書き込まれないようにしてください。

UART_ERR_06

UART モジュール

カテゴリ

機能

機能

UART 9 ビットモードでの予期しない RTOUT/Busy/Async の動作

UART_ERR_06 (続き)

UART モジュール

説明

UART 受信タイムアウト (RTOUT) は、マルチノード構成では正しく動作しません。この構成では、1 つの UART がコントローラとして動作し、他の UART ノードはペリフェラルとして機能し、各ペリフェラルは 9 ビット UART モードで異なるアドレスに設定されます。

最初の UART コントローラが UART ペリフェラル 1 と通信し、ペリフェラル 1 のアドレスを最初のバイトとして送信してからデータを送信することで、ペリフェラル 1 がアドレスの一致を確認してデータを受信しました。コントローラがペリフェラル 1 との通信を終了した後、バス上で異なるアドレスに構成された別の UART ペリフェラル (ペリフェラル 2) との通信を直ちに開始すると、ペリフェラル 1 は設定されたタイムアウト期間が経過しても RTOUT を設定しません。ペリフェラル 2 との通信中もペリフェラル 1 の RTOUT カウンタはリセットされ続け、RTOUT が設定されるのは、コントローラがペリフェラル 2 との通信を完了した後になります。

BUSY 要求と Async 要求で同様の動作が確認観察されました。コントローラがバス上の別のペリフェラルと通信中で、アドレスが一致しない場合でも、Busy および Async 要求が設定されます。

回避方法

1 つのコントローラが複数のペリフェラルに接続されたマルチノード UART 通信では、RTOUT / BUSY / 非同期クロック要求の動作は使用しないでください。

UART_ERR_07

UART モジュール

カテゴリ

機能

機能

IDLE LINE モードにおいて、RTOUT カウンタが期待どおりにカウントされません

概要

UART のアイドルラインモードでは、ラインがアイドル状態で、FIFO に何らかの要素がある場合でも、RTOUT カウンタはスタックします。つまり、IDLE LINE モードでは RTOUT 割り込みは動作しません。

アドレスが一致しない場合、Rx ラインでトグルの発生を検出すると RTOUT カウンタがリロードされます。

マルチレスポンス構成の場合、コマンドと他のレスポンス間で通信が行われていると、RTOUT イベントの取得に不定の遅延が発生するおそれがあります。

回避方法

UART モジュールを IDLLINE モード/マルチノード UART アプリケーションのいずれかで使用する場合、RTOUT 機能を有効にしないでください。

UART_ERR_08

UART モジュール

カテゴリ

機能

機能

STAT BUSY は、UART モジュールの正しいステータスを表していません

概要

UART モジュールが無効で TXFIFO でデータが利用可能である場合でも、STAT BUSY は High のままです。

UART_ERR_08 (続き)

UART モジュール

回避方法

TXFIFO ステータスと CTL0.ENABLE レジスタビットをポーリングして、ビジーステータスを識別します。

7 商標

すべての商標は、それぞれの所有者に帰属します。

8 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
2025 年 5 月	2.0	バージョン 2.0 で LFXT バグを追加
2025 年 7 月	2.1	バージョン 2.1 でさらに多くの項目を追加し

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適したテキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているテキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかるテキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated