参考資料

Errata

MSPM0G351x、MSPM0G151x マイコン

TEXAS INSTRUMENTS

概要

この文書では、機能仕様に対する既知の例外 (アドバイザリ) について説明します。

目次

1 機能アドバイザリ.....1
2 プログラム済みのソフトウェア アドバイザリ.....2
3 デバッグ専用のアドバイザリ.....2
4 コンパイラ アドバイザリによって修正.....2
5 デバイスの命名規則.....3
5.1 デバイスの記号体系およびリビジョン識別方法.....3
6 アドバイザリの概要.....4
7 商標.....21
8 改訂履歴.....21

1 機能アドバイザリ

デバイスの動作、機能、パラメータに影響を与えるアドバイザリ。

✓ チェック マークは、指定されたリビジョンに問題が存在することを示します。

エラッタ番号	Rev A (プロトタイプ X マーク付き製品)	Rev C
ADC_ERR_05 ADC モジュール	✓	✓
ADC_ERR_06 ADC モジュール	✓	✓
ADC_ERR_07 ADC モジュール	✓	✓
ADC_ERR_08 ADC モジュール	✓	✓
AES_ERR_01 AES モジュール	✓	✓
COMP_ERR_05 COMP モジュール	✓	✓
CPU_ERR_01 CPU モジュール	✓	✓
CPU_ERR_02 CPU モジュール	✓	✓
CPU_ERR_03 CPU モジュール	✓	✓
FLASH_ERR_01 FLASH モジュール	✓	✓
FLASH_ERR_02 FLASH モジュール	✓	✓
FLASH_ERR_04 FLASH モジュール	✓	✓
FLASH_ERR_05 FLASH モジュール	✓	✓
I2C_ERR_04 I2C モジュール	✓	✓
I2C_ERR_06 I2C モジュール	✓	✓
I2C_ERR_07 I2C モジュール	✓	✓
I2C_ERR_08 I2C モジュール	✓	✓
I2C_ERR_09 I2C モジュール	✓	✓
I2C_ERR_10 I2C モジュール	✓	✓

Copyright © 2025 Texas Instruments Incorporated

エラッタ番号	Rev A（プロトタイプ X マーク付き製品）	Rev C
MATHACL_ERR_01 MATHACL モジュール	✓	✓
MATHACL_ERR_02 MATHACL モジュール	✓	✓
PMCU_ERR_10 PMCU モジュール	✓	
PMCU_ERR_11 PMCU モジュール	✓	✓
PMCU_ERR_12 PMCU モジュール	✓	✓
PMCU_ERR_13 PMCU モジュール	✓	✓
RST_ERR_01 RST モジュール	✓	✓
RTC_ERR_01 RTC モジュール	✓	✓
SPI_ERR_04 SPI モジュール	✓	✓
SPI_ERR_05 SPI モジュール	✓	✓
SPI_ERR_06 SPI モジュール	✓	✓
SPI_ERR_07 SPI モジュール	✓	✓
SRAM_ERR_01 SRAM モジュール	✓	
SYSOSC_ERR_01 SYSOSC モジュール	✓	✓
SYSOSC_ERR_02 SYSOSC モジュール	✓	✓
TIMER_ERR_04 TIMG モジュール	✓	✓
TIMER_ERR_06 TIMA と TIMG モジュール	✓	✓
UART_ERR_01 UART モジュール	✓	✓
UART_ERR_02 UART モジュール	✓	✓
UART_ERR_04 UART モジュール	✓	✓
UART_ERR_05 UART モジュール	✓	✓
I2C_ERR_06 I2C モジュール	✓	✓
UART_ERR_07 UART モジュール	✓	✓
UART_ERR_08 UART モジュール	✓	✓
VREF_ERR_03 VREF モジュール	✓	✓

2 プログラム済みのソフトウェア アドバイザリ

工場出荷時にプログラムされたソフトウェアに影響を及ぼすアドバイザリ。

✓チェックマークは、指定したリビジョンに問題が存在することを示します。

3 デバッグ専用のアドバイザリ

デバッグ動作のみに影響するアドバイザリ。

✓ チェック マークは、指定されたリビジョンに問題が存在することを示します。

4 コンパイラ アドバイザリによって修正

コンパイラの回避方法により解決されるアドバイザリ。各アドバイザリについては、回避策が適用されている IDE およびコンパイラのバージョンを参照してください。

✓チェックマークは、指定したリビジョンに問題が存在することを示します。

Copyright © 2025 Texas Instruments Incorporated

5 デバイスの命名規則

製品開発サイクルの段階を示すため、TI はすべての MSP MCU デバイスの型番に接頭辞を割り当てています。MSP MCU 商用ファミリの各番号には、MSP、X のいずれかの接頭辞があります。MSP または XMS。これらの接頭辞は、製品開発の進展段階を表します。段階には、エンジニアリング プロトタイプ(XMS)から、完全認定済みの量産デバイス(MSP)までがあります。

XMS - 実験段階のデバイスであり、必ずしも最終製品の電気的特性を表しているとは限りません

MSP - 完全に認定済みの量産版デバイス

サポートツールの名前付けプレフィックス:

X:開発サポート製品。テキサス・インスツルメンツの社内認定試験はまだ完了していません。

null:完全に認定済みの開発サポート製品です。

XMS デバイスと MSPX 開発サポート ツールは、以下の免責事項に基づいて出荷されます:

「開発中の製品は、社内での評価用です。」

MSP デバイスの特性は完全に明確化されており、デバイスの品質と信頼性が十分に示されています。テキサス・インスツルメンツの標準保証が適用されます。

プロトタイプ デバイス (XMS) は、標準の量産デバイスよりも故障率が高いことが予想されます。これらのデバイスは、予測される最終使用時の故障率が未定義であるため、テキサス・インスツルメンツはそれらのデバイスを量産システムで使用しないよう推奨しています。認定済みの量産デバイスのみを使用する必要があります。

TI デバイスの項目表記には、デバイス ファミリ名の接尾辞も含まれます。この接尾辞は、温度範囲、パッケージ タイプ、配布形式を示しています。

5.1 デバイスの記号体系およびリビジョン識別方法

次のパッケージ図はパッケージ記号化スキームを示すとともにし表 5-1、デバイスリビジョンからバージョン ID へのマッピングを定義しています。

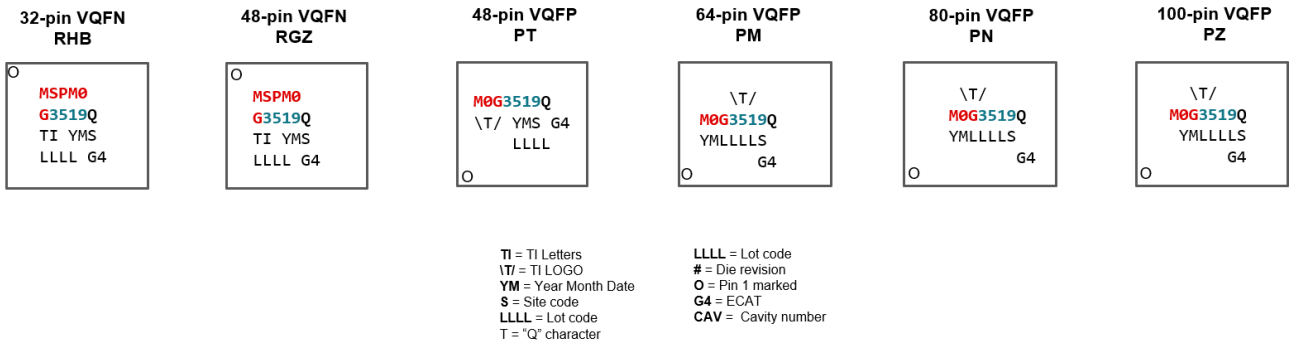

図 5-1. パッケージの記号表記

表 5-1. ダイ リビジョン

リビジョンレター	バージョン(デバイスの工場出荷時定数メモリ内)
A	1
C	2

リビジョン文字は、製品のハードウェアの改訂版を示します。このドキュメントのアドバイザリには、リビジョン文字に基づいて、特定のバイスに該当するか否かがマークされています。この文字は、デバイスのメモリに保存された整数にマップされ、アプリケーションソフトウェア または接続されたデバッグプローブによるリビジョンの検索に使用できます。

Copyright © 2025 Texas Instruments Incorporated

6 アドバイザリの概要

ADC_ERR_05 *ADC モジュール*

カテゴリ

機能

機能

IP（周辺モジュール）が有効化される前にハードウェアイベントが生成された場合、その ADC トリガはキューに保持されたままになります

概要

ADC を HW イベントトリガモードに構成されていて、ADC が有効になる前にトリガが生成されると、ADC トリガはキュー内にとどまります。ADC が有効になると、サンプリングおよび変換がトリガされます。

回避方法

ADC をハードウェア トリガ モードで設定した後、外部トリガを与える前に、まず ADC を有効にします。

ADC_ERR_06 *ADC モジュール*

カテゴリ

機能

機能

ADC 出力コードが DNL/INL の仕様の劣化を招きます

説明

12 ビットモードにおいて、ADC は 2,500 万回の変換あたり 1 回程度の頻度でエラーが発生する可能性があります。変換誤差が発生した場合、ADC 入力電圧に対応する変化なしで、ADC のデジタル出力に+/-1LSB または+/- 64LSB のランダムジャンプが発生します。このジャンプの大きさは、ADC 結果のビット値が大きく遷移する付近（複数のビットが 1→0 または 0→1 に変化する箇所）で大きくなり、中間スケール付近（2048 または 0x800）で最大となります。アプリケーションのニーズに応じて、最適な回避策は異なりますが、本ソフトウェアでは、以下の回避策を提案します。最適な回避方法の選択は、システム設計者の判断に委ねられます。

回避方法

回避方法 1：ADC の結果がアプリケーションで設定されたスレッショルドを外れた場合 (ADC ウィンドウ コンパレータやソフトウェアによるスレッショルド判定を使用)、重要なシステム判断を行う前に、もう一度 ADC の結果を取得するか、次の変換結果を待つようにします

回避方法 2: 後処理時に、ADC 値の中央値または予測値からかけ離れた ADC 値を破棄します。予測値は、システム内で取得された実サンプルの平均に基づいて算出され、除去スレッショルドは、測定されたシステムノイズの大きさに基づいて設定されます。

回避方法 3：単一の誤変換結果の影響を最小限に抑えるために、ADC サンプルの平均化を使用します。

ADC_ERR_07 *ADC モジュール*

カテゴリ

機能

Copyright © 2025 Texas Instruments Incorporated

ADC_ERR_07 (続き)*ADC モジュール*

機能

一定のシーケンスでは、変換アンダーフローフラグ UVIFG が期待どおりに設定されません

概要

シナリオ:
1.PWREN と構成された ADC をシングルモードに設定します。
2.ADC を有効にし、少なくとも 6µs 待機します。
3.SC ビットを High に設定し、z サイクル分待機します。
4.BUSY ビットを読み出し、Low の場合は、ADC_SVT_MEMRES0 レジスタを読み出します。
5.読み出し値を SRAM に保存

観察:
1.最適化が High で z < 11 サイクルの場合、UVIFG フラグがセットされます。z = 10 の場合、数サイクルかかるためデータの読み取りは正しく行われますが、z < 10 では MEMRES の更新が完了していないため、読み取ったデータ値は 0 になります。
2.最適化が High で z >= 11 の場合、UVIFG フラグはセットされず、データの読み取りは正しい
3.最適化が 0 で z >= 5 の場合、UVIFG フラグはセットされず、データの読み取りは正しい

回避方法

回避策はありません。

ADC_ERR_08 *ADC モジュール*

カテゴリ

機能

機能

PA15 がトグルしているときに ADCMEMRES スワップが発生します

概要

ADC が次の設定で構成されているとき:
1.ADC は反復シーケンスモードに構成されています。
2.FIFO はディセーブルになります。
セットアップ条件:
1.ADC は、変換対象のデータに応じて内部チャネルまたは外部チャネルを使用できます。
2.IO が入力モードに設定されている場合、PA15 は TB からトグルされ、出力モードに設定されている場合は PWM を生成します。
観察:
1.ソフトウェアで ADC 変換を開始する際、MEMRES データが入れ替わることがあります。つまり、MEMRES0 にある必要があるデータが MEMRES1 になり、MEMRES1 データが MEMRES2 になり、以下同様の結果になります。
根本原因:
PA15 のトグル信号は、ADC の変換クロックに影響が出るおそれがあります。変換クロックの周波数が高くなるにつれて、実際のデータが到着する前に ADC の読み出しが行われて、MEMRES 1 による MEMRES0 の読み取りがすべてではなく、ときどきになります。

回避方法

PA15 の入出力トグル信号は避けてください。

Copyright © 2025 Texas Instruments Incorporated

AES_ERR_01 *AES モジュール*

カテゴリ

機能

機能

AES Saved Context Ready 割り込みが予想どおりに生成されていません

概要

Saved Context Ready 割り込みが生成されていません。いずれかの AES レジスタに対してアクセス（読み取りまたは書き込み）が行われた場合に、割り込みが生成されます。

回避方法

ポーリングベースのメカニズムを使用して、割り込みをせず、CTRL レジスタの保存済みコンテキストレディのステータスビットを確認します。

COMP_ERR_05 *COMP モジュール*

カテゴリ

機能

機能

コンパレータが有効になると、出力により立ち上がりおよび立ち下がり割り込みが設定されます

概要

コンパレータが有効なとき、コンパレータによって立ち上がりと立ち下がりが設定されします。

回避方法

1.ICLR ビットを使用して CPU 割り込みをクリアします。
ICLR は一般的イベントのクリアには機能しません。COMP の汎用イベントをクリアするには、以下の手順に従ってください（以下は DriverLib 関数です。当社の MSPM0 SDK の機能の内容を確認して、ビット操作を確認できます）
a. COMP を有効にする前に、COMP パブリッシャを何らかのダミー ID で構成します。
DL_COMP_setPublisherChanID(COMP_0_INST, 0); // 実際のパブリッシャを削除します
b. DL_COMP_enableEvent(COMP_0_INST, (DL_COMP_EVENT_OUTPUT_EDGE)); // IMASK で COMP イベントを有効にします
c. DL_COMP_enable(COMP_0_INST); // COMP モジュールを有効にします。この手順で RIS のイベントがクリアされます。
d. DL_COMP_disableEvent（COMP_0_INST、（DL_COMP_EVENT_OUTPUT_EDGE））;// IMASK におけるクリアで COMP イベントが無効になります。
DL_COMP_setPublisherChanID（COMP_0_INST、COMP_0_INST_PUB_CH）//実際のパブリッシャ f を構成。DL_COMP_enableEvent(COMP_0_INST, (DL_COMP_EVENT_OUTPUT_EDGE)); // IMASK で COMP イベントを再度有効化

または
コンパレータを有効後、割り込みを読み取り、コンパレータが有効になったために最初の割り込みが発生したことを検出します。

CPU_ERR_01 *CPU モジュール*

カテゴリ

機能

機能

CPU キャッシュ コンテンツが破損する可能性があります

Copyright © 2025 Texas Instruments Incorporated

CPU_ERR_01 (続き) *CPU モジュール*

概要

メインフラッシュメモリへのアクセスと、NONMAIN やキャリブレーションデータ領域など他のメモリ領域の間を切り替えると、キャッシュ破損が発生するおそれがあります。

回避方法

メイン メモリ以外の領域に安全にアクセスするには、次の手順に従います:
1.CTL.ICACHE を「0」に設定して、キャッシュを無効にします。
2.メモリ領域への必要なアクセスを実行します。
3.CTL.ICACHE を「1」に設定して、キャッシュを再び有効にします。

CPU_ERR_02 *CPU モジュール*

カテゴリ

機能

機能

CPUSS のプリフェッチ機能を無効にする制限

概要

保留中のフラッシュメモリアクセスがある場合、CPU プリフェッチを無効にしても無効にはなりません。

回避方法

プリフェッチを無効にした後、SYSCTL のシャットダウンメモリ（SHUTDNSTORE）へのメモリアクセスを実行してください。これは SYSCTL->SOCLOCK.SHUTDNSTORE0 にアクセスすることで行えます。メモリアクセスが完了すると、プリフェッチャは無効化されます。

CPU_ERR_03 *CPU モジュール*

カテゴリ

機能

機能

プリフェッチャは、SLEEP モードへの遷移時にデータ整合性の問題を引き起こす可能性があります

概要

SLEEP0 に移行するとき、プリフェッチャで不正なデータ（すべて 0）が誤ってフェッチされることがあります。スリープモードから復帰したときに、プリフェッチャとキャッシュが ISR コードによって上書きされない場合、フラッシュからのメインコード実行が破損するおそれがあります。たとえば、ISR が SRAM 内にある場合、フラッシュからプリフェッチされた誤ったデータは上書きされません。ISR から復帰する際に、プリフェッチャ内の破損したデータが CPU によってフェッチされ、誤った命令が実行されるおそれがあります。

回避方法

SLEEP に入る前にプリフェッチャーを無効にします。

FLASH_ERR_01 *FLASH モジュール*

カテゴリ

機能

Copyright © 2025 Texas Instruments Incorporated

FLASH_ERR_01
(続き)

FLASH モジュール

機能

FACTORY 領域にアクセスすると、フラッシュのウェイト状態が 2 のハードフォルトが発生します。

概要

フラッシュのウェイト状態が 2 に設定されているときに FACTORY 領域にアクセスすると、ハードフォルトがトリガされます。MCLK が 32MHz を超える値に設定されている場合、フラッシュのウェイト状態は 2 に設定する必要があります。

回避方法

FACTORY 領域にアクセスするには、MCLK を低い周波数に設定し、フラッシュのウェイト状態を 0 または 1 に設定してください。フラッシュのウェイト状態が 2 未満のときに、工場出荷領域にアクセスします（MCLK は 32MHz 以下とします）。実行時にアプリケーションがこれらの値にアクセスする必要がある場合は、SRAM、MAIN フラッシュ、または DATA フラッシュにデータをキャッシュしてください。標準値は、温度センサの較正値です。

FLASH_ERR_02

FLASH モジュール

カテゴリ

機能

機能

NONMAIN でのデバッグ無効は、デフォルトのパスワードで再度有効にできます

概要

NONMAIN 構成（DEBUGACCESS = 0x5566）でデバッグが無効になっている場合でも、デバイスにはデフォルトのパスワードでアクセスできます。

回避方法

1. DEBUGACCESS を Debug Enabled with Password オプション（DEBUGACCESS = 0xCCDD）に設定し、PWDDEBUGLOCK フィールドに一意のパスワードを入力します。より高度のセキュリティを確保するために、暗号化されたランダムなデバイス固有のパスワードを使用することをお勧めします。これにより、適切な 128 ビットのパスワードでデバッグアクセスが可能になりますが、一部のデバッグコマンドで、CFG-AP と SEC-AP にアクセスすることもできます。
2. SWDP_MODE を無効にして、物理的な SW デバッグポートを完全に無効にします。これにより、デバイスへのデバッグアクセスや要求は完全に防止されますが、Failure Analysis やリターンフローに影響が出るおそれがあります。

Copyright © 2025 Texas Instruments Incorporated

FLASH_ERR_04 *FLASH モジュール*

カテゴリ

機能

機能

誤ったアドレスが SYSCTL -> DEDERRADDR で報告される

概要

FLASHDED エラーが表示されると、データの最上位バイトが切り捨てられます。デバイスのメモリ制限では、最上位バイトは MAIN フラッシュの復帰アドレスに影響を与えません。NONMAIN フラッシュまたは工場出荷時領域では、MSB は 0x41xx.xxxx と表記されます

回避方法

SysCtl_DEDERRADDR の戻りアドレスで 0x00Cxxxxx が返る場合は、0x41000000 で OR 演算を実行して、NONMAIN または工場出荷時領域の復帰アドレスに適切なアドレスを取得します。たとえば、SYSCTL_DEDERRADDR = 0x00C4013C の場合、実数アドレスは 0x41C4013C です。

メインフラッシュ DED の場合、SYSCTL_DEDERRADDR をそのまま使用できます。

FLASH_ERR_05 *FLASH モジュール*

カテゴリ

機能

機能

DEDERRADDR に誤ったリセット値が設定される可能性があります

概要

SYSCTL -> DEDERRADDR のリセット値では、正しい 0x00000000 のかわりに 0x00C4013C が返されることがあります。エラーが発生している場所はファクトリ トリム領域であり、故障を示すものではありません。そのため、この値は無視して問題ありません。デバイスに NONMAIN をプログラムすされると、リセット値が変化する傾向があります。

回避方法

0x00C4013C を別のリセット値として受け入れ、ブートからのデフォルト値を 0x00000000 または 0x00C4013C にすることができます。戻り値はデバイス上の MAIN フラッシュの範囲外であるため、実際のフラッシュ DED ステータスから返された可能性はありません。

I2C_ERR_04 *I2C モジュール*

カテゴリ

機能

機能

SCL が Low で SDA が High の状態では、ターゲット I2C はストレッチを解除できません。

概要

1:SCL ラインを接地して解放し、デバイスは無制限に SCL を Low にプルします。

2:ポストクロックストレッチ、タイムアウト、解放。ライン上に別のクロック Low がある場合、本デバイスは無期限に SCL を Low にプルします。

回避方法

I2C ターゲットアプリケーションで、非同期高速クロック要求を使用した低電力モードでのデータ受信が不要な場合は、SWUEN をデフォルトで無効にすることを推奨します(リセット時や電源サイクル時を含む)。この場合、バグの説明 1 と 2 は発生しません。

Copyright © 2025 Texas Instruments Incorporated

I2C_ERR_04 (続き) *I2C モジュール*

I2C ターゲットアプリケーションで、非同期高速クロック要求を使用した低電力モードでのデータ受信が必要な場合は、低電力モードへ移行する直前に SWUEN を有効にし、復帰後に SWUEN をクリアします。このシナリオでも、I2C ターゲットが低消費電力のときにバグ説明 1 および 2 が発生するおそれがあります。バス上の他のデバイスによって連続的なクロックストレッチングまたはタイムアウトが発生すると、SCL ラインが無期限にストレッチされます。この状況から回復するには、I2C ターゲットデバイスで Low タイムアウト割り込みを有効にし、低タイムアウト ISR 内で I2C モジュールをリセットして再初期化します。

I2C_ERR_05 *I2C モジュール*

カテゴリ

機能

機能

進行中のトランザクション中に ACTIVE ビットをトグルすると、I2C SDA が 0 に固定化されるおそれがあります

概要

進行中の転送中にアクティブビットがトグルされると、ステートマシンはリセットされます。ただし、コントローラによって駆動される SDA と SCL 出力はリセットされません。SDA が 0 の状態でコントローラが IDLE 状態に遷移すると、コントローラは IDLE 状態から先へ進めず、SDA の値も更新できなくなります。ターゲットの BUSUSY がセットされ（アクティブビットのトグルによってライン上で開始が検出されます）、BUSY はクリアされません。これは、コントローラが停止を駆動してクリアできないためです。

回避方法

進行中のトランザクション中は、ACTIVE ビットをトグルしないでください。

I2C_ERR_06 *I2C モジュール*

カテゴリ

機能

機能

SMBus の High タイムアウト機能は、I2C クロックが 24 kHz 未満になると動作しません

説明

SMBus の High タイムアウト機能は、I2C クロックレートが 24 kHz 未満（20 kHz、10 kHz など）では正常に動作しません。SMBus 仕様から、アクティブトランザクション中の SCL High 時間の上限は 50µs です。開始 MMR ビットの書き込みから SCL Low までに要する合計時間は 60µs で、50µs 以上です。タイムアウトイベントのトリガがかかりされ、転送開始時にトランザクションを完了することなく I2C コントローラが IDLE に移行できます。以下は詳細な説明です。SCL が 20 kHz に構成されている場合、SCL の Low 期間と High 期間はそれぞれ 30 µs および 20 µs です。まず、High タイムアウトカウンタでデクリメントが開始し、同時に MMR ビットの書き込みが開始します。その後、START MMR ビットの書き込みから SDA が Low（スタート条件）になるまでに、1 SCL Low 期間（30 µs）かかります。次に、SDA が Low（スタート条件）になってから SCL が Low になる（データ転送が開始）までにさらに別の SCL Low 期間（30µs）がかかり、この時点で High タイムアウトカウンタが停止します。合計で、カウンターの開始から終了まで 60µs かかります。ただし、高タイムアウトカウンタには上限（50µs）により、I2C トランザクションは問題なく正常に動作しますが、タイムアウトイベントがトリガされます。

Copyright © 2025 Texas Instruments Incorporated

I2C_ERR_06 (続き) *I2C モジュール*

回避方法

I2C クロックが 24KHz 未満の場合は、SMBus 高タイムアウト機能を使用しないでください。

I2C_ERR_07 *I2C モジュール*

カテゴリ

機能

機能

コントローラの制御レジスタへの連続書き込みを行うと、I2C 通信が開始されない可能性があります。

概要

連続 CTR レジスタへの書き込みでは、次の CTR .START によって正しく開始条件が発生しません。

回避方法

CTR.START を含むすべての CTR ビットは、1 回の書き込みでまとめて設定するか、CTR ビットの書き込み後に十分な待機時間を挟んでから CTR.START を書き込む必要があります。

I2C_ERR_08 *I2C モジュール*

カテゴリ

機能

機能

RXDONE 割り込みの直後に FIFO を読み出すと、誤ったデータが取得されます

概要

RXDONE 割り込みが発生したとき、FIFO は最新のデータに対して常に更新されるとは限りません。

回避方法

最新のデータが FIFO に確実に反映されるように、2 つの I2C クロックサイクル分待機してください。I2C CLK は、I2C レジスタの CLKSEL レジスタに基づいています。

I2C_ERR_09 *I2C モジュール*

カテゴリ

機能

機能

I2C を低速で動作させている場合、割り込みサービスルーチン（ISR）内での読み取り時に、開始アドレス一致ステータスがタイミング的に更新されていない可能性があります。

概要

標準的な I2C 速度（100kHz 未満）で動作している場合、割り込みを通過する読み出しの時間内に ADDRMATCH ビット（TSR レジスタのアドレス一致）が設定されないおそれがあります。

回避方法

非標準的な I2C 速度で動作する場合、ADDRMATCH ビットを読み取る前に、少なくとも 1 つの I2C クロックサイクル分の遅延を入れてください。

Copyright © 2025 Texas Instruments Incorporated

I2C_ERR_10

I2C モジュール

カテゴリ

機能

機能

低消費電力に移行しないよう、I2C ビジーステータスは有効になっています

概要

I2C ターゲットモードでは、STOP ビットがない場合、トランザクションの後、I2C ビジーステータスは High のままです。

回避方法

STOP ビットを送信するように I2C コントローラをプログラムします。最後のバイトに対して NACK を送信しないでください。すべての I2C 転送は STOP 条件で終了し、適切な BUSY ステータスと非同期クロック要求の動作を維持してください（低消費電力モードへの再移行に備えるため）。

MATHACL_ERR_01

MATHACL モジュール

カテゴリ

機能

機能

MATHACL ステータスエラービットはクリアされません

概要

mathacl によってステータスエラーが生成された場合（例：0 で除算）、STATUS レジスタがはクリアされません。

回避方法

ペリフェラルをリセットして、STATUS ビットをクリアします。

MATHACL_ERR_02

MATHACL モジュール

カテゴリ

機能

機能

MATHACL で COS（-180）を実行すると-1 ではなく 1 が返され、SIN（-90）でも-1 の代わりに 1 が返されます

概要

COS(-180)または SIN(-90)を実行すると、MATHACL は-1 ではなく 1 を返します

回避方法

回避策はありません。ソフトウェアで結果をネガティブに補正してください。

PMCU_ERR_10

PMCU モジュール

カテゴリ

機能

機能

特定の動作条件下では、VBOOST により大きな遅延が発生する可能性があります

Copyright © 2025 Texas Instruments Incorporated

PMCU_ERR_10 (続き)

PMCU モジュール

概要

アナログマルチプレクサの VBOOST は、VDD < 1.8V で大きな遅延が発生しました。このため、HFXT、COMP、SYSOSC（FCL-EXTERNAL R）、OPA、GPAMP などのその他のモジュールのセトリングタイムが遅延します。

回避方法

VDD を 1.8V 以上に維持し、GENCLKCFG[23:22] = 0x2 を設定して、VBOOST を ONALWAYS モードで使用します。

PMCU_ERR_11

PMCU モジュール

カテゴリ

機能

機能

NRST < 1 のパルスにより、シャットダウンモードで誤った rstcause が発生

概要

次の条件下で rstcause の値が正しくありません。予想される rstcause は 0x05 です。
(i) デバイスをシャットダウンモードに構成済み
(ii) WFI()を呼び出し
(iii) デバイスをシャットダウンモードから復帰させるために NRST < 1 秒のパルスを与えます

回避方法

回避方法はありません。

PMCU_ERR_12

PMCU モジュール

カテゴリ

機能

機能

BOR コールドブート仕様違反

概要

BOR コールドブート仕様に違反するおそれがあり、最大仕様は 1.65V です。

回避方法

回避策はありません。デバイスをコールドブートする際は、1.65V 以上の電圧で動作させてください。

PMCU_ERR_13

PMCU モジュール

カテゴリ

機能

機能

特定のシナリオにおいて、STOP2 または STANDBY0 からのウェークアップ時に MCU がスタックする可能性があります

概要

デバイスが STOP2 および STANDBY0 に遷移する前に、保留中のプリフェッチアクセスがある場合。タイマなどの保留中のプリフェッチアクセスが完了し、DMA が GPIO からのイベントを受信

Copyright © 2025 Texas Instruments Incorporated

PMCU_ERR_13 (続き)

PMCU モジュール

した直後のシナリオでは、DMA 転送もタイマの ISR 実行も行われず、CPU がスタック状態になります。この問題は、WFI 命令がハーフワードアライメント、デバイスのウェイト状態が 2 であり、デバイスが LPM に遷移する前に保留中のプリフェッチアクセスが存在するときに発生します。

回避方法

LPM に移行する前に、プリフェッチを無効にして、シャットダウンレジスタ読み取りまたはペリフェラル読み取りなどのいくつかのダミー命令を実行することができます。これにより、プリフェッチアクセスが無効になり、LPM からのウェークアップ時にデバイスがハングすることを防止できます。

RST_ERR_01

RST モジュール

カテゴリ

機能

機能

LFCLK_IN が LFCLK のソースとして選択されており、かつ LFCLK_IN が無効になっている場合、NRST リリースは検出されません

概要

LFCLK = LFCLK_IN で、LFCLK_IN を無効にすると、NRST パルスエッジ検出を見逃されし、デバイスがリセットから復帰しないコーナーシナリオが発生します。この問題は、NRST パルス幅が 608µs 未満のときに見られます。608µs を超える nRST パルス。リセットは通常どおり表示されます。

回避方法

この問題を回避するため、608µs よりも高い NRST パルス幅を維持します。

RTC_ERR_01

RTC モジュール

カテゴリ

機能

機能

一部の RTC 割り込みは、STANDBY1 では使用できません

概要

STANDBY1 のとき合、RTCRDY 割り込みと RTC_PRESCALER1 割り込みではデバイスをウェークアップできません。

回避方法

RTC で STANDBY1 からデバイスをウェークアップするときは、RTC_ALARM や RTC_PRESCALER0 などの利用可能な他の割り込みを使用します。

SPI_ERR_02

SPI モジュール

カテゴリ

機能

Copyright © 2025 Texas Instruments Incorporated

SPI_ERR_02 (続き) *SPI モジュール*

機能

低消費電力モード(LPM)からウェークアップした後の、SPI クロックとデータバイトの欠落

概要

デバイスが低消費電力状態からウェークアップした後、SPI モジュールは、送信された最初のバイトの最初の数クロックサイクルおよびデータビットを適切に伝搬できません。

回避方法

ウェークアップ後の SPI データの整合性を維持するには、LPM を開始および終了するときに次のシーケンスを使用します:

1. SPI モジュールを無効にする
2. 割り込み(WFI)を待機する- LPM に入る
3. LPM からのウェイクアップ(任意のソース)。
4. SPI モジュールを有効にする。

SPI_ERR_04 *SPI モジュール*

カテゴリ

機能

機能

SPI ペリフェラルが受信モードのみの場合、各フレーム受信後の IDLE/BUSY ステータストグル。

概要

SPI ペリフェラルが受信モードのみの場合、SPI がデータを連続的に受信している間に、各フレーム受信の後で、IDLE 割り込みおよび BUSY ステータスがトグルされます(SPI_PHASE = 1)。ここでは、ペリフェラルの TXFIFO にロードされるデータはなく、TXFIFO は空です。

回避方法

SPI ペリフェラルのみの受信モードを使用しないでください。SPI ペリフェラルを送受信モードに設定します。TX FIFO のデータを SPI 用に設定する必要はありません。

SPI_ERR_05 *SPI モジュール*

カテゴリ

機能

機能

SPI ペリフェラルの受信タイムアウト割り込みは、RXFIFO のデータの有無にかかわらず発生します

概要

SPI タイムアウト割り込みを使用すると、最終的な SPI CLK を受信した後でも RXTIMEOUT でデクリメントが継続するため、誤った RXTIMEOUT が発生するおそれがあります。

回避方法

最後のパケットを受信した後は、RXTIMEOUT を無効にします(これは ISR 内で実行可能です)。その後、SPI 通信が再開されるときに、RXTIMEOUT を再度有効にしてください。

Copyright © 2025 Texas Instruments Incorporated

SPI_ERR_06 *SPI モジュール*

カテゴリ

機能

機能

デバッグ HALT がアサートされている場合、IDLE/BUSY ステータスは SPI IP の正しい状態を反映しません

概要

IDLE/BUSY は HALT とは無関係で、RXFIFO/TXFIFO の書き込み/読み取りストローブのみをゲーティングします。つまり、コントローラがデータ送信中であっても、そのデータが FIFO にラッチされていない状態で BUSY ステータスが設定されてしまいます。POCI 回線は、停止中に以前に送信されたデータを回線上で送信します

回避方法

SPI IP が停止しているときは、IDLE/BUSY ステータスを使用しないでください。

SPI_ERR_07 *SPI モジュール*

カテゴリ

機能

機能

SPI ペリフェラルで TXFIFO への読み取り/書き込みが同時に発生した場合、SPI アンダーフローイベントは生成できません

概要

SPh = 0 で、デバイスが SPI ペリフェラルとして構成されている場合：読み取り要求の発行中に TXFIFO への書き込みが発生すると、読み取り/書き込み要求が同時に発生するため、アンダーフローイベントを生成できません。

回避方法

コントローラでペリフェラルがアドレス指定されているとき、ペリフェラルの TXFIFO が空にならないことを確認する必要があります。さらに、CRC などのデータチェック戦略で、パケットが正しく送信されたことを確認できます。

SRAM_ERR_01 *SRAM モジュール*

カテゴリ

機能

機能

SRAM パリティおよび ECC 機能は、Rev A デバイスではサポートされていません

概要

Rev A デバイスでは、SRAM パリティと ECC 機能はサポートされていません。Rev A デバイスでは、SRAM パリティおよび ECC 機能を使用しないでください。

回避方法

なし。

SYSOSC_ERR_01 *SYSOSC モジュール*

カテゴリ

機能

Copyright © 2025 Texas Instruments Incorporated

SYSOSC_ERR_01
(続き)

SYSOSC モジュール

機能

STOP1 モードと SYSOSC の FCL を併用すると、MFCLK にドリフトが発生する可能性があります

概要

MFCLK が有効で、SYSOSC が周波数補正ループ（FCL）モードを使用しており、STOP1 の低消費電力動作モードを使用している場合、SYSOSC が 4MHz から 32MHz に戻るとき（STOP1 から RUN モードへの終了時、または SYSOSC を 32MHz に強制的に強制的に印加する非同期高速クロック要求時のいずれか）、MFCLK がは 2 サイクルドリフトすることがあります。

回避方法

STOP1 モードの代わりに STOP0 モードを使用してください。STOP0 モードでは MFCLK のドリフトは発生しません。

または

STOP1 を使用する場合は、FCL モードで SYSOSC を使用しないでください（FCL を無効のままにしておきます）。

SYSOSC_ERR_02

SYSOSC モジュール

カテゴリ

機能

機能

SYSOSC が FCL モードで無効化されている LPM 中に非同期クロック要求を受信しても、MFCLK は動作しません

概要

以下のシナリオでは、MFCLK はトグルを開始しません：
1.FCL モードを有効にした後、MFCLK を有効にします 2.SYSOSC が無効になる低消費電力モードに移行します（SLEEP2/STOP2/STANDBY0/STANDBY1）。
3.MFCLK を機能クロックとして使用する一部のペリフェラルから非同期要求が受信されます。ASYNC 要求を受信すると、SYSOSC は有効になり、ulpclk は 32MHz になります。ただし、デバイスが依然として LPM に設定されているため、MFCLK はゲートオフの状態となり、一切トグルしません。

回避方法

SYSOSC が FCL モードを使用している場合は、通常 SYSOSC がオフになる LPM モードへ移行する際に、ペリフェラル用の MFCLK を有効にしないでください。

TIMER_ERR_04

TIMG モジュール

カテゴリ

機能

機能

TIMER をゼロ イベントの直前に再有効化すると、再有効化が失われる可能性があります

Copyright © 2025 Texas Instruments Incorporated

TIMER_ERR_04 (続き)

TIMG モジュール

概要

GP TIMER をワンショット モードで使用し、CLKDIV.RATIO が 0 でない場合、ゼロ イベント直前に TIMER を再有効化すると、再有効化が失われることがあります。

回避方法

タイマは、最初に再度イネーブルにする前に無効にできます。

TIMER_ERR_06

TIMA と TIMG モジュール

カテゴリ

機能

機能

CLKEN ビットに 0 を書き込んでも、カウンタは無効化されません

概要

カウンタ クロック制御レジスタ (CCLKCTL) のクロック イネーブル ビット (CLKEN) に 0 を書き込んでも、タイマは停止しません。

回避方法

カウンタ制御 (CTRCTL) イネーブル (EN) ビットに 0 を書き込むことで、タイマを停止します。

UART_ERR_01

UART モジュール

カテゴリ

機能

機能

STANDBY1 モードへの遷移時に、UART のスタート条件が検出されないことがあります

概要

デバイスが STANDBY1 モードのときに、UART 送信によって開始された非同期高速クロック要求を処理した後、デバイスは STANDBY1 モードに戻ります。STANDBY1 モードへの復帰中に別の UART 送信が開始されると、デバイスはそのデータを正しく検出および受信できません。

回避方法

UART のスタート条件が繰り返し発生することが想定される場合は、STANDBY0 モードまたはそれ以上の低消費電力モードを使用してください。

UART_ERR_02

UART モジュール

カテゴリ

機能

機能

TXE のみが有効な場合、UART 送信終了の割り込みは設定されません

概要

デバイスを送信のみに設定すると（CTL0.TXE = 1、CTL0.RXE = 0）、UART 送信終了（EOT）割り込みのトリガはかかりません。デバイスが送受信に設定されている場合（CTL0.TXE = 1、CTL0.RXE = 1）、EOT は正常にトリガされます

Copyright © 2025 Texas Instruments Incorporated

UART_ERR_02 (続き)

UART モジュール

回避方法

UART 送信終了割り込みを使用するときは、CTL0.TXE ビットおよび CTL0.RXE ビットの両方を設定します。ピンを UART 受信として割り当てる必要はないので注意してください。

UART_ERR_04

UART モジュール

カテゴリ

機能

機能

クロックが SYSOSC から LFOSC に遷移する際、高速クロック要求が無効になっていると、UART データが誤って受信される可能性があります

概要

シナリオ:
1.UART の機能クロックとして LFCLK が選択されます 2.3 倍オーバーサンプリングで構成された 9600 のボーレート 3.UART 高速クロック要求が無効になっている状態で、UART 受信転送中に ULPCLK が SYSOSC から LFOSC に切り替わると、1 ビットが誤って読み取られることがあります

回避方法

LPM モードで UART を使用する場合は、UART 高速クロック要求を有効にしてください。

UART_ERR_05

UART モジュール

カテゴリ

機能

機能

UART モジュールのデバッグ停止機能の制限

概要

本来は既存のフレームを完了して停止することが期待されますが、すべての Tx FIFO 要素が送信されてから通信が停止します。

回避方法

デバッグ停止がアサートされた後は、データが TX FIFO に書き込まれないようにしてください。

UART_ERR_06

UART モジュール

カテゴリ

機能

機能

UART 9 ビットモードでの予期しない RTOUT/Busy/Async の動作

説明

UART 受信タイムアウト(RTOUT)は、マルチノード構成では正しく動作しません。この構成では、1 つの UART がコントローラとして動作し、他の UART ノードはペリフェラルとして機能し、各ペリフェラルは 9 ビット UART モードで異なるアドレスに設定されます。
最初の UART コントローラが UART ペリフェラル 1 と通信し、ペリフェラル 1 のアドレスを最初のバイトとして送信してからデータを送信することで、ペリフェラル 1 がアドレスの一致を確認してデ

Copyright © 2025 Texas Instruments Incorporated

UART_ERR_06 (続き)

UART モジュール

ータを受信しました。コントローラがペリフェラル 1 との通信を終了した後、バス上で異なるアドレスに構成された別の UART ペリフェラル（ペリフェラル 2）との通信を直ちに開始すると、ペリフェラル 1 は設定されたタイムアウト期間が経過しても RTOUT を設定しません。ペリフェラル 2 との通信中もペリフェラル 1 の RTOUT カウンタはリセットされ続け、RTOUT が設定されるのは、コントローラがペリフェラル 2 との通信を完了した後になります。
BUSY 要求と Async 要求で同様の動作が確認観察されました。コントローラがバス上の別のペリフェラルと通信中で、アドレスが一致しない場合でも、Busy および Async 要求が設定されます。

回避方法

1 つのコントローラが複数のペリフェラルに接続されたマルチノード UART 通信では、RTOUT／BUSY／非同期クロック要求の動作は使用しないでください。

UART_ERR_07

UART モジュール

カテゴリ

機能

機能

IDLE LINE モードにおいて、RTOUT カウンタが期待どおりにカウントされません

概要

UART のアイドルラインモードでは、ラインがアイドル状態で、FIFO に何らかの要素がある場合でも、RTOUT カウンタはスタックします。つまり、IDLE LINE モードでは RTOUT 割り込みは動作しません。
アドレスが一致しない場合、Rx ラインでトグルの発生を検出すると RTOUT カウンタがリロードされます。
マルチレスポンダ構成の場合、コマンダと他のレスポンダ間で通信が行われていると、RTOUT イベントの取得に不定の遅延が発生するおそれがあります。

回避方法

UART モジュールを IDLLINE モード/マルチノード UART アプリケーションのいずれかで使用する場合、RTOUT 機能を有効にしないでください。

UART_ERR_08

UART モジュール

カテゴリ

機能

機能

STAT BUSY は、UART モジュールの正しいステータスを表していません

概要

UART モジュールが無効で TXFIFO でデータが利用可能である場合でも、STAT BUSY は High のままです。

回避方法

TXFIFO ステータスと CTL0.ENABLE レジスタビットをポーリングして、ビジーステータスを識別します。

Copyright © 2025 Texas Instruments Incorporated

VREF_ERR_03	*VREF モジュール*
カテゴリ	機能
機能	外部 1uF コンデンサを充電する VDD からの大きな突入電流。
概要	電源投入時に、VDD から約 70mA という大きな突入電流が発生し、VREF の外部 1uF コンデンサを充電します。VREF の電源の投入、切断を頻繁に繰り返すと、カムが損傷します。
回避方法	VREF を有効にする前に、GPIO を使用して VREF+端子のコンデンサに事前充電を行ってください。これにより、コンデンサは必要以上に充電されます。次に、VREF モジュールを有効にし、GPIO プルアップを無効にします。

7 商標

すべての商標は、それぞれの所有者に帰属します。

8 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from MARCH 30, 2025 to JULY 30, 2025 (from Revision A (March 2025) to Revision B (July 2025)) **Page**

- ADC_ERR_07、ADC_ERR_08、CPU_ERR_02、FLASH_02、PMCU_ERR_13、SPI_ERR_06、SPI_ERR_07、UART_ERR_04、UART_ERR_05、UART_ERR_06、UART_ERR_07、UART_ERR_08 を追加。 1
- AES_ERR_01 カテゴリを更新しました 6
- AES_ERR_01 モジュールを更新しました 6
- AES_ERR_01 機能を更新しました 6
- AES_ERR_01 の説明を更新しました 6
- AES_ERR_01 回避策を更新しました 6
- COMP_ERR_05 回避策を更新しました 6
- CPU_ERR_02 回避策を更新しました 7
- CPU_ERR_03 カテゴリを更新しました 7
- CPU_ERR_03 モジュールを更新しました 7
- CPU_ERR_03 機能を更新しました 7
- CPU_ERR_03 の説明を更新しました 7
- CPU_ERR_03 回避策を更新しました 7
- FLASH_ERR_01 機能を更新しました 7
- FLASH_ERR_01 の説明を更新しました 7
- FLASH_ERR_01 回避策を更新しました 7
- FLASH_ERR_05 カテゴリを更新しました 9
- FLASH_ERR_05 モジュールを更新しました 9
- FLASH_ERR_05 機能を更新しました 9
- FLASH_ERR_05 の説明を更新しました 9
- FLASH_ERR_05 回避策を更新しました 9
- 説明および回避策が更新されました 9
- I2C_ERR_07 の説明を更新しました 11
- I2C_ERR_07 回避策を更新しました 11
- I2C_ERR_08 回避策を更新しました 11
- I2C_ERR_08 の説明を更新しました 11

Copyright © 2025 Texas Instruments Incorporated

- I2C_ERR_10 の説明を更新しました....12
- I2C_ERR_10 回避策を更新しました....12
- MATHACL_ERR_02 機能を更新しました....12
- MATHACL_ERR_02 の説明を更新しました....12
- PMCU_ERR_11 の説明を更新しました....13
- SPI_ERR_05 の説明を更新しました....15
- SPI_ERR_05 回避策を更新しました....15
- SPI_ERR_07 の説明を更新しました....16
- SPI_ERR_07 回避策を更新しました....16
- SYSOSC_ERR_02 の説明を更新しました....17
- SYSOSC_ERR_02 回避策を更新しました....17
- VREF_ERR_03 モジュールを更新しました....21
- VREF_ERR_03 機能を更新しました....21
- VREF_ERR_03 の説明を更新しました....21
- VREF_ERR_03 回避策を更新しました....21

Copyright © 2025 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス· インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、 テキサス· インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス· インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス· インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、 テキサス· インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。 テキサス· インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、 テキサス· インスツルメンツおよびその代理人を完全に補償するものとし、 テキサス· インスツルメンツは一切の責任を拒否します。

テキサス· インスツルメンツの製品は、 テキサス· インスツルメンツの販売条件、または ti.com やかかる テキサス· インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。 テキサス· インスツルメンツがこれらのリソースを提供することは、適用される テキサス· インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、 テキサス· インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated