

Errata

TMS320F28P55x Real-Time MCUs Silicon Errata**シリコン リビジョン A, 0****概要**

この文書では、機能仕様に対する既知の例外 (アドバイザリ) について説明します。本文書には、使用上の注意事項も記載されています。使用上の注意は、デバイスの動作が推定または文書化された動作と一致しない可能性がある状況を示しています。これには、デバイスの性能や機能の正確さに影響を与える動作が含まれる場合があります。

目次

1 使用上の注意およびアドバイザリ マトリックス	3
1.1 使用上の注意マトリックス	3
1.2 アドバイザリ マトリックス	3
2 命名法、パッケージのマーキングとリビジョンの識別	4
2.1 デバイスおよび開発ツールの命名規則	4
2.2 サポート対象デバイス	4
2.3 パッケージの記号表記およびリビジョンの識別	5
3 シリコン リビジョン A の使用上の注意とアドバイザリ	8
3.1 シリコン リビジョン A の使用上の注記	8
3.2 シリコン リビジョン A のアドバイザリ	10
4 シリコン リビジョン 0 の使用上の注意とアドバイザリ	30
4.1 シリコン リビジョン 0 の使用上の注記	30
4.2 シリコン リビジョン 0 のアドバイザリ	30
5 ドキュメントのサポート	34
6 商標	34
7 改訂履歴	34

図の一覧

図 2-1. PDT パッケージのパッケージ マーキング – 車載	5
図 2-2. PZ パッケージのパッケージ マーキング – 車載	5
図 2-3. PZ パッケージのパッケージ マーキング – 車載以外	5
図 2-4. PNA パッケージのパッケージ マーキング – 車載	6
図 2-5. PNA パッケージのパッケージ マーキング – 車載以外	6
図 2-6. PM パッケージのパッケージ マーキング – 車載	6
図 2-7. PM パッケージのパッケージ マーキング – 車載以外	7
図 2-8. RSH パッケージのパッケージ マーキング – 車載以外	7
図 3-1. AGPIO と AIO アナログ ピン タイプを含むアナログ サブシステム図	14
図 3-2. 望ましくないトリップ イベントとブランキング ウィンドウの期限切れ	17
図 3-3. 結果として望ましくない ePWM 出力が発生する可能性があります	17
図 3-4. パイプラインにストールがない場合の問題のパイプライン図	20
図 3-5. 命令 I1 の E3 スロットにストールがある場合の問題のパイプライン図	21
図 3-6. 回避方法が適用されたパイプライン図	22

表の一覧

表 1-1. 使用上の注意マトリックス.....	3
表 1-2. アドバイザリ マトリックス.....	3
表 2-1. リビジョンの識別.....	7
表 3-1. ADCCTL2 レジスタ.....	11
表 3-2. 特定のアナログ入力ピンの使用事例の組み合わせ.....	14
表 3-3. アドバイザリによって影響を受けるメモリ.....	26
表 4-1. OTP リビジョン番号の位置.....	33

1 使用上の注意およびアドバイザリ マトリックス

表 1-1 に、すべての使用上の注意と、該当するシリコンのリビジョンを示します。表 1-2 にすべてのアドバイザリ、影響を受けるモジュール、および適用可能なシリコン リビジョンを一覧表示します。

1.1 使用上の注意マトリックス

表 1-1. 使用上の注意マトリックス

番号	タイトル	影響を受けるシリコンのリビジョン	
		0	A
セクション 3.1.1	PIE: 双方向 PIEACK 書き込みと手動 CPU 割り込みマスク クリア後のスプリアス ネスト割り込み	あり	あり
セクション 3.1.2	ネストされた割り込みを使用する場合は注意	あり	あり
セクション 3.1.3	セキュリティ: プライマリ防御層はチップの境界を保護します。これは、JTAGLOCK およびフラッシュからのゼロ ビンブート機能を有効化することから始まります	あり	あり

1.2 アドバイザリ マトリックス

表 1-2. アドバイザリ マトリックス

モジュール	説明	影響を受けるシリコンのリビジョン	
		0	A
ADC	ADC: INTxCONT (割り込み継続モード) が設定されていない場合、割り込みは停止する可能性があります	あり	あり
ADC	ADC: ADCCLK 分周器により ADC の性能が低下	あり	あり
ADC	ADC: VREFHI/VREFLO の不適切な動作を回避するため、すべての ADC への電源をイネーブルにします	あり	なし
ADC	ADC: OSDETECT (オープン/短絡検出) ロジックがありません	あり	なし
ADC	ADC: VREFHI/VREFLO ピンの共有アナログ入力の間には抵抗性バスがあります	あり	なし
BOR	BOR: 2.45V ~ 3.0V の VDDIO は、複数の XRSn パルスを生成する可能性があります	あり	あり
CMPSS	CMPSS: COMPxLATCH は、特定の条件では正しくクリアされないことがあります	あり	あり
CMPSS	CMPSS: コンパレータ入力ピンに AGPIO 機能があり、ADC が入力ピンをサンプリングしている場合、CMPSS グリッチが発生する可能性があります	あり	あり
MCAN	同じメッセージ ID で設定された専用 Tx バッファから送信する場合のメッセージ順序の反転	あり	あり
ePWM	ePWM: ePWM グリッチは、ブランキング ウィンドウの終了時にトリップがアクティブのままの場合、発生する可能性があります	あり	あり
ePWM	ePWM: ブランキング ウィンドウ開始後の最初の 3 サイクルの間、トリップ イベントはブランキング ウィンドウによってフィルタされません	あり	あり
eQEP	eQEP: インデックス中の方向変更時に位置カウンタが正しくリセットされません	あり	あり
フラッシュ	フラッシュ: シングル ビット ECC エラー割り込みは生成されません	あり	あり
FPU	FPU: FPU-to-CPU レジスタ移動操作の前には FPU 2p 操作	あり	あり
GPIO	GPIO: 一部の GPIO で 20mA 駆動モードがイネーブルの場合、5V 信号を Low に駆動できません	あり	なし
GPIO	GPIO: オープンドレイン構成による短い High パルスを駆動する可能性	あり	あり
LIN	LIN: 同期フィールドが誤っている場合、不整合同期フィールド エラー (ISFE) フラグ/割り込みが設定されません	あり	あり
MCD	MCD: PLL が有効 (PLLCLKEN = 1) のとき、クロック消失検出を無効化	あり	あり
メモリ	メモリ: 有効なメモリを超えたプリフェッチ	あり	あり
メモリ	MPOST: 一部の初期素材ではメモリ パワーオン セルフテストが実行されません	あり	なし
システム	システム: CLKSRCCTL1 への複数の連続した書き込みを行うと、システムがハングする可能性があります	あり	あり
USB	USB: USB DMA イベントトリガはサポートされていません	あり	あり
ウォッチドッグ	ウォッチドッグ: WDKEY レジスタは EALLOW 保護されていません	あり	あり

2 命名法、パッケージのマーキングとリビジョンの識別

2.1 デバイスおよび開発ツールの命名規則

製品開発サイクルの段階を示すために、TI では DSP デバイスとサポート ツールすべての型番に接頭辞を割り当てます。DSP 商用ファミリの製品には、次の 3 つの接頭辞のいずれかが付いています。TMX、TMP、TMS (たとえば、TMS320F28P550SJ)。テキサス・インスツルメンツでは、サポート ツールについては、使用可能な 3 つの接頭辞のうち TMDX および TMDS の 2 つを推奨しています。これらの接頭辞は、製品開発の進展段階を表します。段階には、エンジニアリング プロトタイプ(TMX および TMDX)から、完全認定済みの量産デバイス/ツール(TMS および TMDS)まであります。

デバイスの開発進展フロー:

TMX 実験的デバイス。最終デバイスの電気的特性を必ずしも表さず、量産アセンブリ・フローを使用しない可能性があります。

TMP プロトタイプ・デバイス。最終的なシリコン・ダイとは限らず、最終的な電気的特性を満たさない可能性があります。

TMS 認定済みのシリコン・ダイの量産バージョン。

サポート・ツールの開発進展フロー:

TMDX 開発サポート製品。テキサス・インスツルメンツの社内認定試験はまだ完了していません。

TMDS 完全に認定済みの開発サポート製品です。

TMX および TMP デバイスと TMDX 開発サポート・ツールは、以下の免責事項の下で出荷されます。

「開発中の製品は、社内での評価用です」。

量産デバイスおよび TMDS 開発サポート・ツールの特性は完全に明確化されており、デバイスの品質と信頼性が十分に示されています。テキサス・インスツルメンツの標準保証が適用されます。

プロトタイプ・デバイス (X または P) の方が標準的な量産デバイスに比べて故障率が大いと言われます。これらのデバイスは予測される最終使用時の故障率が未定義であるため、テキサス・インスツルメンツでは、それらのデバイスを量産システムで使用しないよう推奨しています。認定済みの量産デバイスのみを使用する必要があります。

2.2 サポート対象デバイス

本文書は、以下のデバイスをサポートしています。

- [TMS320F28P550SJ](#)
- [TMS320F28P550SG](#)
- [TMS320F28P559SJ-Q1](#)
- [TMS320F28P559SG-Q1](#)

2.3 パッケージの記号表記およびリビジョンの識別

図 2-1、図 2-2、図 2-3、図 2-4、図 2-5、図 2-6、図 2-7、および図 2-8 に、パッケージ マーキングを示します。表 2-1 に、シリコンのリビジョン コードを示します。



YMLLLLS = Lot Trace Code

YM = 2-digit Year/Month Code
LLLL = Assembly Lot Code
S = Assembly Site Code
\$\$ = Wafer Fab Code (one or two characters) as applicable
= Silicon Revision Code

G4 = Green (Low Halogen and RoHS-compliant)

図 2-1. PDT パッケージのパッケージ マーキング – 車載

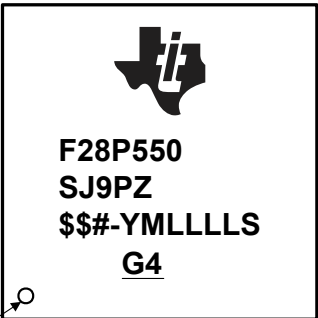


YMLLLLS = Lot Trace Code

YM = 2-digit Year/Month Code
LLLL = Assembly Lot Code
S = Assembly Site Code
\$\$ = Wafer Fab Code (one or two characters) as applicable
= Silicon Revision Code

G4 = Green (Low Halogen and RoHS-compliant)

図 2-2. PZ パッケージのパッケージ マーキング – 車載

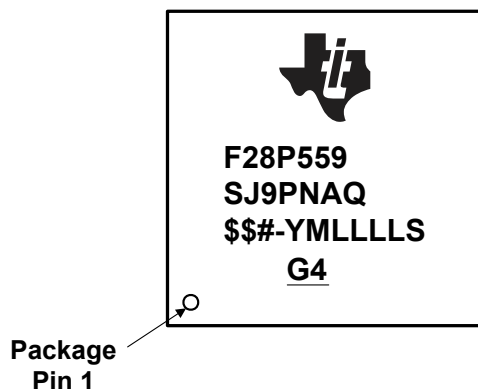


YMLLLLS = Lot Trace Code

YM = 2-digit Year/Month Code
LLLL = Assembly Lot Code
S = Assembly Site Code
\$\$ = Wafer Fab Code (one or two characters) as applicable
= Silicon Revision Code

G4 = Green (Low Halogen and RoHS-compliant)

図 2-3. PZ パッケージのパッケージ マーキング – 車載以外

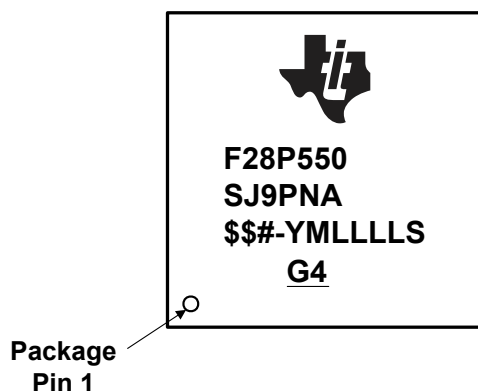


YMLLLLS = Lot Trace Code

YM = 2-digit Year/Month Code
 LLLL = Assembly Lot Code
 S = Assembly Site Code
 \$\$ = Wafer Fab Code (one or two characters) as applicable
 # = Silicon Revision Code

G4 = Green (Low Halogen and RoHS-compliant)

図 2-4. PNA パッケージのパッケージ マーキング – 車載

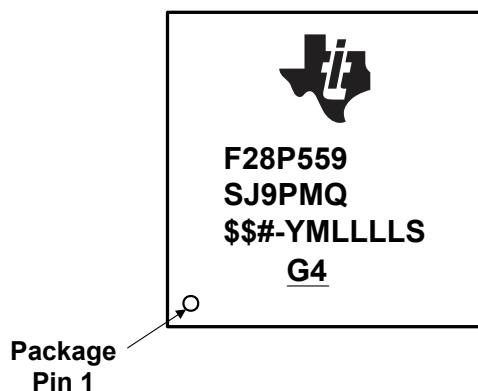


YMLLLLS = Lot Trace Code

YM = 2-digit Year/Month Code
 LLLL = Assembly Lot Code
 S = Assembly Site Code
 \$\$ = Wafer Fab Code (one or two characters) as applicable
 # = Silicon Revision Code

G4 = Green (Low Halogen and RoHS-compliant)

図 2-5. PNA パッケージのパッケージ マーキング – 車載以外

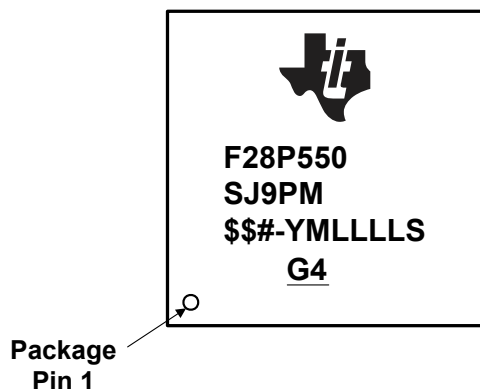


YMLLLLS = Lot Trace Code

YM = 2-digit Year/Month Code
 LLLL = Assembly Lot Code
 S = Assembly Site Code
 \$\$ = Wafer Fab Code (one or two characters) as applicable
 # = Silicon Revision Code

G4 = Green (Low Halogen and RoHS-compliant)

図 2-6. PM パッケージのパッケージ マーキング – 車載

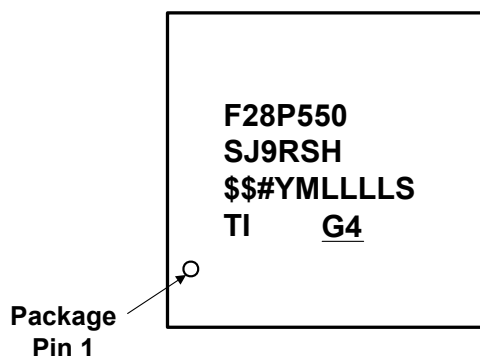


YMLLLLS = Lot Trace Code

YM = 2-digit Year/Month Code
LLLL = Assembly Lot Code
S = Assembly Site Code
\$\$ = Wafer Fab Code (one or two characters) as applicable
= Silicon Revision Code

G4 = Green (Low Halogen and RoHS-compliant)

図 2-7. PM パッケージのパッケージ マーキング – 車載以外



YMLLLLS = Lot Trace Code

YM = 2-digit Year/Month Code
LLLL = Assembly Lot Code
S = Assembly Site Code
\$\$ = Wafer Fab Code (one or two characters) as applicable
= Silicon Revision Code

G4 = Green (Low Halogen and RoHS-compliant)

図 2-8. RSH パッケージのパッケージ マーキング – 車載以外

表 2-1. リビジョンの識別

シリコンのリビジョン コード	シリコンのリビジョン	REVID ⁽¹⁾ アドレス: 0x5D00C	備考 ⁽²⁾
空白	0	0x0000 0001	このシリコン リビジョンは TMX として供給されます。
A	A	0x0000 0002	このシリコン リビジョンは TMS として供給されます。

(1) シリコンのリビジョン ID

(2) 注文可能なデバイス番号については、[TMS320F28P55x リアルタイム マイクロコントローラのデータ シートのパッケージ情報表](#)を参照してください。

3 シリコン リビジョン A の使用上の注意とアドバイザー

このセクションには、このシリコン リビジョンの使用上の注意およびアドバイザーが記載されています。

3.1 シリコン リビジョン A の使用上の注記

このセクションでは、シリコン リビジョン A およびそれ以前のシリコン リビジョンに適用されるすべての使用上の注意を一覧表示しています。

3.1.1 PIE: 双方向 PIEACK 書き込みと手動 CPU 割り込みマスク クリア後のスプリアス ネスト割り込み

影響を受けるリビジョン: 0, A

ネストされた割り込みに使用される特定のコード・シーケンスでは、CPU と PIE が矛盾した状態に移行し、望ましくない割り込みをトリガできるようになります。この状態に入るために必要な条件は次のとおりです。

1. PIEACK クリアの後に、グローバル割り込み友好状態 (EINT または ASM (「CLRC INTM」)) が直ちに続きます。
2. ネストされた割り込みにより、そのグループの一つ以上の PIEIER ビットがクリアされます。

不要な割り込みがトリガされるかどうかは、システム内の他の割り込みの構成とタイミングによって異なります。これは、ほとんどのアプリケーションではまれなイベントまたは存在しないイベントであると予想されます。発生した場合、不要な割り込みはネストされた割り込みの PIE グループの最初の割り込みになり、ネストされた割り込みが CPU 割り込みを再度イネーブルにした後にトリガされます (EINT または ASM (「CLRC INTM」))。

回避方法: PIEACK 書き込みと CPU 割り込み有効化の間に NOP を追加します。コード例を以下に示します。

```
//Bad interrupt nesting code
PieCtrlRegs.PIEACK.all = 0xFFFF;    //Enable nesting in the PIE
EINT;                                //Enable nesting in the CPU

//Good interrupt nesting code
PieCtrlRegs.PIEACK.all = 0xFFFF;    //Enable nesting in the PIE
asm(" NOP");                          //Wait for PIEACK to exit the pipeline
EINT;                                //Enable nesting in the CPU
```

3.1.2 ネストされた割り込みを使用する場合は注意

影響を受けるリビジョン: 0, A

ネスト機能を使用するために、ユーザーが割り込みサービス ルーチン (ISR) 内で EINT 命令を使用して割り込みを有効にしている場合、ユーザーは ISR を終了する前に割り込みを無効にする必要があります。これを行わないと、CPU 実行の未定義の動作が発生する可能性があります。

3.1.3 セキュリティ: プライマリ防御層はチップの境界を保護します。これは、JTAGLOCK およびフラッシュからのゼロピンブート機能を有効化することから始まります

影響を受けるリビジョン: 0, A

デバイスのセキュリティは、不正なコードがデバイスに侵入して実行されることを許可されていないという前提に依存しています。そのため、セキュリティを懸念するユーザーが常に有効にする必要のある 2 つの機能をデバイスに搭載しています。

- **JTAGLOCK**

フラッシュの USER OTP 領域で有効にすると、JTAGLOCK 機能はデバイス上のリソースへの JTAG アクセス (デバッグ接続など) を無効にし、権限のない者が JTAG インターフェイスを使用してデバイスにコードをダウンロードすることをブロックします。JTAGLOCK が有効な場合でも、ユーザーは許可された当事者がパスワードを入力してロックを解除できるようにしたり、すべてゼロのパスワード値をプログラムして永続的にロックしたりすることができます。

- **ゼロピンブートからフラッシュ**

TI ROM に組み込まれた外部ブートローダは、ダウンロードされたコードの認証を実行しません。USER OTP でフラッシュブートモードとともにゼロピンブートオプションを有効にすると、ベースブート ROM の実行が終了した後、ブートプロセスが直ちに内部フラッシュにジャンプするように強制され、すべてのピンベースの外部ブートローダオプション (SCI、CAN、パラレルなど) がブート時に実行されなくなります。最高のセキュリティを実現するために、セキュアフラッシュブートモードを選択できます。これにより、ベースブート ROM にジャンプする前にフラッシュコードを事前にチェックできるようになります。

JTAG が永続的にロックされ、Zero-pin Boot to Flash (ゼロピンブートからフラッシュ) オプションが有効になっている場合、JTAG または内蔵ブートローダを介してデバイスと通信するプログラミングツールは動作しません。ファームウェアのアップグレードを実行する機能が必要な場合、更新を安全に管理および実行するため、コードをフラッシュに事前格納する必要があります。

3.2 シリコン リビジョン A のアドバイザリ

このセクションでは、シリコン リビジョン A およびそれ以前のシリコン リビジョン に適用されるすべてのアドバイザリを一覧表示しています。

アドバイザリ **ADC:INTxCONT (割り込み継続モード) が設定されていない場合、割り込みは停止する可能性があります**

影響を受けるリビジョン 0, A

詳細

ADCINTSELxNx[INTxCONT] = 0 の場合、ADCINTFLG が設定されると割り込みは停止し、追加の ADC 割り込みは発生しません。

ADCINTFLGCLR レジスタのソフトウェア書き込みとともに ADC 割り込みが同時に発生すると、ADCINTFLG が予期せず設定されたままになり、将来の ADC 割り込みをブロックします。

回避方法

1. ADCINTFLG が追加の ADC 割り込みをブロックしないように、Continue-to-Interrupt モードを使用します。

```
ADCINTSEL1N2[INT1CONT] = 1;
ADCINTSEL1N2[INT2CONT] = 1;
ADCINTSEL3N4[INT3CONT] = 1;
ADCINTSEL3N4[INT4CONT] = 1;
```

2. この状態を回避するために、次の ADC 割り込みが発生する前に、ADC ISR をサービスし、ADCINTFLG をクリアするのに十分な時間を常に確保してください。
3. ADCINTFLG をクリアするとき、ISR のオーバーフロー状態を確認します。
ADCINTFLGCLR への書き込み直後に ADCINTOVF をチェックし、これが設定されている場合は、ADCINTFLGCLR をもう一度書き込んで ADCINTFLG がクリアされていることを確認します。ADCINTOVF レジスタが設定され、ADC 変換割り込みが失われたことを示します。

```
AdcaRegs.ADCINTFLGCLR.bit.ADCINT1 = 1;           //clear INT1 flag
if(1 == AdcaRegs.ADCINTOVF.bit.ADCINT1)           //ADCINT overflow
{
    AdcaRegs.ADCINTFLGCLR.bit.ADCINT1 = 1;         //clear INT1 again
    // If the ADCINTOVF condition will be ignored by the application
    // then clear the flag here by writing 1 to ADCINTOVFCLR.
    // If there is a ADCINTOVF handling routine, then either insert
    // that code and clear the ADCINTOVF flag here or do not clear
    // the ADCINTOVF here so the external routine will detect the
    // condition.
    // AdcaRegs.ADCINTOVFCLR.bit.ADCINT1 = 1;      // clear OVF
}
```

アドバイザリ

ADC:ADCCLK 分周器により ADC の性能が低下

影響を受けるリビジョン 0, A

詳細

分数 SYSCLK から ADCCLK への分周器 (ADCCTL2.PRESCALE フィールドで制御) を使用すると、このデバイスで ADC 性能が低下することが示されています。表 3-1 を参照してください。

表 3-1. ADCCTL2 レジスタ

性能が低下			
ビット	フィールド	値	説明
3-0	PRESCALE	0001	ADCCLK = SYSCLK/1.5
		0003	ADCCLK = SYSCLK/2.5
		...	
通常の性能			
ビット	フィールド	値	説明
3-0	PRESCALE	0000	ADCCLK = SYSCLK/1.0
		0002	ADCCLK = SYSCLK/2.0
		...	

回避方法

偶数 PRESCALE クロック分周器の値を使用します。偶数 PRESCALE 値では、整数クロック分周器が発生し、ADC の性能には影響しません。

アドバイザリ**BOR: 2.45V ~ 3.0V の VDDIO は、複数の XRSn パルスを生成する可能性があります****影響を受けるリビジョン** 0, A**詳細**

VDDIO 電源電圧が 2.45V ~ 3.0V のとき、BOR は XRSn のアサートおよびディアサートを繰り返すことがあります。XRSn ピンをシステム内の他のデバイスのリセットとして直接使用しないことを推奨します。

F28P55x BOR は、これらの XRSn パルスが発生した場合でも、デバイスを既知のリセット状態に内部で保持するのに有効です。デバイスはアプリケーション コードやブートローダに分岐せず、VDDIO 電源が 3.0V を上回るまで、他のすべてのピンはリセット状態に保持されます。

回避方法

1. パワーアップ、パワーダウン、BOR イベント中は、追加の XRSn 遷移は無視します。追加の XRSn パルスは、F28P55x デバイスの動作自体には影響しません。
2. XRSn パルスによって他のシステム コンポーネントで望ましくないシステム動作が発生する場合は、XRSn を使用して他のデバイスを駆動しないでください。これらのアプリケーションには、外部電圧スーパーバイザを使用できます。
3. 通常のパワーアップおよびパワーダウン時にこれらのパルスを回避する必要があるアプリケーションでは、以下のように動作します。
 - a. パワーアップ: [TMS320F28P55x リアルタイム マイクロ コントローラ](#) データ シートの「推奨動作条件」表の SR_{SUPPLY} 要件に従い、追加の XRSn Low パルスは発生しません。
 - b. パワーダウン: パワーダウン時に XRSn がアサートされるのを防ぐため、VDDIO が 25 μs 内で 3.0V~2.45V の範囲を通過するように電源を設計してください。XRSn の電圧上昇が許容される場合、XRSn に実装された RC 回路の時定数を計算し、その電圧がシステム指定のスレッシュホールドを超えないようにできます。

アドバイザリ

CMPSS:COMPxLATCH は、特定の条件では正しくクリアされないことがあります

影響を受けるリビジョン 0, A

詳細

CMPSS ラッチ パスは、ソフトウェアによって (COMPSTSCLR を介して) または PWMSYNC によってクリアされるまで、ローカル ラッチ (COMPxLATCH) 内でトリップ状態を維持するように設計されています。

COMPxLATCH は、信号がデジタル化され、デジタル フィルタによって認定された後、コンパレータ出力によって間接的に設定されます。コンパレータ出力が COMPxLATCH に達することが期待される最大レイテンシは、CMPSS モジュール クロック サイクルでは次のように表されます。

$$\text{LATENCY} = 1 + (1 \times \text{FILTER_PRESCALE}) + (\text{FILTER_THRESH} \times \text{FILTER_PRESCALE})$$

ソフトウェアまたは PWMSYNC によって COMPxLATCH がクリアされると、ラッチ自体は必要に応じてクリアされますが、COMPxLATCH 前のデータ パスは、追加のレイテンシ数のモジュール クロック サイクルについて、コンパレータの出力値を反映していない可能性があります。

COMPxLATCH がクリアされたときにデジタル フィルタ出力が論理 1 に解決されると、次のクロック サイクルでラッチが再度セットされます。

回避方法

COMPxLATCH をクリアする前に、デジタル フィルタ出力を論理 0 に解決できます。

ソフトウェアによって COMPxLATCH がクリアされた場合、ラッチをクリアする前に、デジタル フィルタの出力状態を COMPSTS レジスタで確認できます。レイテンシ値が大きいと許容できない遅延が発生する場合、デジタル フィルタを再初期化することでフィルタ FIFO をフラッシュできます (CTRIPxFILCTL 経由)。

PWMSYNC によって COMPxLATCH がクリアされた場合、PWMSYNC が生成される前に少なくともレイテンシ サイクルにわたってコンパレータトリップ条件がクリアされるように、ユーザー アプリケーションを設計する必要があります。

アドバイザー

CMPSS : コンパレータ入力ピンに **AGPIO** 機能があり、**ADC** が入力ピンをサンプリングしている場合、**CMPSS** グリッチが発生する可能性があります

影響を受けるリビジョン 0, A

詳細

表 3-2 に、注意する必要がある特定のアナログ入力ピンの使用事例の組み合わせを示します。このテーブルに示すように、**CMPSS** 入力、**ADC** サンプリング、**AGPIO** の組み合わせには注意するか、回避方法を使用する必要があります。

表 3-2. 特定のアナログ入力ピンの使用事例の組み合わせ

特定のアナログ ピンで使される機能	使用部品				
CMPSS コンパレータ入力	あり	-	あり	-	あり
ADC サンプリング	あり	あり	-	あり	あり
AGPIO アナログ ピン タイプ	あり	あり	あり	-	-
AIO アナログ ピン タイプ	-	-	-	あり	あり
結果	回避方法が必要		特別な分析や回避方法は不要		

AGPIO アナログ ピン パスには、 53Ω の追加の直列スイッチが含まれています。これにより、図 3-1 に示すように、**ADC** および **CMPSS** コンパレータと共有される低容量の絶縁型ノードが作成されます。**ADC** が (**ADC** サンプル / ホールド コンデンサに保存されている前の電圧に応じて) チャンネルをサンプリングするとき、このノードに外乱が生じ、それによって最大 50ns の誤 **CMPSS** 事象が発生する可能性があります。下の回避方法を実装することで、この潜在的な外乱に対応できます。

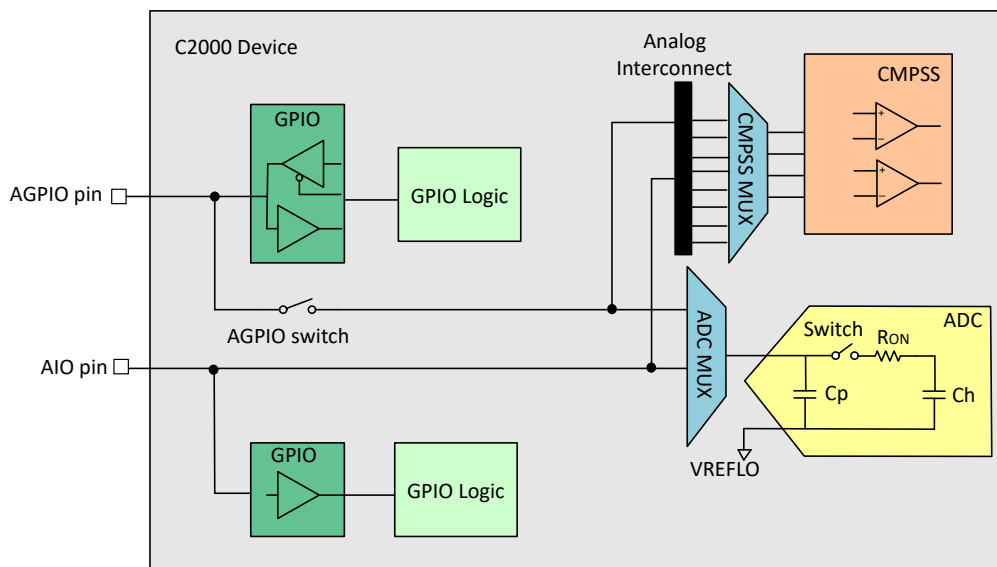


図 3-1. AGPIO と AIO アナログ ピン タイプを含むアナログ サブシステム図

回避方法

1. **ADC** と **CMPSS** の両方を同時に必要とするアナログ チャンネルには、別のピン (**AIO** ピン タイプ) を使用します。
2. **CMPSS** デジタル フィルタを 50ns 以上の設定で使用します。これにより、一時的な外乱がフィルタリングされます。
3. 外乱によって誤トリップが発生しないように、**ADC** の サンプル / ホールド コンデンサを事前に調整します。たとえば、影響を受けるチャンネルが読み取られる直前に、**ADC** の別のチャンネルから 3.3V 接続のダミー読み取りを実行します。これにより、外乱が正の方向になり、誤トリ

アドバイザリ (続き)

CMPSS: コンパレータ入力ピンに AGPIO 機能があり、ADC が入力ピンをサンプリングしている場合、CMPSS グリッチが発生する可能性があります

ップから離れます。誤トリップの極性が反転した場合、0V 信号の逆のダミー読み取りが使用されます。

アドバイザリ **同じメッセージ ID で設定された専用 Tx バッファから送信する場合のメッセージ順序の反転****影響を受けるリビジョン** 0, A**詳細**

複数の Tx バッファが同じメッセージ ID で設定されます。これらの Tx バッファの送信は、個別の Tx 要求間に遅延を加えて、昇順に要求されます。個々の Tx 要求間の遅延によっては、Tx バッファは Tx バッファ番号の予想される昇順で送信されない場合があります。

回避方法

まず、同じメッセージ ID を持つ Tx メッセージのグループをメッセージ RAM に書き込みます。次に、**TXBAR** への単一の書き込みアクセスによって、これらすべてのメッセージの同時送信を要求します。

特定の順序で同じメッセージ ID を持つ複数のメッセージを送信するには、専用 Tx バッファの代わりに Tx FIFO を使用します。

アドバイザー

ePWM:ePWM グリッチは、ブランキング ウィンドウの終了時にトリップがアクティブのままの場合、発生する可能性があります

影響を受けるリビジョン 0, A

詳細

ブランキング ウィンドウは通常、システムへの誤ったトリップを引き起こす可能性のある遷移中の PWM トリップ イベントをマスクするために使用されます。ブランキング ウィンドウ サイクルの終了後、3 未満の ePWM クロックの間 ePWM トリップ イベントがアクティブのまま維持されている場合、ePWM 出力に望ましくないグリッチが発生する可能性があります。

図 3-2 に、不要な EPWM 出力が発生する可能性のある時間を示します。

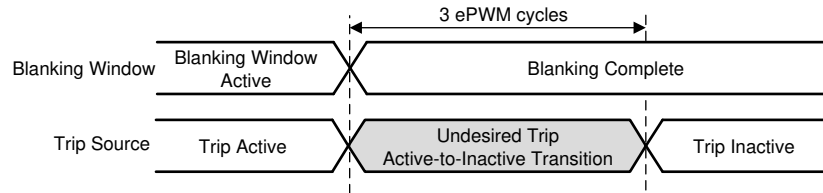


図 3-2. 望ましくないトリップ イベントとブランキング ウィンドウの期限切れ

図 3-3 に、ブランキング ウィンドウが閉じる前または 3 サイクル後にトリップ イベントが 1 サイクル以内に終了した場合に可能性のある 2 つの ePWM 出力を示します。

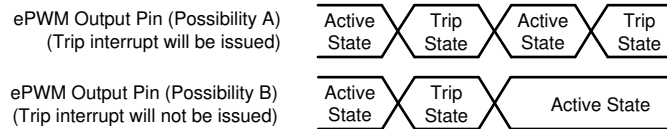


図 3-3. 結果として望ましくない ePWM 出力が発生する可能性があります

回避方法

ブランキング ウィンドウを延長または短縮して、不要なトリップ動作を回避します。

アドバイザー

ePWM:ブランキング ウィンドウ開始後の最初の 3 サイクルの間、トリップ イベントはブランキング ウィンドウによってフィルタされません

影響を受けるリビジョン 0, A

詳細

ブランキング ウィンドウは、ブランキング ウィンドウの開始後の最初の 3 サイクルのトリップ イベントをブランクにしません。DCEVTFILT は、DCxEVTy 信号の変更を継続的に反映することができます。DCEVTFILT が有効化されている場合、設定されている後続のサブシステム (たとえば、トリップゾーン サブモジュール、TZ 割り込み、ADC SOC、PWM 出力) に影響を及ぼす可能性があります。

回避方法

ブランキングが必要な前に、ブランキング ウィンドウを 3 サイクル開始します。周期境界でブランキング ウィンドウが必要な場合、次の周期の開始 3 サイクル前にブランキング ウィンドウを開始します。これは、ブランキング ウィンドウが期間の境界を越えて持続するため、機能します。

アドバイザー**eQEP: インデックス中の方向変更時に位置カウンタが正しくリセットされません****影響を受けるリビジョン** 0, A**詳細**

PCRM = 0 構成を使用しているときに、インデックス入力がアクティブのときに方向変更が発生すると、位置カウンタ (QPOSCNT) が誤ってリセットされ、カウンタ値の予期しない変化が発生する可能性があります。その結果、位置カウンタの期待値から最大 ± 4 カウントが変化し、予期しないそれ以降のエラー フラグ設定が発生する可能性があります。

PCRM = 0 構成を使用しているとき、[つまり、インデックス イベント時の位置カウンタ リセット (QEPCTL[PCRM] = 00)]、順方向移動中にインデックス イベントが発生した場合、位置カウンタは次の eQEP クロックで 0 にリセットされます。リバース移動中にインデックス イベントが発生すると、次の eQEP クロックの QPOSMAX レジスタの値に位置カウンタがリセットされます。eQEP ペリフェラルは、QEPSTS レジスタの最初のインデックス マーカー (QEPSTS[FIMF]) と最初のインデックス イベント マーカー (QEPSTS[FIDF]) の発生を記録します。また、インデックス イベントのリセット操作に同じ相対直交遷移が使用されるように、最初のインデックス マーカーの直交エッジを記憶します。

インデックス パルスがアクティブの間に方向変更が発生した場合、モジュールは引き続き相対的な直交遷移を探して、位置カウンタのリセットを実行します。これにより、位置カウンタ値が予期せず変化します。

同時に方向を変更せずに次のインデックス イベントが発生すると、カウンタが正しくリセットされ、期待どおりに動作します。

回避方法

インデックスがアクティブなときに方向が変更される可能性があり、結果として位置カウンタ値が変更されるとアプリケーションに影響を与える可能性がある場合は、PCRM=0 構成を使用しないでください。

アプリケーションに応じて位置カウンタのリセットを実行するその他のオプション (インデックス イベント初期化 (IEI) など) には、この問題はありません。

アドバイザー フラッシュ: シングル ビット **ECC** エラー 割り込みは生成されません

影響を受けるリビジョン 0, A

詳細 シングル ビット ECC エラー スレッシュホールドが **0** に設定されている場合、シングル ビット エラーが発生しても、シングル ビット エラー 割り込みは生成されません。

回避方法 エラー スレッシュホールド ビット フィールド (FLASH_ECC_REGS
ERR_THRESHOLD.ERR_THRESHOLD フィールド) を **1** 以上の値に設定します。スレッシュ
ホールド ビット フィールドのデフォルト値は **0** であることに注意してください。

アドバイザリ
FPU: FPU から CPU へのレジスタ移動操作の前にする FPU 2p 操作
影響を受けるリビジョン 0, A

詳細

このアドバイザリは、マルチサイクル (2p) FPU 命令の後に FPU から CPU へのレジスタ転送が行われる場合に適用されます。FPU-to-CPU READ 命令ソースレジスタが 2p 命令宛先と同じである場合、2p 命令が完了する前に、読み出しは FPU レジスタの値となる可能性があります。これは、2p 命令がパイプラインの E3 フェーズ中に結果のデータ転送に依存するために発生します。E3 フェーズでパイプライン ストールが発生した場合、結果は読み取り命令の時間内に転送されません。

このアドバイザリの影響を受ける 2p 命令は、MPYF32、ADDF32、SUBF32、および MACF32 です。FPU レジスタの読み出しの宛先は、CPU レジスタ (ACC、P、T、XAR0 ~ XAR7) で無ければいけません。レジスタの読み出しが FPU-to-FPU レジスタ転送である場合、このアドバイザリは適用されません。

次の例では、2p 命令 MPYF32 は R6H を宛先として使用します。FPU レジスタ READ MOV32 は、同じレジスタ R6H をソースとして使用し、CPU レジスタを宛先として使用します。E3 パイプラインフェーズでストールが発生した場合、MOV32 は MPYF32 命令が完了する前に R6H の値を読み取ります。

問題の例:

```
MPYF32 R6H, R5H, R0H ; 2p FPU instruction that writes to R6H
|| MOV32 *XAR7++, R4H
F32TOUI16R R3H, R4H ; delay slot
ADDF32 R2H, R2H, R0H
|| MOV32 *--SP, R2H ; alignment cycle
MOV32 @XAR3, R6H ; FPU register read of R6H
```

図 3-4 に、パイプラインにストールがない場合の問題のパイプライン図を示します。

	Instruction	FPU pipeline-->										Comments
		F1	F2	D1	D2	R1	R2	E	W			
I1	MPYF32 R6H, R5H, R0H MOV32 *XAR7++, R4H	I1										
I2	F32TOUI16R R3H, R4H	I2	I1									
I3	ADDF32 R3H, R2H, R0H MOV32 *--SP, R2H	I3	I2	I1								
I4	MOV32 @XAR3, R6H	I4	I3	I2	I1							
			I4	I3	I2	I1						
				I4	I3	I2	I1					
					I4	I3	I2	I1				
						I4	I3	I2	I1			
							I4	I3	I2	I1		
								I4	I3	I2		
									I4	I3		

図 3-4. パイプラインにストールがない場合の問題のパイプライン図

アドバイザリ (続き)

FPU: FPU から CPU へのレジスタ移動操作の前にする FPU 2p 操作

図 3-5 に、命令 I1 の E3 スロットにストールがある場合の問題のパイプライン図を示します。

	Instruction	F1	F2	D1	D2	R1	R2	E	W		Comments
		FPU pipeline-->				R1	R2	E1	E2	E3	
I1	MPYF32 R6H, R5H, R0H MOV32 *XAR7++, R4H	I1									
I2	F32TOUI16R R3H, R4H	I2	I1								
I3	ADDF32 R3H, R2H, R0H MOV32 *--SP, R2H	I3	I2	I1							
I4	MOV32 @XAR3, R6H	I4	I3	I2	I1						
			I4	I3	I2	I1					
				I4	I3	I2	I1				
					I4	I3	I2	I1			
						I4	I3	I2	I1		
							I4	I3	I2	I1 (STALL)	I4 samples the result as it enters the R2 phase, but I1 is stalled in E3 and is unable to forward the product of R5H*R0H to I4 (R6H does not have the product yet due to a design bug). So, I4 reads the old value of R6H.
							I4	I3	I2	I1	There is no change in the pipeline as it was stalled in the previous cycle. I4 had already sampled the old value of R6H in the previous cycle.
								I4	I3	I2	Stall over

図 3-5. 命令 I1 の E3 スロットにストールがある場合の問題のパイプライン図

回避方法

このシナリオでは、MPYF32、ADDF32、SUBF32、および MACF32 を 3p サイクル命令として扱います。命令のディレイスロットには、3 つの NOP 命令または矛盾しない命令を配置する必要があります。

C28x コード生成ツール v.6.2.0 以降のバージョンでは、正しい命令シーケンスが生成され、アセンブリコードのエラーが検出されます。以前のバージョンの v6.0.5 (6.0.x 分岐の場合) および v.6.1.2 (6.1.x 分岐の場合) では、コンパイラは正しい命令シーケンスを生成しますが、アセンブラはアセンブリコードのエラーを検出しません。

回避方法の例:

```

MPYF32 R6H, R5H, R0H
|| MOV32 *XAR7++, R4H      ; 3p FPU instruction that writes to R6H
F32TOUI16R R3H, R4H      ; delay slot
ADDF32 R2H, R2H, R0H
|| MOV32 *--SP, R2H      ; delay slot
NOP                       ; alignment cycle
MOV32 @XAR3, R6H          ; FPU register read of R6H

```

図 3-6 に、回避方法が適用されたパイプライン図を示します。

アドバイザリ (続き)

FPU: FPU から CPU へのレジスタ移動操作の前にする FPU 2p 操作

	Instruction	F1	F2	D1	D2	R1	R2	E	W		Comments
		FPU pipeline-->				R1	R2	E1	E2	E3	
I1	MPYF32 R6H, R5H, R0H MOV32 *XAR7++, R4H	I1									
I2	F32TOUI16R R3H, R4H	I2	I1								
I3	ADDF32 R3H, R2H, R0H MOV32 *--SP, R2H	I3	I2	I1							
I4	NOP	I4	I3	I2	I1						
I5	MOV32 @XAR3, R6H	I5	I4	I3	I2	I1					
			I5	I4	I3	I2	I1				
				I5	I4	I3	I2	I1			
					I5	I4	I3	I2	I1		
						I5	I4	I3	I2	I1 (STALL)	Due to one extra NOP, I5 does not reach R2 when I1 enters E3; thus, forwarding is not needed.
						I5	I4	I3	I2	I1	There is no change due to the stall in the previous cycle.
							I5	I4	I3	I2	I1 moves out of E3 and I5 moves to R2. R6H has the result of R5H*R0H and is read by I5. There is no need to forward the result in this case.
								I5	I4	I3	

図 3-6. 回避方法が適用されたパイプライン図

アドバイザリ

GPIO: オープンドレイン構成による短い High パルスを駆動する可能性

影響を受けるリビジョン 0, A

詳細

各 GPIO は、GPxODR レジスタを使用してオープンドレイン モードに設定できます。ただし、内部デバイスのタイミングの問題により、GPIO が高インピーダンス状態への遷移中、または高インピーダンス状態からの遷移中に最大 0 ~ 10ns の間、ロジック High を駆動することがあります。

この望ましくない High レベルにより、他のドライバが同時に低レベルを駆動している場合、GPIO がライン上の別のオープンドレインドライバと競合する可能性があります。この競合は、両方のデバイスにストレスを加え、信号に短時間の中間電圧レベルが生じるため、望ましくありません。レシーバ ロジックにこの短いパルスをフィルタリングするのに十分なロジック フィルタリングがない場合、この中間電圧レベルは誤って高レベルと解釈される可能性があります。

回避方法

競合が問題となる場合、GPIO のオープンドレイン機能を使用せず、ソフトウェアでオープンドレイン モードをエミュレートします。オープンドレイン エミュレーションは、GPIO データ (GPxDAT) を静的 0 に設定し、GPIO 方向ビット (GPxDIR) をトグルして、駆動を Low にして有効 / 無効にすることにより実現できます。実装例については、以下のコードを参照してください。

```
void main(void)
{ ...

    // GPIO configuration
    EALLOW;
    GpioCtrlRegs.GPxPUD.bit.GPIOx = 1;    // disable pullup
    GpioCtrlRegs.GPxODR.bit.GPIOx = 0;    // disable open-drain mode
                                           // set GPIO to drive static 0 before
                                           // enabling output
    GpioDataRegs.GPxCLEAR.bit.GPIOx = 1;
    EDIS;

    ...

    // application code
    ...

    // To drive 0, set GPIO direction as output
    GpioCtrlRegs.GPxDIR.bit.GPIOx = 1;

    // To tri-state the GPIO(logic 1),set GPIO as input
    GpioCtrlRegs.GPxDIR.bit.GPIOx = 0;
}
```

アドバイザー

LIN:同期フィールドが誤っている場合、不整合同期フィールド エラー (ISFE) フラグ/割り込みが設定されません

影響を受けるリビジョン 0, A

詳細

LIN 通信中、(RX で)受信した同期フィールドが誤っている場合(つまり、同期フィールドが 0x55 以外の値を受信した場合)、LIN は SCIFLR.ISFE レジスタの ISFE フラグを設定したり、ISFE 割り込みをトリガしません。データを受信したり、RX 受信割り込みが設定されたりせずに、通信が終了します。アプリケーションが同期フィールドのエラーを検出する方法はありません。アプリケーションは、同期フィールドが完全にブランクであるか、または同期フィールドが指定された許容範囲内に受信されていないかどうかを検出できます(『[TMS320F28P55x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル](#)』を参照)。

回避方法

方法 1: SCIFLR.RXRDY フラグをポーリングし続け、一定時間内に設定されていない場合はタイムアウトします。

ガイドラインとして、以下の手順に従ってください。

1. 設定する SCIFLR.BUSY フラグをポーリングします。
2. BUSY フラグが High になったら、SCIFLR.RXRDY フラグをポーリングします。このループ内に同時に SW タイムアウトがあります。このタイムアウトは、ユーザー定義の時間間隔内に RXRDY フラグが設定されていない場合、ループをタイムアウトし、ループを終了します。

方法 2: RX 割り込みがトリガされていない場合に割り込みを行うように CPU タイマを構成します。この方法では、CPU 帯域幅は使用されません。

ガイドラインとして、以下の手順に従ってください。

1. LINRX が High から Low になった (LIN がビジーであることを示す)ときに ISR をトリガするように XINT を構成します。
2. XINT ISR 内で CPU タイマを構成し、フレーム完了のタイミングを開始します。
3. 正しい同期フィールドを使用してフレームを正しく受信すると、LIN RX ISR がトリガされます。内部でタイマをオフにすることにより、誤ったタイムアウトが発生しないようにできます。
4. フレームが正しく受信されない場合、LIN RX ISR はトリガされず、CPU タイマ ISR (タイムアウトが発生)がトリガされます。これは、同期フィールドのエラーを示します。

アドバイザー

MCD:PLL が有効 (PLLCLKEN = 1) のとき、クロック消失検出を無効化

影響を受けるリビジョン 0, A

詳細

PLL には、入力 OSCCLK が存在しない場合でも低速の PLLRAWCLK 出力を提供するリンプモード機能があります。独立して、Missing Clock Detect (MCD) 回路は、OSCCLK 入力の欠落が検出されると、システムクロックソースを強制的に INTOSC1 に切り替えます。これらのシステムクロックソースを切り替える MCD マルチプレクサは、両方のクロックソース (PLLRAWCLK と INTOSC1) がアクティブな場合、グリッチがないことが保証されません。まれに、クロックの欠落障害イベント中に予期しないデバイス動作が発生する可能性があります。

回避方法

システムで PLL が使用されている場合 (PLLCLKEN = 1)、MCDCR.MCLKOFF = 1 を書き込んで MCD を無効にします。

デュアルクロックコンパレータ (DCC) 回路は、クロックイベントの欠落により SYSCLK 周波数が目的の周波数から外れてリンプモードに低下したかどうかを迅速に検出するように構成できます。

システムが PLL バイパスモード (PLLCLKEN = 0) で動作している場合でも、MCD 回路を使用して欠落したクロックイベントを検出し、クロックソースを INTOSC1 に切り替えることができます。

アドバイザー メモリ: 有効なメモリを超えたプリフェッチ

影響を受けるリビジョン 0, A

詳細

C28x CPU は、パイプラインで現在アクティブな命令を超える命令をプリフェッチします。プリフェッチが有効なメモリの終了後に発生した場合、CPU は無効なオペコードを受信する可能性があります。

回避方法

M1 – プリフェッチ キューは 8×16 ワードの深さです。したがって、コードは 有効なメモリの終わりにから 8 ワード以内にはなりません。2 つの有効なメモリ ブロック間の境界を越えてプリフェッチすることは問題ありません。

事例 1: M1 はアドレス 0x7FF で終了し、その後に別のメモリ ブロックが続くことはありません。M1 のコードは、アドレス 0x7F7 以下に格納されないようにする必要があります。アドレス 0x7F8 ~ 0x7FF はコードには使用できません。

事例 2: M0 はアドレス 0x3FF で終了し、有効なメモ (M1) がその後に続きます。M0 のコードは、アドレス 0x3FF まで保存できます。コードはアドレス 0x7F7 までの M1 にクロスすることもできます。

表 3-3. アドバイザリによって影響を受けるメモリ

メモリ タイプ	影響を受けるアドレス
M1	0x0000 07F8–0x0000 07FF

アドバイザリ

システム: **CLKSRCCTL1** への複数の連続した書き込みを行うと、システムがハングする可能性があります

影響を受けるリビジョン 0, A

詳細

書き込み間に遅延なしで **CLKSRCCTL1** レジスタに複数回書き込むと、システムがハングアップし、外部 **XRSn** リセットまたはウォッチドッグ リセットでのみ回復できます。この条件の発生は、**SYSCLK** と **OSCCLKSRCSEL** で選択したクロックとの間のクロック比によって異なり、毎回発生するとは限りません。

デバッガの使用中にこの問題が発生した場合、一時停止すると、プログラム カウンタはブート ROM リセット ベクタになります。

回避方法を実装すると、**SYSCLK/OSCCLK** の比率でこの条件を回避できます。

回避方法

CLKSRCCTL1 レジスタへの書き込みごとに、**NOP** 命令を使用して、300 **SYSCLK** サイクルのソフトウェア遅延を追加します。

例:

```
ClkCfgRegs.CLKSRCCTL1.bit.INTOSC2OFF=0;           // Turn on INTOSC2
asm(" RPT #250 || NOP");                           // Delay of 250 SYSCLK cycles
asm(" RPT #50 || NOP");                             // Delay of 50 SYSCLK cycles
ClkCfgRegs.CLKSRCCTL1.bit.OSCCLKSRCSEL = 0;         // Clk Src = INTOSC2
asm(" RPT #250 || NOP");                           // Delay of 250 SYSCLK cycles
asm(" RPT #50 || NOP");                             // Delay of 50 SYSCLK cycles
```

C2000Ware_3_00_00_00 以降のリビジョンでこの回避策が実装されます。

アドバイザリ **USB:USB DMA イベントトリガはサポートされていません**

影響を受けるリビジョン 0, A

詳細 USB モジュールが誤って余分な DMA 要求を生成し、FIFO がオーバーフロー (IN エンドポイント) または アンダーフロー (OUT エンドポイント) になります。これにより、無効な IN DATA パケット (最大パケット サイズより大きい) が発生し、受信データが重複します。

回避方法 なし

アドバイザリ	ウォッチドッグ: WDKEY レジスタは EALLOW 保護されていません
--------	---

影響を受けるリビジョン	0, A
-------------	------

詳細

WDKEY レジスタは EALLOW 保護されていません。このレジスタに書き込むために EALLOW および EDIS 命令を発行する必要はありません。WDKEY が EALLOW 保護されている他のデバイスでソフトウェアの再利用をイネーブルにするには、EALLOW および EDIS を推奨します。

回避方法

なし

4 シリコン リビジョン 0 の使用上の注意とアドバイザリ

このセクションには、このシリコン リビジョンの使用上の注意およびアドバイザリが記載されています。

4.1 シリコン リビジョン 0 の使用上の注記

シリコン リビジョンに適用される使用上の注意が、新しいシリコン リビジョンで見つかりました。詳細については、[シリコン リビジョン A の使用上の注意](#)を参照してください。

4.2 シリコン リビジョン 0 のアドバイザリ

シリコン リビジョンに適用されるアドバイザリが、新しいシリコン リビジョンで見つかりました。詳細については、[シリコン リビジョン A のアドバイザリ](#)を参照してください。

アドバイザリ **ADC:VREFHI/VREFLO の不適切な動作を回避するため、すべての ADC への電源をイネーブルにします**

影響を受けるリビジョン 0

詳細

すべての ADC が有効になっていない場合、VREFHI および VREFLO 信号経路の両方に VSSA への弱いプルダウンが発生し、すべてのリファレンス選択に影響します。プルダウンはそれぞれのリファレンスに電圧降下を引き起こし、ADC 変換にエラーを引き起こします。

回避方法

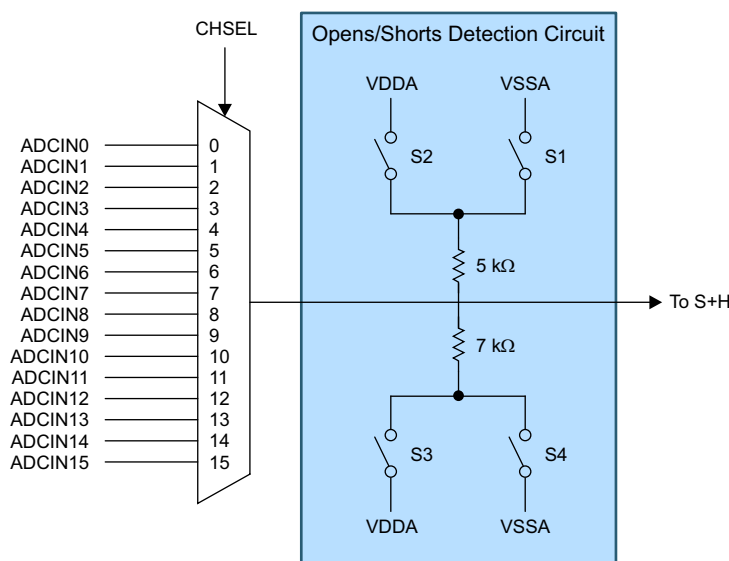
システムで ADC を使用していない場合でも、ADCTL1 レジスタの ADCPWDNZ ビット(1 に設定)により、すべての ADC をイネーブルします。

アドバイザリ **ADC:OSDETECT (オープン/短絡検出) ロジックがありません**

影響を受けるリビジョン 0

詳細

OSDETECT レジスタは、『[TMS320F28P55x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル](#)』の ADC の章およびレジスタの項から削除されました。この機能はリビジョン 0 シリコンには存在しません。



アドバイザリ (続き)

ADC:OSDETECT (オープン短絡検出) ロジックがありません

回避方法

リビジョン 0 シリコンで制御レジスタを削除しました。この回路は存在しません。

アドバイザー**ADC:VREFHI/VREFLO ピンの共有アナログ入力の間には抵抗性パスがあります****影響を受けるリビジョン 0****詳細**

ADC リファレンスが VDDA/VSSA に設定されている場合、VREFHI ピンと VREFLO ピンをデバイスの ADC への追加入力チャネルとして使用できます。VREFHI ピンは ADC 入力 D20 および E20 チャネルと共有され、VREFLO ピンは ADC 入力 A13、B13、C13、D1、E13 と共有されます。このリファレンス モードでは、これら 2 つのピンの間に抵抗性の接続があります。

回避方法

VREFHI ピンと VREFLO ピンをアナログ基準に使用する場合、問題はありません。ピンをアナログ入力として使用する場合、2 つのうち一方のみを駆動して、もう一方をフローティングにすることを推奨します。

アドバイザー**GPIO:一部の GPIO で 20mA 駆動モードがイネーブルの場合、5V 信号を Low に駆動できません****影響を受けるリビジョン 0****詳細**

GPIO 2、3、9、32 は、5V レベルの TTL 信号をサポートしており、PMBUS 通信の高速プラスモードを実現するために、選択可能な駆動能力 (4mA または 20mA) も備えています。これは、アナログ サブシステム モジュールの IO_DRVSEL レジスタの DRIVESSEL ビットで制御されます。GPIO ピンの電圧が VDDIO + 0.3V を上回っており、DRIVESSEL ビット = 1 の場合、GPIO はピンを論理 Low に駆動できません。

回避方法

対象の GPIO の電圧レベルが VDDIO + 0.3V 以下に維持されている場合、デバイスの機能動作に影響はありません。ピンの電圧レベルが VDDIO + 0.3V を上回る場合、DRIVESSEL ビットを 0 に設定し、GPIO の高い駆動強度を無効にする必要があります。このシナリオでは、ファスト プラス モードはサポートされなくなり、PMBUS の最大クロック レートは 400kHz で、ファスト モードのみをサポートしています。

アドバイザリ **MPOST:一部の初期素材ではメモリ パワーオン セルフテストが実行されません**

影響を受けるリビジョン 0

詳細

MPOST (メモリ パワーオン セルフテスト) は、機能安全アプリケーションで使用して、電源投入時にデバイスのメモリをテストすることができます。この機能は、DCSM セキュリティ ツールを使用して Z1_GPREG.MPOST および Z1_DIAG.MPOST_EN ビットへ書き込むことでアクティブになります。影響を受ける素材は、Z1_GPREG2 および Z1_DIAG.MPOST_EN MPOST ビットに書き込んでも、MPOST は実行されません。

回避方法

なし。MPOST は実行できません。固定素材の OTP リビジョン番号は 1 より大きくなります。OTP リビジョン番号は、[表 4-1](#) を使用して求めることができます。

表 4-1. OTP リビジョン番号の位置

アドレス	8 ビット MSB	8 ビット LSB
0x0007 2232	0x5A	OTP のリビジョン

5 ドキュメントのサポート

デバイス固有のデータシートおよび関連ドキュメントについては、TI の Web サイト <https://www.ti.com> をご覧ください。

TMS320F28P55x デバイスの詳細については、以下のドキュメントを参照してください。

- 『[TMS320F28P55x リアルタイム マイクロ コントローラ](#)』データ シート
- 『[TMS320F28P55x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル](#)』

6 商標

すべての商標は、それぞれの所有者に帰属します。

7 改訂履歴

Changes from SEPTEMBER 20, 2024 to FEBRUARY 20, 2025	Page
• この改訂履歴には、 SPRZ572A から SPRZ572B への変更点が記載されています。.....	3
• サポートされるデバイス セクション: TMS320F28P550SG のリンクを追加。.....	4
• 「PDT パッケージのパッケージ マーキング – 車載」の図: デバイス番号を更新。.....	5
• 「PZ パッケージのパッケージ マーキング – 車載」の図: デバイス番号を更新。.....	5
• 「PNA パッケージのパッケージ マーキング – 車載」の図: デバイス番号を更新。.....	5
• 「PM パッケージのパッケージ マーキング – 車載」の図: デバイス番号を更新。.....	5

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適したテキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているテキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかるテキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated