

AM62Lx Sitara™ プロセッサ シリコン エラッタ、シリコン リビジョン 1.0、1.1



概要

この文書では、機能仕様に対する既知の例外 (アドバイザリ) について説明します。本文書には、使用上の注意事項も記載されています。使用上の注意は、デバイスの動作が推定または文書化された動作と一致しない可能性がある状況を示しています。これには、デバイスの性能や機能の正確さに影響を与える動作が含まれる場合があります。

目次

| | |
|-------------------------------|----|
| 1 使用上の注意およびアドバイザリ マトリックス..... | 2 |
| 2 シリコンの使用上の注意およびアドバイザリ..... | 4 |
| 3 改訂履歴..... | 16 |

1 使用上の注意およびアドバイザリ マトリックス

表 1-1 に、すべての使用上の注意と、該当するシリコンのリビジョンを示します。表 1-2 にすべてのアドバイザリ、影響を受けるモジュール、および適用可能なシリコン リビジョンを一覧表示します。

表 1-1. 使用上の注意マトリックス

| モジュール | 説明 | 影響を受けるシリコンのリビジョン | |
|-------|------------------------------------------------------------------------|------------------|------------|
| | | AM62Lx 1.0 | AM62Lx 1.1 |
| DDR | i2330「DDRSS レジスタ構成ツールの更新」の使用上の注意を追加 | あり | あり |
| OSPI | i2351 OSPI:ダイレクト アクセス コントローラ (DAC) は、NAND フラッシュによる連続読み取りモードをサポートしていません | あり | あり |

表 1-2. アドバイザリ マトリックス

| モジュール | 説明 | 影響を受けるシリコンのリビジョン | |
|-------|-----------------------------------------------------------------|------------------|------------|
| | | AM62Lx 1.0 | AM62Lx 1.1 |
| BCDMA | i2431 BCDMA:RX チャンネルが特定のシナリオでロックアップする可能性があります | あり | あり |
| ブート | i2435 ブート:eMMC ブートの ROM タイムアウトが長すぎる | あり | なし |
| ブート | i2462 ブート:ROM xSPI - SFDP ブート モードが失敗する | あり | あり |
| ブート | i2463 ブート:SD カードでブート エラーが発生する可能性があります | あり | なし |
| ブート | i2464 ブート:ROM は、フォーマットが正しくない SD カードからはブートできません | あり | あり |
| ブート | i2465 ブート:EMMC ブート モードが予想より遅くなります | あり | なし |
| ブート | i2466 ブート:ファイル サイズが大きい場合、ROM ブートに失敗します | あり | あり |
| ブート | i2467 ブート:大きいイメージで ROM UART ブートに失敗します | あり | なし |
| ブート | i2469 ブート:ROM NOBOOT ブート モードが機能しません | あり | あり |
| ブート | i2470 ブート:USB-DFU ブライマリ ブート モードからバックアップ ブート モードへの移行に失敗します | あり | なし |
| ブート | i2471 ブート:特定のブライマリバックアップ ブート モードの組み合わせで失敗します | あり | なし |
| ブート | i2473 ブート:eMMC ブートが失敗する可能性があります | あり | なし |
| ブート | i2474 ブート:ブロック ベースのブート モードで、特定の第 2 段階のバイナリが失敗します | あり | なし |
| ブート | i2481 ブート:パーティションが毎回再プログラムされていない場合、eMMC 代替ブートは失敗します | あり | なし |
| ブート | i2482 ブート:SD カードの初期化中、ROM から十分なクロックが供給されません | あり | なし |
| ブート | i2484 ブート:ROM は、一般化された時間形式を使用して X509 証明書を解析できません | あり | なし |
| CPSW | i2208 CPSW:ALE IET エクスプレス パケットドロップ | あり | あり |
| CPSW | i2401 CPSW:ホストのタイムスタンプにより、CPSW ポートがロックされます | あり | あり |
| DDR | i2160 DDR:LPDDR4 コマンド バスのトレーニング中に、有効な VRef 範囲を定義する必要があります」を追加 | あり | あり |
| デバッグ | i2461 デバッグ:リセット時ウェイト (WIR) モードが機能しない | あり | なし |
| LPM | i2487 LPM: 低消費電力モードでは、DDR の内容を誤って破損する可能性があります | あり | なし |
| MCAN | i2278 MCAN:同じメッセージ ID で構成された専用 Tx バッファからのメッセージ送信順序が保証されません | あり | あり |
| MCAN | i2279 MCAN:同じメッセージ ID で構成された専用 Tx バッファと Tx キューの仕様の更新 | あり | あり |
| MMCHS | i2312 MMCSD:HS200 および SDR104 コマンド タイムアウトウィンドウが小さすぎます | あり | あり |
| MMCHS | i2493 MMCSD:HS200 の書き込みエラー | あり | あり |
| OSPI | i2189 OSPI:コントローラ PHY のチューニング アルゴリズムを追加 | あり | あり |
| OSPI | i2249 OSPI:DDR タイミングが動作不能の内部 PHY ループバックおよび内部パッド ループバック クロック モード | あり | あり |
| OSPI | i2383 OSPI:2 バイト アドレスは、PHY DDR モードではサポートされていません | あり | あり |
| PRG | i2253 PRG:CTRL_MMR STAT レジスタは、POK スレッシュホルド障害の信頼性が低いインジケータです | あり | あり |
| USART | i2310 USART:「タイムアウト割り込みの誤ったクリア /トリガ」を追加 | あり | あり |
| USART | i2311 USART スプリアス DMA 割り込み | あり | あり |
| USB | i2409 USB:短時間のサスペンドが原因で USB2 PHY がロックアップします | あり | あり |

1.1 サポート対象デバイス

本文書は、以下のデバイスをサポートしています。

- AM62Lx

サポート対象デバイスのリファレンス文書:

- 『AM62Lx プロセッサ テクニカル リファレンス マニュアル』(SPRUJB4)
- 『AM62Lx プロセッサ データ シート』(SPRSPA1)

2 シリコンの使用上の注意およびアドバイザリ

このセクションには、このシリコン リビジョンの使用上の注意およびアドバイザリが記載されています。

2.1 シリコンの使用上の注意

i2330

「DDRSS レジスタ構成ツールの更新」の使用上の注意を追加

詳細:

DDR レジスタ構成ツールは、DDR デバイスのアーキテクチャ (密度、データ幅、ランク)、動作周波数、ボード シミュレーションで決定される IO 設定など、システム レベルの詳細に基づいて、カスタム レジスタ設定を提供します。新しいデバイスや機能のサポート、ツールで特定された問題の修正、そして最も重要な点として、性能、信号の整合性、信号間のタイミング関係を改善する計算を実現するために特定されたエラッタや最近の更新の回避方法を捕捉するために、このツールは経時的に更新される可能性があります。

回避方法:

得られた教訓に基づいてパラメータを適切に設定できるようにし、機能的な障害のリスクを低減できるように、常に最新の DDR レジスタ構成ツールを使用してレジスタ値を生成する必要があります。DDR レジスタ構成ツールは定期的に更新される可能性があるため、ツールの改訂履歴を確認し、ツールの変更が既存のシステムに適用されるかどうかを評価する必要があります。必要に応じて、既存のシステムの設定を適切に更新する必要があります。このツールの最新バージョンは、<http://dev.ti.com/sysconfig> で入手できます。また、使用中の該当デバイスの「ソフトウェア製品」ドロップダウンから「DDR 構成」を選択することができます。

i2351

OSPI:ダイレクト アクセス コントローラ (DAC) は、NAND フラッシュによる連続読み取りモードをサポートしていません

詳細:

OSPI コントローラは、OSPI コントローラへの内部 DMA バス要求の間に、フラッシュ メモリへの CSn 信号を (設計意図によって) デアサートできるため、OSPI ダイレクト アクセス コントローラ (DAC) は、NAND フラッシュによる連続読み取りモードをサポートしていません。

この問題が発生するのは、一部の OSPI/QSPI NAND フラッシュ メモリで提供される「連続読み取り」モードでは、バーストトランザクション全体にわたってチップ セレクト入力がアサートされたままにならなければならないためです。

SoC 内部 DMA コントローラと他のイニシエータは 1023B 以下のトランザクションに制限されており、アービトレーション / キューイングは、さまざまな DMA コントローラの内部、または任意の DMA コントローラと OSPI ペリフェラルの間の相互接続の両方で実行できます。その結果、OSPI コントローラへのバス要求が遅延し、外部 CSn 信号がデアサートされます。

NOR フラッシュ メモリは CSn デアサートの影響を受けません。連続読み取りモードは想定通りに動作します。

回避方法:

ソフトウェアは、ページ / バッファ付き読み取りモードを使用して NAND フラッシュにアクセスできます。

2.2 シリコンのアドバイザリ

i2189

OSPI:コントローラPHY のチューニング アルゴリズムを追加

詳細:

PHY モジュールがイネーブルのとき、OSPI コントローラは DQS 信号を使用してデータをサンプリングします。しかし、モジュールに問題が存在する必要があります。これは、このサンプルは内部クロックで定義されたウィンドウ内で発生する必要があります。読み取り動作は外部遅延の影響を受け、温度によって変化します。任意の温度で読み取りが有効になるようにするには、最も堅牢な TX、RX、読み取り遅延の値を選択する特別なチューニング アルゴリズムを実装する必要があります。

回避方法:

このバグの回避方法については、[SPRACT2](#) に詳細が記載されています。一部の PVT 条件でデータをサンプリングするには、ユーザーは読み取り遅延フィールドをインクリメントして、内部クロックのサンプリング ウィンドウをシフトする必要があります。これにより、データアイ内の任意の場所でデータのサンプリングが可能になります。しかし、これには次の副作用があります。

1. すべての読み取り動作に対して PHY パイプライン モードを有効化する必要があります。書き込みのために PHY パイプライン モードを無効化するため、読み出しと書き込みは個別に処理する必要があります。
2. 回避方法が実行されると、ビジー ビットのハードウェア ポーリングが壊れます。そのため、代わりに SW ポーリングを使用する必要があります。ホストとフラッシュ デバイスのどちらからも割り込みが発生しないように、DMA アクセスにより、ページ境界内で書き込みを行う必要があります。ソフトウェアは、ページ書き込みの間でビジー ビットをポーリングする必要があります。または、ハードウェア ポーリングを有効化した状態で、PHY 以外のモードで書き込みを実行することもできます。
3. STIG 読み取りは余分なバイトでパディングされ、受信データは右シフトされなければなりません。

i2208

CPSW:ALE IET エクスプレス パケット ドロップ

詳細:

この問題は、次のモジュールに影響を与えます。

ALE の問題は、短い高速トラフィックでの CPSW 周波数と IET 動作、および非 10G 対応ポートで 60 ~ 69 バイトのプリエンプトされたパケットが原因です。

プリエンプト可能な IET パケットが 60 ~ 69 バイトで中断された場合、次のチャックが到着したときにルックアップが行われます。CPSW は、プリエンプト可能な MAC から ALE 64 バイトのみを提供します。

その結果、短い高速トラフィック ルックアップは 64 バイトの高速トラフィックの最後から開始されますが、プリエンプト キューが続行されると、プリエンプトされたトラフィックは 64 バイトを完了し、プリエンプト パケットのルックアップを試行します。しかし、このルックアップは、エクスプレス ルックアップの開始から 64 クロックよりも少ないため、エクスプレス ルックアップは中止され (エクスプレストラフィックドロップが行われる)、プリエンプトされたトラフィックの新しいルックアップが開始されません。

問題を引き起こすルール:

1. 5/10G 動作ができないポートで IET (Interspersed Express Traffic) モードになっていること
2. リモート エクスプレス パケットが 60 バイトまでのパケットをプリエンプトできること
3. 128 バイト以上のプリエンプト パケットトラフィック
4. プリエンプトトラフィックを 60 ~ 69 バイトの範囲で中断するエクスプレストラフィック

i2208 (続き)
CPSW:ALE IET エクスプレス パケットドロップ

5. プリエンプトトラフィックの継続が直ちに続く短い高速トラフィック
 - a. エクスプレス フレームとプリエンプト フレーム間のギャップが最小
6. CPSW 周波数が必要な速度の最小能力であること

回避方法:

IET ネゴシエーション中に、リモートに 128 バイトのフラグメントを指定します。

i2249
OSPI:DDR タイミングが動作不能の内部 PHY ループバックおよび内部パッド ループバック クロック モード
詳細

OSPI 内部 PHY ループバック モードと内部パッドループバック モードは、「立ち上げエッジをキャプチャ エッジとして」(同じエッジ キャプチャまたは 0 サイクル タイミング)を使用します。

プログラマブル受信遅延ライン (Rx PDL) は、往復遅延 (Tx クロックからフラッシュ デバイス、フラッシュ クロックから出力、フラッシュ データからコントローラ) を補償するために使用されます。

内部ループバック モードと IO ループバック モードの場合、Rx PDL の合計遅延は往復遅延を補償するのに十分ではないため、これらのモードは使用できません。

次の表に、OSPI コントローラで推奨されるクロック トポロジを示します。ここで説明されていない他のモードはすべて、DDR モードのアドバイザーの影響を受け、クロック トポロジは推奨されません。

表 2-1. OSPI クロッキング トポロジ

| クロック モードの用語 | CONFIG_REG.PHY_MODE_ENABLE | READ_DATA_CAPTURE.BYPASS | READ_DATA_CAPTURE.DQS_EN | ボードの実装 |
|---------------------|----------------------------|--------------------------|--------------------------|------------------------------------------|
| ループバックなし、PHY なし | 0 (PHY ディスエーブル) | 1 (適応ループバック クロックを無効化) | X | なし。内部クロックに依存。最大周波数 50MHz。 |
| PHY による外部ボード ループバック | 1 (PHY イネーブル) | 0 (適応ループバック クロックを有効化) | 0 (DQS ディスエーブル) | 外部ボード ループバック (OSPI_LOOPBACK_CLK_SEL = 0) |
| PHY を搭載した DQS | 1 (PHY イネーブル) | x (DQS イネーブルが優先) | 1 (DQS イネーブル) | メモリ ストロープは SOC DQS ピンに接続 |

回避方法

なし。説明の表に基づいて、影響を受けないクロック モードのいずれかを使用してください

i2253
PRG:CTRL_MMR STAT レジスタは、POK スレッシュホールド障害の信頼性が低いインジケータです
詳細

CTRL_MMR PRG STAT レジスタの POK 過電圧および低電圧フラグは、POK が障害を認識したかどうかを示す信頼性が低いインジケータです。その結果、デバイス テクニカル リファレンス マニュアル (TRM) では、これらのビットが「予約済み」とマークされています。

回避方法

フィルタ処理された POK 出力は ESM フラグを更新します。

i2253 (続き)

PRG:CTRL_MMR STAT レジスタは、**POK** スレッシュホールド障害の信頼性が低いインジケータです

POK の初期化 (イネーブル) 時に、ESM フラグをクリアする必要があります (バンドギャップ中または POK のセトリング タイム中に実行される比較のため)。この最初のクリアの後、ESM フラグは、POK からの信頼できる障害 (または障害なし) インジケータとして使用できます。

i2278

MCAN:同じメッセージ ID で構成された専用 Tx バッファからのメッセージ送信順序が保証されません

詳細

このエラッタは、複数の Tx バッファが同じメッセージ ID (TXBC.NDTB > 1) で構成されている場合に制限されます。

次の状況では、メッセージは順序が正しくない状態で送信されることがあります。

- 同じメッセージ ID で構成された複数の Tx バッファ
- これらの Tx バッファに対する Tx 要求が、それぞれの間に遅延が発生して順次送信される場合

回避方法

回避方法 1:

メッセージ RAM に同じメッセージ ID を持つ Tx メッセージを書き込んだ後、TXBAR への 1 回の書き込みアクセスにより、これらすべてのメッセージの同時送信を要求します。同時要求を実行する前に、これらのメッセージに保留中の Tx 要求がないことを確認してください。

回避方法 2:

特定の順序で同じメッセージ ID を持つ複数のメッセージを送信するには、専用 Tx バッファの代わりに Tx FIFO を使用します (Tx FIFO を使用するには、ビット MCAN_TXBC[30] TFQM = 0 を設定)。

i2279

MCAN:同じメッセージ ID で構成された専用 Tx バッファと Tx キューの仕様の更新

詳細

同じメッセージ ID で構成された複数の専用 Tx バッファからのメッセージ送信に関する M_CAN ユーザー マニュアルのセクション 3.5.2「専用送信バッファ」とセクション 3.5.4「送信キュー」の説明がエラッタで更新されています。

回避方法

回避方法 1:

メッセージ RAM に同じメッセージ ID を持つ Tx メッセージを書き込んだ後、TXBAR への 1 回の書き込みアクセスにより、これらすべてのメッセージの同時送信を要求します。同時要求を実行する前に、これらのメッセージに保留中の Tx 要求がないことを確認してください。

回避方法 2:

特定の順序で同じメッセージ ID を持つ複数のメッセージを送信するには、専用 Tx バッファの代わりに Tx FIFO を使用します (Tx FIFO を使用するには、ビット MCAN_TXBC[30] TFQM = 0 を設定)。

i2310**USART:「タイムアウト割り込みの誤ったクリア/トリガ」を追加****詳細:**

RHR/MSR/LSR レジスタが読み出されたときに、USART が誤ってクリアしたり、タイムアウト割り込みをトリガしたりすることがあります。

回避方法:**CPU の使用事例の場合。**

- タイムアウト割り込みが誤ってクリアされた場合:
 - FIFO 内の保留データがタイムアウト割り込みを再トリガするため、これは有効です
- タイムアウト割り込みが誤って設定され、FIFO が空である場合は、次の SW 回避方法を使用して割り込みをクリアします。
 - TIMEOUTH および TIMEOUTL レジスタでタイムアウト カウンタの High 値を設定します
 - EFR2 ビット 6 を 1 に設定して、タイムアウト モードを周期的に変更します
 - IIR レジスタを読み出して、割り込みをクリアします
 - タイムアウト モードを元のモードに戻すには、EFR2 ビット 6 を 0 に戻します

DMA の使用事例の場合。

- タイムアウト割り込みが誤ってクリアされた場合:
 - 次の周期的なイベントでタイムアウト割り込みが再トリガされるため、これは有効です
 - ユーザーは、EFR2 のビット 6 を 1 に設定して、RX タイムアウト動作を周期的モードにする必要があります
- タイムアウト割り込みが誤って設定されている場合:
 - これにより、DMA は SW ドライバによって破棄されます
 - 次の受信データが有効であるため、SW で DMA が再度設定されます

i2311**USART スプリアス DMA 割り込み****詳細:**

スプリアス DMA 割り込みは、DMA を使用して TLR レジスタの 2 の非冪乗 (Non power of two) のトリガレベルで TX/RX FIFO にアクセスする場合に発生することがあります。

回避方法:

TX/RX FIFO のトリガレベル (1、2、4、8、16、32) に 2 の冪乗の値を使用します。

i2312**MMCSDBS200 および SDR104 コマンド タイムアウト ウィンドウが小さすぎます****詳細:**

高速 HS200 および SDR104 モードでは、MMC モジュールの機能クロックは最大 192MHz に達します。この周波数では、MMCSDBS200_SYSCTL[19:16] DTO = 0xE を使用した MMC ホストコントローラからの最大取得可能タイムアウトは、 $(1/192\text{MHz}) \times 2^{27} = 700\text{ms}$ です。700ms を超えるコマンドは、この小さなウィンドウ フレームによって影響される場合があります。

回避方法:

このコマンドで 700ms より長いタイムアウトが必要な場合は、MMC ホストコントローラのコマンドのタイムアウトを無効化し (MMCSDBS200_CON[6] MIT=0x1)、その代わりにソフトウェア実装を使用できます。詳細な手順は次の通りです (Linux の場合)。

1.MMC ホストコントローラのプロブ機 (omap_hsmmc.c:omap_hsmmc_probe()) 中、ホストコントローラが必要なすべてのタイムアウトをサポートできないことをプロセッサに通知します。

i2312 (続き)

MMCSDB:HS200 および SDR104 コマンド タイムアウト ウィンドウが小さすぎます

2. 基盤となる MMC ホスト コントローラが必要なタイムアウトをサポートできない場合、コアが自動的にタイムアウトするように、MMC コア ソフトウェア層の機能を変更します。

i2493

MMCSDB:HS200 の書き込みエラー

詳細:

MMC0 インターフェイスが HS200 モードで動作していて、過剰な IO 電源ノイズが発生している場合に、複数のブロック書き込みを発行すると、書き込みエラーが発生する可能性があります。

IO 電源ノイズを最小限に抑えるため、以下のベスト プラクティスに従ってください。また、リンク先のアプリケーション ノートを参照してください。

- グラウンド層に隣接する広い電源プレーン / パターンを使用し、グラウンド層の間に薄い誘電体を配置します。
- 電源プレーン / パターン、および隣接するグラウンド プレーンは、電源部品の表面にできる限り近づけて配置します。
- さまざまな値のデカップリング コンデンサを使用し、低 ESL のコンデンサをデカップリング デバイスにできるだけ近づけて配置します。
- 電源ピンごとに 1 つのデカップリング コンデンサを使用します。
- デカップリング コンデンサおよび電源 / グラウンド ビアには、短く幅広いパターンを使用します。
- [Sitara™ プロセッサ電源供給回路: 実装と分析](#)

回避方法:

ソフトウェア回復メカニズムを実装します。このメカニズムでは、ブロック間の遅延を最小 5μs に抑えることでノイズを低減し、失敗した複数のブロック書き込みを再発行します。この遅延を実現するには、失敗した複数のブロック書き込みに対して単一のブロック書き込みを使用します。

i2383**OSPI: 2 バイト アドレスは、PHY DDR モードではサポートされていません****詳細:**

PHY DDR モードで OSPI コントローラが 2 バイト アドレッシングに構成されていると、内部ステートマシンが送信されたアドレス バイト数を誤って (2 ではなく) 1 と比較します。これにより、ステートマシンがアドレス位相でロックアップし、PHY DDR モードが動作不能になります。

この問題は、タップ モードまたは PHY SDR モードを使用する場合は発生しません。PHY DDR モードで 4 バイト アドレッシングを使用する場合も、この問題は発生しません。

回避方法:

互換性のある OSPI メモリにプログラマブル アドレス バイト設定がある場合は、フラッシュの 2 ~ 4 に必要なアドレス バイト数を設定します。これには、アドレス バイトを変更するための特定のコマンドの送信やフラッシュ上の構成レジスタへの書き込みが含まれる場合があります。完了したら、コントローラ設定で送信されたアドレス バイト数を 2 から 4 に更新します。

2 バイト アドレッシングのみをサポートし、再プログラムできない互換 OSPI メモリについては、PHY DDR モードはそのメモリと互換性がありません。代替モード:

- PHY SDR モード
- TAP (非 PHY) DDR モード
- TAP (非 PHY) SDR モード

i2401**CPSW: ホストのタイムスタンプにより、CPSW ポートがロックされます****詳細:**

CPSW は、パケット入力タイムスタンプ情報をホストに通信するための 2 つのメカニズムを提供します。

1 つ目のメカニズムは、特定のイベントによってトリガされたときにタイムスタンプを記録する CPTS イベント FIFO を経由します。そのようなイベントの 1 つは、指定された **EtherType** フィールドを持つイーサネット パケットの受信です。最も一般的に、これは PTP パケットの入力タイムスタンプをキャプチャするために使用されます。このメカニズムでは、ホストは DMA 経由で配信されるパケット ペイロードとは別に、(CPTS FIFO から) タイムスタンプを読み取る必要があります。このモードはサポートされており、このエラッタの影響を受けません。

2 つ目のメカニズムは、PTP パケットだけでなく、すべてのパケットの受信タイムスタンプを有効化することです。このメカニズムでは、タイムスタンプは DMA を介してパケット ペイロードと一緒に配信されます。この 2 番目のメカニズムは、このエラッタの主題です。

CPTS ホストタイムスタンプがイネーブルの場合、内部 CPSW ポート FIFO へのすべてのパケットには、CPTS からのタイムスタンプが必要です。EMI やその他の破損メカニズムによってパケットプリアンブルが破損した場合、タイムスタンプ要求が CPTS に送信されない可能性があります。この場合、CPTS は CPSW ポート FIFO でロックアップ状態を引き起こすタイムスタンプを生成しません。CPTS_CONTROL レジスタの **tstamp_en** ビットをクリアして CPTS ホストのタイムスタンプを無効化すると、ロックアップ状態が発生しなくなります。

回避方法:

イーサネットからホストへのタイムスタンプを無効化する必要があります。

CPTS ホストのタイムスタンプの代わりに、イベント FIFO のタイムスタンプを使用できます。

i2409

USB:短時間のサスペンドが原因で USB2 PHY がロックアップします

詳細:

USB コントローラがサスペンドに移行してから 3 マイクロ秒以内に発生する USB ウェークアップ イベントにตอบสนองして、USB 2.0 PHY がハングアップする場合があります。この PHY ハングは、ウォームリセットがディスエーブルであるため、パワー サイクルを介してのみ回復できます。

回避方法:

注:この回避方法は、USB がプライマリ ブート モードではない場合にのみ適用されます。USB がプライマリ ブート モードの場合は、回避方法はあります。

この問題が発生しないようにするには、USB コントローラの初期化プロセス中に特定の順序の動作を観察する必要があります。

i2431

BCDMA:RX チャンネルが特定のシナリオでロックアップする可能性があります

詳細:

BCDMA RX チャンネル ティアダウンにより、チャンネルがロックされる可能性があります。構成固有のフラグ フィールドに EOP フラグが設定されている TR がない場合は、後続の転送に使用できなくなります。その後、チャンネルが再度有効になっても、転送は完了せず、TR 応答でさまざまなエラーが発生して終了します。

回避方法:

a) PSIL/PDMA ペリフェラルからデータを受信する場合、チャンネル ティアダウンが正しく機能し、内部状態メモリをクリーンアップするためには、各 TR の構成固有のフラグ フィールドに EOP フラグを設定し、PDMA の 1 X-Y FIFO モード静的 TR「Z」パラメータを 0 以外の値に設定する必要があります。そうしないと、それ以降の実行でチャンネルがハングアップします。PDMA が各転送を個別の packet として区切るように、PDMA Z カウントも TR サイズと一致する必要があります。これは、ストリーミング モードで TR の 1 セットを使用して周期的転送を実行するために TRPD が無限のリロード カウントを設定している場合などに特に問題となります。この場合、各 TR が最後の TR になる可能性があります。

b) 事前に PDMA Z カウントを設定できない場合、または packet EOP を設定できない場合は、BCDMA ではなくシングル バッファ モードで PKTDMA を使用することが推奨されます。

i2435

ブート:eMMC ブートの ROM タイムアウトが長すぎる

詳細:

ROM のバグにより、空または消去された (または工場出荷時の状態) eMMC デバイスから eMMC ブート モード (eMMC ブート パーティションから起動するモード、eMMC 代替モードとも呼ばれる) で起動を試みると、バックアップ ブート モードに切り替わるまでの通常のブート タイムアウトが 10 秒になります。

回避方法:

このタイムアウトがシステム内で長すぎると判断される場合、別のブート モードからブートする必要があります。

i2461

デバッグ:リセット時ウェイト (WIR) モードが機能しない

詳細:

1.8V 専用およびデュアル電圧 (1.8V/3.3V) の 16nm IO セルで、リセットからの移行時にグリッチが発生します。入力がロジック 1 のときにグリッチが発生します。

i2461 (続き) デバッグ:リセット時ウェイト (WIR) モードが機能しない

これにより、電源投入後にデバイスが WIR モードに入らなくなります。

回避方法: なし

i2462 ブート:ROM xSPI - SFDP ブート モードが失敗する

詳細: xSPI-SFDP のブートで、第 2 段階のイメージのブートに失敗します。ROM は、第 2 段階のイメージではフラッシュ デバイスへのアクセスが 1S-1S-1S モードであるものと想定していますが、第 1 段階のイメージがブートした後、フラッシュは 8D-8D-8D モードのまま残ります。

回避方法: 第 1 段階のイメージでは、フラッシュを 1S-1S-1S モードにリセットする必要があります。

i2463 ブート:SD カードでブート エラーが発生する可能性があります

詳細: 一部の SD カードでは、SD カードのブートに失敗することがあります。ROM が初期化中に SD カード インターフェイスの周波数を誤って設定しているため、カード上のデータが誤って読み取られ、ブート エラーが発生する可能性があります。動作は、異なるメーカーのカードを選択した場合や、異なる基板設計の場合に変化することがあります。SD カードのバックアップ ブートが成功するか、リセット後にそれ以降のブートが成功する可能性があります。

回避方法: 同じメーカーの別の SD カード メーカー、または同じメーカーの別のカード タイプを選択して、より一貫した結果を得ることができます。SD カードのバックアップ ブートを選択すると、影響を受けるカードでも機能する可能性があります。

i2464 ブート:ROM は、フォーマットが正しくない SD カードからはブートできません

詳細: ファイル システムの作成中にファイル システムが正しくフォーマットされていないと、MMCSD ブート モードが SD カードからブートできないことがあります。

回避方法: Ubuntu 22.04 システムから SD を作成する場合は、mkfs.vfat コマンドに「-a」引数を追加して、正しいブート パーティションを生成します。

i2465 ブート:EMMC ブート モードが予想より遅くなります

詳細: eMMC ブート モード中の MMC0_CLK クロック信号は、予想される 25MHz ではなく、ブート中は 5MHz になっています

回避方法: なし。MMC の起動は予想よりも遅くなりますが、機能には問題はありません

i2466

ブート:ファイル サイズが大きい場合、ROM ブートに失敗します

詳細:

ファイル システム ベースのブートモード (MMCSDB、USB MSC など) では、ファイル サイズが 2MB を超えるとブートに失敗します。

回避方法:

記載よりも小さいファイル サイズを使用してください

i2467

ブート:大きいイメージで ROM UART ブートに失敗します

詳細:

ROM UART タイムアウト値が十分ではありません。したがって、ブート イメージが 800KB を超える場合、2 段階ブート中に UART ブートはタイムアウトします

回避方法:

800KB 未満のブート イメージを使用します

i2469

ブート:ROM NOBOOT ブート モードが機能しません

詳細:

NoBoot ブート モードでブートすると、SMS がハングし、回復できません

回避方法:

なし。NoBoot ブート モードを使用しないでください。状況によっては、DevBoot ブート モードを使用できる場合があります。

i2470

ブート:USB-DFU プライマリ ブート モードからバックアップ ブート モードへの移行に失敗します

詳細:

バックアップ ブート モードで USB-DFU プライマリ ブート モードが選択されている場合、プライマリ ブート モードがタイムアウトした場合、ROM はバックアップ ブート モードに移行できません。これは通常、USB-DFU ブート モードにイメージが存在しない場合に発生します。なお、このブート シーケンスは、USB-DFU のプライマリ ブートがタイムアウト前に失敗した場合 (たとえば、イメージが ROM によって読み取られているがブートできない場合) に有効です。

回避方法:

なし。

i2471

ブート:特定のプライマリバックアップ ブート モードの組み合わせで失敗します

詳細:

特定のプライマリ/バックアップの順序の組み合わせでは、バックアップ ブート モードで 2 段階ブートが失敗します

プライマリ ブートがオフセット ベースの開始点 (O/Q/SPI、シリアル NAND、GPMC NAND、eMMC ブートなど)

であり、バックアップ ブート モードがファイル システム ベース (SD カード、UDA 付き eMMC、USB MSC など) の場合、プライマリ ブートが成功しなかった場合、バックアップ ブート モード (第 2 段階の処理中) でブートが失敗します

または

プライマリ ブートがファイル システム ベース (SD カード、UDA 付き eMMC、USB MSC など)

i2471 (続き)
ブート:特定のプライマリバックアップ ブート モードの組み合わせで失敗します

であり、バックアップ ブート モードの開始点がオフセット ベース (O/Q/SPI、シリアル NAND、GPMC NAND、eMMC ブートなど) の場合、プライマリ ブートが成功しなかった場合、バックアップ ブート モード (第 2 段階の処理中) でブートに失敗します

回避方法:

なし。影響を受けるブートの組み合わせは選択しないでください。

i2473
ブート:eMMC ブートが失敗する可能性があります
詳細:

ブート パーティションを使用した eMMC ブートは安定しません。この問題はまだ調査中です。このアドバイザリは、UDA を使用する eMMC ブートには適用されません。

回避方法:

なし。UDA または別のブート メディアを使用して eMMC ブートを使用することをお勧めします。

i2474
ブート:ブロック ベースのブート モードで、特定の第 2 段階のバイナリが失敗します
詳細:

証明書のサイズが 128 バイトに揃えられている場合、SD、eMMC、USB-DFU、シリアル NAND、GPMC NAND、UART での ROM のブートに失敗します。

回避方法:

証明書のサイズは 128 バイトに揃える必要はありませんが、個々のコンポーネントは 128 バイトに揃える必要があります。

i2160
DDR:LPDDR4 コマンド バスのトレーニング中に、有効な VRef 範囲を定義する必要があります」を追加
詳細:

DDR PHY は、LPDDR4 コマンド バス トレーニング (CBT) 時に、コマンド / アドレス バスの VREF (ca) を更新します。VREF (ca) 検索範囲が無効な値に設定されている場合 (CBT 中に作業設定が見つからないなど)、トレーニング プロセスが失敗したり、ハングアップしたりする可能性があります。

回避方法:

CBT を有効化する前に、次のフィールドを既知の有効な作業値に設定します。

周波数設定 0 の場合:PI_CALVL_VREF_INITIAL_START_POINT_F0 および
PI_CALVL_VREF_INITIAL_STOP_POINT_F0

周波数設定 1 の場合:PI_CALVL_VREF_INITIAL_START_POINT_F1 および
PI_CALVL_VREF_INITIAL_STOP_POINT_F1

周波数設定 2 の場合:PI_CALVL_VREF_INITIAL_START_POINT_F2 および
PI_CALVL_VREF_INITIAL_STOP_POINT_F2

公称 VRef 値 (プロセッサでの駆動強度のデバイス プログラミングおよびメモリの終端に基づく) $\pm 4\%$ を使用することを推奨します。<http://dev.ti.com/sysconfig> のオンライン DDR Register Configuration Tool を使用して、これらのレジスタをプログラムし、リビジョン履歴を確認して、この回避策が使用するツールのバージョンで対応されていることを確認してください。

| | |
|--------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------|
| i2481 | ブート: パーティションが毎回再プログラムされていない場合、eMMC 代替ブートは失敗します |
| 詳細: | eMMC ブート (eMMC ブート パーティションからのブート) の場合、パーティションが EXT_CSD レジスタに再プログラムされていない場合、ブートは失敗します。これにより、後続のリセット後に eMMC ブートが動作不能になります。これは、UDA モードを使用した eMMC ブートには適用されません。 |
| 回避方法: | なし |
| i2482 | ブート:SD カードの初期化中、ROM から十分なクロックが供給されません |
| 詳細: | SD カード物理層仕様バージョンで指定されているように、ROM コードは 74 クロックを供給していません。2.00.これにより、SD カードの起動に失敗する可能性があります。影響を受けるデバイスのこのエラッタに起因する障害は発生していません。 |
| 回避方法: | なし |
| i2484 | ブート:ROM は、一般化された時間形式を使用して X509 証明書を解析できません |
| 詳細: | 初期ブートローダ tiboot3.bin に一般化された形式の終了日が含まれている場合、ROM は X509 証明書の解析に失敗し、ブートに失敗します。 |
| 回避方法: | 終了日には UTC 形式を使用します。 |
| i2487 | LPM: 低消費電力モードでは、DDR の内容を誤って破損する可能性があります |
| 詳細: | ディープ スリープ モードまたは RTC+IO+DDR 低電力モードへの移行時に、デバイスで接続された DDR が保持モードに正しく移行されない場合があります。これは DDR データの破損につながります。 影響を受けるデバイスでは、これらの低消費電力モードを使用しないでください。 |
| 回避方法: | なし |

商標

すべての商標は、それぞれの所有者に帰属します。

3 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from MAY 30, 2025 to OCTOBER 2, 2025 (from Revision A (May 2025) to Revision B (October 2025))

Page

- 表 1-2 の SR1.1 表の注記を削除。アドバイザー マトリックス (アドバイザーの修正) は検証済みです。i2462、SR 1.1 を「あり」に変更.....[2](#)
- アドバイザリ i2493; MMCSD:HS200 の書き込みエラー.....[9](#)

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月