参考資料

Errata

AM273x Sitara マイコン シリコン エラッタ

TEXAS INSTRUMENTS

概要

この文書では、AM273x マイコンの機能仕様に対する既知の例外 (アドバイザリ) について説明します。本文書には、使用上の注意事項も記載されています。使用上の注意は、デバイスの動作が推定または文書化された動作と一致しない可能性がある状況を示しています。これには、デバイスの性能や機能の正確さに影響を与える動作が含まれる場合があります。

目次

1 シリコンの使用上の注意およびアドバイザリのマトリクス

表 1-1 に、すべての使用上の注意と、該当するシリコンのリビジョンを示します。表 1-2 にすべてのアドバイザリ、影響を受けるモジュール、および適用可能なシリコン リビジョンを一覧表示します。

表 1-1. シリコンの使用上の注意のマトリクス

番号	タイトル	影響を受けるシリコンのリビジョン		
		AM273x 1.0	AM273x 1.1	AM273x 1.2
Aurora	i2293 - クロック レーンが必要な場合、またはバイパス モード動作の場合、Aurora インターフェイスが最大定格周波数で動作しない	あり	あり	あり
クロック	i2324 - GCM と GCD ステータス信号の間にシンクロナイザがない	あり	あり	あり
DSP	i2295 - DSP 内のメモリ フィルタ保護機能が、PrivID に基づいたアクセスをフィルタできない	あり	あり	あり
ESM	i2300 - ESM:ウォーム リセットが複数回アサートされると、安全性が有効なテスト ケースで nerror がアサートされる	あり	あり	あり
QSPI	i2364 - 8MB を越えるアドレスへのアクセスが、メモリ マップ モードでサポートされない	あり	あり	あり
PLL	i2389 - 1GHz 未満にロックされている場合に推奨される PLL 構成	あり	あり	あり
	i2390- 推奨される HWA memInit シーケンス	あり	あり	あり

表 1-2. シリコンのアドバイザリのマトリクス

モジュール	説明	影響を受けるシリコンのリビジョン		
		AM273x 1.0	AM273x 1.1	AM273x 1.2
Aurora	i2299 - Aurora IP の最初のパターンは同期すべきでない	あり	あり	あり
	i2344 - udp の有効なサイズ範囲が、AURORA_TX_UDP_SIZE > 4	あり	あり	あり
CPSW	i2345 - CPDMA がメモリ バンクにまたがるパケットを取得すると、イーサネット パケットが破壊される	あり	あり	あり
CSI	i2297 - CSI に関する注事項	あり	あり	あり
DMM	i2315 - トレース モード中の DMM に関する注意事項	あり	あり	あり
	i2318 - 特権モードの書き込みのみをサポートする領域へ DMM が書き込みを行うことができない	あり	あり	あり
DSP	i2298 - DSP PBIST リセットによる DSP L2 クロックの変更	あり	あり	あり
	i2341 - DSP L2 への未割り当て領域アクセス - DSP IP がエイリアシングと L2 パリティ エラーの原因となる予約済み領域へのアクセスをブロックしない	あり	あり	あり
DSS	i2289 - DSS CM4 からのアクセスが不揃いな場合に、データ完全性に問題が発生してハング アップを引き起こす場合がある	あり	あり	あり
EDMA	i2288 - HWA の M1 + M2 メモリにまたがる EDMA 転送により、データが破壊される可能性がある	あり	あり	あり
L3	i2294 - L3 バンク D の以後のメモリ初期化構成では、メモリ初期化がトリガされない	あり	あり	あり
MDO	i2301 - MDO:FIFO スレッショルドの位置に挿入された SW マーカが失われる	あり	あり	あり
	i2302 - MDO:Aurora 64B/66B プロトコルのオーバーフロー メッセージの転送中に、Strict Alignment User Flow Control Striping でサポートされているレシーバとの潜在的な相互運用性に見られる問題。	あり	あり	あり
	i2309 - MDO:HWA vbusm2ram スニファ アドレス アロケーション ロジックが正しくない	あり	あり	あり
	i2329 - MDIO インターフェイスの破壊 (CPSW および PRU-ICSS)	あり	あり	あり

表 1-2. シリコンのアドバイザリのマトリクス (続き)

モジュール	説明	影響を受けるシリコンのリビジョン		
		AM273x 1.0	AM273x 1.1	AM273x 1.2
MiBSPI	i2336 - 低速 SPICLK 周波数およびクロック位相= 1 の場合、ペリフェラル モードの 3 ピンまたは 4 ピン通信の MibSPI がデータを正しく送信しない	あり	あり	あり
	i2338 - ペリフェラル モード MibSPI からのスプリアス RX DMA REQ	あり	あり	あり
	i2339 - 読み取り後、MibSPI RX RAM RXEMPTY ビットがクリアされない	あり	あり	あり
	i2340 - MibSPI RAM の ECC が DIAG モードで正しく読み取られない	あり	あり	あり
RAM	i2342 - HWA での FFT 実行中の 2D 統計サンプリング値 RAM プロセッサ ライト バック問題	あり	あり	あり
R5FSS	i2162 - 同じ割り込みを別の割り込み内にバック トゥ バックでネストできない	あり	あり	あり
SPI	i2337 - IO ループバックが有効化されている場合、ペリフェラル モードでデータ長エラーが繰り返し生成される	あり	あり	あり
PLL	i2387 - クロック ソース スイッチ中の GCM 回路のグリッチ	あり	あり	あり
	i2392 - mem-init キャプチャ レジスタの競合状態により、イベント ミスが発生する	あり	あり	あり
	i2394 - 割り込みおよびエラー アグリゲータ キャプチャ レジスタの競合状態により、イベント ミスが発生する	あり	あり	あり
CRC	i2386 - CAN モジュールでは CRC 8 ビット データ幅と CRC8-SAE-J1850 および CRC8-H2F がサポートされない	あり	あり	あり
MBOX	i2404 - メールボックス レジスタの競合状態により、イベント ミスが発生する	あり	あり	あり

サポート対象デバイス

本文書は、以下のデバイスをサポートしています。

- AM273x

注

更新されているのは ROM 機能のみであるため、すべてのアドバイザリおよび使用上の注意は AM273x Si 1.0、1.1、1.2 に適用されます。次の表に、Si バージョン全体での ROM の更新/機能の変更を示します。

シリアル番号	Si バージョン	特長	備考
1	1.0	GP デバイス	セキュア ブートへの対応なし
2	1.1	• セキュア ブートに対応 • 暗号化アクセラレータ用に HSM DMA を有効化 • フラッシュ リセット コマンド サポートを削除 • Devboot モードに対応	ROM 更新のみ
3	1.2	• TIFS が必要とするアセット アクセスを有効化 • ROM のハンドオフ中に PBIST ステータス情報をアセットに更新 • メモリ部品のさまざまなバリエーションに対応	ROM 更新のみ

2 使用上の注意およびアドバイザリ

このセクションには、このシリコン リビジョンの使用上の注意およびアドバイザリが記載されています。

シリコンの使用上の注意

i2293

クロック レーンが必要な場合、またはバイパス モード動作の場合、Aurora インターフェイスが最大定格周波数で動作しない

詳細

以下が、最大周波数およびスキューです

モード	値
Aurora - クロック レーンなし	最大データ レート:900Mbps レーン間のマルチ レーン スキュー:600ps
オーロラ + クロック レーン	最大データ レート:625Mbps データ レーンとクロック レーンの間のスキュー:230ps
バイパス + クロック + フレーム クロック レーン	最大データ レート:450Mbps データ/フレーム クロック レーンとクロック レーン間のスキュー:230ps

回避方法

なし

i2295

DSP 内のメモリ フィルタ保護機能が、PrivID に基づいたアクセスをフィルタできない

詳細

これらのビットは内部で 0x0 に接続されているため、これらの信号を、DSP 内でメモリ保護された転送の属性として使用することはできません。

回避方法

なし

i2300

ESM:ウォーム リセットが複数回アサートされると、安全性が有効なテスト ケースで nerror がアサートされる。

詳細

ウォーム リセットがアサートされた直後に、一部の ESM エラー ラインでグリッチが発生します。これらのグリッチは、有効なエラーとして ESM ステータス レジスタにキャプチャされます。ウォーム リセットをデアサートした後も、これらのレジスタはパワーオン リセット時にクリアされるため、これらのエラーは引き続き保留のままです。nerror がマスクされていない場合、これらのエラーは nerror PAD に表示されます。

回避方法

この問題を回避するために、安全性イネーブル シーケンスで最初にすべての ESM ステータス レジスタをクリアする必要があります。

i2324

GCM と GCD ステータス信号の間にシンクロナイザがありません

詳細:

GCM と GCD の間にシンクロナイザがないため、クロック構成レジスタの読み取りが一時的に正しくなくなる可能性があります。

重大度:

軽微

i2324 (続き) ***GCM と GCD ステータス信号の間にシンクロナイザがありません***

回避方法:

ステータス レジスタが、プログラムされた SRC_SEL および DIV の値に反映されるまで、ステータス レジスタの変更をポーリングします。

i2364 ***QSPI:8MB を越えるアドレスへのアクセスが、メモリ マップ モードでサポートされない***

詳細:

SoC インターコネクトから QSPI コントローラへのアドレス ラインは 23 本です。したがって、メモリ マップ モードでは、QSPI フラッシュ メモリの使用はチップ セレクトあたり 8MB に制限されます。

回避方法:

なし

i2389 ***PLL:1GHz 未満にロックされている場合に推奨される PLL 構成***

詳細:

PLL が 1GHz 未満にロックされている場合、PLL からの低ジッタのクロック アウトを実現するには、次の設定を使用する必要があります。

回避方法:

シグマ デルタ設定に関する推奨事項

SD 分周器は 0x4 [MSS_TOPRCM:PLL_CORE_FRACDIVPLL_CORE_FRACDIV_REGSD] にプログラムする必要があります。

PLL CTRL 設定に対する推奨事項

SELFFREQDCO フィールドは 0x2 [MSS_TOPRCM:PLL_CORE_CLKCTRLPLL_CORE_CLKCTRL] にプログラムする必要があります。

i2390 ***推奨される HWA memInit シーケンス***

詳細

H/W に競合状態が存在します:ソフトウェアが Done ステータス ビットをクリアする場合、同じサイクル内の H/W が別の Done ステータス ビットを設定しようとすると、後の Done ステータス ビットがレジスタにラッチされずに失われて、S/W がハングする原因となります。

回避方法

S/W は、すべての Done ステータス ビット (MEM_INIT_DONE[13:14]) がセットされるのを待ってから、ステータス (MEM_INIT_DONE[13:14]) のクリアを試行する必要があります。

または、

Memint を順番に実行してみます。

または、

MEM_INIT_STATUS[13:14] ビットがローになるまで memInit ポーリングを開始した後、そのステータス (MEM_INIT_DONE[13:14]) のみをクリアします。

シリコンのアドバイザリ

i2162 ***R5FSS:同じ割り込みを別の割り込み内にバック トゥ バックでネストできない***

詳細:

2 回目以降は、優先度の低い割り込み内で同じ高優先度の割り込みをネスト (プリエンプション) することはできません。2 回目に高優先度の割り込みが発生した場合、プログラムが低優先度の割り込みサービス ルーチン (ISR) を終了するまで待つ必要があります。この問題が生じるのは、現在のプリエンプションに続く優先度の高い割り込みが、元のプリエンプションの原因となった割り込みと同じ場合のみです。元の優先度の高い割り込みが 2 回目に発生する前に、別の割り込みが低優先度の ISR をプリエンプトした場合は、問題はありません。この問題は、VIM でのベクタ インターフェイス法と MMR インターフェイス法の割り込み処理の両方に影響します。この問題は、FIQ と IRQ の両方の割り込みに影響します。

回避方法:

ソフトウェア回避方法が存在します。SW の回避方法の目的は、同じ割り込みが連続的にアクティブ化するのを防止し、それによってバグの必要な条件を取り除くことです。これは、最高の優先度レベル (優先度 0) を予約し、その優先度をダミー割り込み (R5FSS で使用可能な 512 個の割り込みのいずれか) に使用して、各 ISR 内でこのダミー割り込みを呼び出すことによって実現できます。さらに、R5FSS コア自体がこのダミー ISR に入る必要はなく (マスクすることも可能です)、このダミー ISR を中心とする VIM とのハンドシェイクだけを行う必要があります。

疑似コード例を以下に示します。ご要望いただければ、TI はこの回避方法を実行するために必要なドライバを提供いたします。

```
any_isr_routine {
...
1:      set I/F bit in CPSR ; //so R5FSS cannot be interrupted again. I for
irq, F for fiq
2:      Trigger dummy_intr; //writing 1'b1 to Interrupt RAW Status/Set
Register bit in VIM corresponding to the chosen dummy_intr
3:       rd_irqvec; //Read IRQVEC register in VIM to acknowledge dummy_isr
4:       clear dummy_isr; //writing 1'b0 to Interrupt RAW Status/Set Register
bit in VIM corresponding to the chosen dummy_intr
5:       wr_irqvec;//Write to IRQVEC register in VIM to denote end of interrupt
6:       clear I/F bit in CPSR;
…
}
Note: Depending on where the workaround code is inserted in the ISR, step 1 &
6 may not be needed.
```

i2162 (続き) ***R5FSS : 同じ割り込みを別の割り込み内にバック トゥ バックでネストできない***

この回避方法の短所は、優先度 0 を使用できず (優先度 1～15 のみが使用可能)、ISR 実行時にレイテンシが付加されることです。

i2288 ***HWA の M1 + M2 メモリにまたがる EDMA 転送により、データが破壊される可能性がある***

詳細

HWA の M1+M2 メモリ にまたがる EDMA 転送は、SoC からのエラー通知が行われずにデータを破壊する可能性があります。

TPTC IP 仕様によれば、TR はシングル ターゲットのエンド ポイントにアクセスすることになっています。HWA の M0/M1 メモリ バンクは、シングル ターゲット ポイント経由で利用可能であり、HWA の M2/M3 メモリ バンクは、別の (M0/M1 とは異なる) ターゲット ポイントとして利用できます。したがって、1 つの TR を使用して HWA の M1 メモリと M2 メモリにまたがるバッファ (つまり、2 つの異なるターゲット ポイントにまたがる 1 つのバッファ) にアクセスする場合、仕様には準拠していません。このエラッタは、この仕様要件を明確に示しています。

回避方法

1 つの TR が M1+M2 にまたがらないように、アクセスを 2 つの TR に分割します。2 つの TR はチェーン接続できます。

i2289 ***DSS CM4 からのアクセスが不揃いな場合に、データ完全性に問題が発生してハング アップを引き起こす場合がある***

詳細

DSS HWA CM4 は、サブシステムの外部のアドレス空間へのアクセスを実行できません。つまり、

- 32 ビット境界に位置が揃っていません。または
- 32 ビットの倍数ではありません (8/16 ビット アクセスなど)

これには、DSP L2、DSS L3、MSS L2 空間も含まれますが、これらに限定されません。

回避方法

アドレスが 32 ビット単位で揃っていて、32 ビットの倍数でアクセスされることを確認します。

L2/L3 から HWA CM4 サブシステム内のいずれかの場所にデータを DMA 転送した後、CM4 からアクセスできます。

i2294 ***L3 バンク D の以後のメモリ初期化構成では、メモリ初期化がトリガされない***

詳細

DSS_L3 バンク D のメモリ初期化は、書き込みパルス ハイではなく、読み取り/書き込みビット DSS_CTRL::DSS_L3RAM_MEMINIT_START::L3RAM3_MEMINIT_START です。

回避方法

以後のメモリ初期化をトリガするには、0x1 を書き込む前にフィールドに 0x0 を書き込んでメモリ初期化をトリガします。

1. 0x0 を DSS_CTRL::DSS_L3RAM_MEMINIT_START::L3RAM3_MEMINIT_START に書き込みます。
2. 0x1 を DSS_CTRL::DSS_L3RAM_MEMINIT_START::L3RAM3_MEMINIT_START に書き込みます。

i2297 CSI に関する注意事項

詳細

CSI が 8 バイト単位に揃っていない PCR/HWA/HSM/DMM への書き込みを試みると、データの破壊が生じる可能性があります。

回避方法

DMM が CSI2 モードで動作している場合、CSI2 から DMM への転送は 1 ラインのピンポン伝送を有効にする必要があります。

CSI2 から任意の PCR、HWA、または HSM 空間へのアクセスには、次のいずれかの制約が必要です。

- 行あたりの CSI2 ペイロード サイズは、8 バイトの倍数にする必要があります。
- CSI2 は、1 ラインのピンポン構成で動作する必要があります。

i2298 DSP PBIST リセットによる DSP L2 クロックの変更

詳細

DSP による DSS サブシステムのセルフテスト動作中、L2 メモリは機能モードになっており、クロックを妨げてはいけません。PBIST コントローラにアクセスするには、PBIST_ST_KEY レジスタを設定する必要があります。MMR レジスタは、L2 クロック パスに追加されたクロック マルチプレクサの選択ラインのためにメモリ セルフテストおよび制御を構成するためのものです。

レジスタを構成すると、両方のクロックがアクティブの間に選択ラインを動的に切り換えるため、L2 クロック マルチプレクサにグリッチが生成されます。

回避方法

DSP PBIST を MSS によって行います。

i2299 Aurora IP の最初のパターンは同期すべきでない

詳細

Aurora には同期圧縮と呼ばれる機能があり、構成レジスタの値に基づいて送信される同期パターンの数を圧縮できます。最初のフレームが同期パターンのシーケンスで、同期パターンの圧縮が n (例) に設定されている場合、理想的には Aurora は n 個の同期パターンのみを出力する必要があります。バグのため、1 つの同期パターンのみが出力として送信されます。

回避方法

なし

i2301 MDO FIFO スレッショルドの位置に挿入された sw マーカが失われる

詳細

測定データ出力 (MDO) は、AM273x デバイスのさまざまなインターフェイスから接続されたバス上のトランザクションをキャプチャし、LVDS (4 データ レーン) 経由で外部に送信するために使用されます。MDO は、スニファ、FIFO、アグリゲータで構成されます。対応するスニファ モジュールはバス インターフェイスをスニファし、FIFO にデータを蓄積します。FIFO スレッショルドに達すると、データはバースト転送としてアグリゲータに送信されます。

MDO ソースは、追跡またはその他の関連する目的で、マーカ インジケータとそのデータを注入することもできます。FIFO スレッショルド位置の最後の要素の一部になるようにマーカが挿入されると、マーカは失われます。

これは、*Sniffer 0* 以外のスニファを転送に使用した場合にのみ発生します。

i2301 (続き) ***MDO FIFO スレッショルドの位置に挿入された sw マーカが失われる***

回避方法

複数の連続マーカ (> 1) をユーザーが送信して、少なくとも 1 つのマーカがレシーバによって登録されていることを確認できます。同じスニファ構成を Sniffer 0 レジスタにプログラムする必要があります。この方法で、マーカが送信され、レシーバによって登録されます。この回避方法は、Sniffer 0 が使用されておらず、他のスニファ構成を複製するためにアイドル状態になっている場合にのみ有効です。

注

これらの回避方法は、操作中にマーカを使用する場合にのみ必要です。マーカが使用されていない場合は、スニファに制限はありません。

i2302 ***MDO :Aurora 64B/66B プロトコルのオーバーフロー メッセージの転送中に、Strict Alignment User Flow Control Striping でサポートされているレシーバとの潜在的な相互運用性に見られる問題。***

詳細

測定データ出力 (MDO) は、AM273x デバイスのさまざまなインターフェイスから接続されたバス上のトランザクションをキャプチャし、Aurora LVDS インターフェイス (4 データ レーン) 経由で外部に送信するために使用されます。MDO は、スニファ、FIFO、アグリゲータで構成されます。MDO スニファ モジュールは、チップ内のハードウェア インターフェイスを監視し、監視対象となっている構成されたアドレス領域内でのバス上のトランザクションをキャプチャします。

オーバーフローによるデータ損失は、スニファで発生する可能性があります。このオーバーフロー情報は、CPU および Aurora Tx IP に割り込みとして送信されます。このエラー状態をユーザーに通知するために、データ オーバーフロー状態の場合には、Aurora TX IP によって User-Flow-Control (UFC) パケットが生成されます。これはエラー シナリオであり、通常の転送機能では発生しないと想定されています。この段階では、データの完全性はすでに構成されています。

Aurora IP は、Aurora 64B/66B プロトコル仕様のセクション 6.6 に従った UFC パケット生成のみをサポートしています。つまり、UFC ヘッダー ブロックは UFC データブロックの前にあります。Strict Alignment User Flow Control Stripping (Aurora 64B/66B Protocol Specification のセクション 6.7 を参照) は現在サポートしておりません。

回避方法

有効データ レートを制限内に維持してオーバーフロー状態を避けるため、MDO の入力データ レートを出力データ レートよりも低くする必要があります。

i2309 ***MDO - HWA vbusm2ram スニファ アドレス アロケーション ロジックが正しくない***

詳細

MDO では、128KB の HWA メモリをスニフィングしている場合、スニファ ロジックのアドレス アロケーションが正しくありません。32KB の境界を越えると、アドレスが 512KB に変換されるためです。

0 -32KB	**変換なし**
32KB-64KB	アドレスは 512KB [22:19] = [18:15]に変換されます。
64KB-96KB	アドレスは 512KB [22:19] = [18:15]に変換されます。
96KB-128KB	アドレスは 512KB [22:19] = [18:15]に変換されます。

回避方法

アドレスのプログラミング時には、snif_waddr[18:15] は snif_waddr[22:19] と同じにする必要があります。

i2309 (続き) ***MDO - HWA vbusm2ram スニファ アドレス アロケーション ロジックが正しくない***

START :END 回避方法 START :END

0 -32KB 0x00000000:0x00007FFF 0x00000000:0x00007FFF

32KB-64KB 0x00008000：0x0008FFFF 0x00088000：0x0008FFFF

64KB-96KB 0x00010000:0x00017FFF 0x00110000:0x00117FFF

96KB to 128KB 0x00018000:0x0001FFFF 0x00198000:0x0019FFFF

i2315 ***トレース モード中の DMM に関する注意事項***

詳細

DMM は、相互接続のイニシエータとして 32 ビット / 64 ビットの書き込みのみをサポートできます。

回避方法

なし

i2318 ***特権モードの書き込みのみをサポートする領域へ DMM が書き込みを行うことができない***

詳細

すべての DMM 書き込みはユーザー モード書き込みです。DMM は、特権モードの書き込みのみをサポートする領域へは書き込みを行うことができません。これは、トレース モードとダイレクト データ モードの両方にあてはまります。

回避方法

なし

i2329 ***MDIO :MDIO インターフェイスの破壊 (CPSW および PRU-ICSS)***

詳細:

CPSW および PRU-ICSS ペリフェラルが存在する場合、そのすべてのインスタンスの MDIO インターフェイスは、MDIO 読み取り時に破壊した読み取りデータを返す (たとえば、古いデータまたは以前のデータを返す) 可能性や、MDIO 書き込み時に誤ったデータを送信する可能性があります。また、次のペリフェラル リセットが (LPSC リセットによるか、CPSW の場合にリセットの分離が無効化されたグローバル デバイス リセットによって) 行われるまで、MDIO インターフェイスが使用できなくなることもあります。

この問題について考えられるシステム レベルの徴候として、(1) イーサネット PHY の誤ったリンク停止ステータス (2) イーサネット PHY を MDIO 上で正しく構成できないこと (3) 誤った PHY 検出 (例：誤ったアドレス) (4) PHY を MDIO 上で構成しようとしたときの読み取りまたは書き込みタイムアウトが考えられます。

ブート モード (サポートされている場合は CPSW のみ) の場合、プライマリ イーサネット ブートが正常に実行されることを保証する回避方法はありません。プライマリ ブート時にこの例外が発生した場合、ブートは再試行を開始することもできますが、成功するとは限りません。再試行が失敗した場合、最終的にタイムアウトとなり、バックアップ ブート モード (選択されている場合) に遷移します。バックアップ ブート モードが選択されていない場合、このような障害によりタイムアウトが発生し、チップ ウォッチドッグでデバイスが強制的にリセットされます。その後、ブート プロセス全体が再起動されます。

バックアップ ブート オプション (サポートされている場合) を選択するには、適切なプル抵抗をブート モード ピンに実装します。特定のデバイス オプションについてはブートのマニュアルを参照

i2329 (続き) ***MDIO :MDIO インターフェイスの破壊 (CPSW および PRU-ICSS)***

してください。ただし、イーサネット経由でのプライマリ ブート試行の標準的なタイムアウトは 60 秒です。

回避方法:

影響を受けるデバイスでは、次の回避方法を使用する必要があります。

MDIO 手動モード:PRU-ICSS と CPSW に適用可能。

MDIO プロトコルは、MDIO ペリフェラルの MDIO_MANUAL_IF_REG レジスタ内の該当ビットを読み書きして、MDIO クロック ピンとデータ ピンを直接操作することによってエミュレートできます。手動モード レジスタ ビットとその機能の詳細については、TRM を参照してください。

この場合、デバイス ピンのマルチプレクシングを設定し、CPSW または PRU-ICSS ペリフェラルによって IO を制御できるようにする必要がありますが (通常の意図した動作の場合と同じ)、MDIO_CONTROL_REG の MDIO_CONTROL_REG の ENABLE ビットを 0 にして MDIO ステート マシンを無効化し、MDIO_POLL_REG.MANUALMODE ビットを 1 に設定して手動モードを有効化する必要があります。

ソフトウェアの回避方法の実装については、TI にお問い合わせください。

注

イーサネット DLR (デバイス レベル リング) (CPSW または PRU-ICSS 上) または EtherCAT プロトコル (PRU-ICSS 上) を使用する場合、リンク ステータス チェックに必要なポーリング間隔に起因するランタイム回避方法 1 を実装するために、CPU または PRU のロードに大きな影響が生じる可能性があります。結果として生じるシステムへの影響を考慮する必要があります。

PRU-ICSS の場合、MDIO の MLINK 機能を使用して MIIx_RXLINK の PRU-ICSS への入力ピンを介してリンク ステータスを自動ポーリングすることによって、ソフトウェア回避方法の負荷を軽減できます。PRU-ICSS は、リンクがアクティブの間にトグルしない外部 PHY からのステータス出力に接続する必要があります。外部 PHY デバイスで規定されている動作に応じて、この PHY ステータス出力は、LED_LINK または LED_SPEED、または LED_LINK と LED SPEED の論理和です。MDIO の MLINK 機能の使用方法の詳細については、TRM の MDIO のセクションを参照してください。この機能は、CPSW ペリフェラルでは利用できません。

PRU-ICSS での EtherCAT 実装では、ソフトウェアの回避方法は RTUx/TX_PRUx コアで実行されます。コアは回避方法専用にする必要があります。つまり、これを他の目的に使用することはできません。この実装は、MDIO アクセスのために 2 つのユーザー アクセス チャネルをサポートします。これによって、R5f コアおよび PRU コアが独立したアクセスチャネルを持つオプションが可能になります。API は、RTOS Workaround 実装で使用するものと同様です。

EtherCAT は、MDIO MLINK を介した PHY 高速リンク検出を引き続き使用し、リンクステータスのステート マシンをバイパスします (このパスはエラッタの影響を受けないため)。これにより、ケーブルの冗長性に関連するレイテンシ要件を引き続き満たすことができます。

i2329 (続き)

MDIO :MDIO インターフェイスの破壊 (CPSW および PRU-ICSS)

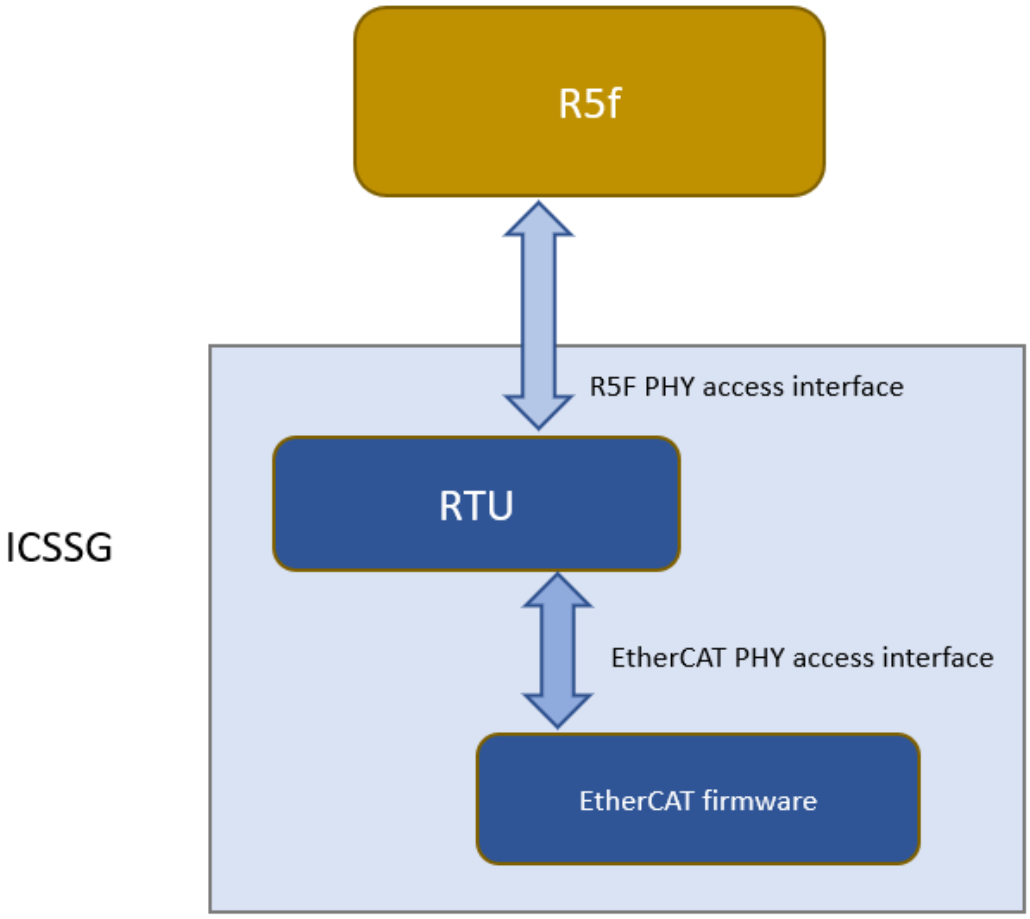

図 2-1. PRU コアを使用する手動モードによる MDIO エミュレーション

i2336

MibSPI :低速 SPICLK 周波数およびクロック位相= 1 の場合、ペリフェラル モードの 3 ピンまたは 4 ピン通信の MibSPI がデータを正しく送信しない

詳細:

MibSPI モジュールを、3 つの機能ピン (CLK、SIMO、SOMI) または 4 つの機能ピン (CLK、SIMO、SOMI、nENA) でマルチバッファ ペリフェラル モードに構成している場合、以下のすべての条件が満たされると誤ったデータを送信する可能性があります。

- MibSPI モジュールがマルチバッファ モードに構成されている
- モジュールが SPI 通信内のペリフェラルになるように構成されている
- SPI 通信が nENA により 3 ピン モードまたは 4 ピン モードに構成されている
- SPICLK のクロック位相が 1
- SPICLK 周波数が MSS_VCLK 周波数/12 以下

回避方法:

この問題は、TX RAM (マルチバッファ RAM 送信データ レジスタ) の制御フィールドの CSHOLD ビットをセットすることによって回避できます。この通信では、nCS を機能信号として使用しないため、CSHOLD ビットをセットしても SPI 通信にこれ以外の影響は発生しません。

i2337 ***SPI:IO ループバックが有効化されている場合、ペリフェラル モードでデータ長エラーが繰り返し生成される***

詳細:

IO ループバック テスト モードの nSCS ピンを使用して SPI のペリフェラル モードで DLEN エラーが生成された場合、SPI モジュールは現在の転送を中止し停止する代わりに、DLEN エラーのあるデータを再送信します。これは、CTRLDLENERR (IOLPBKTSTCR.16) を使用して意図的なエラー生成機能がトリガされた場合に、アナログ ループバック構成の IOLPBK モード ペリフェラルでのみ問題になります。

回避方法:

IOLPBK モードで DLEN_ERR 割り込みが検出された後、SPIGCR1 レジスタの SPIEN (ビット 24) をクリアして転送を無効化してから、SPIEN ビットをリセットして転送を再度有効化します。

i2338 ***MibSPI:ペリフェラル モード MibSPI からのスプリアス RX DMA REQ***

詳細:

SPI ペリフェラルが次の条件シーケンスでデータを転送していない場合でも、スプリアス DMA 要求が生成される可能性があります。

- MIBSPI が、標準 (非マルチバッファ) SPI モードで、ペリフェラルとして構成される
- DMAREQEN ビット (SPIINT0.16) が、DMA 要求を有効にするように設定される
- チップ セレクト (nSCS) ピンがアクティブ状態でありながら、転送がアクティブでない
- SPI は、SPIEN (SPIGCR1.24) ビットを「1」から「0」にクリアすることによって無効化される

上記のシーケンスでは、SPIEN ビットが「1」から「0」にクリアされるとすぐに、受信 DMA 要求に誤った要求パルスがトリガされます。

回避方法:

SPIEN ビット (SPIGCR1.24) をクリアして SPI を無効化する場合は常に、最初に DMAREQEN ビット (SPIINT0.16) を「0」にクリアし、次に SPIEN ビットをクリアします。

i2339 ***MibSPI:読み取り後、MibSPI RX RAM RXEMPTY ビットがクリアされない***

詳細:

以下の条件が満たされている場合、CPU または DMA の読み取り後、RXEMPTY フラグが自動的にクリアされない可能性があります。

- シーケンサが現在アクティブな転送グループについて送信 RAM から読み取った最新のバッファの TXFULL フラグが 0 になっている
- より優先度の高い転送グループが現在の転送グループに割り込みを発生させ、シーケンサが送信 RAM から新しい転送グループの最初のバッファの読み取りを開始する
- 同時に、ホスト (CPU/DMA) が、前の転送から有効な受信データを含む受信 RAM の領域を読み取り中である

回避方法:

可能であれば、転送グループが相互に割り込みを行わないようにします。ダミーバッファが優先度の低い転送グループで使用されている場合は、「サスペンド」モードを使用する必要がある場合を除き、適切な「BUFMODE」を選択します (SKIP/DISABLED など)。

i2340 ***MibSPI:MibSPI RAM の ECC が DIAG モードで正しく読み取られない***

詳細:

拡張バッファ サポートが実装されていても、特定の MibSPI インスタンスで拡張モードが無効化されている場合、DIAG モードの MibSPI RAM の ECC アドレス空間に対する読み取り動作は、最初の 128 バッファの正しい ECC 値を返しません。

i2340 (続き) ***MibSPI:MibSPI RAM の ECC が DIAG モードで正しく読み取られない***

回避方法:

なし。

i2341 ***DSP:DSP L2 への未割り当て領域アクセス - DSP IP がエイリアシングと L2 パリティ エラーの原因となる予約済み領域へのアクセスをブロックしない***

詳細:

DSP IP は、設定された DSP L2 メモリ サイズである 384KB (予約済み領域アクセス) を越えて、つまり、0x8085 FFFC を越えて、自身の L2 メモリへのアクセスを送信しています。

0x80860000 ～ 0x8087FFFC の予約済みメモリ位置は、読み取りおよび書き込みができます。0x80860000 ～ 0x8087FFFC のメモリ位置は 0x80840000 ～ 0x8085FFFC にエイリアスされ、0x80850000 ～ 0x8085FFFC は 0x80870000 ～ 0x8087FFFC にレプリケートされるため、実際の L2RAM は 384KB のみとなります。

パリティが有効になっている場合、0x80860000 ～ 0x8087FFFC を越える予約済み領域に対し読み取りを行うと L2 パリティ エラーが発生します。

回避方法:

MPU:(L2MPPA24 ～ L2MPPA31) を 0 に変更

予約済み領域への書き込みアクセスはブロックされます。エイリアシング エラーも L2 パリティ エラーもありません。これにより、有効な L2 領域のデータ完全性が維持されます

予約済み領域へ読み取りアクセスを行うと、引き続き、L2 パリティ エラーが生じます (パリティが有効化されている場合)。

デバッグ アクセス (読み取り / 書き込み) はブロックされません:引き続き、エイリアシング + L2 パリティ エラーが生じます:保護用の MPPA を有効化するよう設定しているにもかかわらず、デバッグ アクセスをブロックすることは不可能です

メモリ保護フォルト アドレス レジスタ (0184 A000h:: L2MPFAR/0184 AC00h:: L1DMPFAR) には、ブロックされたアドレス (この場合は 384KB 境界を越えるアドレス) が入力され、アクセスされたままになります

アドレス (L2MPFAR/L1DMPFAR) およびステータス (L2MPFSR/L1DMPFSR) レジスタは、値が 1 のクリア レジスタ (L2MPFCR/L1DMPFCR) を用いて、次の読み取りのためにクリアする必要があります

結果 (L1D キャッシュが有効の場合と無効の場合の両方)

読み取りの場合:L1MPFAR レジスタへのアドレス アクセスがブロックされた状態で、L1D において MPU 保護エラーが発生します

書き込みの場合:L2MPFAR レジスタへのアドレス アクセスがブロックされた状態で、L2 において MPU 保護エラーが発生します

i2342 ***RAM:HWA での FFT 実行中の 2D 統計サンプリング値 RAM プロセッサ ライト バック問題***

詳細:

プロセッサが 2D 統計サンプリング値 RAM に何らかの値をライト バックし、同時に FFT パラメータセットが実行されている場合、2D サンプル RAM へのプロセッサによる書き込みに欠陥が生じ、データが誤ったアドレスに書き込まれます。

回避方法:

MAX 2D が有効になっているパラメータセットのコンテキスト スイッチを無効にします。

i2344 ***Aurora:udp の有効なサイズ範囲が、AURORA_TX_UDP_SIZE > 4***

詳細:

Aurora 64b66b モード ([TOP_AURORA_TX| AURORA_TX_CONFIG:AURORA_TX_CONFIG_PROTOCOL_SEL = 1) では、TOP_AURORA_TX:AURORA_TX_UDP_SIZE=4 および AURORA_TX_UDP_CONFIG_PACK_MODE_SEL = 1 (TWP) はサポートされていません。

Aurora64b66b および TWP パック モードでは、他の udp サイズ (1、2、3、5、6、7、8 など) はサポートされていますが、udp サイズ= 4 のみがサポートされていません。

回避方法:

なし。Aurora64b66b および TWP パック モードでは、他の udp サイズ (1、2、3、5、6、7、8 など) はサポートされていますが、udp サイズ= 4 のみがサポートされていません。

したがって、この組み合わせで udp_size=4 を使用しないようにしてください。*したがって、有効な udp サイズは以下のとおりです*

Aurora 8b10b および Aurora 64b66b-

* AURORA_TX_UDP_CONFIG_PACK_MODE_SEL = 0 (バイト): 有効な udp サイズ - AURORA_TX_UDP_SIZE = 8、12、16、20 など

* AURORA_TX_UDP_CONFIG_PACK_MODE_SEL = 1 (TWP): 有効な udp サイズ - AURORA_TX_UDP_SIZE = 5、6、7、8 など

i2345 ***CPSW:CPDMA がメモリ バンクにまたがるパケットを取得すると、イーサネット パケットの破損が発生します***

詳細:

SoC の各メモリ バンクは、個別のメモリ コントローラを備えています。メモリ アドレスは連続していても、各バンクは独立したコントローラを持つ独立したエンティティです。

メモリ バンクが 32 バイト、メモリ要求のアドレスが 16 バイトでメモリ バンク終了前のメモリ要求を受信した場合、メモリ コントローラの動作は次のようになります。

メモリ コントローラが 16 バイト後にメモリ バンクの終了に遭遇すると、そのメモリ バンクの先頭から 16 バイトを返します。

これにより、パケットが破損します。

回避方法:

アプリケーション側からのシングル イーサネット パケットが、メモリ バンクにまたがっていないことを確認してください。

i2387 ***PLL:クロック ソース スイッチ中の GCM 回路のグリッチ***

詳細:

GCM 回路 [強調表示] は、水晶振動子から PLL クロックにクロック ソースを切り換えるときにグリッチの影響を受けやすく、SYS クロック間に位相のずれが発生して、停止、ハング、アクセス障害などのランダムな動作が発生します。R5F および SYS クロックにクロックを供給する HSDIV0 については、以下を参照してください。

i2387 (続き)

PLL :クロック ソース スイッチ中の GCM 回路のグリッチ

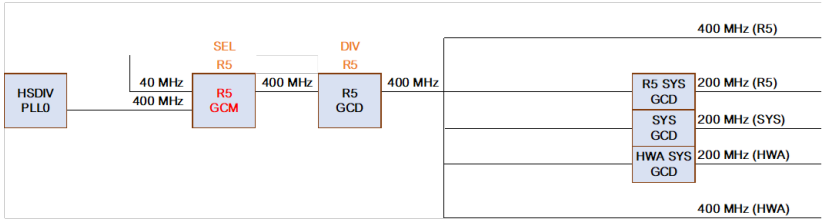

図 2-2. PLL

回避方法:

1:ハングが生じる場合は、外部 WDT を使用してリセットします。

2:SBL で 40MHz - 200MHz - 400MHz と切り換えるには、時差式の PLL プログラミング シーケンス [ステップ 1 ～ 5] を使用します。R5F が 400MHz で動作するアプリケーション (コア PLL HSDIV0CLKOUT0 出力は 400MHz)

ステップ 1:MSS_CR5_CLK_SRC_SEL、MSS_CR5_DIV_VAL、SYS_CLK_DIV_VAL を '000 にプログラム;// XTAL にスイッチ バック

ステップ 2:MSS_CR5_DIV_VAL を '111 にプログラム;// グリッチを抑制

ステップ 3:SYS_CLK_DIV_VAL を '111 にプログラム;// R5F および SYS クロックは 1:2 の比率

ステップ 4:MSS_CR5_CLK_SRC_SEL を '222 にプログラム;// PLL クロックにスイッチ、200MHz にスイッチ

ステップ 5:MSS_CR5_DIV_VAL を '000 にプログラム;// 400MHz にスイッチ バック

R5F が 200MHz で動作するアプリケーション (コア PLL HSDIV0CLKOUT0 出力は 200MHz)

ステップ 1:MSS_CR5_CLK_SRC_SEL、MSS_CR5_DIV_VAL、SYS_CLK_DIV_VAL を '000 にプログラム;// XTAL にスイッチ バック

ステップ 2:MSS_CR5_DIV_VAL を '111 にプログラム;// グリッチを抑制

ステップ 3:SYS_CLK_DIV_VAL を '000 にプログラム;// R5F および SYS クロックは 1:1 の比率

ステップ 4:MSS_CR5_CLK_SRC_SEL を '222 にプログラム;// PLL クロックにスイッチ、100MHz にスイッチ

ステップ 5:MSS_CR5_DIV_VAL を '000 にプログラム;// 200MHz にスイッチ バック

i2392

mem-init キャプチャ レジスタの競合状態により、イベント ミスが発生する

詳細:

キャプチャ レジスタで競合状態が発生する可能性があり、同じレジスタの他のイベントがレジスタへの書き込みによってクリアされている間にイベントが失われる可能性があります。この問題の影響を受けるレジスタは、以下のとおりです。

MSS_CTRL、DSS_CTRL、DSS_HWA_CFG:*MEMINIT_DONE レジスタ

回避方法:

次のいずれかの回避方法を使用できます:

mem-init を順番にトリガし、新しい mem-init をトリガする前にステータスをクリアします。これは、両方のステータスが同じレジスタにある場合に必要です。

(または)

i2392 (続き) ***mem-init キャプチャ レジスタの競合状態により、イベント ミスが発生する***

並列トリガが必要な場合は、トリガされたすべてのステータスビットが 1'b1 であることをポーリングしてから、DONE ステータス レジスタをクリアします

(または)

mem-init を開始した後、MEM_INIT_STATUS レジスタを確認し、一定の間隔でチェックしてステータスがローになるのを待ち、最終的に、ステータスがローになったら DONE ステータス レジスタをクリアします

i2394 ***割り込みおよびエラー アグリゲータ キャプチャ レジスタの競合状態により、イベント ミスが発生します***

詳細:

キャプチャ レジスタで競合状態が発生する可能性があり、同じレジスタの他のイベントがレジスタへの書き込みによってクリアされている間にイベントが失われる可能性があります。この問題の影響を受けるレジスタは、以下のとおりです。

MSS_CTRL:*INTAGG_STATUS_REG、*TPCC_ERR/INTAGG_STATUS_RAW

回避方法:

ISR で次の手順に従います。

1) ISR を終了する前に、*_ERRAGG_RAW を読み取り、*_ERRAGG_MASK を使用して論理積をとってビット有効性をチェックします。

2) いずれかのビットがセットされている場合、割り込み/エラーが発生し、*_ERRAGG_STATUS をクリアしている間にこれが失われたことを意味します。

3) ISR 内の対応するビットを処理してから、ISR を終了します。そのため、STATUS と「RAW&MASK」の両方が 0 になった後で ISR を終了する必要があります

i2386 ***CRC:CAN モジュールでは CRC 8 ビット データ幅と CRC8-SAE-J1850 および CRC8-H2F がサポートされない***

詳細:

CRC8-SAE-J1850 および CRC8-H2F の CRC タイプは、8 ビットのデータ幅ではサポートされません。サポートされている最小データ幅は 16 ビットです。

回避方法:

回避方法はありません。上記のようなサポートされていない多項式は使用しないことをお勧めします。

i2404 ***メールボックス レジスタの競合状態により、イベント ミスが発生する***

詳細:

キャプチャ レジスタで競合状態が発生する可能性があり、同じレジスタの他のイベントがレジスタへの書き込みによってクリアされている間にイベントが失われる可能性があります。この問題の影響を受けるレジスタは、以下のとおりです。

MSS_CTRL: *_MBOX_READ_REQ

MSS_CTRL: *_MBOX_READ_DONE

i2404 (続き)	*メールボックス レジスタの競合状態により、イベント ミスが発生する*
回避方法:	トリガ (WRITE DONE /READ ACK) イベントを設定する前に、他のプロセッサのステータス (READ DONE / READ_DONE_REQ) を読み取り、何らかの割り込みが実行中であることを確認します。(または) 一定の時間内にステータス (READ DONE / READ_DONE_REQ) を受信しない場合、(WRITE DONE /READ ACK) イベントを再トリガします

商標

すべての商標は、それぞれの所有者に帰属します。

3 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from DECEMBER 1, 2023 to APRIL 30, 2025 (from Revision B (December 2023) to Revision C (April 2025)) **Page**

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、 テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、 テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。 テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、 テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、 テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、 テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。 テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、 テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265