

Errata

TMS320F28P65x Real-Time MCUs Silicon Errata**シリコン リビジョン A, 0****概要**

この文書では、機能仕様に対する既知の例外 (アドバイザリ) について説明します。本文書には、使用上の注意事項も記載されています。使用上の注意は、デバイスの動作が推定または文書化された動作と一致しない可能性がある状況を示しています。これには、デバイスの性能や機能の正確さに影響を与える動作が含まれる場合があります。

目次

1 使用上の注意およびアドバイザリ マトリックス	3
1.1 使用上の注意マトリックス.....	3
1.2 アドバイザリ マトリックス.....	3
2 命名法、パッケージのマーキングとリビジョンの識別	4
2.1 デバイスおよび開発ツールの命名規則.....	4
2.2 サポート対象デバイス.....	4
2.3 パッケージのマーキングとリビジョンの識別.....	5
3 シリコン リビジョン A の使用上の注意とアドバイザリ	8
3.1 シリコン リビジョン A の使用上の注記.....	8
3.2 シリコン リビジョン A のアドバイザリ.....	10
4 シリコン リビジョン 0 の使用上の注意とアドバイザリ	30
4.1 シリコン リビジョン 0 の使用上の注記.....	30
4.2 シリコン リビジョン 0 のアドバイザリ.....	30
5 ドキュメントのサポート	31
6 商標	31
7 改訂履歴	31

図の一覧

図 2-1. ZEP パッケージのパッケージ マーキング – 車載以外.....	5
図 2-2. ZEP パッケージのパッケージ マーキング – 車載.....	5
図 2-3. PTP パッケージのパッケージ マーキング – 車載以外.....	5
図 2-4. PTP パッケージのパッケージ マーキング – 車載.....	6
図 2-5. NMR パッケージのパッケージ マーキング – 車載以外.....	6
図 2-6. PZP パッケージのパッケージ マーキング – 車載以外.....	6
図 2-7. PZP パッケージのパッケージ マーキング – 車載.....	7
図 3-1. AGPIO と AIO アナログ ピン タイプを含むアナログ サブシステム図.....	11
図 3-2. 望ましくないトリップ イベントとブランキング ウィンドウの期限切れ.....	15
図 3-3. 結果として望ましくない ePWM 出力が発生する可能性があります.....	15
図 3-4. パイプラインにストールがない場合の問題のパイプライン図.....	18
図 3-5. 命令 I1 の E3 スロットにストールがある場合の問題のパイプライン図.....	19
図 3-6. 回避方法が適用されたパイプライン図.....	20

表の一覧

表 1-1. 使用上の注意マトリックス.....	3
表 1-2. アドバイザリ マトリックス.....	3
表 2-1. リビジョンの識別.....	7
表 3-1. 特定のアナログ入力ピンの使用事例の組み合わせ.....	11
表 3-2. 標準モードホストを備えたターゲットトランスミッタとしての C2000 のデータ立ち上がり時間要件.....	22
表 3-3. 一般的なバス容量 (C_b) のプルアップ抵抗 (R_p) 値.....	23
表 3-4. アドバイザリによって影響を受けるメモリ.....	25
表 3-5. OTP リビジョン番号の位置.....	26

1 使用上の注意およびアドバイザリ マトリックス

表 1-1 に、すべての使用上の注意と、該当するシリコンのリビジョンを示します。表 1-2 にすべてのアドバイザリ、影響を受けるモジュール、および適用可能なシリコン リビジョンを一覧表示します。

1.1 使用上の注意マトリックス

表 1-1. 使用上の注意マトリックス

番号	タイトル	影響を受けるシリコンのリビジョン	
		0	A
セクション 3.1.1	PIE: 双方向 PIEACK 書き込みと手動 CPU 割り込みマスク クリア後のスプリアス ネスト割り込み	あり	あり
セクション 3.1.2	繰り返しブロックでネストされた割り込みを使用する際の注意	あり	あり
セクション 3.1.3	GPIO: GPIO データレジスタは CPU1 リセットによってのみリセットされます	あり	あり
セクション 3.1.4	セキュリティ: プライマリ防御層はチップの境界を保護します。これは、JTAGLOCK およびフラッシュからのゼロピン ブート機能を有効化することから始まります	あり	あり

1.2 アドバイザリ マトリックス

表 1-2. アドバイザリ マトリックス

モジュール	説明	影響を受けるシリコンのリビジョン	
		0	A
ADC	ADC: ADC-C は 16 ビット モードの仕様を満たしていません	あり	なし
ADC	ADC: INTxCONT (割り込み継続モード) が設定されていない場合、割り込みは停止する可能性があります	あり	あり
CMPSS	CMPSS: コンパレータ入力ピンに AGPIO 機能があり、ADC が入力ピンをサンプリングしている場合、CMPSS グリッチが発生する可能性があります	あり	あり
DCAN	DCAN FIFO モードでは、受信したメッセージは FIFO バッファの順序に従わず配置できます	あり	あり
MCAN	同じメッセージ ID で設定された専用 Tx バッファから送信する場合のメッセージ順序の反転	あり	あり
ePWM	ePWM: ePWM グリッチは、ブランキング ウィンドウの終了時にトリップがアクティブのままの場合、発生する可能性があります	あり	あり
ePWM	ePWM: ブランキング ウィンドウ開始後の最初の 3 サイクルの間、トリップ イベントはブランキング ウィンドウによってフィルタされません	あり	あり
ePWM	ePWM: PERCLKDIVSEL.EPWMCLKDIV = 1 の場合、ePWM TZFRFC および TZCLR イベントが失われる場合があります	あり	あり
フラッシュ	フラッシュ: シングル ビット ECC エラー割り込みは生成されません	あり	あり
FPU	FPU: FPU-to-CPU レジスタ移動操作の前にする FPU 2p 操作	あり	あり
GPIO	GPIO: オープンドレイン構成による短い High パルスを駆動する可能性	あり	あり
I2C	I2C: ターゲットトランスミッタ モード、標準モードの SDA タイミングの制限	あり	あり
MCD	MCD: PLL が有効 (PLLCLKEN = 1) のとき、クロック消失検出を無効化	あり	あり
メモリ	メモリ: 有効なメモリを超えたプリフェッチ	あり	あり
MPOST	MPOST: 一部の初期素材ではメモリ パワーオン セルフテストが実行されません	あり	あり
SDFM	SDFM: スレッシュホールド設定 (LLT、HLT)、フィルタ タイプ、COSR 設定を動的に変更すると、スプリアス コンパレータ イベントがトリガされます	あり	あり
SDFM	SDFM: データフィルタ設定 (フィルタタイプや DOSR など) を動的に変更すると、誤ったデータ確認イベントがトリガされます	あり	あり
SDFM	SDFM: SD 変調器の 3 クロック サイクル以内に SDCPARMx レジスタのビットフィールド CEVT1SEL、CEVT2SEL、および HZEN に連続して 2 回書き込みを行うと、SDFM ステータスマシンが破損し、誤ったコンパレータ イベントが発生する可能性があります	あり	あり
USB	USB: USB DMA イベントトリガはサポートされていません	あり	あり

2 命名法、パッケージのマーキングとリビジョンの識別

2.1 デバイスおよび開発ツールの命名規則

製品開発サイクルの段階を示すために、TI では DSP デバイスとサポートツールすべての型番に接頭辞を割り当てます。DSP 商用ファミリの製品には、次の 3 つの接頭辞のいずれかが付いています。TMX、TMP、TMS (たとえば、TMS320F28P659DK-Q1)。テキサス・インスツルメンツでは、サポートツールについては、使用可能な 3 つの接頭辞のうち TMDX および TMDS の 2 つを推奨しています。これらの接頭辞は、製品開発の進展段階を表します。段階には、エンジニアリング プロトタイプ(TMX および TMDX)から、完全認定済みの量産デバイス/ツール(TMS および TMDS)まであります。

デバイスの開発進展フロー:

TMX 実験的デバイス。最終デバイスの電気的特性を必ずしも表さず、量産アセンブリ・フローを使用しない可能性があります。

TMP プロトタイプ・デバイス。最終的なシリコン・ダイとは限らず、最終的な電気的特性を満たさない可能性があります。

TMS 認定済みのシリコン・ダイの量産バージョン。

サポート・ツールの開発進展フロー:

TMDX 開発サポート製品。テキサス・インスツルメンツの社内認定試験はまだ完了していません。

TMDS 完全に認定済みの開発サポート製品です。

TMX および TMP デバイスと TMDX 開発サポート・ツールは、以下の免責事項の下で出荷されます。

「開発中の製品は、社内での評価用です」。

量産デバイスおよび TMDS 開発サポート・ツールの特性は完全に明確化されており、デバイスの品質と信頼性が十分に示されています。テキサス・インスツルメンツの標準保証が適用されます。

プロトタイプ・デバイス (X または P) の方が標準的な量産デバイスに比べて故障率が大きいと予測されます。これらのデバイスは予測される最終使用時の故障率が未定義であるため、テキサス・インスツルメンツでは、それらのデバイスを量産システムで使用しないよう推奨しています。認定済みの量産デバイスのみを使用する必要があります。

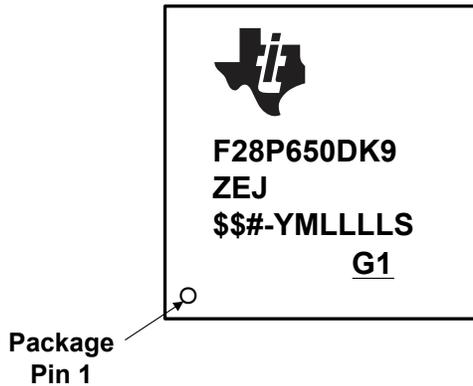
2.2 サポート対象デバイス

このドキュメントは次のデバイスに対応しています。

- TMS320F28P650DK
- TMS320F28P650DH
- TMS320F28P650SK
- TMS320F28P650SH
- TMS320F28P659DK-Q1
- TMS320F28P659DH-Q1
- TMS320F28P659SH-Q1

2.3 パッケージのマーキングとリビジョンの識別

、[図 2-1](#)、[図 2-2](#)、[図 2-3](#)、[図 2-4](#)、[図 2-5](#)、[図 2-6](#)、および[図 2-7](#) に、パッケージ マーキングを示します。表 2-1 に、シリコンのリビジョンコードを示します。

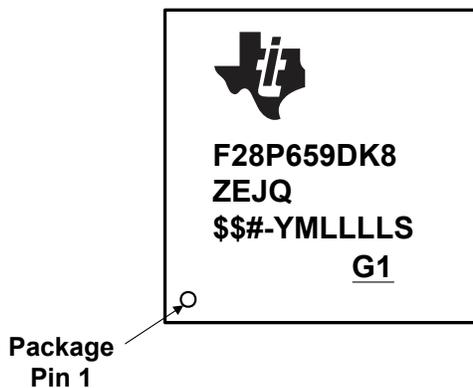


YMLLLLLS = Lot Trace Code

YM = 2-digit Year/Month Code
LLLL = Assembly Lot Code
S = Assembly Site Code
\$\$ = Wafer Fab Code (one or two characters) as applicable
= Silicon Revision Code

G1 = Green (Low Halogen and RoHS-compliant)

図 2-1. ZEJ パッケージのパッケージ マーキング – 車載以外

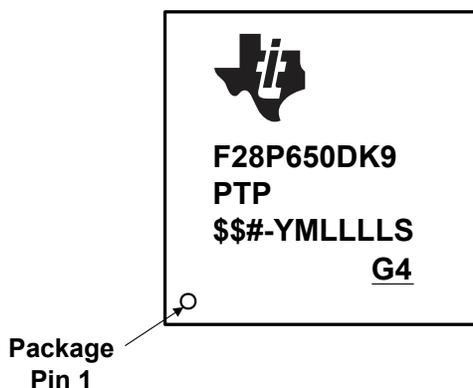


YMLLLLLS = Lot Trace Code

YM = 2-digit Year/Month Code
LLLL = Assembly Lot Code
S = Assembly Site Code
\$\$ = Wafer Fab Code (one or two characters) as applicable
= Silicon Revision Code

G1 = Green (Low Halogen and RoHS-compliant)

図 2-2. ZEJ パッケージのパッケージ マーキング – 車載

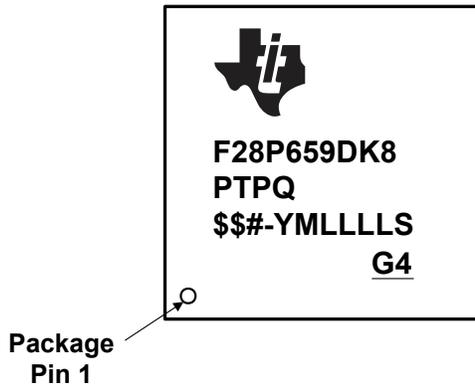


YMLLLLLS = Lot Trace Code

YM = 2-digit Year/Month Code
LLLL = Assembly Lot Code
S = Assembly Site Code
\$\$ = Wafer Fab Code (one or two characters) as applicable
= Silicon Revision Code

G4 = Green (Low Halogen and RoHS-compliant)

図 2-3. PTP パッケージのパッケージ マーキング – 車載以外

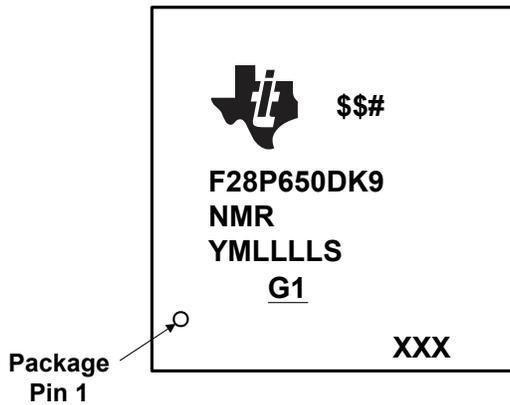


YMLLLLLS = Lot Trace Code

YM = 2-digit Year/Month Code
LLLL = Assembly Lot Code
S = Assembly Site Code
\$\$ = Wafer Fab Code (one or two characters) as applicable
= Silicon Revision Code

G4 = Green (Low Halogen and RoHS-compliant)

図 2-4. PTP パッケージのパッケージ マーキング – 車載



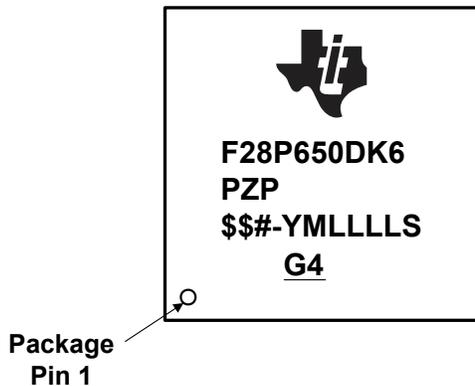
YMLLLLLS = Lot Trace Code

YM = 2-digit Year/Month Code
LLLL = Assembly Lot Code
S = Assembly Site Code
\$\$ = Wafer Fab Code (one or two characters) as applicable
= Silicon Revision Code

G1 = Green (Low Halogen and RoHS-compliant)

XXX = 0–119
Serialized Number to indicate unit location on strip

図 2-5. NMR パッケージのパッケージ マーキング – 車載以外

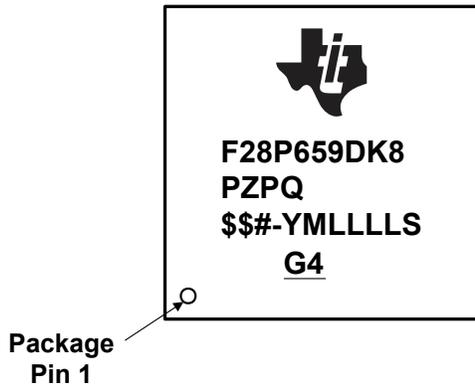


YMLLLLLS = Lot Trace Code

YM = 2-digit Year/Month Code
LLLL = Assembly Lot Code
S = Assembly Site Code
\$\$ = Wafer Fab Code (one or two characters) as applicable
= Silicon Revision Code

G4 = Green (Low Halogen and RoHS-compliant)

図 2-6. PZP パッケージのパッケージ マーキング – 車載以外



YMLLLLS = Lot Trace Code

- YM = 2-digit Year/Month Code
- LLLL = Assembly Lot Code
- S = Assembly Site Code
- \$\$ = Wafer Fab Code (one or two characters) as applicable
- # = Silicon Revision Code

G4 = Green (Low Halogen and RoHS-compliant)

図 2-7. PZP パッケージのパッケージ マーキング – 車載

表 2-1. リビジョンの識別

シリコンのリビジョンコード	シリコンのリビジョン	REVID ⁽¹⁾ アドレス: 0x5D00C	備考 ⁽²⁾
空白	0	0x0000 0001	このシリコン リビジョンは TMX として供給されま す。
A	A	0x0000 0002	このシリコン リビジョンは TMS として供給されま す。

- (1) シリコンのリビジョン ID
- (2) 注文可能なデバイス番号については、[TMS320F28P65x リアルタイム マイクロコントローラのデータシートのパッケージ情報表](#)を参照してください。

3 シリコン リビジョン A の使用上の注意とアドバイザリ

このセクションでは、このシリコン リビジョンの使用上の注意とアドバイザリを一覧表示しています。

3.1 シリコン リビジョン A の使用上の注記

このセクションでは、シリコン リビジョン A [およびそれ以前のシリコン リビジョン] に適用されるすべての使用上の注意を一覧表示しています。

3.1.1 PIE: 双方向 PIEACK 書き込みと手動 CPU 割り込みマスク クリア後のスプリアス ネスト割り込み

影響を受けるリビジョン: 0, A

ネストされた割り込みに使用される特定のコード・シーケンスでは、CPU と PIE が矛盾した状態に移行し、望ましくない割り込みをトリガできるようになります。この状態に入るために必要な条件は次のとおりです。

1. PIEACK クリアの後に、グローバル割り込み友好状態 (EINT または ASM (「CLRC INTM」)) が直ちに続きます。
2. ネストされた割り込みにより、そのグループの一つ以上の PIEIER ビットがクリアされます。

不要な割り込みがトリガされるかどうかは、システム内の他の割り込みの構成とタイミングによって異なります。これは、ほとんどのアプリケーションではまれなイベントまたは存在しないイベントであると予想されます。発生した場合、不要な割り込みはネストされた割り込みの PIE グループの最初の割り込みになり、ネストされた割り込みが CPU 割り込みを再度イネーブルにした後にトリガされます (EINT または ASM (「CLRC INTM」))。

回避方法: PIEACK 書き込みと CPU 割り込み有効化の間に NOP を追加します。コード例を以下に示します。

```
//Bad interrupt nesting code
PieCtrlRegs.PIEACK.all = 0xFFFF;    //Enable nesting in the PIE
EINT;                                 //Enable nesting in the CPU

//Good interrupt nesting code
PieCtrlRegs.PIEACK.all = 0xFFFF;    //Enable nesting in the PIE
asm(" NOP");                          //wait for PIEACK to exit the pipeline
EINT;                                 //Enable nesting in the CPU
```

3.1.2 繰り返しブロックでネストされた割り込みを使用する際の注意

影響を受けるリビジョン: 0, A

ネスト機能を使用するために、ユーザーが割り込みサービスルーチン (ISR) 内で EINT 命令を使用して割り込みを有効にしている場合、ユーザーは ISR を終了する前に DINT アセンブリ命令を使用して割り込みを無効にする必要があります。この操作を怠ると、RB レジスタのビットが正しく復元されず、コードが未定義の動作が発生する可能性があります。

RPTB ASM 命令がアプリケーション内で使用されていない場合、問題はありません。C 言語でコーディングしている場合、生成された dis アセンブリの解析を実行して、これが正しいことを確認する必要があります。

ISR を C 言語でコーディングしている場合は、C28x C コンパイラが上記の処理をすることがあり、何もする必要はありません。ISR が C28x アセンブリ言語でコーディングされている場合、上記のガイダンスに従う必要があります。

注

2016 年 4 月以降の CGT パッケージでリリースされた CGT v15.12.2.LTS は、この要件に自動的に対応します。DINT は、CGT ツールの以前のバージョンでのみ追加する必要があります。

3.1.3 GPIO: GPIO データレジスタは CPU1 リセットによってのみリセットされます

影響を受けるリビジョン: 0, A

GPIO ピンが CPU2 に割り当てられていても、GPIO データレジスタは CPU1 のリセットによってリセットされます。そのため、CPU2 がリセットされても、GPIO ピンはアクティブ値を駆動し続けます (CPU2 のみをリセットするリセットソースによる)。

3.1.4 セキュリティ: プライマリ防御層はチップの境界を保護します。これは、JTAGLOCK およびフラッシュからのゼロピンブート機能を有効化することから始まります

影響を受けるリビジョン: 0, A

デバイスのセキュリティは、不正なコードがデバイスに侵入して実行されることを許可されていないという前提に依存しています。そのため、セキュリティを懸念するユーザーが常に有効にする必要のある 2 つの機能をデバイスに搭載していません。

• JTAGLOCK

フラッシュの USER OTP 領域で有効にすると、JTAGLOCK 機能はデバイス上のリソースへの JTAG アクセス (デバッグ接続など) を無効にし、権限のない者が JTAG インターフェイスを使用してデバイスにコードをダウンロードすることをブロックします。JTAGLOCK が有効な場合でも、ユーザーは許可された当事者がパスワードを入力してロックを解除できるようにしたり、すべてゼロのパスワード値をプログラムして永続的にロックしたりすることができます。

• ゼロピンブートからフラッシュ

TI ROM に組み込まれた外部ブートローダは、ダウンロードされたコードの認証を実行しません。USER OTP でフラッシュブートモードとともにゼロピンブートオプションを有効にすると、ベースブート ROM の実行が終了した後、ブートプロセスが直ちに内部フラッシュにジャンプするように強制され、すべてのピンベースの外部ブートローダオプション (SCI、CAN、パラレルなど) がブート時に実行されなくなります。最高のセキュリティを実現するために、セキュアフラッシュブートモードを選択できます。これにより、ベースブート ROM にジャンプする前にフラッシュコードを事前にチェックできるようになります。

JTAG が永続的にロックされ、Zero-pin Boot to Flash (ゼロピンブートからフラッシュ) オプションが有効になっている場合、JTAG または内蔵ブートローダを介してデバイスと通信するプログラミングツールは動作しません。ファームウェアのアップグレードを実行する機能が必要な場合、更新を安全に管理および実行するため、コードをフラッシュに事前格納する必要があります。

3.2 シリコン リビジョン A のアドバイザリ

このセクションでは、シリコン リビジョン A [およびそれ以前のシリコン リビジョン] に適用されるすべてのアドバイザリを一覧表示しています。

アドバイザリ **ADC:INTxCONT (割り込み継続モード) が設定されていない場合、割り込みは停止する可能性があります**

影響を受けるリビジョン 0, A

詳細

ADCINTSELxNx[INTxCONT] = 0 の場合、ADCINTFLG が設定されると割り込みは停止し、追加の ADC 割り込みは発生しません。

ADCINTFLGCLR レジスタのソフトウェア書き込みとともに ADC 割り込みが同時に発生すると、ADCINTFLG が予期せず設定されたままになり、将来の ADC 割り込みをブロックします。

回避方法

1. ADCINTFLG が追加の ADC 割り込みをブロックしないように、Continue-to-Interrupt モードを使用します。

```
ADCINTSEL1N2[INT1CONT] = 1;
ADCINTSEL1N2[INT2CONT] = 1;
ADCINTSEL3N4[INT3CONT] = 1;
ADCINTSEL3N4[INT4CONT] = 1;
```

2. この状態を回避するために、次の ADC 割り込みが発生する前に、ADC ISR をサービスし、ADCINTFLG をクリアするのに十分な時間を常に確保してください。
3. ADCINTFLG をクリアするとき、ISR のオーバーフロー状態を確認します。ADCINTFLGCLR への書き込み直後に ADCINTOVF をチェックし、これが設定されている場合は、ADCINTFLGCLR をもう一度書き込んで ADCINTFLG がクリアされていることを確認します。ADCINTOVF レジスタが設定され、ADC 変換割り込みが失われたことを示します。

```
AdcaRegs.ADCINTFLGCLR.bit.ADCINT1 = 1;           //clear INT1 flag
if(1 == AdcaRegs.ADCINTOVF.bit.ADCINT1)         //ADCINT overflow
{
    AdcaRegs.ADCINTFLGCLR.bit.ADCINT1 = 1;       //clear INT1 again
    // If the ADCINTOVF condition will be ignored by the application
    // then clear the flag here by writing 1 to ADCINTOVFCLR.
    // If there is a ADCINTOVF handling routine, then either insert
    // that code and clear the ADCINTOVF flag here or do not clear
    // the ADCINTOVF here so the external routine will detect the
    // condition.
    // AdcaRegs.ADCINTOVFCLR.bit.ADCINT1 = 1;    // clear OVF
}
```

アドバイザリ

CMPSS :コンパレータ入力ピンに **AGPIO** 機能があり、**ADC** が入力ピンをサンプリングしている場合、**CMPSS** グリッチが発生する可能性があります

影響を受けるリビジョン 0, A

詳細

表 3-1 に、注意する必要がある特定のアナログ入力ピンの使用事例の組み合わせを示します。このテーブルに示すように、**CMPSS** 入力、**ADC** サンプリング、**AGPIO** の組み合わせには注意するか、回避方法を使用する必要があります。

表 3-1. 特定のアナログ入力ピンの使用事例の組み合わせ

特定のアナログ ピンで使用される機能	使用部品				
CMPSS コンパレータ入力	あり	-	あり	-	あり
ADC サンプリング	あり	あり	-	あり	あり
AGPIO アナログ ピン タイプ	あり	あり	あり	-	-
AIO アナログ ピン タイプ	-	-	-	あり	あり
結果	回避方法が必要		特別な分析や回避方法は不要		

AGPIO アナログ ピン パスには、 53Ω の追加の直列スイッチが含まれています。これにより、図 3-1 に示すように、**ADC** および **CMPSS** コンパレータと共有される低容量の絶縁型ノードが作成されます。**ADC** が (**ADC** サンプル / ホールド コンデンサに保存されている前の電圧に応じて) チャンネルをサンプリングするとき、このノードに外乱が生じ、それによって最大 50ns の誤 **CMPSS** 事象が発生する可能性があります。下の回避方法を実装することで、この潜在的な外乱に対応できます。

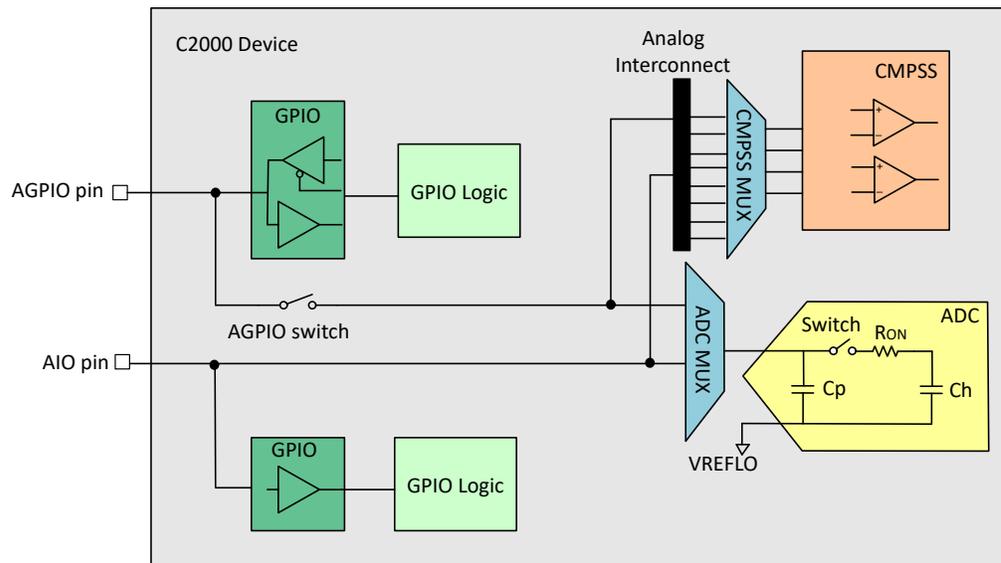


図 3-1. AGPIO と AIO アナログ ピン タイプを含むアナログ サブシステム図

回避方法

1. **ADC** と **CMPSS** の両方を同時に必要とするアナログ チャンネルには、別のピン (**AIO** ピン タイプ) を使用します。
2. **CMPSS** デジタル フィルタを 50ns 以上の設定で使用します。これにより、一時的な外乱がフィルタリングされます。
3. 外乱によって誤トリップが発生しないように、**ADC** の サンプル / ホールド コンデンサを事前に調整します。たとえば、影響を受けるチャンネルが読み取られる直前に、**ADC** の別のチャンネルから 3.3V 接続のダミー読み取りを実行します。これにより、外乱が正の方向になり、誤トリ

アドバイザリ (続き)

CMPSS :コンパレータ入力ピンに **AGPIO** 機能があり、**ADC** が入力ピンをサンプリングしている場合、**CMPSS** グリッチが発生する可能性があります

ップから離れます。誤トリップの極性が反転した場合、0V 信号の逆のダミー読み取りが使用されます。

アドバイザリ **DCAN FIFO モードでは、受信したメッセージは FIFO バッファの順序に従わず配置できます**

影響を受けるリビジョン 0, A

詳細

DCAN FIFO モードでは、同じアービトレーション ID とマスク ID を持つ受信メッセージは受信した順序で FIFO に配置されることとなります。その後、CPU は IF1/IF2 インターフェイス レジスタを介して、FIFO から受信したメッセージを取得します。一部のメッセージは、受信した順序で FIFO に配置される場合があります。アプリケーションの処理にとってメッセージの順序が重要である場合、この動作により DCAN FIFO モードが適切に使用できなくなります。

回避方法

DMA を使用して、IF3 レジスタ経由で FIFO を読み出します。FIFO にメッセージが受信されるたびに、データも IF3 レジスタにコピーされ、DMA モジュールに対して DMA 要求が生成されてデータが読み出されます。

アドバイザリ **同じメッセージ ID で設定された専用 Tx バッファから送信する場合のメッセージ順序の反転****影響を受けるリビジョン** 0, A**詳細**

複数の Tx バッファが同じメッセージ ID で設定されます。これらの Tx バッファの送信は、個別の Tx 要求間に遅延を加えて、昇順に要求されます。個々の Tx 要求間の遅延によっては、Tx バッファは Tx バッファ番号の予想される昇順で送信されない場合があります。

回避方法

まず、同じメッセージ ID を持つ Tx メッセージのグループをメッセージ RAM に書き込みます。次に、TXBAR への単一の書き込みアクセスによって、これらすべてのメッセージの同時送信を要求します。

特定の順序で同じメッセージ ID を持つ複数のメッセージを送信するには、専用 Tx バッファの代わりに Tx FIFO を使用します。

アドバイザー

ePWM : ePWM グリッチは、ブランキング ウィンドウの終了時にトリップがアクティブのままの場合、発生する可能性があります

影響を受けるリビジョン 0, A

詳細

ブランキング ウィンドウは通常、システムへの誤ったトリップを引き起こす可能性のある遷移中の PWM トリップ イベントをマスクするために使用されます。ブランキング ウィンドウ サイクルの終了後、3 未満の ePWM クロックの間 ePWM トリップ イベントがアクティブのまま維持されている場合、ePWM 出力に望ましくないグリッチが発生する可能性があります。

図 3-2 に、不要な EPWM 出力が発生する可能性のある時間を示します。

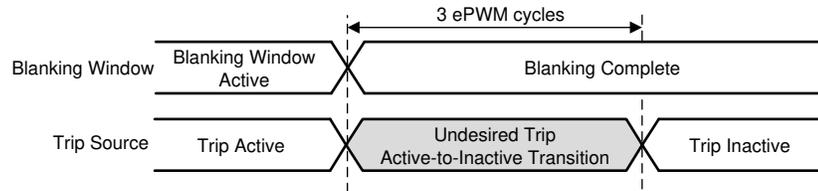


図 3-2. 望ましくないトリップ イベントとブランキング ウィンドウの期限切れ

図 3-3 に、ブランキング ウィンドウが閉じる前または 3 サイクル後にトリップイベントが 1 サイクル以内に終了した場合に可能性のある 2 つの ePWM 出力を示します。

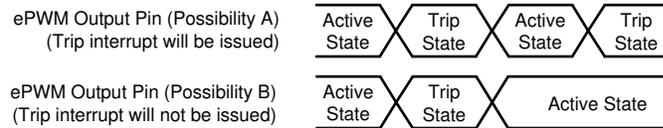


図 3-3. 結果として望ましくない ePWM 出力が発生する可能性があります

回避方法

ブランキング ウィンドウを延長または短縮して、不要なトリップ動作を回避します。

アドバイザー

ePWM :ブランキング ウィンドウ開始後の最初の 3 サイクルの間、トリップ イベントはブランキング ウィンドウによってフィルタされません

影響を受けるリビジョン 0, A

詳細

ブランキング ウィンドウは、ブランキング ウィンドウの開始後の最初の 3 サイクルのトリップ イベントをブランクにしません。DCEVTFILT は、DCxEVTyp 信号の変更を継続的に反映することができます。DCEVTFILT が有効化されている場合、設定されている後続のサブシステム (たとえば、トリップゾーン サブモジュール、TZ 割り込み、ADC SOC、PWM 出力) に影響を及ぼす可能性があります。

回避方法

ブランキングが必要な前に、ブランキング ウィンドウを 3 サイクル開始します。周期境界でブランキング ウィンドウが必要な場合、次の周期の開始 3 サイクル前にブランキング ウィンドウを開始します。これは、ブランキング ウィンドウが期間の境界を越えて持続するため、機能します。

アドバイザー **ePWM : PERCLKDIVSEL.EPWMCLKDIV = 1 の場合、ePWM TZFRC および TZCLR イベントが失われる場合があります**

影響を受けるリビジョン 0, A

詳細

TZFRC ビットはソフトウェア強制トリップ イベントに使用され、TZCLR ビットはトリップゾーン イベントをクリアするために使用されます。EPWMCLKDIV を備えたデバイスでは、PERCLKDIVSEL.EPWMCLKDIV が 1 にプログラムされている場合、TZFRC および TZCLR 書き込みが失われ、出力に影響がない可能性があります。このビットはデフォルトで 1 にプログラムされています (EPWMCLK は PLLSYSCLK/2)。

回避方法

1. EPWMCLK = PLLSYSCLK (PERCLKDIVSEL.EPWMCLKDIV = 0) と設定します。
2. ユーザーが EPWMCLK = PLLSYSCLK/2 (PERCLKDIVSEL.EPWMCLKDIV = 1) を設定する必要がある場合は、次のドライバライブラリソフトウェアシーケンスを使用して、トリップに使用する EPWMXBAR の予約済み mux 入力の 1 つを選択します。

EPWMXBAR → デジタル比較 → トリップゾーン

初期化

1. EPWMxA のデジタル比較出力 A イベント 1 または 2 と EPWMxB のデジタル比較出力 B イベント 1 または 2 の両方のトリップゾーンアクションを設定します。
 - EPWM_setTripZoneAction()
2. TRIPIN1-15 または TRIPIN1-15 の論理和組み合わせロジックの入力信号を構成します。
 - EPWM_selectDigitalCompareTriplInput()
3. DCAEVT1/2 と DCBEVT1/2 のデジタル比較条件を設定します。
 - EPWM_setTripZoneDigitalCompareEventCondition()
4. デジタル比較サブ モジュールに予約されている EPWMXBAR マルチプレクサ入力を選択します。
 - XBAR_setEPWMMuxConfig()
 - XBAR_enableEPWMMux()

アプリケーション コード

PWM をトリップするために、XBAR_invertEPWMSignal() を使用して EPWMXBAR の状態を反転できます。

アドバイザリ フラッシュ: シングル ビット ECC エラー 割り込みは生成されません

影響を受けるリビジョン 0, A

詳細

シングル ビット ECC エラー スレッショルドが 0 に設定されている場合、シングル ビット エラーが発生しても、シングル ビット エラー 割り込みは生成されません。

回避方法

エラー スレッショルド ビット フィールド (FLASH_ECC_REGS
ERR_THRESHOLD.ERR_THRESHOLD フィールド) を 1 以上の値に設定します。スレッショ
ルド ビット フィールドのデフォルト値は 0 であることに注意してください。

アドバイザー (続き)

FPU: FPU から CPU へのレジスタ移動操作の前にする FPU 2p 操作

図 3-5 に、命令 I1 の E3 スロットにストールがある場合の問題のパイプライン図を示します。

	Instruction	F1	F2	D1	D2	R1	R2	E	W	Comments
		FPU pipeline-->				R1	R2	E1	E2	
I1	MPYF32 R6H, R5H, R0H MOV32 *XAR7++, R4H	I1								
I2	F32TOUI16R R3H, R4H	I2	I1							
I3	ADDF32 R3H, R2H, R0H MOV32 *--SP, R2H	I3	I2	I1						
I4	MOV32 @XAR3, R6H	I4	I3	I2	I1					
			I4	I3	I2	I1				
				I4	I3	I2	I1			
					I4	I3	I2	I1		
						I4	I3	I2	I1	I4 samples the result as it enters the R2 phase, but I1 is stalled in E3 and is unable to forward the product of R5H*R0H to I4 (R6H does not have the product yet due to a design bug). So, I4 reads the old value of R6H.
							I4	I3	I2	I1 (STALL)
							I4	I3	I2	I1 There is no change in the pipeline as it was stalled in the previous cycle. I4 had already sampled the old value of R6H in the previous cycle.
							I4	I3	I2	I1 Stall over

図 3-5. 命令 I1 の E3 スロットにストールがある場合の問題のパイプライン図

回避方法

このシナリオでは、MPYF32、ADDF32、SUBF32、および MACF32 を 3p サイクル命令として扱います。命令のディレイスロットには、3 つの NOP 命令または矛盾しない命令を配置する必要があります。

C28x コード生成ツール v.6.2.0 以降のバージョンでは、正しい命令シーケンスが生成され、アセンブリコードのエラーが検出されます。以前のバージョンの v6.0.5 (6.0.x 分岐の場合) および v.6.1.2 (6.1.x 分岐の場合) では、コンパイラは正しい命令シーケンスを生成しますが、アセンブラはアセンブリコードのエラーを検出しません。

回避方法の例:

```

MPYF32 R6H, R5H, R0H
|| MOV32 *XAR7++, R4H ; 3p FPU instruction that writes to R6H
F32TOUI16R R3H, R4H ; delay slot
ADDF32 R2H, R2H, R0H
|| MOV32 *--SP, R2H ; delay slot
NOP ; alignment cycle
MOV32 @XAR3, R6H ; FPU register read of R6H

```

図 3-6 に、回避方法が適用されたパイプライン図を示します。

アドバイザリ (続き)

FPU: FPU から CPU へのレジスタ移動操作の前にする FPU 2p 操作

	Instruction	F1	F2	D1	D2	R1	R2	E	W	Comments	
		FPU pipeline-->				R1	R2	E1	E2		E3
I1	MPYF32 R6H, R5H, R0H MOV32 *XAR7++, R4H	I1									
I2	F32TOUI16R R3H, R4H	I2	I1								
I3	ADDF32 R3H, R2H, R0H MOV32 *--SP, R2H	I3	I2	I1							
I4	NOP	I4	I3	I2	I1						
I5	MOV32 @XAR3, R6H	I5	I4	I3	I2	I1					
			I5	I4	I3	I2	I1				
				I5	I4	I3	I2	I1			
					I5	I4	I3	I2	I1	Due to one extra NOP, I5 does not reach R2 when I1 enters E3; thus, forwarding is not needed.	
						I5	I4	I3	I2	I1	There is no change due to the stall in the previous cycle.
							I5	I4	I3	I2	I1 moves out of E3 and I5 moves to R2. R6H has the result of R5H*R0H and is read by I5. There is no need to forward the result in this case.
								I5	I4	I3	

図 3-6. 回避方法が適用されたパイプライン図

アドバイザリ

GPIO: オープンドレイン構成による短い High パルスを駆動する可能性

影響を受けるリビジョン 0, A

詳細

各 GPIO は、GPxODR レジスタを使用してオープンドレイン モードに設定できます。ただし、内部デバイスのタイミングの問題により、GPIO が高インピーダンス状態への遷移中、または高インピーダンス状態からの遷移中に最大 0 ~ 10ns の間、ロジック High を駆動することがあります。

この望ましくない High レベルにより、他のドライバが同時に低レベルを駆動している場合、GPIO がライン上の別のオープンドレインドライバと競合する可能性があります。この競合は、両方のデバイスにストレスを加え、信号に短時間の中間電圧レベルが生じるため、望ましくありません。レシーバロジックにこの短いパルスをフィルタリングするのに十分なロジックフィルタリングがない場合、この中間電圧レベルは誤って高レベルと解釈される可能性があります。

回避方法

競合が問題となる場合、GPIO のオープンドレイン機能を使用せず、ソフトウェアでオープンドレインモードをエミュレートします。オープンドレインエミュレーションは、GPIO データ (GPxDAT) を静的 0 に設定し、GPIO 方向ビット (GPxDIR) をトグルして、駆動を Low にして有効 / 無効にすることにより実現できます。実装例については、以下のコードを参照してください。

```

void main(void)
{ ...

    // GPIO configuration
    EALLOW;
    GpioCtrlRegs.GPxPUD.bit.GPIOx = 1; // disable pullup
    GpioCtrlRegs.GPxODR.bit.GPIOx = 0; // disable open-drain mode
                                        // set GPIO to drive static 0 before
                                        // enabling output
    GpioDataRegs.GPxCLEAR.bit.GPIOx = 1;
    EDIS;
    ...

    // application code
    ...

    // To drive 0, set GPIO direction as output
    GpioCtrlRegs.GPxDIR.bit.GPIOx = 1;

    // To tri-state the GPIO(logic 1), set GPIO as input
    GpioCtrlRegs.GPxDIR.bit.GPIOx = 0;
}
  
```

アドバイザー I2C:ターゲットトランスミッタ モード、標準モードの SDA タイミング制限
影響を受けるリビジョン 0, A
詳細

MCU に搭載された I2C 周辺装置はファーストモード デバイスであり、スタンダードモードのホストで使用する場合、SCL (クロック) ラインをクロック ストレッチします。

スタンダードモード システムで使用されるファーストモード デバイスについては、I2C 仕様に SCL ラインを解放する前に、 $t_{\text{SU:DAT}}$ (データセットアップ時間) + $t_{\text{r(max)}}$ (立ち上がり時間) を満たすという要件があります。NXP セミコンダクタ I²C バス仕様およびユーザー マニュアル (UM10204) の「標準、高速、および高速モード プラス I²C バス デバイスの SDA および SCL バスラインの特性」表の脚注 4 を参照してください。

ただし、C2000 I2C クロックは、上記のシナリオでは、SCL ラインを $6 * f_{\text{mod}}$ クロック (C2000 の I2C クロック レート) の固定値だけストレッチします。C2000™ マイクロコントローラがスタンダードモードのホストとともにターゲットトランスミッタとして動作しているとき、SDA の t_{r} が長すぎると、データ (SDA) の準備が完了する前に、C2000 によってクロックライン (SCL) が解放される可能性があります。

NXP セミコンダクタ I²C バス仕様とユーザーマニュアル (UM10204) の「プルアップ抵抗のサイズ設定」セクションでは、式 1 に示されている立ち上がり時間 (t_{r}) とバス容量 (C_{b}) に基づいて、適切な PU 抵抗 (R_{p}) の選択について詳細に説明しています。

$$R_{\text{p(max)}} = \frac{t_{\text{r}}}{0.8473 \times C_{\text{b}}} \quad (1)$$

回避方法
1. 強力なプルアップで t_{r} を減らす

$t_{\text{SU:DAT}} + t_{\text{r(max)}}$ が満たされることを保証するために、ユーザーは、システムの f_{mod} クロックの値に基づいて、表 3-2 の SDA データ立ち上がり時間要件列にリストされている制約を満たすように SDA ラインのプルアップ抵抗を構成できます。これにより、C2000 が SCL 信号を解放したときに、SDA ラインに存在するデータが有効になることが保証されます。

表 3-3 に、特定の f_{mod} クロック (Mhz) および C_{b} (バス容量) に対して推奨される R_{p} 抵抗値を示します。 C_{b} の他の値については、式 1 を使用して、システムに必要な R_{p} の値を計算してください。

表 3-2. 標準モードホストを備えたターゲットトランスミッタとしての C2000 のデータ立ち上がり時間要件

f_{mod} クロック (MHz)	f_{mod} 期間 (ns)	C2000 I2C からの SCL クロックストレッチ遅延 (ns): ($6 * f_{\text{mod}}$ クロック)	データ セットアップ時間 (ns): $t_{\text{SU:DAT}}$ (標準モード)	SDA データの立ち上がり時間の要件 (ns): t_{r}
7	142.9	857	250	607
8	125	750		500
9	111	666		416
10	100	600		350
11	90.9	545		295
12	83.3	500		250

アドバイザリ (続き)

I2C: ターゲットトランスミッタモード、標準モードの SDA タイミング制限

表 3-3. 一般的なバス容量 (C_b) のプルアップ抵抗 (R_p) 値

f_{mod} クロック (MHz)	SDA データの立ち上がり時間の要件 (ns): t_r	R_p (k Ω) for $C_b = 100\text{pF}$	R_p (k Ω) for $C_b = 200\text{pF}$	R_p (k Ω) for $C_b = 300\text{pF}$	R_p (k Ω) for $C_b = 400\text{pF}$
7	607	7.1	3.5	2.3	1.7
8	500	5.9	2.9	1.9	1.4
9	416	4.9	2.4	1.6	1.2
10	350	4.1	2.0	1.3	1.0
11	295	3.4	1.7	1.1	0.8
12	250	2.9	1.4	0.9	0.7

2. $t_r = 1000\text{ns}$

この回避策は、一般的な I2C の使用上の制限により推奨されません。可能な場合は回避策 1 を使用してください。

システムで SDA ラインの立ち上がり時間が 1000ns 必要な場合は、C2000 I2C f_{mod} クロックを 4.8MHz に設定して、クロックストレッチ ($6 * f_{mod}$ クロック) によってこの要件を満たすことができます。その結果、 $t_r = (1/4.8\text{MHz}) * 6 = 1000\text{ns}$ となります。この回避方法は、C2000 I2C が I2C バス上のターゲットとなるシステムでのみ有効です。4.8MHz は、 f_{mod} クロックに 7Mhz から 12Mhz ヘデータシートに必要な範囲外であることに注意してください。 f_{mod} を 4.8Mhz で使用すると、データシートの必要な範囲外であっても、C2000 I2C に対してスタンダードモードのホストバス上でターゲットモードで動作します。この回避方法に記載されているものを除く他の構成で $f_{mod} = 4.8\text{Mhz}$ を使用すると、他のタイミングパラメータに違反し、許可されません。

アドバイザリ **MCD:PLL が有効 (PLLCLKEN = 1) のとき、クロック消失検出を無効化****影響を受けるリビジョン** 0, A**詳細**

PLL には、入力 OSCCLK が存在しない場合でも低速の PLLRAWCLK 出力を提供するリンプモード機能があります。独立して、Missing Clock Detect (MCD) 回路は、OSCCLK 入力の欠落が検出されると、システムクロックソースを強制的に INTOSC1 に切り替えます。これらのシステムクロックソースを切り替える MCD マルチプレクサは、両方のクロックソース (PLLRAWCLK と INTOSC1) がアクティブな場合、グリッチがないことが保証されません。まれに、クロックの欠落障害イベント中に予期しないデバイス動作が発生する可能性があります。

回避方法

システムで PLL が使用されている場合 (PLLCLKEN = 1)、MDCR.MCLKOFF = 1 を書き込んで MCD を無効にします。

デュアルクロックコンパレータ (DCC) 回路は、クロックイベントの欠落により SYSCLK 周波数が目的の周波数から外れてリンプモードに低下したかどうかを迅速に検出するように構成できます。

システムが PLL バイパスモード (PLLCLKEN = 0) で動作している場合でも、MCD 回路を使用して欠落したクロックイベントを検出し、クロックソースを INTOSC1 に切り替えることができます。

アドバイザリ **メモリ: 有効なメモリを超えたプリフェッチ**

影響を受けるリビジョン 0, A

詳細

C28x CPU は、パイプラインで現在アクティブな命令を超える命令をプリフェッチします。プリフェッチが有効なメモリの終了後に発生した場合、CPU は無効なオPCODEを受信する可能性があります。

回避方法

M1、GS15 –プリフェッチ キューは 8×16 ワードの深さです。したがって、コードは 有効なメモリの終わりから 8 ワード以内にはなりません。2 つの有効なメモリ ブロック間の境界を越えてプリフェッチすることは問題ありません。

事例 1: M1 はアドレス 0x7FF で終了し、その後に別のメモリ ブロックが続くことはありません。M1 のコードは、アドレス 0x7F7 以下に格納されないようにする必要があります。アドレス 0x7F8 ~ 0x7FF はコードには使用できません。

事例 2: M0 はアドレス 0x3FF で終了し、有効なメモ (M1) がその後に続きます。M0 のコードは、アドレス 0x3FF まで保存できます。コードはアドレス 0x7F7 までの M1 にクロスすることもできます。

フラッシュ -プリフェッチ キューは 16×16 ワードの深さです。したがって、コードは 有効なメモリの終わりから 16 ワード以内にはなりません。そうでない場合、フラッシュ ECC の修正不可能なエラーが発生します。

表 3-4. アドバイザリによって影響を受けるメモリ

メモリ タイプ	CORE	影響を受けるアドレス
M1	CPU1、CPU2	0x0000 07F8–0x0000 07FF
GS4	CPU2	0x0001 9FF8–0x0001 9FFF
LS9	CPU1	0x0002 5FF8–0x0002 5FFF
フラッシュ	CPU1、CPU2	0x0011 FFF8–0x0011 FFFF

アドバイザリ**MPOST:一部の初期素材ではメモリ パワーオン セルフテストが実行されません****影響を受けるリビジョン** 0, A**詳細**

MPOST (メモリ パワーオン セルフテスト) は、機能安全アプリケーションで使用して、電源投入時にデバイスのメモリをテストすることができます。この機能は、DCSM セキュリティツールを使用して Z1_GPREG.MPOST および Z1_DIAG.MPOST_EN ビットへ書き込むことでアクティブになります。影響を受ける素材は、Z1_GPREG2 および Z1_DIAG.MPOST_EN MPOST ビットに書き込んでも、MPOST は実行されません。

回避方法

なし。MPOST は実行できません。固定素材の OTP リビジョン番号は 1 より大きくなります。OTP リビジョン番号は、表 3-5 を使用して求めることができます。

表 3-5. OTP リビジョン番号の位置

アドレス	8 ビット MSB	8 ビット LSB
0x0007 2246	0x5A	OTP リビジョン

アドバイザー **SDFM:スレッシュホールド設定 (LLT、HLT)、フィルタタイプ、COSR 設定を動的に変更すると、スプリアス コンパレータ イベントがトリガされます**

影響を受けるリビジョン 0, A

詳細 SDFM コンパレータ設定 (フィルタタイプ、下限/上限スレッシュホールド、コンパレータ OSR (COSR) 設定など) が実行中に動的に変更されると、誤ったコンパレータ イベントがトリガされてしまいます。スプリアス コンパレータ イベントは、適切に設定されている場合、対応する CPU 割り込み、CLA タスク、ePWM クロスバー イベント、GPIO 出力クロスバー イベントをトリガします。

回避方法 コンパレータ設定を動的に変更する必要がある場合は、以下の手順に従って、誤ったコンパレータ イベントによって CPU 割り込み、CLA タスク、または X-BAR イベント (ePWM X-BAR/GPIO 出力 X-BAR イベント) が生成されないようにしてください。

1. コンパレータ フィルタを無効にします。
2. コンパレータ フィルタの少なくともレイテンシ + 3 SD-Cx クロックサイクルの遅延。
3. フィルタタイプ、COSR、下限/上限スレッシュホールドなどのコンパレータ フィルタ設定を変更します。
4. コンパレータ フィルタの少なくともレイテンシ + 5 SD-Cx クロックサイクルの遅延。
5. コンパレータ フィルタを有効にします。

アドバイザー **SDFM:データフィルタ設定 (フィルタタイプや DOSR など) を動的に変更すると、誤ったデータ確認イベントがトリガされます**

影響を受けるリビジョン 0, A

詳細 実行時に SDFM データ設定 (フィルタタイプや DOSR 設定など) が動的に変更されると、誤ったデータ フィルタ準備完了イベントがトリガされます。スプリアス データ準備完了イベントは、適切に構成されている場合、対応する CPU 割り込み、CLA タスク、DMA トリガをトリガします。

回避方法 SDFM データフィルタ設定を動的に変更する必要がある場合は、以下の手順に従って、スプリアス データ フィルタ準備完了イベントが生成されないようにします。

1. データフィルタを無効にします。
2. データフィルタの少なくともレイテンシー + 3 SD-Cx クロック サイクルの遅延。
3. フィルタタイプや DOSR などのデータ フィルタ設定を変更します。
4. データフィルタの少なくともレイテンシー + 5 SD-Cx クロック サイクルの遅延。
5. データ フィルタを有効にします。

アドバイザリ **SDFM:SD 変調器の 3 クロック サイクル以内に SDCPARMx レジスタのビット フィールド CEVT1SEL、CEVT2SEL、および HZEN に連続して 2 回書き込みを行うと、SDFM ステートマシンが破損し、誤ったコンパレータ イベントが発生する可能性があります**

影響を受けるリビジョン 0, A

詳細 3 つの SD モジュレータ クロック サイクル内で SDCPARMx レジスタ ビット フィールド CEVT1SEL、CEVT2SEL、および HZEN に連続書き込みをすると、SDFM ステート マシンが破損する可能性があります、誤ったコンパレータ イベントが発生する可能性があります。これにより、適切に構成されている場合は、CPU 割り込み、CLA タスク、ePWM XBAR イベント、および GPIO 出力 X-BAR イベントがトリガされる可能性があります。

回避方法 3 つの SD モジュレータ クロック サイクル内での連続書き込みを避けるか、SDCPARMx レジスタ ビット フィールドを 1 回のレジスタ書き込みで構成します。

アドバイザリ **USB:USB DMA イベントトリガはサポートされていません**

影響を受けるリビジョン 0, A

詳細 USB モジュールが誤って余分な DMA 要求を生成し、FIFO がオーバーフロー (IN エンドポイント) または アンダーフロー (OUT エンドポイント) になります。これにより、無効な IN DATA パケット (最大パケット サイズより大きい) が発生し、受信データが重複します。

回避方法 なし

4 シリコン リビジョン 0 の使用上の注意とアドバイザリ

このセクションでは、このシリコン リビジョンの使用上の注意とアドバイザリを一覧表示しています。

4.1 シリコン リビジョン 0 の使用上の注記

シリコン リビジョンに適用される使用上の注意が、新しいシリコン リビジョンで見つかりました。詳細については、[シリコン リビジョン A の使用上の注意](#)を参照してください。

4.2 シリコン リビジョン 0 のアドバイザリ

シリコン リビジョンに適用されるアドバイザリが、新しいシリコン リビジョンで見つかりました。詳細については、[シリコン リビジョン A のアドバイザリ](#)を参照してください。

アドバイザリ **ADC:ADC-C は 16 ビット モードの仕様を満たしていません**

影響を受けるリビジョン 0

詳細

ADC-C は 16 ビット モードの仕様を満たしていませんが、ADC-C は 12 ビットの仕様を満たしています。

ADC-A および ADC-B は、12 ビットおよび 16 ビットの仕様要件を満たしています。

回避方法

アプリケーションで ADC-C を 16 ビット モードで使用する必要がある場合、性能が低下します。次のいずれかの回避方法を実行します。

- 44MHz の低い周波数で ADC-C を動作させ、仕様を満たします。
- 動作周波数を下げることなく、ADC-C を 12 ビット モードで使用します。

複数の ADC を使用する場合の同期変換要件を満たすには、[TMS320F28P65x リアルタイム マイクロ コントローラ テクニカル リファレンス マニュアル](#)の「同期動作の確保」セクションを参照してください。

5 ドキュメントのサポート

デバイス固有のデータシートおよび関連ドキュメントについては、TI の Web サイト <https://www.ti.com> をご覧ください。

TMS320F28P65x デバイスの詳細については、以下のドキュメントを参照してください。

- 『TMS320F28P65x リアルタイム マイクロ コントローラ』データシート
- 『TMS320F28P65x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』

6 商標

C2000™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

7 改訂履歴

Changes from MARCH 20, 2024 to APRIL 8, 2025 (from Revision C (March 2024) to Revision D (April 2025))

	Page
• サポートされるデバイスセクション: セクションを更新。.....	4
• ZEJ パッケージのパッケージ マーキング – 車載以外の図: G1 の定義を更新。.....	5
• ZEJ パッケージのパッケージ マーキング – 車載の図: G1 のデバイス番号と定義を更新しました。.....	5
• PTP パッケージのパッケージ マーキング – 車載以外の図: G4 の定義を更新。.....	5
• PTP パッケージのパッケージ マーキング – 車載の図: G4 のデバイス番号と定義を更新しました。.....	5
• NMR パッケージのパッケージ マーキング – 車載以外の図: G1 の定義を更新。.....	5
• PZP パッケージのパッケージ マーキング – 車載以外の図: G4 の定義を更新。.....	5
• PZP パッケージのパッケージ マーキング – 車載の図: G4 のデバイス番号と定義を更新しました。.....	5
• 繰り返しブロックでネストされた割り込みを使用する際の注意 使用上の注意: タイトルを「ネストされた割り込みを使用する際の注意」から「繰り返しブロックでネストされた割り込みを使用する際の注意」に変更しました。使用上の注意を更新しました。.....	8
• CMPSS : コンパレータ入力ピンに AGPIO 機能があり、 ADC が入力ピンのアドバイスをサンプリングしている場合、 CMPSS グリッチが発生する可能性がありますアドバイザリを追加。.....	11
• ePWM : PERCLKDIVSEL.EPWMCLKDIV = 1 の場合、 ePWM TZFRC および TZCLR イベントが失われる場合がありますアドバイザリを追加。.....	16

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適したテキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、ます。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているテキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかるテキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated