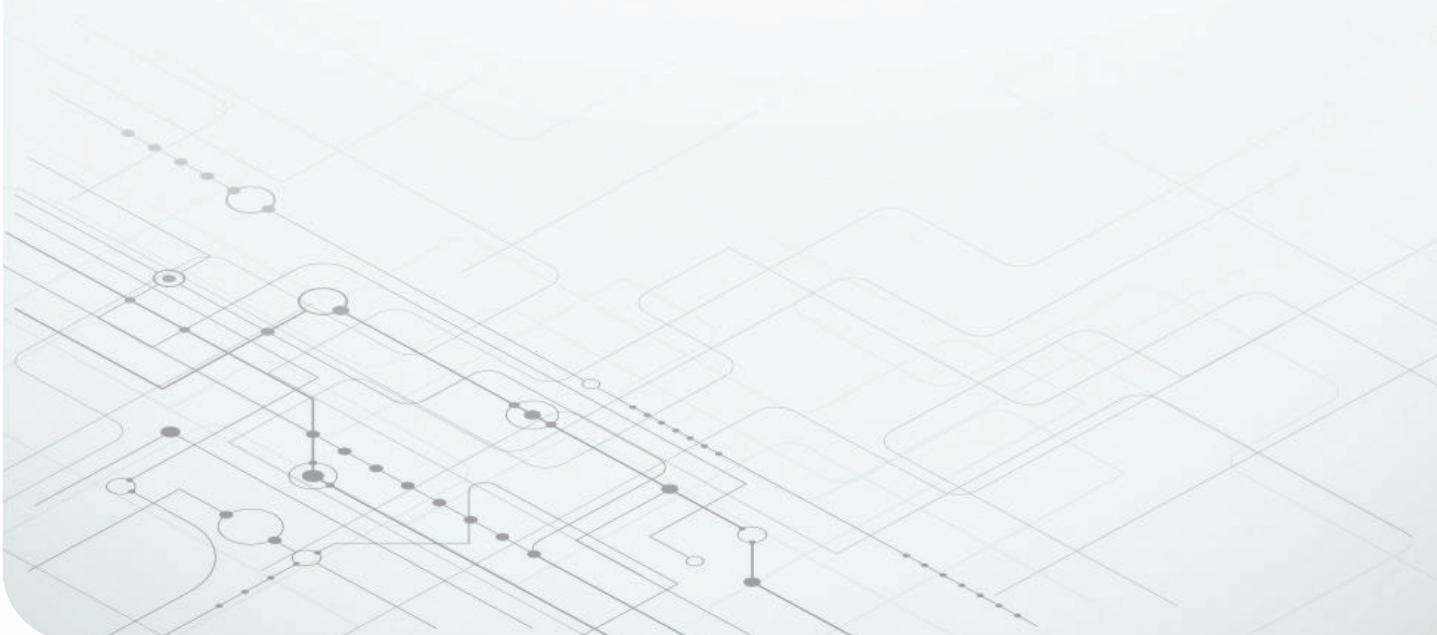


# パッケージングに関する画期的な進歩 によるアナログ性能の迅速化



**Les Stark**  
Director of Package Development

**Sreenivasan Koduri**  
TI Fellow



# 概要

-  **1 はじめに**  
このホワイトペーパーでは、業界標準のパッケージタイプと、アナログ半導体チップおよびモジュールパッケージテクノロジーの最近の革新について説明します。その範囲は、パワーマネジメントデバイスから、オペアンプやデータコンバータ、その他のアナログ IC まで多岐にわたります。
-  **2 パッケージのバリエーションが市場の要求にどのように対応するか**  
信頼性、コスト効率、サプライチェーンの復元力に関する市場の要件を理解するには、効率的で信頼できるパッケージを重視する必要があります。
-  **3 高い電力効率**  
システム、サブシステム (ボードレベル)、パッケージレベル (複数のダイや受動部品を含め) で統合を検討すると、パッケージング技術を活用して電力効率と密度を向上させる方法を示します。
-  **4 小型製品の実現**  
アナログパッケージ技術で期待される進歩とそれぞれの潜在的な影響を解説します。

## はじめに

半導体は寿命のほぼあらゆる面に浸透しており、想像可能なあらゆるアプリケーションで使用できるように最適化済みのデバイスがその中にあります。ムーアの法則が導いた CMOS (complementary metal-oxide semiconductor) テクノロジーは、デジタルコンピューティングの進展を加速し、一方バイポーラ半導体のバリエーションによって、デジタルプロセッサを物理的な世界に接続して、温度、圧力、移動、光、サウンド、タッチを検出するアナログ製品を実現してきました。

すべてのウェハには、数千個の IC が搭載されています。IC はこれらの IC を個別のユニットを半導体チップ (ダイ) と呼びます。これらのチップは壊れやすく、スマートウォッチから産業用ロボットまで、製品の日常的な使用に適した保護パッケージが必要です。図 1 に示すように、その他の影響として、パッケージは半導体チップを保護し、プリント基板 (PCB) への電氣的接続を提供し、放熱経路を提供します。半導体デバイスのアプリケーションの成長に伴い、さまざまなニーズに対応するためにパッケージの機能とフォーム・ファクタが進化してきました。



図 1. 代表的なアナログパッケージの内部図と、達成されるパッケージ

半導体デバイスは、性能を最適化しチップを保護するパッケージで構成されています。各パッケージは、図 2 に概説するように、ピン (またはリード)、樹脂、ボンドワイヤ、チップ自体など、複数の素子で構成されています。ピンまたはリード線は、デバイスと外部回路との間のインターフェイスであり、信号と電力の伝送を容易にします。樹脂はチップとボンドワイヤを覆い、湿気、ほこり、振動、衝撃などの要因から保護またはシールドされます。ボンドワイヤは、チップをパッケージリードに接続し、PCB 上のチップと外部回路との間の電氣的接続を可能にします。

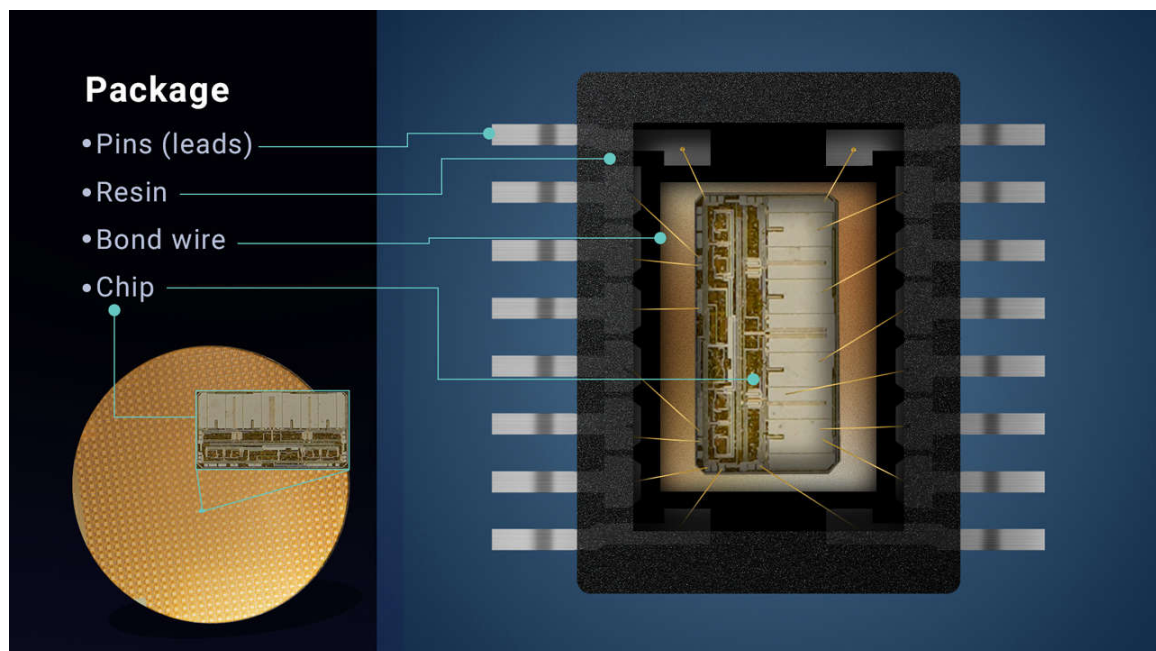


図 2. パッケージには、ピン (またはリード端子)、樹脂、ボンドワイヤ、チップ取り付けエポキシ、半導体チップ自体が含まれます。

急速に変化する現在のエレクトロニクス製品の環境で、性能、コスト、市場投入期間に関する厳格な要件を満たすために必要なアナログ半導体を購入する必要がある設計エンジニアは非常に大きな圧力にさらされています。製品ラインアップで多様なパッケージオプションを使用すると、設計者はさまざまなパッケージタイプとテクノロジーを活用して、性能、フォームファクタ、熱管理、コスト効率を最適化するフレキシビリティを確保し、革新を実現し、市場投入期間を短縮するのに役立ちます。エンジニアは数十年にわたって業界標準のパッケージに依存してきました。図 3 に、アナログおよびパワーマネージメント IC の一般的なパッケージとプラスチックパッケージを示します。



図 3. アナログとパワーマネージメント IC に適した、一般的なパッケージタイプと小型プラスチックパッケージ。

## パッケージのバリエーションが市場の要求にどのように対応するか

あらゆるエレクトロニクスデバイスの設計要件を満たすのは単一のパッケージタイプではないので、長年にわたって多様なパッケージタイプが進化を続け、信頼性、電気的性能、放熱性能、コスト、サプライチェーンに関する検討事項、サイズなど具体的なニーズに対応してきました。

たとえば、小型玩具のシンプルな電子機器から、自動車のブレーキシステム内の重要な部品まで、アプリケーションによって信頼性要件は大きく異なります。産業機器では長期間の IC が必要ですが、ドバイ、シンガポール、アラスカなどの気候における通信塔では、極限の温度、湿度、腐食性の環境に耐えられるデバイスが必要です。宇宙船に搭載された IC は、打ち上げの衝撃に耐え、宇宙での放射線に耐える必要があります。

高速通信や高電力用途では、パッケージの電気的インピーダンスがシステム性能に大きな影響を及ぼす可能性があるため、チップとパッケージの間、およびパッケージと PCB の間で最適化された接続が必要になります。従来の半導体デバイスでは、これらの初期接続に微細な金ワイヤボンディング (通常は直径 15 $\mu$ m ~ 50 $\mu$ m) が使用されていましたが、最新のデバイスでは、特定の電気インピーダンス要件に対応するため、銅線ボンディング、リボンボンディング、高密度ボンディング、銅ポスト、銅クリップ、はんだバンブ、スルーシリコンビアなどの方法も使用されていました。

多様なパッケージオプションの作成を促進する市場の要件を見てみましょう。

## 優れたコスト効率

PCB、パッケージ、シリコンをコストのために最適化する場合、シリコンのサイズを最小限に抑えることでコストが削減されます。ただし、多くのアプリケーションでは、入出力 (I/O) ピッチの大きい大型パッケージが必要になる場合があります。図 4 では、小型チップサイズを実現するためにシリコン上での I/O パッドの間隔は 100 $\mu$ m 未満ですが、低コスト PCB の設計上の制約を満たすために、同じ I/O を 650 $\mu$ m 超にファンアウトします。

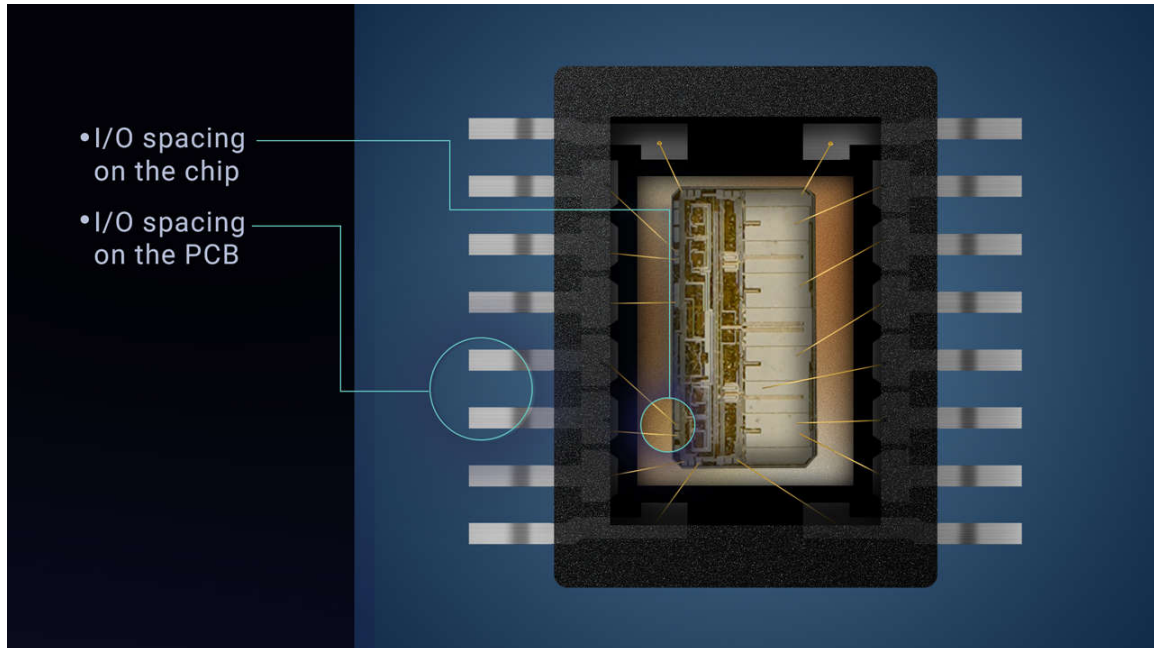
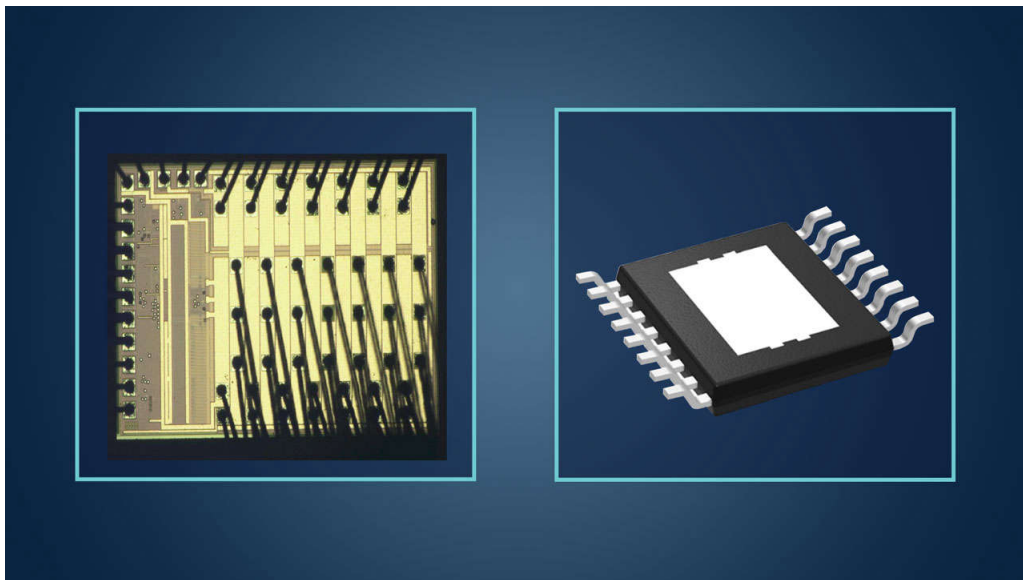


図 4. コンパクトなチップ設計で一般的に 100 $\mu$ m 未満の I/O 間隔が使用されているのに対し、I/O 間隔が 650 $\mu$ m を超えると、低コストの PCB 設計に適合します。

PCB 寸法とパッケージサイズを標準化する汎用製品のために、複数のサプライヤから同一の部品を購入することができます。さらに、このようなパッケージを採用すると、最終アプリケーションへの適合性に影響を及ぼさずに、シリコンの継続的な縮小（およびコストの削減）を実現できる柔軟性を確保できます。場合によっては、パッケージを縮小しながら業界標準のフットプリントを実現することもできます。小型パッケージへの移行が可能で、既存の PCB レイアウトとの下位互換性があります。

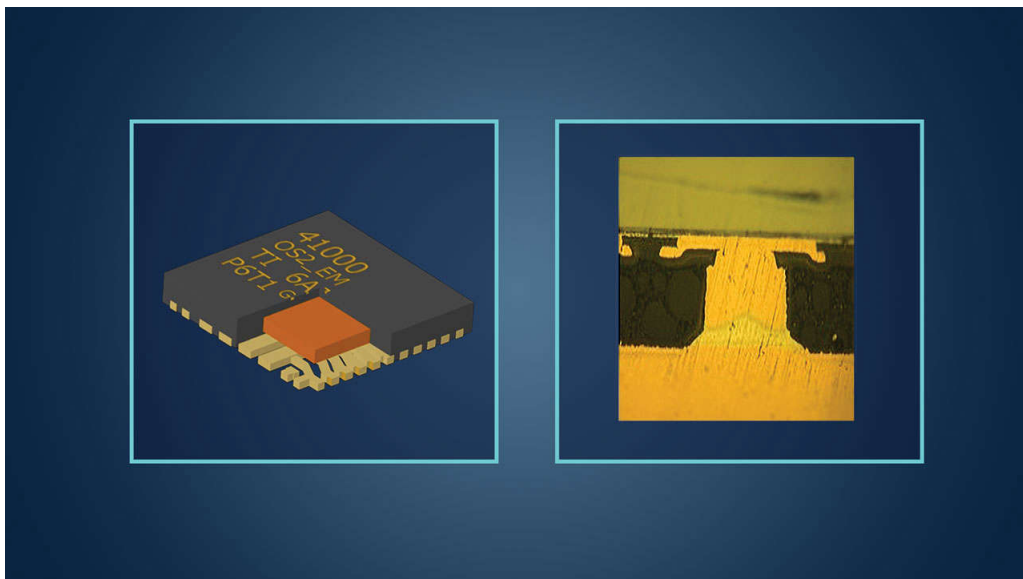
## 高い電力効率

効率は、ハイパワーソリューションを設計するうえで非常に重要な指標です。TI はディスクリートの電界効果トランジスタ (FET) とレギュレータを提供していますが、多くの電源設計では FET とコントローラの統合が重要です。以前の設計は、FET の電気抵抗を最小化するために、多数の金ワイヤボンダ（図 5 に示すようなもの）に依存していましたが、そのワイヤのコストはパッケージ内のチップのそれよりも大きいことがありました。コスト削減と消費電力と性能向上のために、TI は銅配線ボンディングと互換性を持つシリコンテクノロジーを開発しました。



**図 5.** HTSSOP パッケージには外部ピンがわずかしかないうちの可能性があります、統合型 FET の電流および抵抗の要件を満たすため、多数の重いゲージ配線ボンドが必要です。

電力密度が向上するにつれて、TI は大電流パッケージ内の FET で低い抵抗を維持するために、**図 6** に示すような垂直 FET テクノロジーと銅クリップを採用しました。



**図 6.** 図 5 に示すように、大電流パッケージ内で銅製クリップを使用し、複数のワイヤボンドに比べて抵抗を小さくします。

半導体製造における革新は、CMOS とバイポーラトランジスタ技術を同じチップに統合し、コントローラを統合した高性能 FET の開発につながりました。低電気抵抗と先進的なコントローラに対する需要を満たすために、TI は HotRod™テクノロジーを開発しました。このテクノロジーは、図 7 に示すように、PCB 上の電源回路をチップに厳密に接続します。

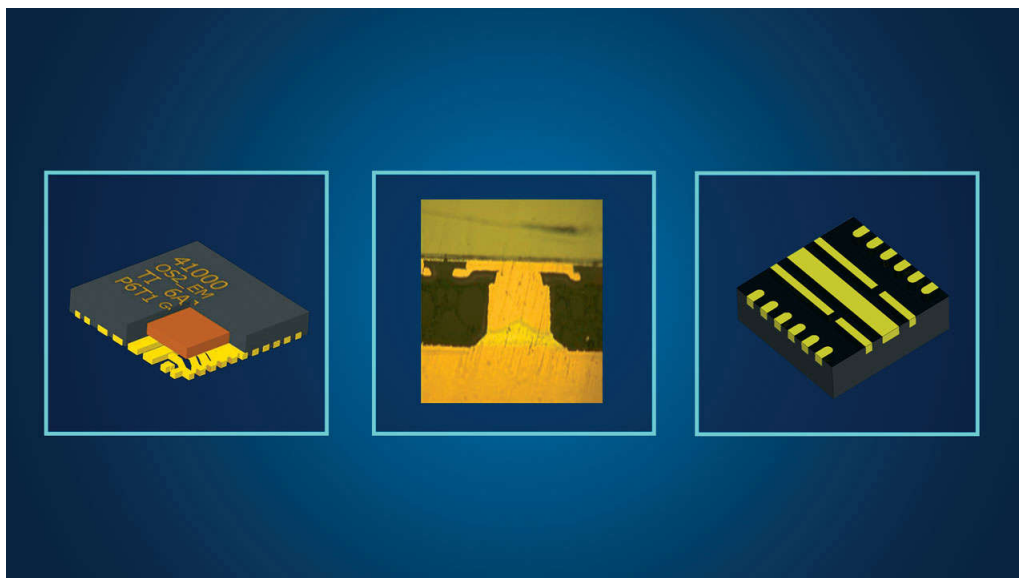


図 7. 銅製バンパはパッケージ内の銅にシリコンダイを直接接続し、FET から PCB へのほぼ直接的なパスを提供します。

業界標準のパッケージフットプリントを必要とする設計者の皆様にとって、TI の強化型 HotRod QFN パッケージテクノロジーは、図 8 に示すように、パッケージ全体で信号の配線を行うフレキシビリティを実現すると同時に、最終機器に対して効率的に電力を供給できるように抵抗の小さい接続を維持しています。

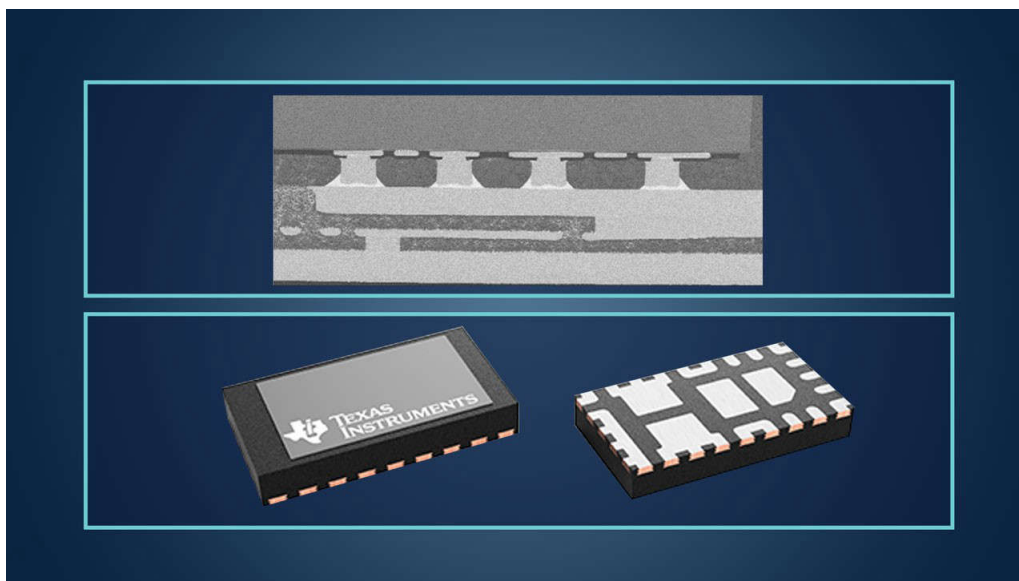


図 8. Enhanced HotRod (強化型ホットロッド) テクノロジーは、厚い銅配線層にシリコンを接続します。このアプローチにより、PCB との抵抗が非常に小さくなると同時に、サーマルパッドや標準化されたパッケージフットプリントに合わせるための柔軟性も実現できます。

極端な小型化を必要とする多くのアプリケーション、そのような電子スタイラスがあります。図 9 と図 10 に示すように、インダクタをパッケージに内蔵することで、小型サイズの制約に対処するのに役立ち、従来はインダクタを採用していなかった高効率のスイッ

チングレギュレータを実装することができます。TI の **MicroSiP™ パッケージ** (図 9 と図 10 を参照) は、小型化に加えて、PCB 内のより厚い銅層にチップを緊密に結合することで、モジュールの熱すべてを PCB に伝達できる設計を採用しています。

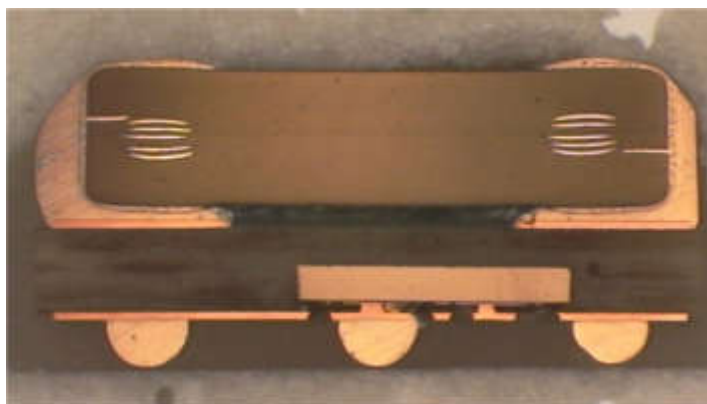


図 9. MicroSiP™ パッケージ封止、TI の TPS82670 降圧コンバータの断面図。埋め込みシリコン回路はインダクタの直下に配置されます

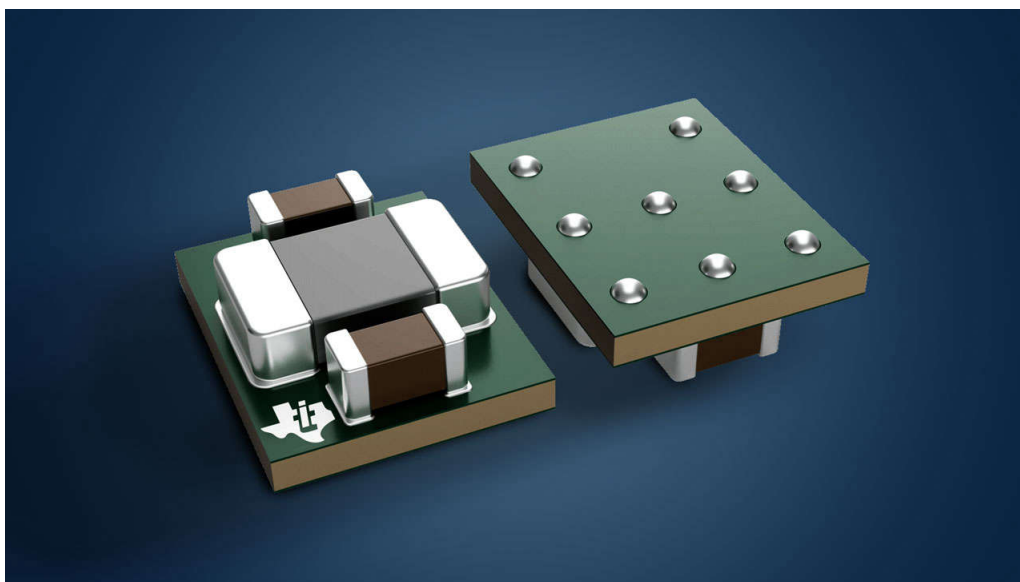


図 10. MicroSiP パッケージの TPS82670 降圧コンバータの上面および底面画像

また、設計エンジニアは、高効率のインダクタをパッケージに直接統合すると同時に、電力密度の制限を高めることも必要です。TI の新しいパワーモジュールは、TI 独自の新しい統合型磁気パッケージ MagPack™テクノロジーを活用しており、電力密度や効率の向上、温度と放射型電磁波の低減と同時に、基板面積とシステムの電力損失の最小化を実現します。**TPSM82866A** 降圧コンバータのような MagPack 技術を採用したモジュール (図 11 と図 12 を参照) は、 $1\text{mm}^2$  あたりほぼ  $1\text{A}$  の電力密度を持っています。

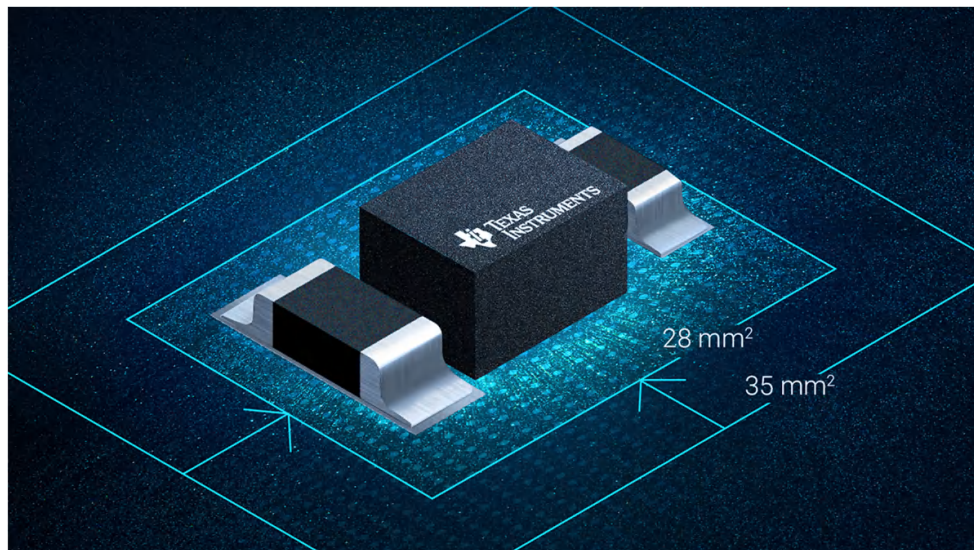


図 11. TPSM82866A 6A 降圧コンバータは、 $2.3\text{mm} \times 3\text{mm}$  の MagPack パッケージに封止されており、 $28\text{mm}^2$  のトータルソリューションサイズを実現しています。

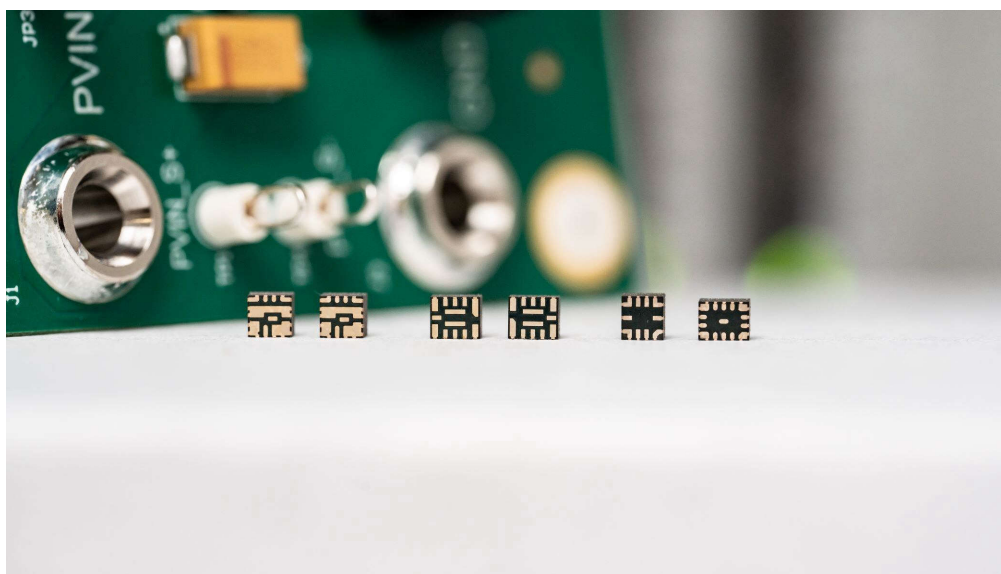


図 12. MagPack 技術を採用したパワーモジュールは、3A や 6A の競合モジュールより 20% 小型です。

GaN (窒化ガリウム) 電力段は高い電力密度と、より高い電圧で動作できるため、バッテリー充電やソーラーエネルギーなどの市場で一般的になりつつあります。図 13 に示すように、強化型 HotRod パッケージ技術を搭載した TI の **100V LMG3100 GaN FET** は、サーマルビアを入力電圧の近くに配置できると同時に、パワーパッドを通じてパッケージからの電力消費を最適化します。

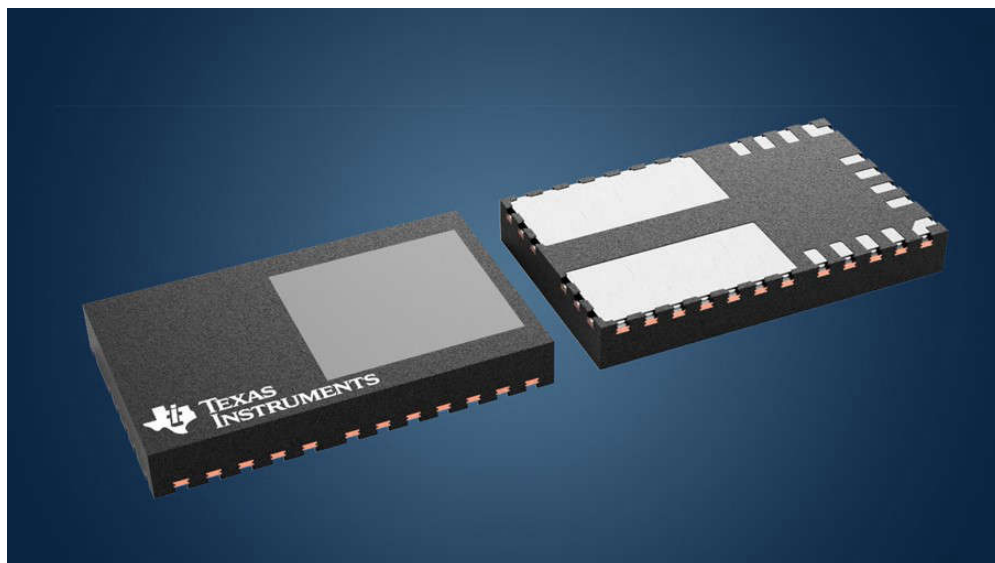


図 13. LMG3100 GaN FET 電力段は、15 ピンの超薄型クワッドフラットリードなし (VQFN) パッケージに封止されています。GaN デバイスは、ソースとドレインに大型のパッドと露出チップを使用して、熱管理を改善しています。

もう 1 つの GaN ベースデバイスである TI の 3 相 **DRV7308 GaN インテリジェントパワーモジュール (IPM)** は、図 14 に示すように、12mm x 12mm の業界標準のクワッドフラットリードなし (QFN) パッケージに封止済みです。これは競合の 250W IPM に比べて 55% 小型であり、PCB のサイズを 65% 以上小型化しています。

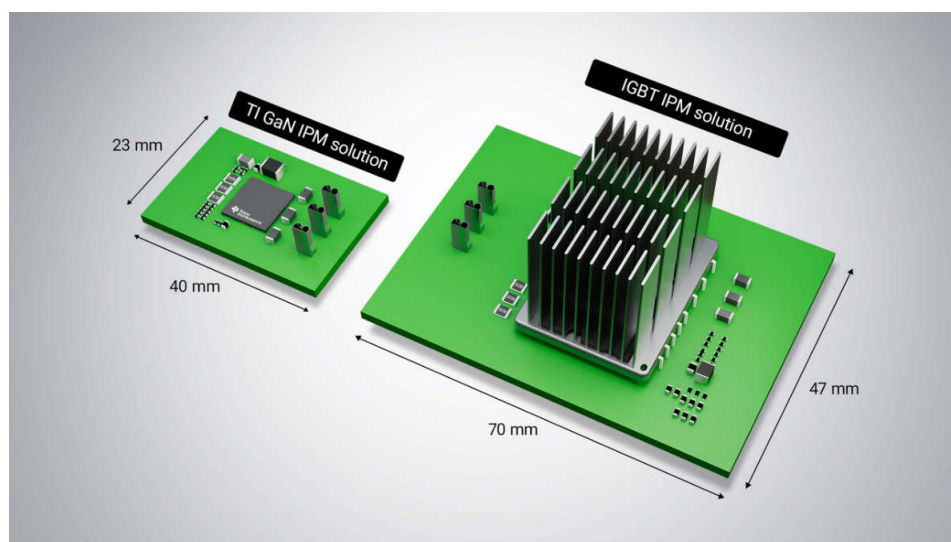
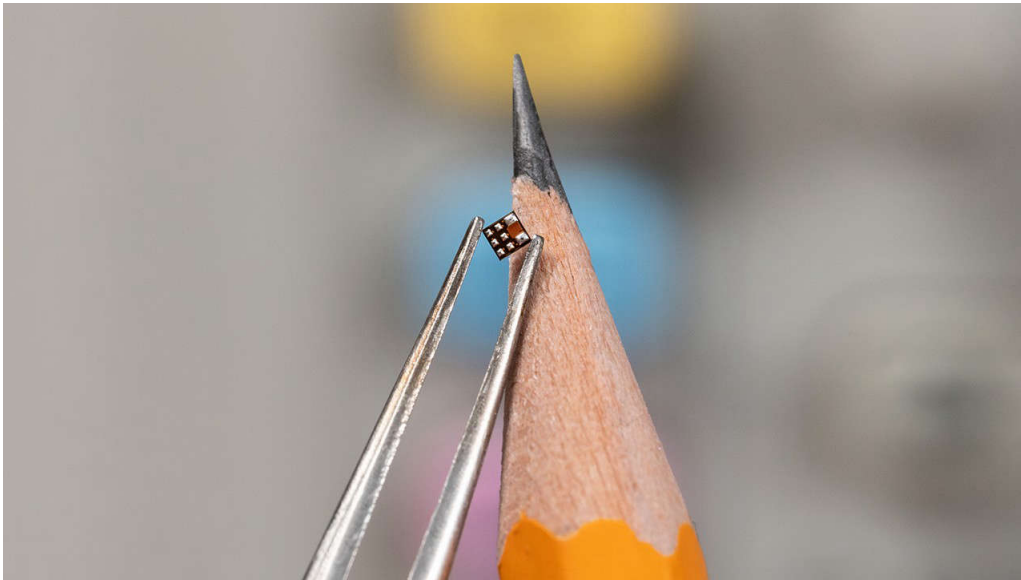


図 14. DRV7308 GaN IPM PCB と、250W の絶縁ゲートバイポーラトランジスタソリューションの比較

## 小型製品の実現

スマートフォン、補聴器、カメラレンズなどの製品に使用するデバイスが非常に小型または薄型である必要がある場合は、ウェハーチップスケールパッケージ (WCSP) が最適です。これらのパッケージはウェハー上に直接構築され、I/O はシリコン表面に形成されます。この種のデバイスは小型であるにもかかわらず、**図 15** に示す小さな電流センスアンプなどの WCSP は信頼性を確保するために拡張を必要とします。特殊なオーバーコートは、チップを PCB 上の機械的ストレスから保護し、最適化された冶金は熱ストレスや曲げや落下などの潜在的な機械的課題に対して耐えることができます。ブログ [The power of packaging \(パッケージングのパワー\)](#) では、エンジニアがより小型の設計を行う際に TI がどのように支援できるかを解説しています。



**図 15.** EZShunt™ パッケージ技術を採用した INA700 電流センスアンプは、1.2mm x 1.33mm の WCSP パッケージに封止済みで、合計面積は 1.637mm<sup>2</sup> です。内蔵の 2mΩ 銅のリードフレームはシャント抵抗として機能します。

## 高精度ソリューション

電圧リファレンスやクロックのような高精度デバイスには従来、コストが高く、低ストレスのセラミックパッケージが採用されていました。現在は、高い水準の精度と性能を維持しながら、TSSOP (thin-shrink small outline package: 薄型縮小スモールアウトラインパッケージ) のようなより手ごろな価格のプラスチックパッケージに高精度デバイスを製造することが可能です。さらに、シリコンの上に低ストレス成形コンパウンドとバッファ層が配置されているため、性能がさらに向上します。発振器、クロック、タイミングの回路で TI の **バルク弾性波 (BAW) テクノロジー** を採用すると、基板面積を節減すると同時に、高い周波数でのタイミング精度を向上させることができます。

図 16 に、BAW ベースのクロックと、モジュールの小さい材質を使用し、パッケージのストレスをデカップリングして高精度を実現する断面図を示します。

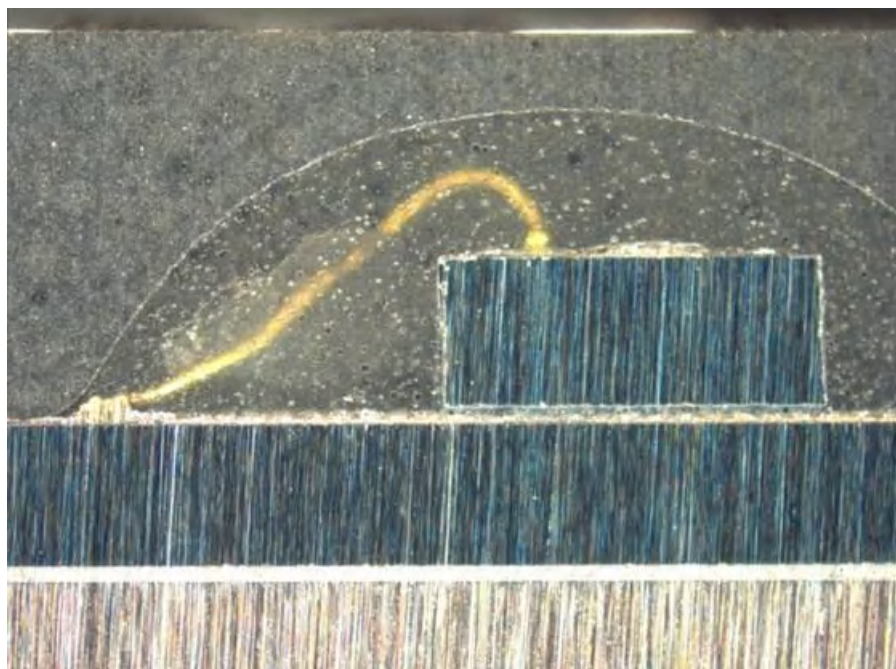


図 16. TI の BAW テクノロジーを使用して、低係数の材質で覆われた敏感なクロックチップの断面図により、シリコン回路からのパッケージのストレスが分離されているため、広い温度範囲にわたって一貫した高精度タイミング性能を実現できます。

## 高電圧

650V を超える電圧で動作するデバイスを製作するには、特に課題が伴います。パッケージの外部でのアーク放電を防止するには、リード間隔とパッケージ設計に関する厳格な業界標準に準拠する必要があります。内部では、専用モールド化合物などの材料は、長期間にわたる高温、高湿度、および大きなバイアス電圧にわたって誘電体の破壊を防止する必要があります。パッケージ構造に関する高精度の電界分析は、パッケージ内部のアーク放電の防止に役立ちます。

図 17 に、QFN パッケージ封止の LMG3624 650V 170mΩ GaN FET を示します。このパッケージは、特殊な高電圧プラスチックおよびリード端子間隔を使用しています。さらに、ドライバと保護機能を内蔵した **LMG3650R035 650V、35mΩ GaN FET** は、サーマルパッド付きのトランジスタアウトラインリードレス (TOLL) パッケージにより、放熱が大きく、最大 36A の電流をサポートします。

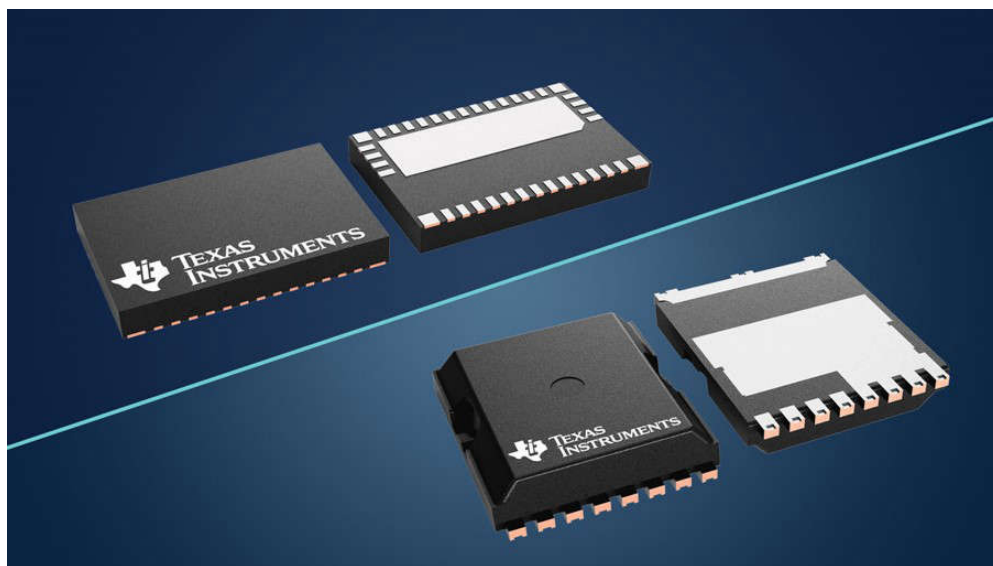


図 17. 650V、170mΩ に対応する GaN FET は、QFN パッケージを採用して小型化を進めると同時に、高電圧に対応するためのリード間隔を維持しています。TI の TOLL パッケージに封止した 650V、35mΩ GaN FET はサーマルパッドを搭載しており、優れた熱管理機能と同時に大電流をサポートします。

## 絶縁

電気自動車、ロボット、電圧が数千ボルトを上回る可能性のあるその他のアプリケーションには、絶縁は不可欠です。絶縁パッケージは、安全性の向上とシステム保護の確保に役立ちます。200V を超える電圧では、ワイヤボンドの形状とシリコンを基準としたワイヤの軌道が重要になります。シリコンに過度に近いワイヤがあると、絶縁バリアをまたいでアーク放電パスが生じる可能性があります。図 18 に、**TPSI3050-Q1 絶縁型スイッチドライバ**を示します。このドライバは、パッケージ全体で信号と電力を共有し、パッケージが絶縁バリアを超えて電圧を絶縁します。

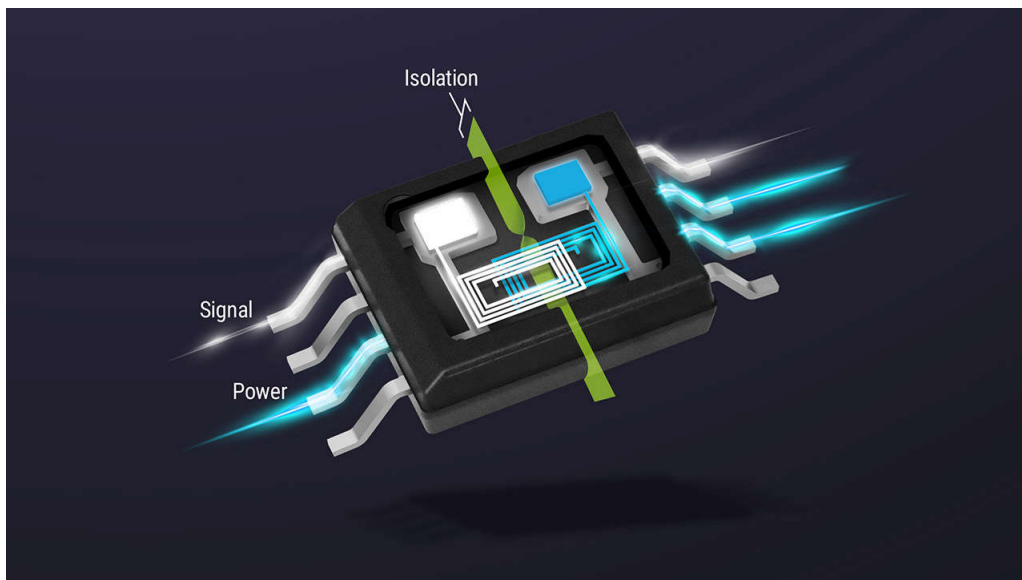


図 18. 磁気式絶縁を使って絶縁バリア越しに電力と信号の両方を確実に伝送

### 複数のチップを 1 つのパッケージに搭載

一部の設計は、複数のシリコンノードを単一のパッケージに統合できることに利点があります。たとえば、**BQ40Z50-R2** (図 19 を参照) のようなバッテリー管理チップは、低コストロジックにフラッシュメモリを組み合わせ、シリコンの積層による高精度電圧測定を組み合わせています。

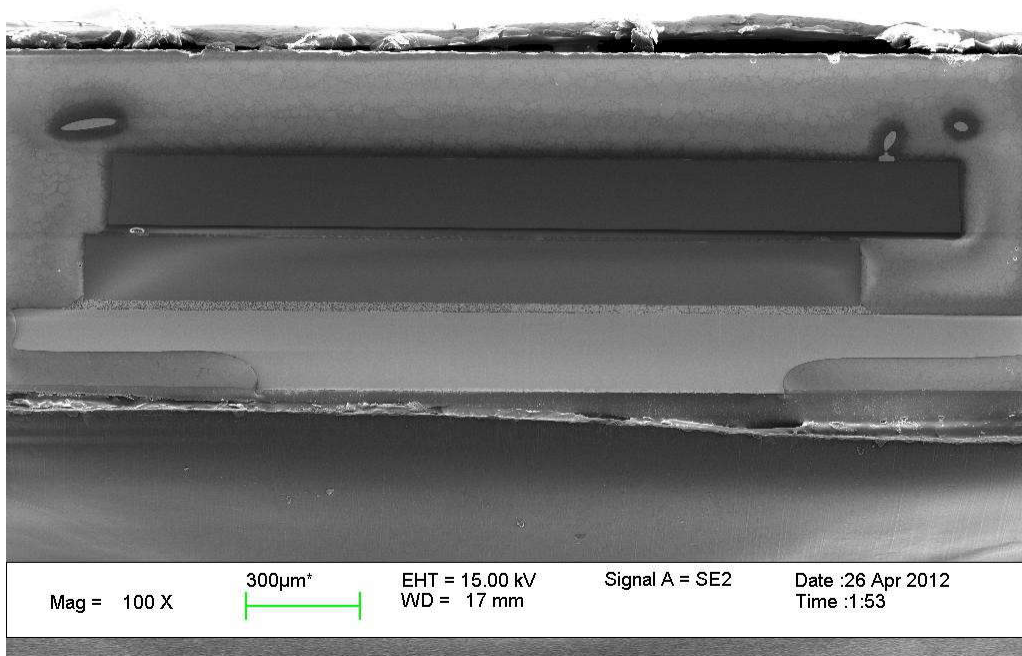


図 19. TI の BQ40Z50-R2 バッテリー管理 IC は、2 つのシリコン技術を単一のパッケージに搭載しています。

マルチチップパッケージは、デバイスのシリコン密度を高めることもできます。図 20 は、複数のチップをスタックして、アナログフロントエンドデバイスで使用可能なチャネルを 2 倍にすることで、シリコン面積がパッケージの物理的なフットプリントをどのように上回っているかを示しています。



図 20. シリコンスタッキングにより密度を向上したマルチチップアナログフロントエンドパッケージ。

図 21 に、各チップを各リードに接続する 2 本のワイヤを持つアナログフロントエンドパッケージの上面図を示します。

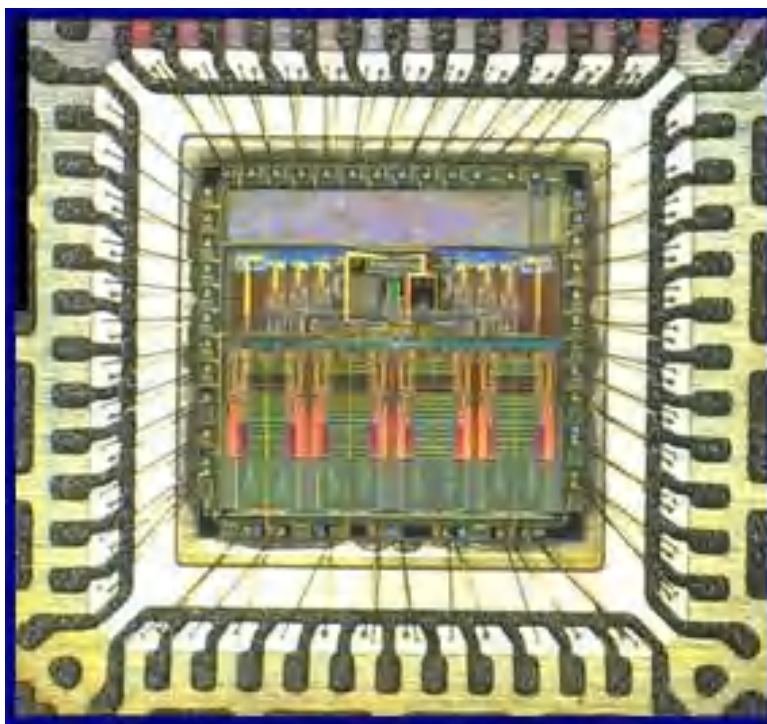


図 21. アナログフロントエンド・パッケージの上面図。

## パッケージングに関する信頼性試験

信頼性は、製品の耐用期間、性能、全体的なシステムコストに直接的な影響を及ぼします。TI は、JEDEC (Joint Electron Device Engineering Council、半導体技術協会)、AEC (Automotive Electronics Council、車載電子部品評議会)、QML (Qualified Manufacturers List、認定メーカーリスト) などの各種業界標準を満たす厳格な信頼性試験を実施しており、車載、ファクトリオートメーション、宇宙などのアプリケーションで長期間にわたって安定して動作する高品質の製品を提供しています。

TI は、さまざまな市場とアプリケーションのニーズに対応できるようにカスタマイズされた、多様なパッケージテクノロジーによるアナログ製品の製造に関する豊富な専門知識を有しています。極端な温度差がある車載環境向けの設計、産業用ファクトリロボッ

ト、超小型パーソナルエレクトロニクスのどれを想定して設計を行う場合でも、設計エンジニアは環境ストレスに耐える IC パッケージを必要とします。TI は、設計と安全性に関する厳格な要件に適合するように、放熱性能と長期的な信頼性を実現するパッケージを開発しています。

図 22 に、高温動作寿命テストを実施する複数のパッケージを示します。

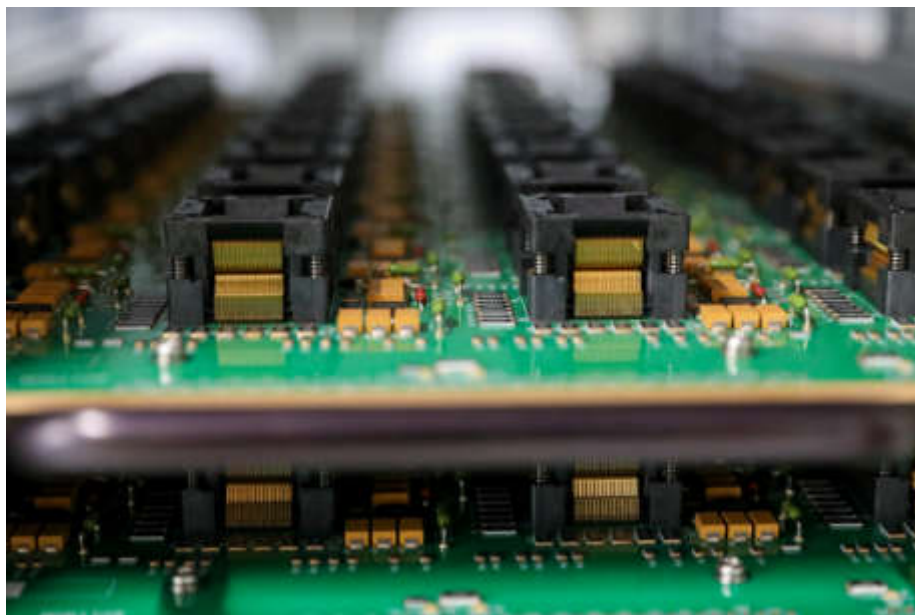


図 22. TI のアセンブリ/テスト施設のいずれかで、プロセス内の高温試験を実施します。この試験は、高温動作寿命を達成できるように、1 枚の基板上にテストソケットに複数のパッケージを実装しています。

## 宇宙グレードのパッケージで

宇宙グレードのデバイスは、QML Class V (QML-V) セラミックや、QML Class P (QML-P) プラスチックパッケージなど、QML 認証済みパッケージを採用して設計されており、宇宙の過酷な条件で動作するように設計されています。図 23 に、QML-V セラミックパッケージと QML-P プラスチックパッケージを示します。

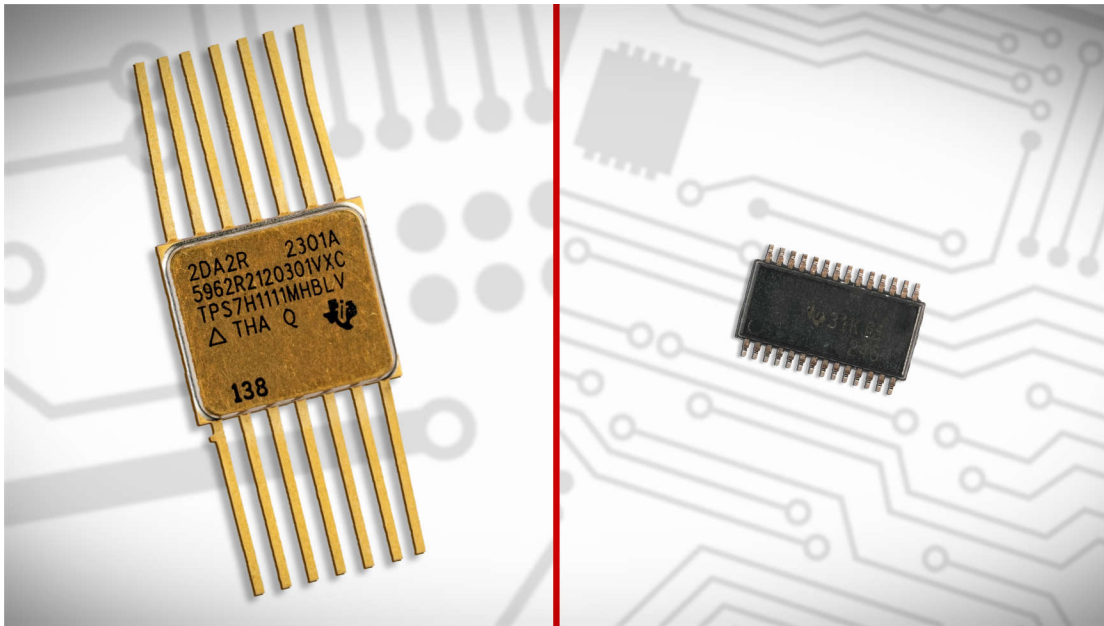


図 23. TI は QML パッケージ能力を活用し、QML-V セラミックや QML-P プラスチックパッケージなどの宇宙グレードの設計向けのアナログ製品を販売できます。

拡張されたバーンインテストやロットごとの認証などの放射線強化手法を採用すると、宇宙グレードの部品は QML 認証の厳格な要件を満たすことができます。図 24 に、テストを実施する際に宇宙グレードのパッケージがどのように放射線にさらされるかを示します。

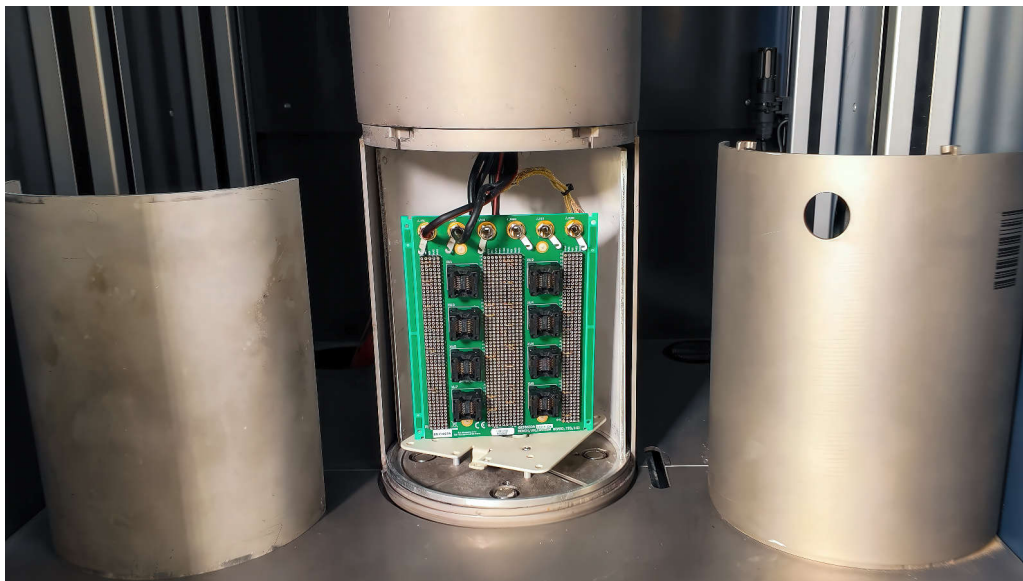


図 24. 高信頼性パッケージの放射線強化テスト。

特定のアプリケーションで PCB 上でどのデバイスとパッケージが最善の性能を発揮するかを考慮する際には、信頼性要件のバランスを理解することが重要です。最終的に、製品とパッケージのテストによって、TI が製品を世界中のお客様に出荷するための準備が整います。図 25 に、TI の施設で製品を製品流通センターに送付する前の最終試験を示します。

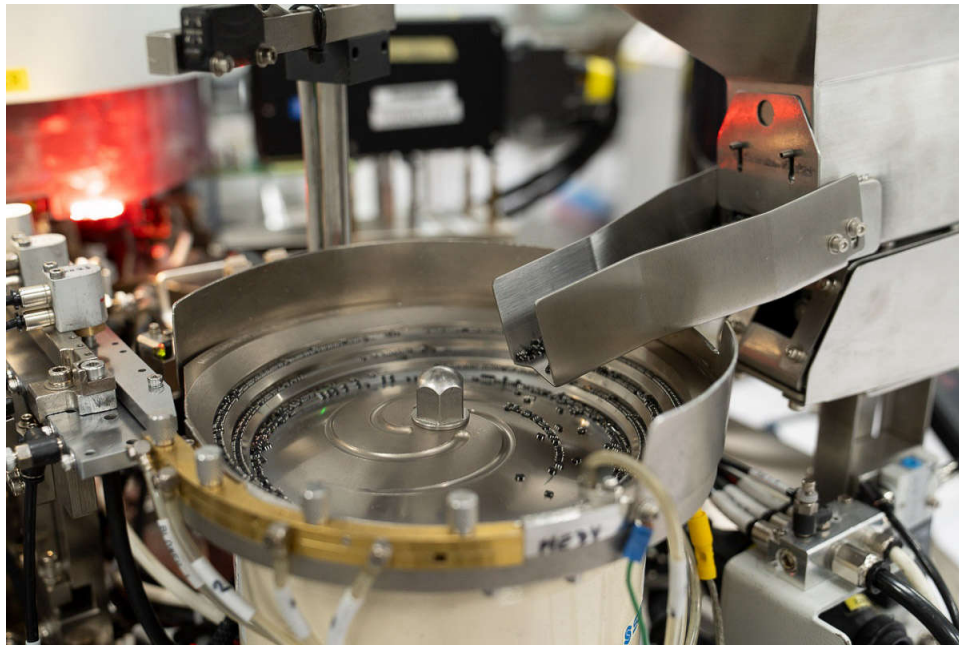


図 25. パッケージングの最終ステップでは、すべての TI 製品を出荷準備の段階でテストします。

## まとめ

より小型でよりコンパクトな設計要件というトレンドは継続的に拡大しています。アナログパッケージの進歩により、エンジニアはより多くの機能を小型フォームファクタに統合することができるようになりました。精度と性能は高い水準を維持しながら、ユーザーの操作環境の強化と、新しい設計の可能性の創出も実現できます。エネルギーとコンピューティングシステムでは、650V を超える電圧に耐え、長期間にわたる高温、高湿度、大きなバイアス電圧でも効率的な動作を維持できる特殊なモールド化合物をパッケージ化したデバイスが必要になりました。車載用システム、産業用オートメーション、ヘルスケア機器は、不利な条件、極端な温度、振動、電磁干渉などの幅広い環境条件に耐えられるパッケージのより信頼性の高い半導体ソリューションを採用しています。

社内製造と技術に対する TI の投資により、製造プロセス全体をより詳細に管理できるようになり、コストの削減にも貢献しています。特定のアプリケーションのニーズに合わせてパッケージングソリューションを最適化することにより、TI は、最高レベルの品質と信頼性を実現すると同時に、設計アプローチとテクノロジーを探索し、革新を推進して変化を続ける業界の需要に対応することができます。

## その他の資料

- TI [パッケージ](#)の検索
- [パッケージに対する TI の革新的な取り組み](#)の詳細
- 会社のブログ [パッケージのメリット](#)をご覧ください。

**重要なお知らせ:**ここに記載されているテキサス・インスツルメンツ社および子会社の製品およびサービスの購入には、TI の販売に関する標準の使用許諾契約への同意が必要です。お客様には、ご注文の前に、TI 製品とサービスに関する完全な最新情報のご入手をお勧め致します。TI は、アプリケーションに対する援助、お客様のアプリケーションまたは製品の設計、ソフトウェアのパフォーマンス、または特許の侵害に対して一切責任を負いません。ここに記載されている他の会社の製品またはサービスに関する情報は、TI による同意、保証、または承認を意図するものではありません。

HotRod™ and MagPack™ are trademarks of Texas Instruments.  
すべての商標は、それぞれの所有者に帰属します。

## 重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2025, Texas Instruments Incorporated