

## Design Guide: TIDA-050088

## Versal™ AI Edge の耐放射線電源リファレンス デザイン



## 説明

これは、AMD の Versal™ AI Edge XQRVE2302 向け耐放射線性電源アーキテクチャのリファレンス デザインです。Versal Edge は、宇宙アプリケーションの適応型システム オン チップ (SoC) であり、小型フォームファクタで高レベルの性能を実現します。この設計を宇宙環境で最大限に使用するには、信頼性の高い電力供給が不可欠です。この電源設計は、各種のレールに電源を供給する複数のデバイスとシーケンサを搭載しており、レールを適切に順序付けおよび監視します。

## リソース

<a href="#">TIDA-050088</a>	デザイン フォルダ
<a href="#">TPS7H5006-SEP、TPS7H6025-SEP</a>	プロダクト フォルダ
<a href="#">TPS7H1111-SEP、TPS7H4010-SEP</a>	プロダクト フォルダ
<a href="#">TPS73801-SEP、TPS7H3302-SEP</a>	プロダクト フォルダ
<a href="#">TPS7H3014-SP、TPS7H2221-SEP</a>	プロダクト フォルダ
<a href="#">SN54SC6T14-SEP</a>	プロダクト フォルダ



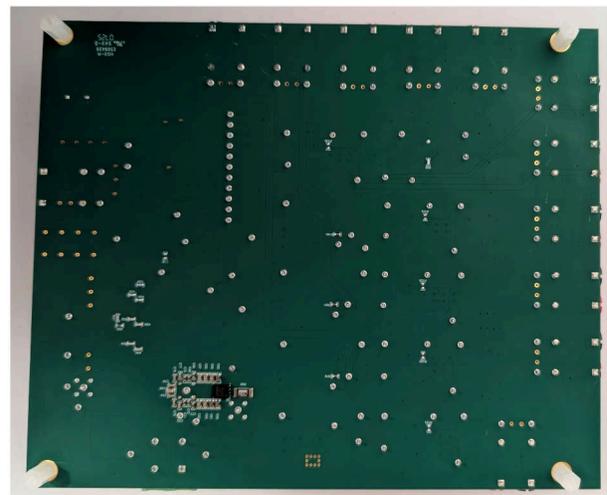
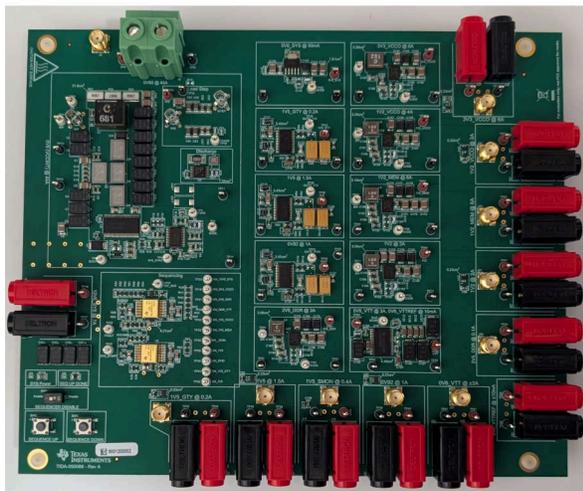
テキサス・インスツルメンツの™ E2E サポート エキスパートにお問い合わせください。

## 特長

- TI の耐放射線性電源アーキテクチャ
- AMD の Versal AI Edge XQRVE2302 への給電向けに設計
- すべてのレールのシーケンス アップとシーケンス ダウンを行うための電源シーケンスと放電回路
- 44A で 0.8V が可能なコア レール
- すべての補助レールのためのレギュレータと DDR メモリ終端

## アプリケーション

- 衛星用電源システム (EPS)
- 通信ペイロード



## 1 システムの説明

AMD の Versal™ AI Edge XQRVE2302 の耐放射線性電源アーキテクチャについて説明します。Versal Edge は、宇宙アプリケーションの適応型 SoC であり、小型フォームファクタで高レベルの性能を実現します。この設計を宇宙環境で最大限に使用するには、信頼性の高い電力供給が不可欠です。この電源設計は、各種のレールに電源を供給する複数のデバイスとシーケンサを搭載しており、レールを適切に順序付けおよび監視します。

### 1.1 主なシステム仕様

表 1-1 に示すシステムのレールは、すべて 12V0\_SYS レールと呼ばれる 12V 入力から電力を供給されます。

表 1-1. Versal™ Edge と DDR4 の仕様

レールシーケンス	レール名 <sup>(1)</sup>	VERSAL EDGE ピン、DDR 電源	レールの電流	DC 精度	AC 精度	組み合わせ精度 <sup>(2)</sup>	負荷ステップ	製品
0 <sup>(3)</sup>	5V0_SYS	-	-	-	-	-	-	TPS73801-SEP
1	3V3_VCCO	HDIO (バンク 302) PSIO (バンク 50x)	4A	±1%	-5%、+3%	-6%、+4%	10A/μs で 4A	TPS7H4010-SEP
	2V5_DDR_VPP	DDR_VPP	0.1A	-5%、+10%	-	該当なし	-	TPS7H4010-SEP
	1V2_MEM	DDR_VDDQ	3A	±5%	-	該当なし	-	TPS7H4010-SEP
	1V2_VCCO	XPIO (バンク 7xx)	2A	±1%	±5%	±6%	10A/μs で 2A	TPS7H4010-SEP
	VTT (0V6)	DDR4_VTT	±3A	±5%	-	該当なし	-	TPS7H3302-SEP
	VTTREF (0V6)	DDR4_VTTREF	±10mA	VTTSENS で ±1%	±1%	該当なし	-	
2	0V80	VCCINT VCC_IO VCC_SOC VCC_RAM VCC_PMC VCC_PSLP	44A	±1%	±17mV	±3.125%	200A/μs で 11A	TPS7H5006-SEP TPS7H6025-SEP 5xEPC7019G
3	1V5	VCCAUX_SMON VCCAUX_PMC	1.5A	±1%	±2%	±3%	10A/μs で 900mA	TPS7H1111-SEP
4	0V92	VGTYP_AVCC	1A	±2%	±10mV	±3.09%	10A/μs で 195mA	TPS7H1111-SEP
5	1V5_GTY	VGTY_AVCCAUX	0.1A	±2%	±10mV	±2.67%		TPS7H1111-SEP
6	1V2	VGTY_AVTT VGTY_AVTTTRCAL	1.3A	±2%	±10mV	±2.83%	10A/μs で 330mA	TPS7H4010-SEP

- (1) これは、FPGA または DDR の最大想定電流です。他の負荷のマージンや電力供給のためにこのレール電流よりも大きくなる可能性のある設計電流については、表 2-1 の電源ツリーを参照してください。レール要件はアプリケーションによって異なる可能性があるため、詳細については、AMD 電源設計マネージャ (PDM) と DDR 仕様を参照してください。
- (2) これは、Versal Edge レールを対象とする AC と DC の組み合わせ精度です。
- (3) これは、シーケンシングの一部ではありません。12V0\_SYS が印加されるとすぐにレールが起動します。

## 2 システム概要

### 2.1 ブロック図

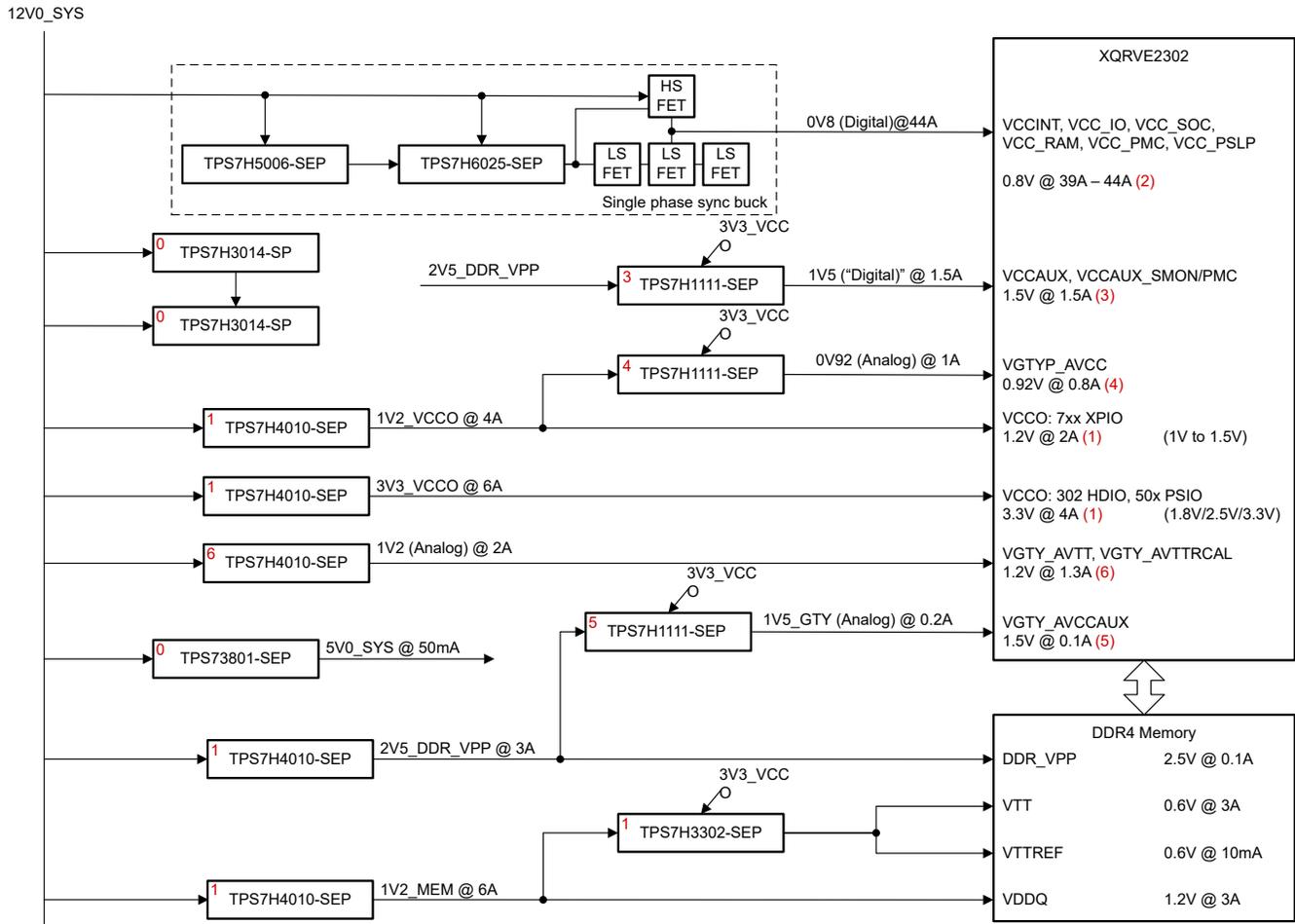


図 2-1. TIDA-050088 のブロック図

## 2.2 設計上の考慮事項

表 1-1 で説明されているシーケンシングと負荷を使用して、表 2-1 で説明されているように電源ツリーが作成されます。

表 2-1. 電源ツリーの仕様

レールシーケンス	レール名	製品	レール設計の合計電流 <sup>(1)</sup>	負荷	予想される最大負荷電流
0 <sup>(2)</sup>	5V0_SYS	TPS73801-SEP	50mA	シーケンサのプルアップ	10mA
				TPS7H2221 入力	0.2mA
				SN54SC6T14-SEP 入力	15mA
1	3V3_VCCO	TPS7H4010-SEP	6A	Versal HDIO と PSIO	4A
				TPS7H1111-SEP バイアス レール	81mA
				TPS7H3302-SEP VDD	30mA
	2V5_DDR_VPP	TPS7H4010-SEP	3A	DDR_VPP	0.1A
				1V5 の TPS7H1111-SEP 入力	1.5A
				1V5_GTY の TPS7H1111-SEP 入力	0.2A
	1V2_MEM	TPS7H4010-SEP	6A	DDR_VDDQ	3A
				TPS7H3302-SEP VLDOIN	3A
	1V2_VCCO	TPS7H4010-SEP	4A	Versal XPIO	2A
				0V92 の TPS7H1111-SEP 入力	1A
VTT (0V6)	TPS7H3302-SEP	±3A	DDR4_VTT	±3A	
VTTREF (0V6)			±10mA	DDR4_VTTREF	±10mA
2	0V80	TPS7H5006-SEP TPS7H6025-SEP 5xEPC7019G	44A	Versal VCCINT と関連レール	44A
3	1V5	TPS7H1111-SEP	1.5A	Versal VCCAUX_SMON と VCCAUX_PMC	1.5A
4	0V92	TPS7H1111-SEP	1A	Versal VGTYP_AVCC	0.8A
5	1V5_GTY	TPS7H1111-SEP	0.2A	Versal VGTYP_AVCCAUX	0.1A
6	1V2	TPS7H4010-SEP	2A	Versal VGTYP_AVTT と VGTYP_AVTTTRCAL	1.3A

(1) これは、設計マージンを追加しているため、予測される負荷電流よりも大きくなる可能性がある最大設計電流です。

(2) これは、シーケンシングの一部ではありません。12V0\_SYS が印加されるとすぐにレールが起動します。

この設計では、20krad(Si) 以上の総吸収線量 (TID) および 43MeV-cm<sup>2</sup>/mg 以上の単一事象効果 (SEE) を定格とする耐放射線部品を使用しています。これらの定格は、地球低軌道 (LEO) の多くの衛星用電源システムに優れた選択肢となります。より高い放射線要求を満たすために、TI の部品の多くは同等の耐放射線特性を備えています。

## 2.3 主な使用製品

以下のセクションでは、この電源設計で使用されるデバイスの主な特長について説明します。

### 2.3.1 TPS7H5006-SEP

TPS7H5006-SEP は、TPS7H500x-SP および TPS7H500x-SEP 高速コントローラ ファミリの一部である耐放射線性の PWM コントローラです。本コントローラは、宇宙用途を対象とした DC/DC コンバータトポロジの設計に役立つ多くの機能を備えています。このコントローラは、0.613V +0.7%、-1% の精度を持つ内部リファレンスを備えており、最大 2MHz のスイッチング周波数を構成できます。各デバイスは、プログラム可能なスロープ補償およびソフト スタート機能を備えています。

TPS7H500x-SP シリーズは、SYNC ピン経由で外部クロックを使用して、またはユーザーがプログラムした周波数で内部クロックを使用して駆動できます。本コントローラ ファミリでは、スイッチング出力、同期整流機能、デッド タイム (固定または設定可能)、立ち上がりエッジブランク時間 (固定または設定可能)、デューティ サイクル制限値をユーザーが選択できます。

この設計では、TPS7H5006-SEP を、大電流の VCCINT レールの降圧コントローラとして使用しています。耐放射線特性の TPS7H500x-SP は、QMLV セラミック パッケージと QMLP プラスチック パッケージの両方で提供されています。

### 2.3.2 TPS7H6025-SEP

TPS7H6025-SEP は耐放射線性 GaN FET ゲートドライバで、高周波、高効率、大電流アプリケーション向けに設計されています。TPS7H6025-SEP は、TPS7H6005 (200V 定格)、TPS7H6015 (60V 定格)、TPS7H6025 (22V 定格) で構成されている TPS7H60x5 シリーズのゲートドライバの一部です。ドライバは調整可能なデッド タイム機能、30ns の小さい伝搬遅延、5.5ns のハイサイド/ローサイド マッチングを特長としています。また、これらの部品はハイサイド/ローサイド LDO を内蔵しており、電源電圧にかかわらず 5V の駆動電圧を提供します。TPS7H60x5 ドライバには分割ゲート出力があり、出力のターンオンとターンオフの強度を別々に調整可能な柔軟性があります。

TPS7H60x5 ドライバには、独立入力モード (IIM) と PWM モードの 2 つの制御入力モードがあります。IIM では、各出力が専用の入力によって制御されます。PWM モードでは、単一の入力から 2 つの補完的な出力信号が生成され、ユーザーは各エッジについてデッド タイムを調整できます。このドライバは、ハーフブリッジとデュアル ローサイドの両方のコンバータ アプリケーションでも使用できます。

この設計では、TPS7H6025-SEP を使用して、大電流の VCCINT レールの降圧レギュレータの一部である GaN FET を駆動します。耐放射線特性の TPS7H60x5-SP は、QMLP プラスチック パッケージでも提供されています。また、耐放射線特性の TPS7H60x3-SP は QMLV セラミック パッケージで提供されています。

### 2.3.3 TPS7H1111-SEP

TPS7H1111 は耐放射線性の超低ノイズ、高 PSRR、低ドロップアウトのリニアレギュレータ (LDO) で、無線周波数 (RF) デバイスへの電力供給用に最適化されています。このデバイスは、2.2V ~ 14V のバイアス電源を使用して、0.85V ~ 7V の入力範囲で最大 1.5A を供給できます。

高性能なこのデバイスは、電源で発生する位相ノイズとクロックのジッタを制限できるため、高性能 ADC、DAC、VCO、PLL、SerDes、および衛星内の他の RF 部品への電力供給に最適です。低電圧動作を必要とするデジタル負荷 (FPGA や DSP など) では、非常に優れた精度と過渡性能により、最適なシステム性能が実現します。

この設計では、Versal レールの 1 つに LDO が必要な場合に、耐放射線性の TPS7H1111-SEP を使用しています。耐放射線特性の TPS7H1111-SP は、QMLV セラミック パッケージと QMLP プラスチック パッケージの両方でも供給されます。

### 2.3.4 TPS7H4010-SEP

TPS7H4010-SEP は、耐放射線性の同期降圧コンバータで、3.5V ~ 32V の範囲の電源電圧から、最大 6A の負荷電流を出力できます。TPS7H4010-SEP は、非常に優れた効率と出力精度を、ごく小さなサイズで実現します。ピーク電流モード制御を採用しています。

可変スイッチング周波数、外部クロックへの同期、FPWM オプション、パワーグッド フラグ、高精度のイネーブル、可変ソフトスタート、トラッキングなどの追加機能により、広範なアプリケーションに対して柔軟で使いやすい設計を実現できます。軽負荷時の自動周波数フォールドバックと、オプションの外部バイアスにより、負荷範囲の全体にわたって効率が向上します。このデバイスは、必要な外付けコンポーネントが少なく、PCB レイアウトが単純になるようピン配置が設計されており、最適な EMI と熱性能を実現しています。保護機能として、サーマル シャットダウン、入力低電圧誤動作防止、サイクル単位の電流制限、ヒックアップ短絡保護機能が搭載されています。

### 2.3.5 TPS73801-SEP

TPS73801-SEP は、高速過渡応答に最適化された耐放射線性の低ドロップアウト (LDO) リニア レギュレータです。デバイスは、300mV のドロップアウト電圧で、1A の出力電流を供給できます。動作時の静止電流は 1mA で、シャットダウン時には 1 $\mu$ A 未満まで低減されます。

TPS73801-SEP レギュレータは可変の 1.21V リファレンス電圧と、1.21V ~ 20V の出力電圧範囲を備えています。内部保護回路には、電流制限、熱制限、および逆電流保護が含まれています。

この設計では、TPS73801-SEP を使用して、各種のハウスキーピング (維持管理) タスクに使用される低電流の補助 5V レールを作成します。

### 2.3.6 TPS7H3302-SEP

TPS7H3302 は、耐放射線特性のダブル データ レート (DDR) 3A ターミネーション レギュレータで、VTTREF バッファが内蔵されています。このレギュレータは、シングル ボード コンピュータ、ソリッド ステートレコーダ、ペイロード処理などの宇宙グレードの DDR 終端アプリケーション用に、包括的でコンパクトな低ノイズ設計を提供するように特化して設計されています。

TPS7H3302 は DDR、DDR2、DDR3、DDR3L、DDR4 を使用する DDR VTT 終端アプリケーションをサポートしています。TPS7H3302 VTT レギュレータの高速過渡応答により、読み取りと書き込み状況で安定した電源を実現できます。また、TPS7H3302 には、VTT をトラッキングして設計サイズをさらに縮小する VTTREF 電源も内蔵されています。シンプルな電源シーケンスを実現するために、TPS7H3302 にはイネーブル入力とパワーグッド出力 (PGOOD) の両方が内蔵されています。

この設計では、耐放射線性の TPS7H3302-SEP を使用して、DDR4 メモリに電力を供給します。耐放射線特性の TPS7H3302-SP は QMLP プラスチック パッケージでも提供されており、TPS7H3301-SP は QMLV プラスチック パッケージで提供されています。

### 2.3.7 TPS7H3014-SEP

TPS7H3014 は統合型、3V~14V、4 チャンネル、耐放射線特性の電源シーケンサです。複数のデバイスをデジタイズ チェーン構成で接続することにより、チャンネル数を拡張できます。このデバイスは、アクティブ high (on) 入力搭載の IC 向けに、シーケンス アップ / ダウン制御信号を提供します。さらに、SEQ\_DONE フラグと PWRGD フラグが、監視対象の電源ツリーのシーケンスと電源ステータスを監視するために提供されています。

正確な 599mV  $\pm$ 1% のスレッショルド電圧と 24 $\mu$ A  $\pm$ 3% ステリシス電流により、立ち上がりおよび立ち下がり監視電圧をプログラム可能です。立ち上がりおよび立ち下がり遅延時間は、単一の抵抗を使用してグローバルにプログラムされます。また、SENSEx の立ち上がり電圧を追跡するためのタイムトゥレギュレーションタイマが搭載されています。これらの機能に加えて、FAULT 検出ピンが組み込まれており、内部で生成されるフォルトを監視して、宇宙の電源シーケンス アプリケーションに対するシステムレベルの信頼性を向上させます。

この設計では、耐放射線特性の TPS7H3014-SP を使用して、電源レールのシーケンシングを実行します。プラスチックパッケージの耐放射線性 TPS7H3014-SEP も利用できます (初期設計時の部品が入手可能なため、この TI 設計ではこの部品は使用されません)。

### 2.3.8 TPS7H2221-SEP

TPS7H2221-SEP は、スルー レート制御機能付きの小型シングル チャネル負荷スイッチです。このデバイスは、1.6V～5.5V の入力電圧範囲で動作できる N チャネル MOSFET を内蔵し、1.25A の最大連続電流をサポートできます。

スイッチのオン状態は、低電圧制御信号と直接インターフェイスできるデジタル入力によって制御されます。電源が最初に印加されたときには、スマートプルダウンを使用して、システムのシーケンシングが完了するまで、ON ピンがフローティング状態になることが防止されます。ピンが意図的に High ( $V_{ON} > V_{IH}$ ) に駆動されると、不必要な電力損失を避けるため、スマートプルダウンは切断されます。TPS7H2221-SEP 負荷スイッチは、デバイスの出力における短絡イベントに対しても自己保護機能を備えています。

この設計では、TPS7H2221-SEP を各種電圧レールの出力放電として使用しています。このアクティブ放電は、Versal FPGA のシーケンス ダウン タイミング仕様を満たすために必要です。

### 2.3.9 SN54SC6T14-SEP

SN54SC6T14-SEP は耐放射線性のヘキサ シュミットトリガ インバータです。このデバイスには 6 つの独立した入力が入蔵されており、出力電圧は電源電圧を基準としています。デバイスは、1.2V、1.8V、2.5V、3.3V、5V の CMOS レベルをサポートしています。

入力は、より低い電圧の CMOS 入力のアップ変換をサポートするために、より低いスレッショルド回路を使用して設計されています。また、5V 許容の入力ピンにより、降圧変換が可能です。

このインバータは、TPS7H3014-SP シーケンサと組み合わせて使用され、シャットダウン時に 0V8 (VCCINT) レールを放電する GaN FET を駆動します。

## 3 システム設計理論

### 3.1 0V8 ディスクリート降圧レギュレータ (VCCINT)

0V8 レールは主に VCCINT に電力を供給するために使用され、コア レール電圧と呼ばれることもあります。この大電流レールは、TPS7H5006-SEP PWM コントローラ、TPS7H6025-SEP GaN ハーフブリッジドライバ、EPC Space EPC7019GC GaN FET で構成されたディスクリート降圧コンバータを使用しています。

これらの GaN FET を選択するのは、オン抵抗が低く、耐放射線特性デバイスとして利用できるためです。12V ~ 0.8V の変換比の低デューティサイクルをサポートするため、3 つのローサイド FET と 1 つのハイサイド FET を使用しています。この非対称な FET の選択は、オン抵抗とスイッチング損失を最適化するのに役立ちます。これらの FET は TPS7H6025-SEP ゲートドライバによって駆動されます。ローサイド FET では、最も高速なターンオン時間とターンオフ時間を実現できるように、0Ω LOH と LOL の各ゲート抵抗を決定します。ハイサイド FET については、最も高速なターンオフ時間を実現するために 0Ω HOL ゲート抵抗を選択しています。しかし、ローサイド ゲートに結合する可能性がある過剰なターンオン速度を防止するため、3.3Ω HOH ゲート抵抗が必要と判断されます。

降圧コンバータは、DCR 電流検出を使用してピーク電流モード制御で動作します。十分な電流信号を供給するため、インダクタと直列に抵抗を追加します。さらに、付加的なノイズ軽減を提供し、スイッチ ノードの過度のジッタを防止するため、従来よりも大きなスロープ補償を追加する必要があります。

降圧レギュレータは、十分に高いクロスオーバー周波数と適度に小型のインダクタを実現するのに十分な速さのスイッチングと、最小オン時間の問題や効率の低下を引き起こす可能性のある速すぎないスイッチングとの間の妥協点として、270kHz でスイッチングします。出力コンデンサ ネットワークのサイズは、主に Versal FPGA の負荷ステップ要件に基づいて決定されます。

出力電圧は、フィードバック ピンに接続された抵抗デバイスを利用して構成します。10.05kΩ の  $R_{FB\_TOP}$  (10kΩ を 50Ω と直列に接続) と 33kΩ の  $R_{FB\_BOT}$  が選択されているため、公称出力電圧は 0.7997V になります。データシートのリファレンス電圧パラメータ (最小値 0.607V、最大値 0.617V、抵抗の許容誤差 0.1%) を利用すると (2 乗和を使用して誤差寄与 ±0.14%)、式 1 と式 2 により全体的な DC 精度を概算できます。精度は -1.16% および +0.75% と計算されます。

$$Error_{(positive)} = \frac{V_{FB(max)} \times \frac{R_{FB\_TOP} + R_{FB\_BOT}}{R_{FB\_BOT}} - V_{OUT(ideal)}}{V_{OUT(ideal)}} + R_{(error)} \quad (1)$$

$$Error_{(negative)} = \frac{V_{FB(min)} \times \frac{R_{FB\_TOP} + R_{FB\_BOT}}{R_{FB\_BOT}} - V_{OUT(ideal)}}{V_{OUT(ideal)}} - R_{(error)} \quad (2)$$

表 3-2 に、これらの計算の概要を示します。

GaN FET と電源ループのレイアウトは、性能を最適化する上で非常に重要です。平衡な帰路を確保するために、ハイサイド FET は 3 つのローサイド FET の上に配置されます。入力コンデンサはハイサイド FET の近くに配置され、接地帰路は 2 層目のプレーンに配置されます。これにより、帰還ループのインダクタンスが最小化され、FET のターンオン時に相互インダクタンスをキャンセルできます。

表 3-1. 0V8 レールの設計値

パラメータ	説明または標準値
$V_{IN}$	12V
$V_{OUT}$	0.8V
$I_{OUT(max)}$	44A
$f_{sw}$ 、スイッチング周波数	270kHz
DC の精度	-1.16%、+0.75%
出力リップル	3.8mVpp
$L_{sw}$ 、出力インダクタ	680nH XAL1010-681MEB
$C_{OUT}$ 、出力キャパシタンス	8x1.5mF (T520X) + 2x22μF セラミック + 2x1μF セラミック

表 3-1. 0V8 レールの設計値 (続き)

パラメータ	説明または標準値
C <sub>IN</sub> 、入力容量	5x150μF (T521D) + 3x10μF セラミック + 8x100nF セラミック
t <sub>SS</sub> 、ソフトスタート時間	12.7ms

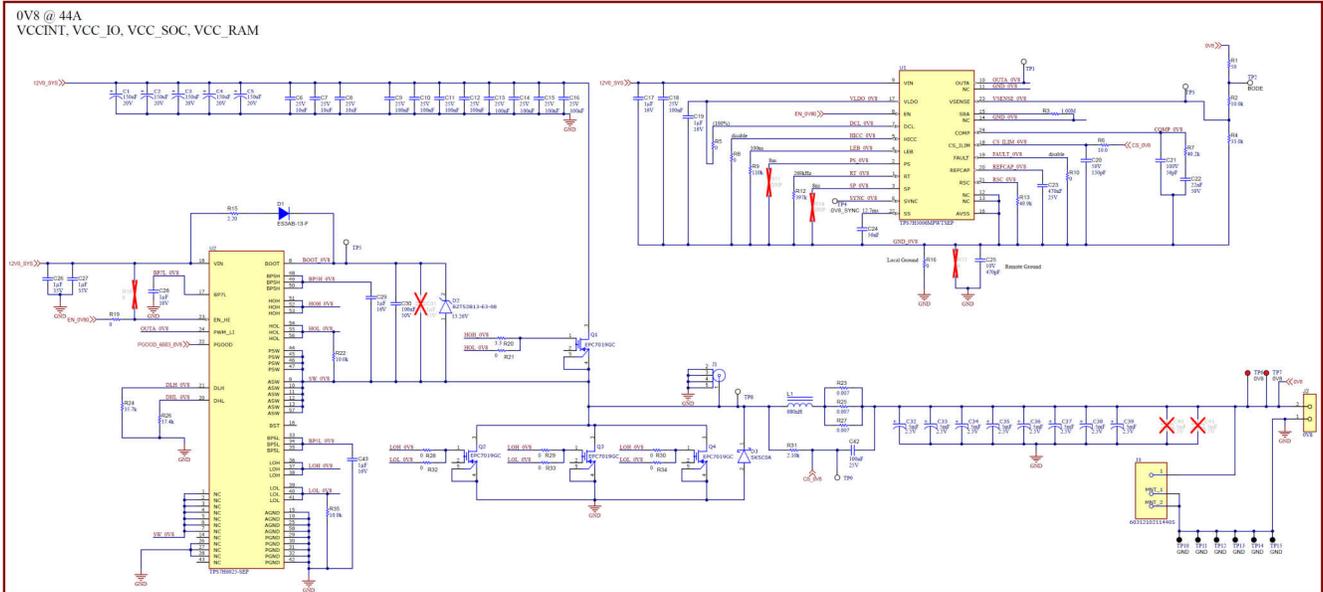


図 3-1. 0V8 (VCCINT) 回路図

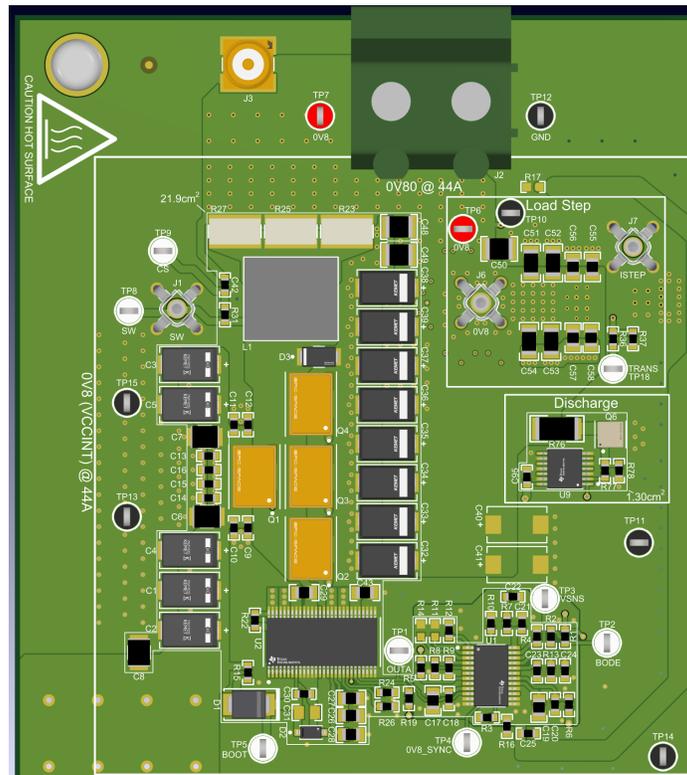


図 3-2. 0V8 (VCCINT) レイアウト - 上面

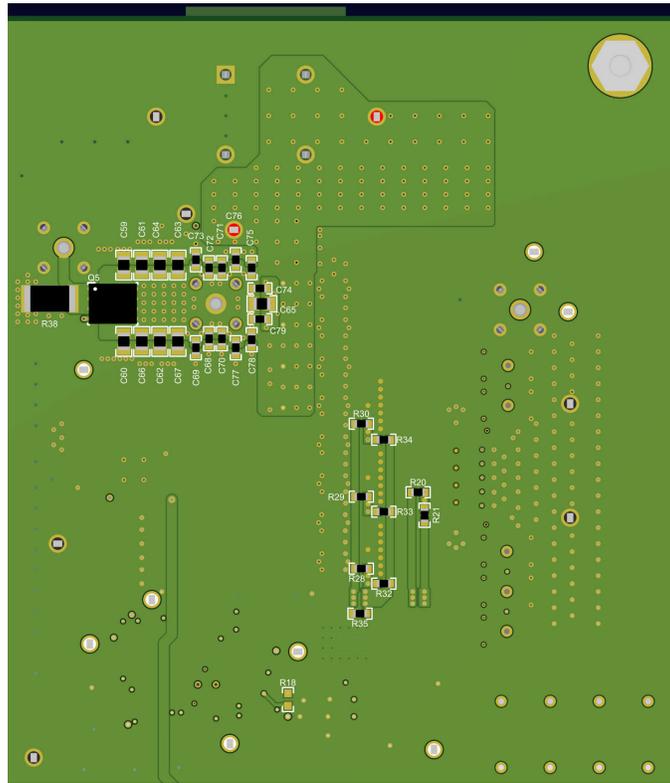


図 3-3. 0V8 (VCCINT) レイアウト — 底面

### 3.1.1 VCCINT 負荷ステップ

この設計に負荷ステップ回路を追加し、Versal FPGA から高速負荷ステップを複製できるようにしています。この回路は、ファンクション ジェネレータと負荷抵抗によって駆動できる TI MOSFET で構成されています。MOSFET の抵抗と負荷抵抗は、11A の負荷ステップに対応できるようにサイズを設定します。この負荷ステップと、その結果得られるスルーレートは、ファンクション ジェネレータの印加電圧レベルとスルーレートを調整することで微調整できます。

負荷ステップ回路に加えて、デカップリング コンデンサも追加されています。この追加容量は、高い周波数でのインピーダンスを最小化するために必要です。最終的なシステム設計では、これらのコンデンサを FPGA の近くに配置します。特定の FPGA 基板レイアウトに合わせて、追加の最適化が必要になることがあります。

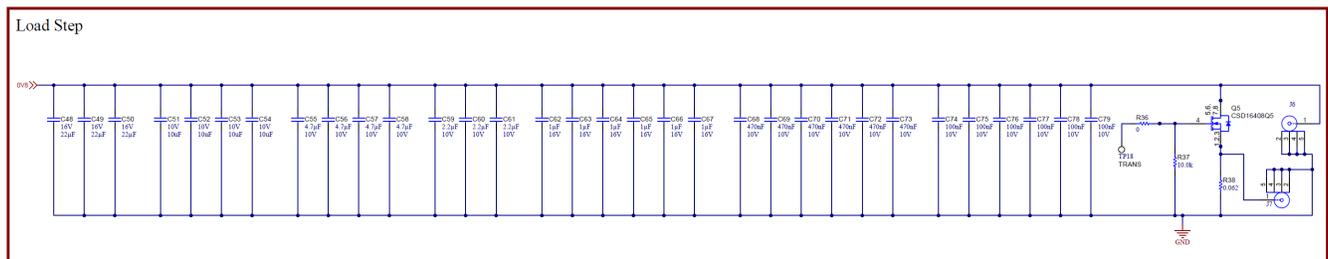


図 3-4. 負荷ステップおよびデカップリング コンデンサ回路図

## 3.2 降圧レギュレータ (内蔵)

### 3.2.1 1V2

TPS7H4010-SEP 同期整流降圧コンバータを選択して、12V レールから必要な 1.2V を直接生成します。TPS7H4010-SEP は 6A に対応できますが、Versal Edge VGTY\_AVTT および VGTY\_AVTTTRCAL レールは、1.3A しか必要ないと推定されています。そのため、降圧コンバータは、適切なマージンを確保するために 2A で設定されています。

設計サイズと効率の間で適切なバランスを実現できるように、1MHz のスイッチング周波数と 0.8μH XAL5030-801ME\_INCTOR を選択します。また、「TPS7H4010-SEP 宇宙用強化プラスチックに搭載された耐放射線特性 3.5V ~ 32V、6A 同期整流降圧コンバータ」データシートの「標準的な部品選択」表を参照し、その値が推奨値に近いことを確認しています。セクション 4.3.2 に示されているように、これは負荷ステップとボード線図の測定によって確認されます。上側の帰還抵抗と直列に 50Ω 抵抗を配置します。また、フィードフォワード コンデンサのオプションを実装すると、制御ループの測定と最適化が容易になります。

次に、出力電圧リップルを決定します。最初にインダクタリップルが、式 3 に示されているように計算されます。インダクタリップル電流は 1.35A と計算されます。

$$I_{L(\text{ripple})} = \frac{V_{IN} - V_{OUT}}{L} \times \frac{V_{OUT}}{V_{IN} \times f_{SW}} \quad (3)$$

ここで、

- $V_{IN}$  は入力電圧、12V
- $V_{OUT}$  は構成された出力電圧、1.2V
- $L$  は選択されたインダクタ、0.8μH
- $f_{SW}$  は選択された動作周波数、1MHz

次に、2 つの 100μF 電解コンデンサと 2 つの 22μF セラミック コンデンサを選択します。Kemet™ の K-SIM ツールを使用すると、1MHz でこれらの並列コンデンサの出力インピーダンスは、おおよそ 2.5mΩ と判断されます。インピーダンスにインダクタリップル電流を乗算すると、出力リップルの近似値である ±3.4mV が得られます。

最後に、フィードバックピンに接続された抵抗デバイダを使用して、出力電圧を構成します。50.55kΩ の  $R_{FB\_TOP}$  (50.5kΩ を 50Ω と直列に接続) と 261kΩ の  $R_{FB\_BOT}$  が選択されているため、公称出力電圧は 1.201V になります。データシートの帰還電圧パラメータ (最小値 0.987V、最大値 1.017V、抵抗の許容誤差 0.1%) を利用すると (2 乗和を使用して誤差寄与 ±0.14%)、式 4 と式 5 により全体的な DC 精度を概算できます。精度は -1.96% および +1.30% と計算されます。

$$Error(\text{positive}) = \frac{V_{FB(\text{max})} \times \frac{R_{FB\_TOP} + R_{FB\_BOT}}{R_{FB\_BOT}} - V_{OUT(\text{ideal})}}{V_{OUT(\text{ideal})}} + R(\text{error}) \quad (4)$$

$$Error(\text{negative}) = \frac{V_{FB(\text{min})} \times \frac{R_{FB\_TOP} + R_{FB\_BOT}}{R_{FB\_BOT}} - V_{OUT(\text{ideal})}}{V_{OUT(\text{ideal})}} - R(\text{error}) \quad (5)$$

精度に関する追加の検討事項の 1 つとして、自動モードを有効化するかどうか挙げられます。自動モードでは、軽負荷時の効率が向上しますが、ロードレギュレーションが低下します。「TPS7H4010-SEP」データシートの TPS7H4010-SEP の「負荷レギュレーションおよびラインレギュレーション」の図を参照し、5V アプリケーションの軽負荷時の約 0.08V の増加を確認すると、自動モードで約 +1.6% の誤差が追加されるように近似されます。したがって、自動モードが有効な場合、精度は -1.96% および +2.90% になります。これは、このレールにとって非常に大きな誤差であるため、自動モードが無効になります。

表 3-2 に、これらの計算の概要を示します。

表 3-2. 1V2 レールの設計値

パラメータ	説明または標準値
$V_{IN}$	12V
$V_{OUT}$	1.2V

表 3-2. 1V2 レールの設計値 (続き)

パラメータ	説明または標準値
$I_{OUT(max)}$	2A
$f_{SW}$ , スイッチング周波数	1MHz
DC の精度	-1.96%, +1.30%
出力リップル	3.4mVpp
$L_{SW}$ , 出力インダクタ	0.8 $\mu$ H, XAL5030-801ME_
$C_{OUT}$ , 出力キャパシタンス	2x100 $\mu$ F T520B, 2x22 $\mu$ F セラミック
$C_{IN}$ , 入力容量	3x10 $\mu$ F セラミック, 1x470nF セラミック
$t_{SS}$ , ソフトスタート時間	6.3ms (SS フローティング)
バイアス接続	外部 3V3_VCCO に接続
モード	PWM の強制 (オート ディスエーブル)

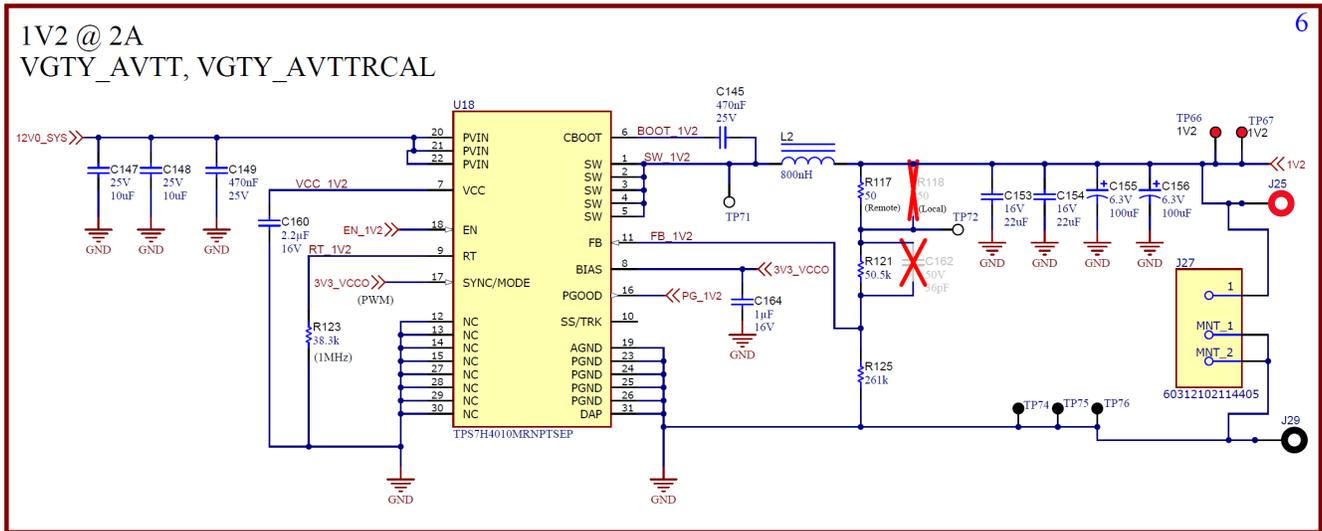


図 3-5. 1V2 の回路図

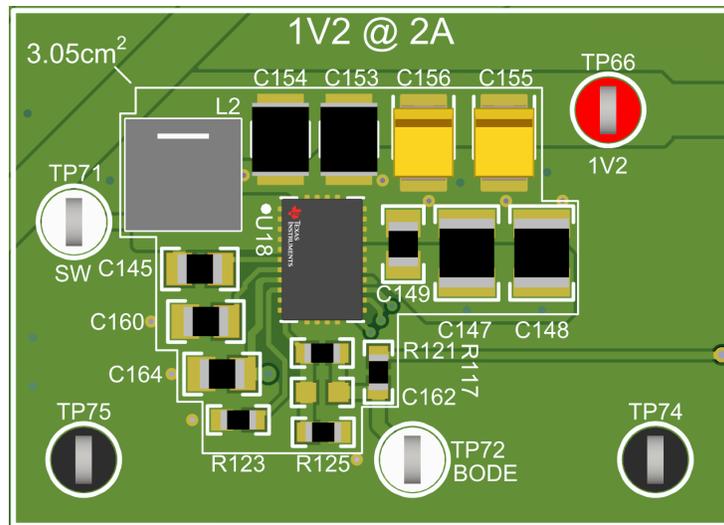


図 3-6. 1V2 のレイアウト

### 3.2.2 1V2\_VCCO

TPS7H4010-SEP 同期整流降圧コンバータを選択して、12V レールから必要な 1.2V を直接生成します。TPS7H4010-SEP は 6A の電流に対応できますが、Versal Edge XPIO (バンク 7xx) レールに必要なのは 2A のみです。さらに、1V2\_VCCO 出力は、別の最大 1A である 0V92 レールに TPS7H1111-SEP の入力进行供給します。したがって、設計上の決定として、適切なマージンを確保できるように、サイズが 4A で設計されています。

設計サイズと効率の間で適切なバランスを実現できるように、1MHz のスイッチング周波数と 0.8μH XAL5030-801ME\_INCTOR を選択します。さらに、「TPS7H4010-SEP」データシートの「標準的な部品選択」表を参照し、その値が推奨値に近いことを確認しています。セクション 4.3.2 に示されているように、これは負荷ステップとボード線図の測定によって確認されます。上側の帰還抵抗と直列に 50Ω 抵抗を配置します。また、フィードフォワード コンデンサのオプションを実装すると、制御ループの測定と最適化が容易になります。

次に、出力電圧リップルを決定します。最初にインダクタリップルが、式 6 に示されているように計算されます。インダクタリップル電流は 1.35A と計算されます。

$$I_{L(ripple)} = \frac{V_{IN} - V_{OUT}}{L} \times \frac{V_{OUT}}{V_{IN} \times f_{SW}} \quad (6)$$

ここで、

- VIN は入力電圧、12V
- VOUT は構成された出力電圧、1.2V
- L は選択されたインダクタ、0.8μH
- f<sub>SW</sub> は選択された動作周波数、1MHz

次に、2 つの 100μF 電解コンデンサと 1 つの 22μF セラミック コンデンサを選択します。Kemet の K-SIM ツールを使用すると、1MHz でのこれらの並列コンデンサの出力インピーダンスは、おおよそ 4.2mΩ と判断されます。インピーダンスにインダクタリップル電流を乗算すると、出力リップルの近似値である ±5.7mV が得られます。

最後に、フィードバックピンに接続された抵抗デバイダを使用して、出力電圧を構成します。50.55kΩ の R<sub>FB\_TOP</sub> (50.5kΩ を 50Ω と直列に接続) と 261kΩ の R<sub>FB\_BOT</sub> が選択されているため、公称出力電圧は 1.201V になります。データシートの帰還電圧パラメータ (最小値 0.987V、最大値 1.017V、抵抗の許容誤差 0.1%) を利用すると (2 乗和を使用して誤差寄与 ±0.14%)、式 7 と式 8 により全体的な DC 精度を概算できます。精度は -1.96% および +1.30% と計算されます。

$$Error(positive) = \frac{V_{FB(max)} \times \frac{R_{FB\_TOP} + R_{FB\_BOT}}{R_{FB\_BOT}} - V_{OUT(ideal)}}{V_{OUT(ideal)}} + R(error) \quad (7)$$

$$Error(negative) = \frac{V_{FB(min)} \times \frac{R_{FB\_TOP} + R_{FB\_BOT}}{R_{FB\_BOT}} - V_{OUT(ideal)}}{V_{OUT(ideal)}} - R(error) \quad (8)$$

精度に関する追加の検討事項の 1 つとして、自動モードを有効化するかどうか挙げられます。自動モードでは、軽負荷時の効率が向上しますが、ロードレギュレーションが低下します。「TPS7H4010-SEP」データシートの TPS7H4010-SEP の「負荷レギュレーションおよびラインレギュレーション」の図を参照し、5V アプリケーションの軽負荷時の約 0.08V の増加を確認すると、自動モードで約 +1.6% の誤差が追加されるように近似されます。したがって、自動モードが有効な場合、精度は -1.96% および +2.90% になります。この誤差はこのレールで許容されるため、自動モードが有効になります。

出力コネクタは 2A の電流を示していることに注意してください。これは、すべてのレールが全負荷になると、Versal Edge 1V2\_VCCO レールに 2A が出力され、他の 2A は他の内部レールに供給されるためです。ボードのコネクタ自体は、4A に対応するサイズになっています。

表 3-3 に、これらの計算の概要を示します。

表 3-3. 1V2\_VCCO レールの設計値

パラメータ	説明または標準値
V <sub>IN</sub>	12V
V <sub>OUT</sub>	1.2V
I <sub>OUT(max)</sub>	4A
f <sub>sw</sub> 、スイッチング周波数	1MHz
DC の精度	-1.96%、+2.90%
出力リップル	5.7mVpp
L <sub>sw</sub> 、出力インダクタ	0.8μH、XAL5030-801ME_
C <sub>OUT</sub> 、出力キャパシタンス	2x100μF T520B、1x22μF セラミック
C <sub>IN</sub> 、入力容量	3x10μF セラミック、1x470nF セラミック
t <sub>ss</sub> 、ソフトスタート時間	6.3ms (SS フローティング)
バイアス接続	外部 3V3_VCCO に接続
モード	オートイネーブル

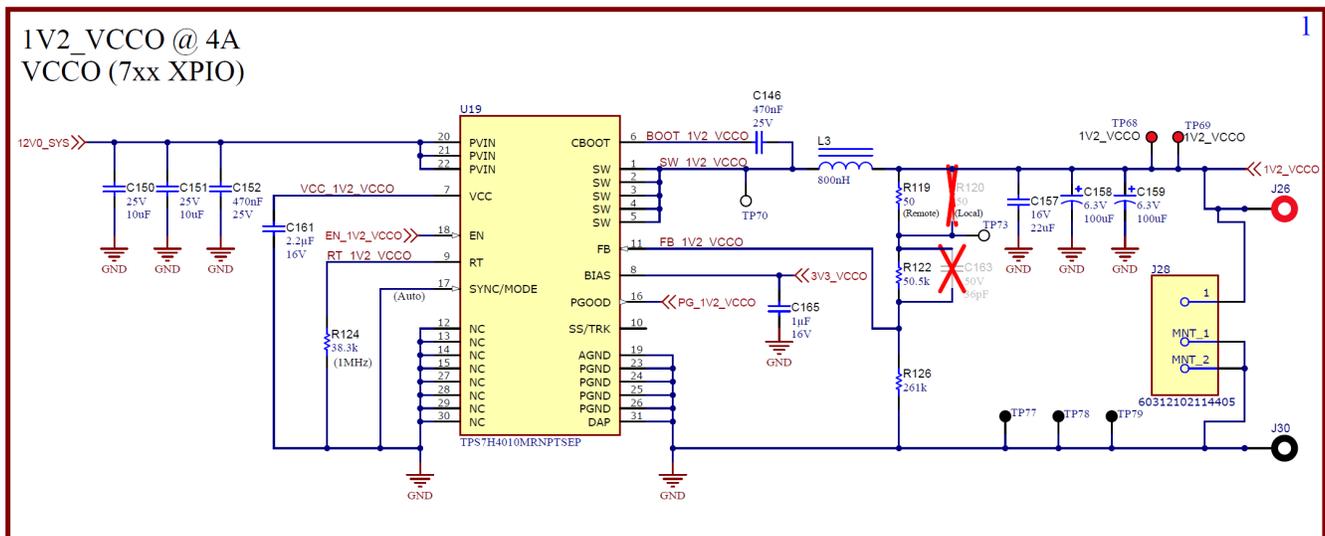


図 3-7. 1V2\_VCCO の回路図

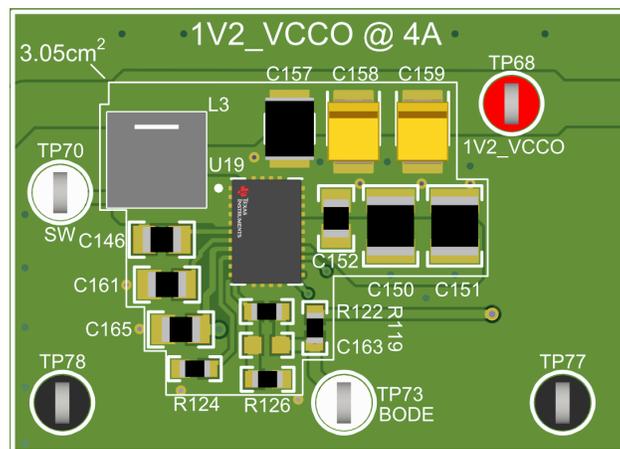


図 3-8. 1V2\_VCCO のレイアウト

### 3.2.3 1V2\_MEM

TPS7H4010-SEP 同期整流降圧コンバータを選択して、12V レールから必要な 1.2V を直接生成します。TI の推定値では、DDR4 の DDR\_VDDQ レールは最大 3A を必要とし、ダウンストリームの TPS7H3302-SEP の VLDOIN は最大 3A を必要とするため、TPS7H4010-SEP のフル 6A 能力を使用します。

設計サイズと効率の間で適切なバランスを実現できるように、1MHz のスイッチング周波数と 0.8μH XAL5030-801ME\_INCTOR を選択します。さらに、「TPS7H4010-SEP」データシートの「標準的な部品選択」表を参照し、その値が推奨値に近いことを確認しています。セクション 4.3.2 に示されているように、これは負荷ステップとボード線図の測定によって確認されます。上側の帰還抵抗と直列に 50Ω 抵抗を配置します。また、フィードフォワード コンデンサのオプションを実装すると、制御ループの測定と最適化が容易になります。

次に、出力電圧リップルを決定します。最初にインダクタリップルが、式 9 に示されているように計算されます。インダクタリップル電流は 1.35A と計算されます。

$$I_{L(ripple)} = \frac{V_{IN} - V_{OUT}}{L} \times \frac{V_{OUT}}{V_{IN} \times f_{SW}} \quad (9)$$

ここで、

- VIN は入力電圧、12V
- VOUT は構成された出力電圧、1.2V
- L は選択されたインダクタ、0.8μH
- f<sub>SW</sub> は選択された動作周波数、1MHz

次に、2 つの 100μF 電解コンデンサと 1 つの 22μF セラミック コンデンサを選択します。Kemet の K-SIM ツールを使用すると、1MHz でこれらの並列コンデンサの出力インピーダンスは、おおよそ 4.2mΩ と判断されます。インピーダンスにインダクタリップル電流を乗算すると、出力リップルの近似値である ±5.7mV が得られます。

最後に、フィードバックピンに接続された抵抗デバイダを使用して、出力電圧を構成します。50.55kΩ の R<sub>FB\_TOP</sub> (50.5kΩ を 50Ω と直列に接続) と 261kΩ の R<sub>FB\_BOT</sub> が選択されているため、公称出力電圧は 1.201V になります。データシートの帰還電圧パラメータ (最小値 0.987V、最大値 1.017V、抵抗の許容誤差 0.1%) を利用すると (2 乗和を使用して誤差寄与 ±0.14%)、式 10 と式 11 により全体的な DC 精度を概算できます。精度は -1.96% および +1.30% と計算されます。

$$Error(positive) = \frac{V_{FB(max)} \times \frac{R_{FB\_TOP} + R_{FB\_BOT}}{R_{FB\_BOT}} - V_{OUT(ideal)}}{V_{OUT(ideal)}} + R(error) \quad (10)$$

$$Error(negative) = \frac{V_{FB(min)} \times \frac{R_{FB\_TOP} + R_{FB\_BOT}}{R_{FB\_BOT}} - V_{OUT(ideal)}}{V_{OUT(ideal)}} - R(error) \quad (11)$$

精度に関する追加の検討事項の 1 つとして、自動モードを有効化するかどうか挙げられます。自動モードでは、軽負荷時の効率が向上しますが、ロードレギュレーションが低下します。「TPS7H4010-SEP」データシートの TPS7H4010-SEP の「負荷レギュレーションおよびラインレギュレーション」の画像を参照し、5V アプリケーションの軽負荷時の約 0.08V の増加を確認すると、自動モードで約 +1.6% の誤差が追加されるように近似されます。したがって、自動モードが有効な場合、精度は -1.96% および +2.90% になります。この誤差はこのレールで許容されるため、自動モードが有効になります。

表 3-4 に、これらの計算の概要を示します。

表 3-4. 1V2 レールの設計値

パラメータ	説明または標準値
V <sub>IN</sub>	12V
V <sub>OUT</sub>	1.2V
I <sub>OUT(max)</sub>	6A
f <sub>SW</sub> 、スイッチング周波数	1MHz

表 3-4. 1V2 レールの設計値 (続き)

パラメータ	説明または標準値
DC の精度	-1.96%、+2.90%
出力リップル	5.7mVpp
L <sub>SW</sub> , 出力インダクタ	0.8μH, XAL5030-801ME_
C <sub>OUT</sub> , 出力キャパシタンス	2x100μF T520B, 1x22μF セラミック
C <sub>IN</sub> , 入力容量	3x10μF セラミック, 1x470nF セラミック
t <sub>SS</sub> , ソフトスタート時間	6.3ms (SS フローティング)
バイアス接続	外部 3V3_VCCO に接続
モード	オート イネーブル

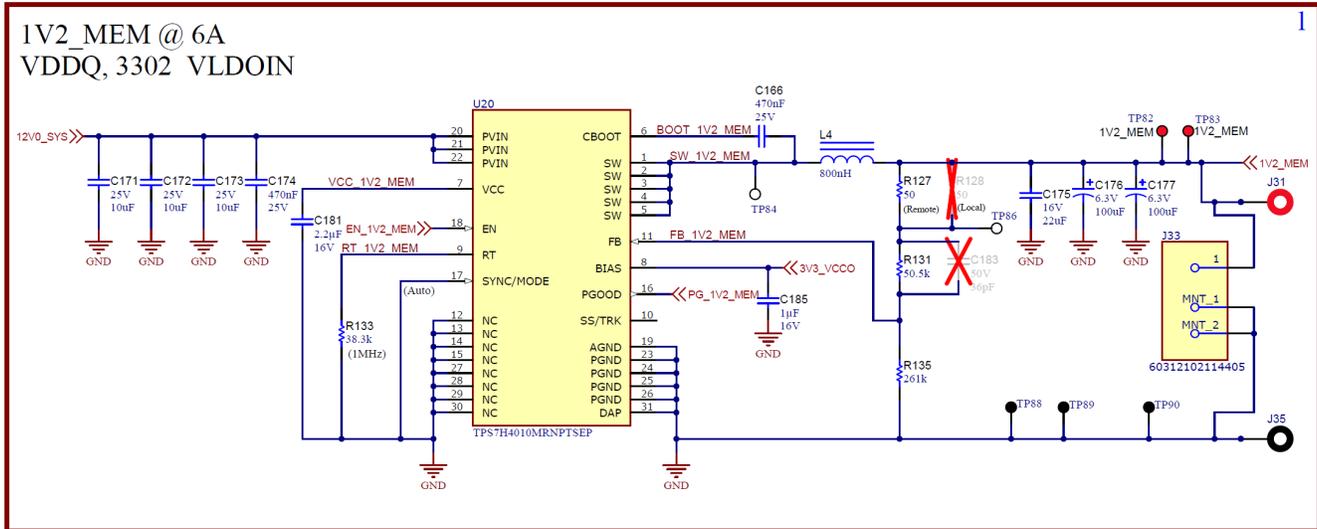


図 3-9. 1V2\_MEM の回路図

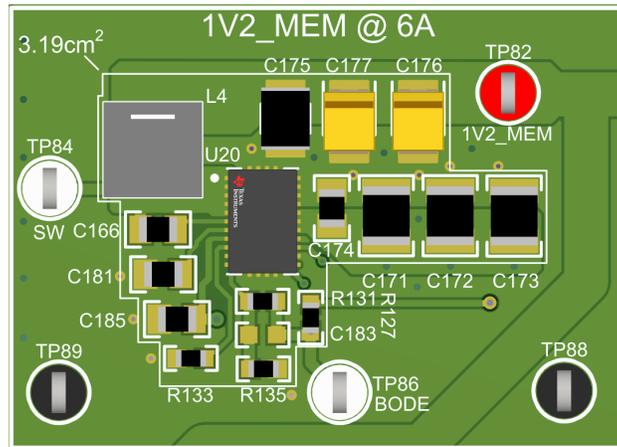


図 3-10. 1V2\_MEM のレイアウト

### 3.2.4 2V5\_DDR\_VPP

TPS7H4010-SEP 同期整流降圧コンバータを選択して、12V レールから必要な 2.5V を直接生成します。DDR4 の DDR\_VPP レールには最大 0.1A、1V5\_GTY レールの TPS7H1111-SEP 入力には最大 0.2A、1V5 レールの TPS7H1111-SEP 入力には最大 1.5A が必要と推定されます。したがって、適切なマージンを確保するため、設計上の決定は 3A となります。

設計サイズと効率のバランスを適切に確保できるように、1MHz のスイッチング周波数と 1.2μH XAL5030-122ME インダクタを選択します。さらに、「TPS7H4010-SEP」データシートの「標準的な部品選択」表を参照し、その値が推奨値に近いことを確認しています。セクション 4.3.2 に示されているように、これは負荷ステップとボード線図の測定によって確認されます。上側の帰還抵抗と直列に 50Ω 抵抗を配置します。また、フィードフォワード コンデンサのオプションを実装すると、制御ループの測定と最適化が容易になります。

次に、出力電圧リップルを決定します。最初にインダクタリップルが、式 12 に示されているように計算されます。インダクタリップル電流は 1.65A と計算されます。

$$I_{L(ripple)} = \frac{V_{IN} - V_{OUT}}{L} \times \frac{V_{OUT}}{V_{IN} \times f_{SW}} \quad (12)$$

ここで、

- $V_{IN}$  は入力電圧、12V
- $V_{OUT}$  は構成された出力電圧、2.5V
- $L$  は選択されたインダクタ、1.2μH
- $f_{SW}$  は選択された動作周波数、1MHz

次に、2 つの 100μF 電解コンデンサと 1 つの 22μF セラミック コンデンサを選択します。Kemet の K-SIM ツールを使用すると、1MHz でのこれらの並列コンデンサの出力インピーダンスは、おおよそ 4.2mΩ と判断されます。インピーダンスにインダクタリップル電流を乗算すると、出力リップルの近似値である ±6.9mV が得られます。

最後に、フィードバックピンに接続された抵抗デバイダを使用して、出力電圧を構成します。50.55kΩ の  $R_{FB\_TOP}$  (50.5kΩ を 50Ω と直列に接続) と 34kΩ の  $R_{FB\_BOT}$  が選択されているため、公称出力電圧は 2.502V になります。データシートの帰還電圧パラメータ (最小値 0.987V、最大値 1.017V、抵抗の許容誤差 0.1%) を利用すると (2 乗和を使用して誤差寄与 ±0.14%)、式 13 と式 14 により全体的な DC 精度を概算できます。精度は -1.96% および +1.30% と計算されます。

$$Error_{(positive)} = \frac{V_{FB(max)} \times \frac{R_{FB\_TOP} + R_{FB\_BOT}}{R_{FB\_BOT}} - V_{OUT(ideal)}}{V_{OUT(ideal)}} + R_{(error)} \quad (13)$$

$$Error_{(negative)} = \frac{V_{FB(min)} \times \frac{R_{FB\_TOP} + R_{FB\_BOT}}{R_{FB\_BOT}} - V_{OUT(ideal)}}{V_{OUT(ideal)}} - R_{(error)} \quad (14)$$

精度に関する追加の検討事項の 1 つとして、自動モードを有効化するかどうか挙げられます。自動モードでは、軽負荷時の効率が向上しますが、ロードレギュレーションが低下します。「TPS7H4010-SEP」データシートの TPS7H4010-SEP の「負荷レギュレーションおよびラインレギュレーション」の画像を参照し、5V アプリケーションの軽負荷時の約 0.08V の増加を確認すると、自動モードで約 +1.6% の誤差が追加されるように近似されます。したがって、自動モードが有効な場合、精度は -1.96% および +2.90% になります。この誤差はこのレールで許容されるため、自動モードが有効になります。

出力コネクタは 0.1A の電流を示していることに注意してください。これは、すべてのレールが全負荷になると、DDR\_VPP レールに 0.1A が出力され、他の 2.9A は他の内部レールに供給されるためです。ボードのコネクタ自体は、3A に対応するサイズになっています。

表 3-5 に、これらの計算の概要を示します。

表 3-5. 2V5\_DDR\_VPP レールの設計値

パラメータ	説明または標準値
$V_{IN}$	12V
$V_{OUT}$	2.5V
$I_{OUT(max)}$	3A
$f_{SW}$ 、スイッチング周波数	1MHz
DC の精度	-1.96%、+2.90%

表 3-5. 2V5\_DDR\_VPP レールの設計値 (続き)

パラメータ	説明または標準値
出力リップル	6.9mVpp
L <sub>SW</sub> , 出力インダクタ	1.2μH, XAL5030-122ME_
C <sub>OUT</sub> , 出力キャパシタンス	2x100μF T520B, 1x22μF セラミック
C <sub>IN</sub> , 入力容量	3x10μF セラミック, 1x470nF セラミック
t <sub>SS</sub> , ソフトスタート時間	6.3ms (SS フローティング)
バイアス接続	外部 3V3_VCCO に接続
モード	オートイネーブル

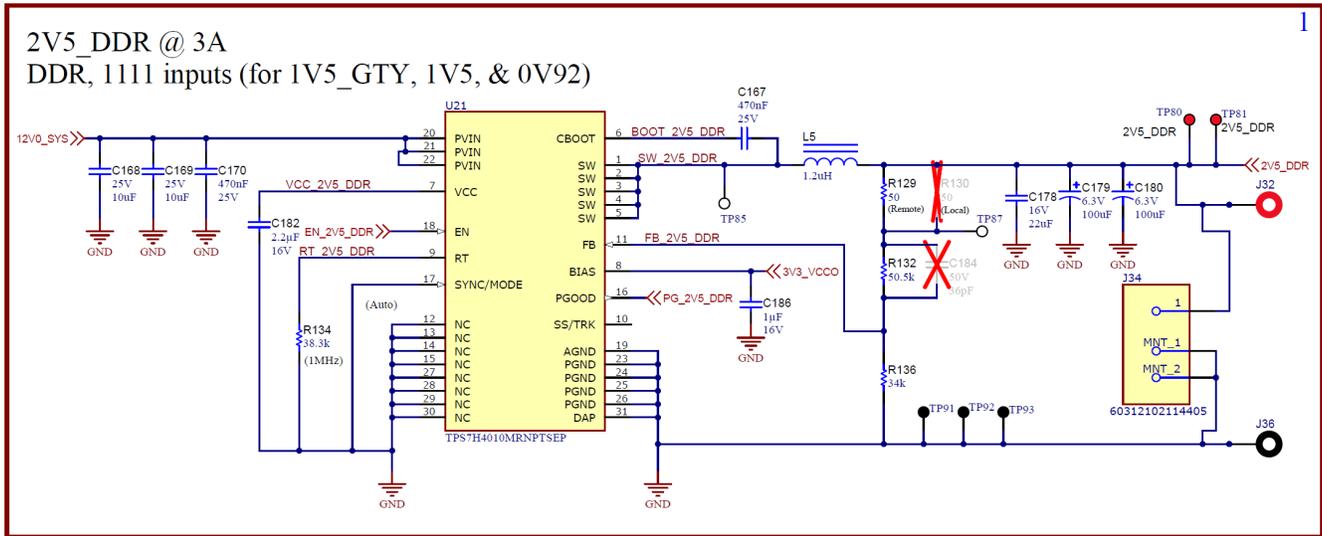


図 3-11. 2V5\_DDR\_VPP の回路図

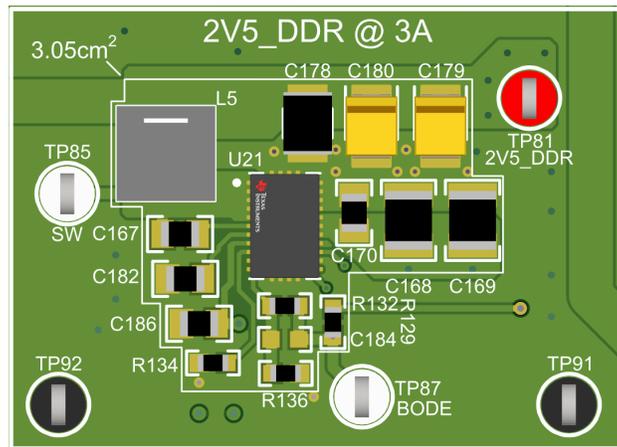


図 3-12. 2V5\_DDR\_VPP のレイアウト

### 3.2.5 3V3\_VCCO

TPS7H4010-SEP 同期整流降圧コンバータを選択して、12V レールから必要な 3.3V を直接生成します。Versal Edge VCCO\_HDIO (バンク 302) レールには 2A、VCCO\_500、VCCO\_501、VCCO\_503 (PSIO バンク)、VCCO\_502 (PSIO バンク) には 2A、TPS7H3302-SEP VDD 入力には 30mA、TPS7H1111-SEP バイアスレールには 81mA が必要と推定されます。そのため、TPS7H4010-SEP は、適切なマージンを確保するために 6A で設定されています。

設計サイズと効率のバランスを適切に確保できるように、1MHz のスイッチング周波数と 1.8μH XAL6030-182ME インダクタを選択します。さらに、「TPS7H4010-SEP」データシートの「標準的な部品選択」表を参照し、その値が推奨値に近いことを確認しています。セクション 4.3.2 に示されているように、これは負荷ステップとボード線図の測定によって確認されます。上側の帰還抵抗と直列に 50Ω 抵抗を配置します。また、フィードフォワード コンデンサのオプションを実装すると、制御ループの測定と最適化が容易になります。

次に、出力電圧リップルを決定します。最初にインダクタリップルが、式 15 に示されているように計算されます。インダクタリップル電流は 1.33A と計算されます。

$$I_{L(ripple)} = \frac{V_{IN} - V_{OUT}}{L} \times \frac{V_{OUT}}{V_{IN} \times f_{SW}} \quad (15)$$

ここで、

- $V_{IN}$  は入力電圧、12V
- $V_{OUT}$  は構成された出力電圧、3.3V
- $L$  は選択されたインダクタ、1.8μH
- $f_{SW}$  は選択された動作周波数、1MHz

次に、1 つの 100μF 電解コンデンサと 2 つの 22μF セラミック コンデンサを選択します。Kemet の K-SIM ツールを使用すると、1MHz でこれらの並列コンデンサの出力インピーダンスは、おおよそ 12.2mΩ と判断されます。インピーダンスにインダクタリップル電流を乗算すると、出力リップルの近似値である ±16.2mV が得られます。

最後に、フィードバックピンに接続された抵抗ダイバダを使用して、出力電圧を構成します。50.55kΩ の  $R_{FB\_TOP}$  (50.5kΩ を 50Ω と直列に接続) と 22.1kΩ の  $R_{FB\_BOT}$  が選択されているため、公称出力電圧は 3.307V になります。データシートの帰還電圧パラメータ (最小値 0.987V、最大値 1.017V、抵抗の許容誤差 0.1%) を利用すると (2 乗和を使用して誤差寄与 ±0.14%)、式 16 と式 17 により全体的な DC 精度を概算できます。精度は -1.82% および +1.45% と計算されます。

$$Error_{(positive)} = \frac{V_{FB(max)} \times \frac{R_{FB\_TOP} + R_{FB\_BOT}}{R_{FB\_BOT}} - V_{OUT(ideal)}}{V_{OUT(ideal)}} + R_{(error)} \quad (16)$$

$$Error_{(negative)} = \frac{V_{FB(min)} \times \frac{R_{FB\_TOP} + R_{FB\_BOT}}{R_{FB\_BOT}} - V_{OUT(ideal)}}{V_{OUT(ideal)}} - R_{(error)} \quad (17)$$

精度に関する追加の検討事項の 1 つとして、自動モードを有効化するかどうか挙げられます。自動モードでは、軽負荷時の効率が向上しますが、ロードレギュレーションが低下します。「TPS7H4010-SEP」データシートの TPS7H4010-SEP の「負荷レギュレーションおよびラインレギュレーション」の画像を参照し、5V アプリケーションの軽負荷時の約 0.08V の増加を確認すると、自動モードで約 +1.6% の誤差が追加されるように近似されます。したがって、自動モードが有効な場合、精度は -1.82% および +3.05% になります。この誤差はこのレールで許容されるため、自動モードが有効になります。

表 3-6 に、これらの計算の概要を示します。

**表 3-6. 3V3\_VCCO レールの設計値**

パラメータ	説明または標準値
$V_{IN}$	12V
$V_{OUT}$	3.3V
$I_{OUT(max)}$	6A
$f_{SW}$ 、スイッチング周波数	1MHz
DC の精度	-1.82%、+3.05%
出力リップル	16.2mVpp
$L_{SW}$ 、出力インダクタ	1.8μH XAL6030-182ME_
$C_{OUT}$ 、出力キャパシタンス	1x100μF T520B、2x22μF セラミック

表 3-6. 3V3\_VCCO レールの設計値 (続き)

パラメータ	説明または標準値
C <sub>IN</sub> 、入力容量	2x10μF セラミック、1x470nF セラミック
t <sub>SS</sub> 、ソフトスタート時間	6.3ms (SS フローティング)
バイアス接続	出力 3V3_VCCO に接続
モード	オートイネーブル

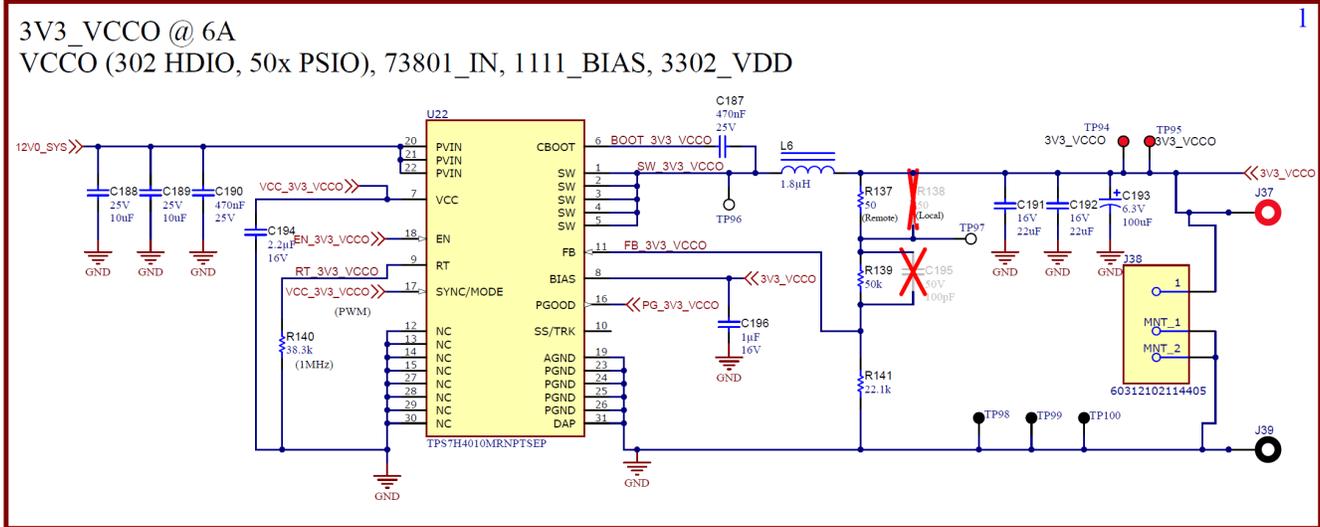


図 3-13. 3V3\_VCCO の回路図

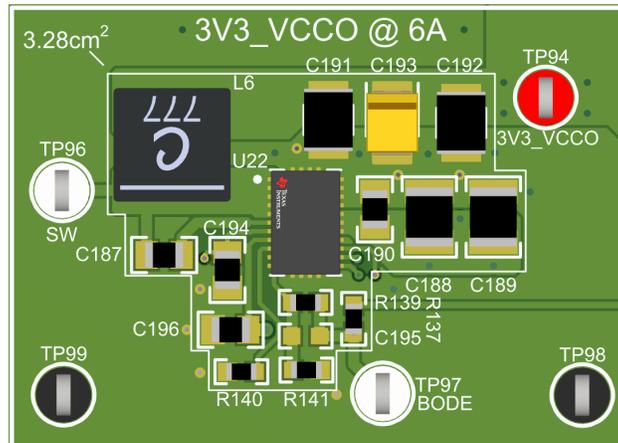


図 3-14. 3V3\_VCCO のレイアウト

### 3.3 リニアレギュレータ

#### 3.3.1 DDR の終端

DDR4 メモリの終端として TPS7H3302-SEP を選択しています。この部品は、VTT の  $\pm 3A$ 、VTTREF の  $\pm 10mA$  を生成します。VLDIOIN 入力は 1V2\_MEM レールから、VDD は 3V3\_VCCO レールから供給されます。出力コンデンサには、3 つの 150 $\mu F$  と 4 つの 4.7 $\mu F$  が選択されています。これは評価基板と同じです。TPS7H3302-SEP データシートでは、VTT の精度は -2.5% および +5.0% です ( $\pm 1A$  の場合)。

図 3-15 に、TPS7H3302-SEP 回路図を示します。図 3-16 に、レイアウトを示します。

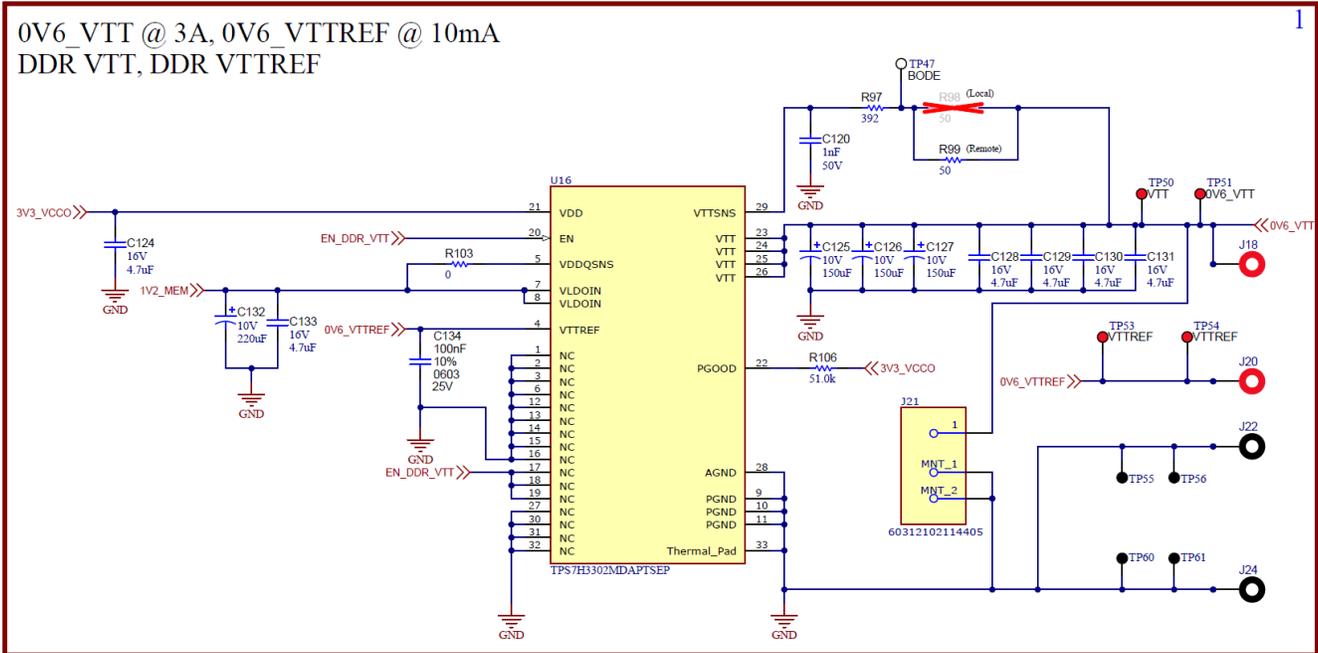


図 3-15. DDR 終端回路図

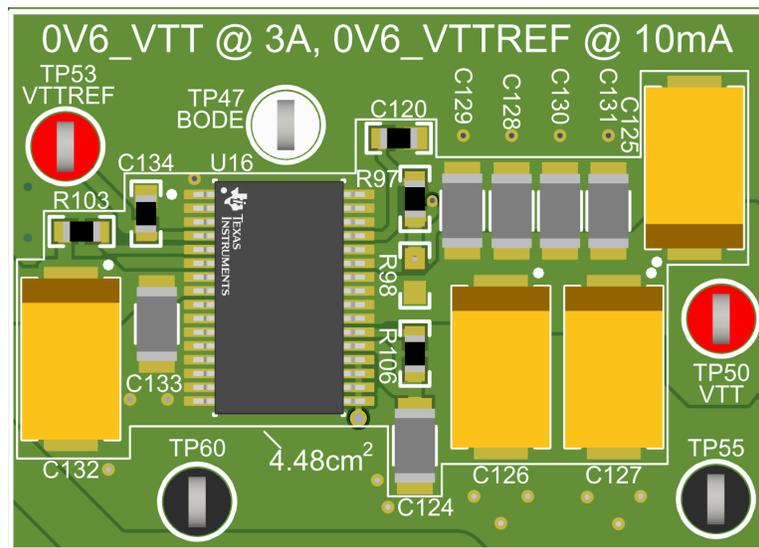


図 3-16. DDR 終端レイアウト

### 3.3.2 0V92

TPS7H1111-SEP は、1V2\_VCCO レール (バイアスは 3V3\_VCCO) から 0.92V レールを生成するように選択されます。TPS7H1111-SEP は 1.5A に対応できますが、Versal Edge VTYP\_AVCC レールは、0.75A しか必要ないと推定されています。そのため、LDO は、適切なマージンを確保できるように最大 1A になるように設計されています。

この設計では、評価基板で使用している 2x100 $\mu$ F 出力コンデンサを選択しています。TPS7H1111-SEP は優れた性能を実現するため、セラミック デカップリング コンデンサを追加することはできません。しかし、必要に応じて FPGA 負荷の近くに 100nF コンデンサを追加することもできます (レイアウトにはこの目的のためのプレースホルダが用意されています)。FB\_PG 抵抗のサイズは、PG のアサート スレッショルドが VOUT の 95.5% で発生するように設定されています。起動時に TPS7H1111-SEP 電圧が Versal FPGA の最大シーケンシング タイミング要件内で上昇するように、このスレッショルドを注意深く選択する必要があります。また、スタートアップ時に追加のタイミング マージンを確保するため、標準的な 4.7 $\mu$ F コンデンサの代わりに 2.2 $\mu$ F C<sub>SS</sub> コンデンサを選択します。4.7 $\mu$ F コンデンサによって供給される小さいノイズは、Versal FPGA にとって重要ではないと判断されます。

図 3-17 に、0V92 回路図を示します。図 3-18 に、レイアウトを示します。

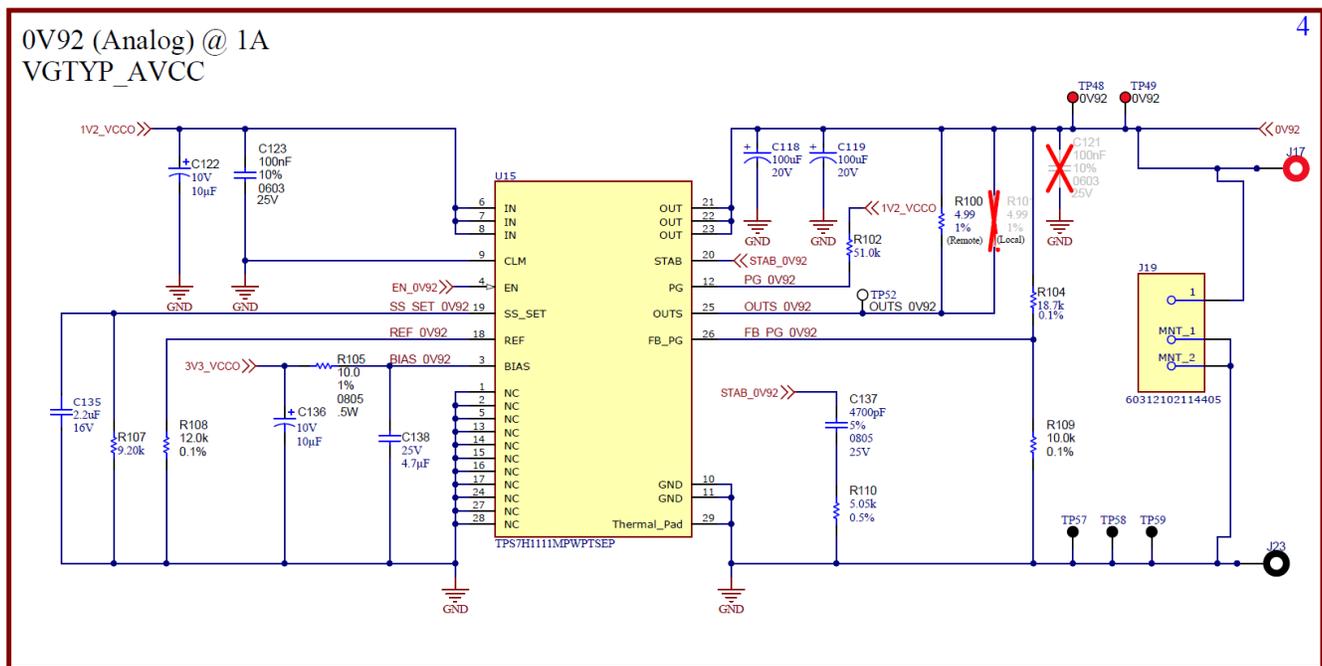


図 3-17. 0V92 の回路図

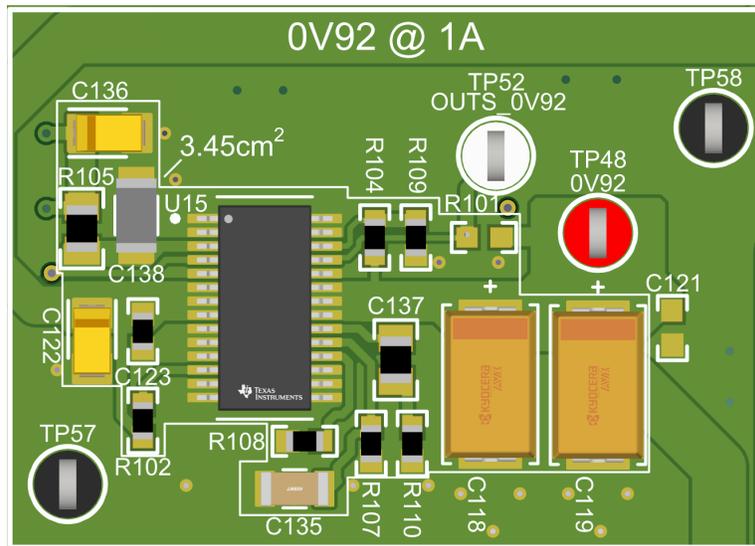


図 3-18. 0V92 のレイアウト

### 3.3.3 1V5\_GTY

TPS7H1111-SEP は、2V5\_DDR レール (バイアスは 3V3\_VCCO) から 1.5V レールを生成するように選択されます。TPS7H1111-SEP は 1.5A に対応できますが、Versal Edge VGTY\_AVCCAUX レールは、0.05A しか必要ないと推定されています。そのため、LDO は、適切なマージンを確保できるように最大 0.2A になるように設計されています。

この設計では、評価基板上で使用している 2x100 $\mu$ F 出力コンデンサを選択しています。TPS7H1111-SEP は優れた性能を実現するため、セラミック デカップリング コンデンサを追加することはできません。しかし、必要に応じて FPGA 負荷の近くに 100nF コンデンサを追加することもできます (レイアウトにはこの目的のためのプレースホルダが用意されています)。FB\_PG 抵抗のサイズは、PG のアサートスレッシュホールドが VOUT の 94.9% で発生するように設定されています。起動時に TPS7H1111-SEP 電圧が Versal FPGA の最大シーケンシング タイミング要件内で上昇するように、このスレッシュホールドを注意深く選択する必要があります。また、スタートアップ時に追加のタイミング マージンを確保するため、標準的な 4.7 $\mu$ F コンデンサの代わりに 2.2 $\mu$ F C<sub>SS</sub> コンデンサを選択します。4.7 $\mu$ F コンデンサによって供給される小さいノイズは、Versal FPGA にとって重要ではないと判断されます。

図 3-19 に、1V5\_GTY 回路図を示します。図 3-20 に、レイアウトを示します。

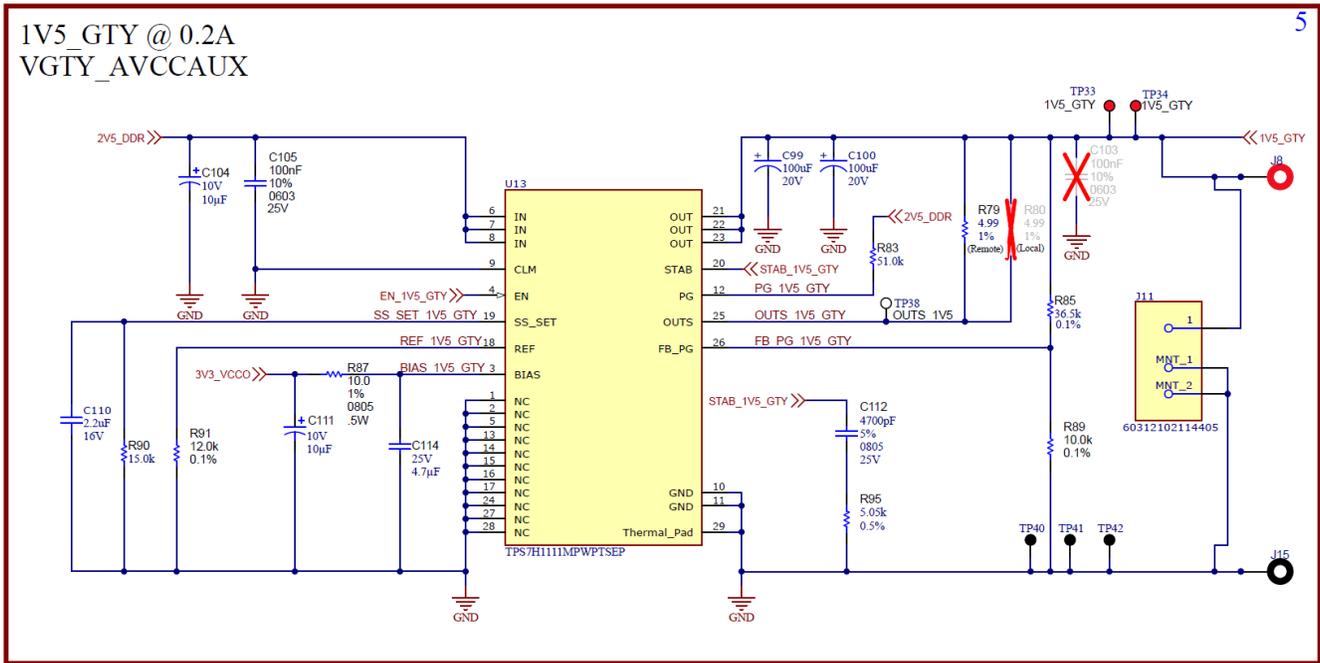


図 3-19. 1V5\_GTY の回路図

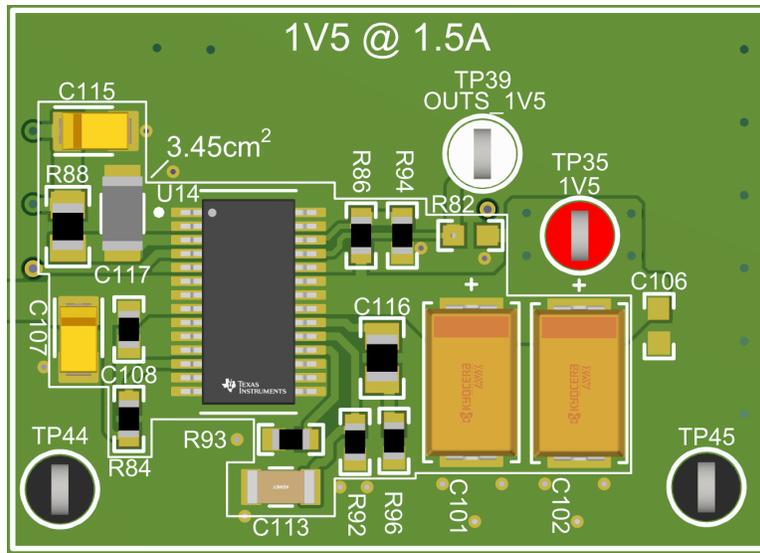


図 3-20. 1V5\_GTY のレイアウト

### 3.3.4 1V5

TPS7H1111-SEP は、2V5\_DDR レール (バイアスは 3V3\_VCCO) から 1.5V レールを生成するように選択されます。Versal Edge VCCAUX には 0.7A、VCCAUX\_SMON および VCCAUX\_PMC には 0.3A が必要です。マージンを確保するため、LDO は最大電流 1.5A になるように設計されています。

この設計では、評価基板上で使用している 2x100µF 出力コンデンサを選択しています。TPS7H1111-SEP の出力にセラミック デカップリング コンデンサは追加しません。追加のフェライト ビーズ フィルタを使用するには、VCCAUX\_SMON レールを推奨します。フェライト ビーズの後に、TPS7H1111-SEP の推奨出力フィルタ内で十分に維持できるように、1 つの 100nF コンデンサを配置します。このフィルタと TPS7H1111-SEP の高い PSRR により、低ノイズの SMON レールが形成されます。FB\_PG 抵抗のサイズは、PG のアサート スレッショルドが VOUT の 94.9% で発生するように設定されています。起動時に TPS7H1111-SEP 電圧が Versal FPGA の最大シーケンシング タイミング要件内で上昇するように、この

スレッシュホールドを注意深く選択する必要があります。また、スタートアップ時に追加のタイミング マージンを確保するため、標準的な 4.7 $\mu$ F コンデンサの代わりに 2.2 $\mu$ F  $C_{SS}$  コンデンサを選択します。4.7 $\mu$ F コンデンサによって供給される小さいノイズは、Versal FPGA にとって重要ではないと判断されます。

1V5 の出力コネクタは最大電流 1.5A、1V5\_SMON コネクタは最大電流 0.4A を示していることに注意してください。これらのコネクタが同時にロードされている場合は、結合された 1.5A を超えるコネクタがロードされていないことを確認することが重要です。

図 3-21 に、1V5 回路図を示します。図 3-22 に、レイアウトを示します。

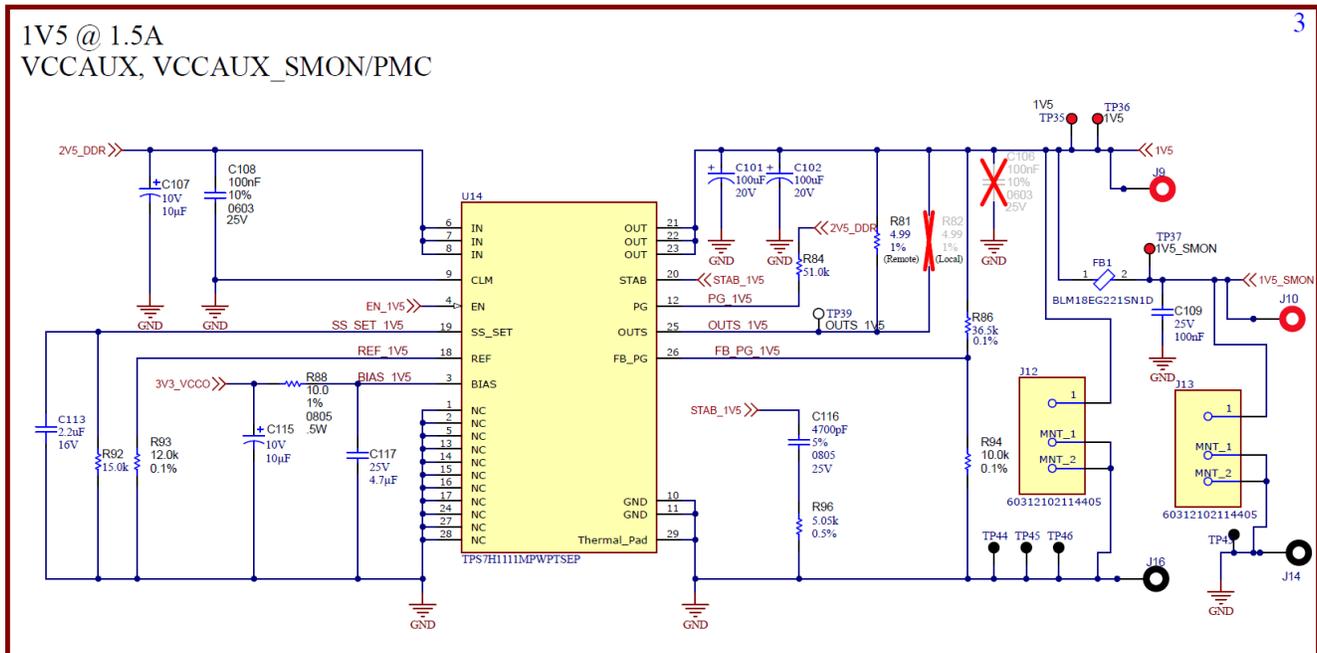


図 3-21. 1V5 の回路図

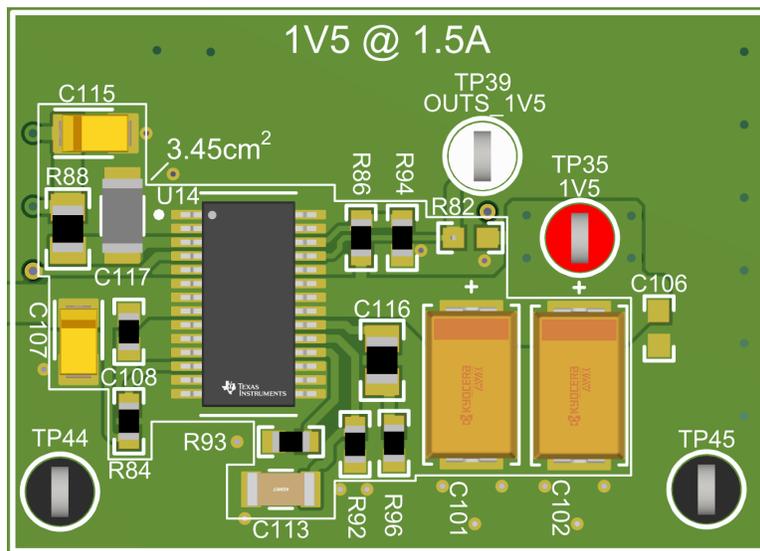


図 3-22. 1V5 のレイアウト

### 3.3.5 5V0\_SYS

12V0\_SYS レールから 5.0V レールを生成するために、TPS73801-SEP を選択します。このレールは、TPS7H3014-SP プルアップ入力と TPS7H2221-SEP デバイスの電源に電力を供給するために使用されます。これらはいずれも比較的消費電力が低いです。TPS73801 は、十分なマージンを確保するために 50mA で設定されています。

出力には、1 つの 100 $\mu$ F と 2 つの 22 $\mu$ F の出力コンデンサを選択しています。EN は High に接続されており、速やかにスタートアップするため、このレールは TPS7H2221 および TPS7H3014 ですぐに使用できるようになります。

図 3-23 に、5V0\_SYS 回路図を示します。図 3-24 に、レイアウトを示します。

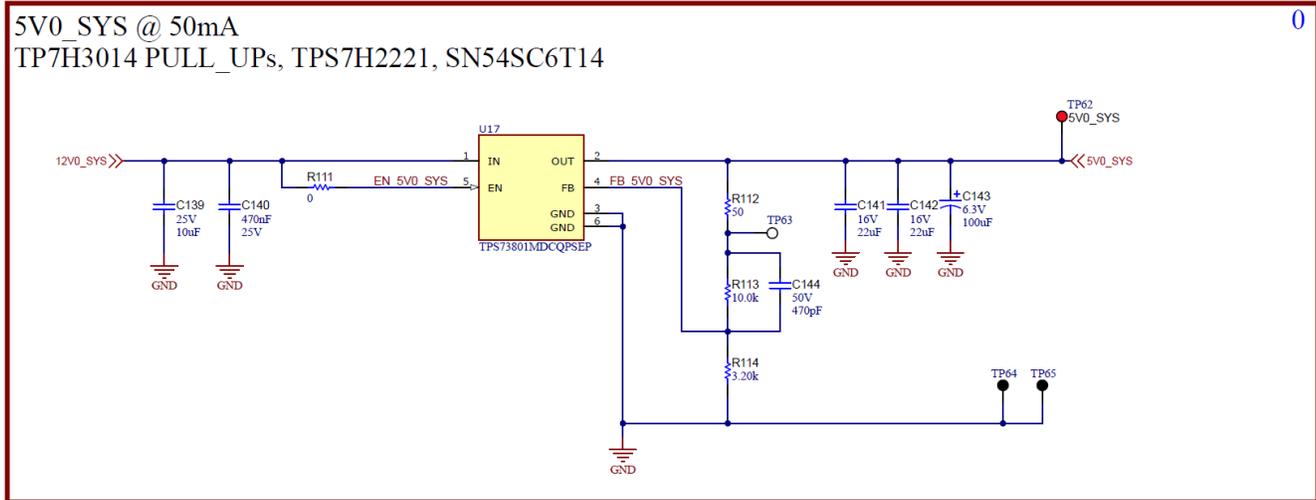


図 3-23. 5V0\_SYS の回路図

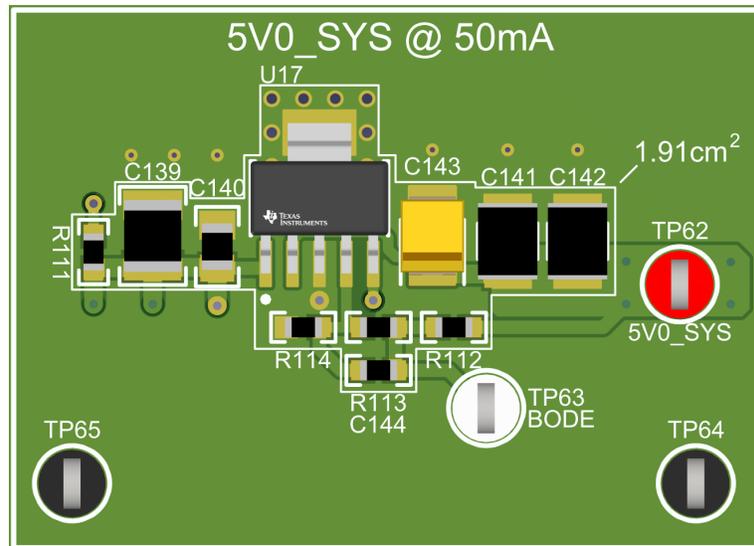


図 3-24. 5V0\_SYS のレイアウト

### 3.4 シーケンシング

#### 3.4.1 TPS7H3014-SP シーケンサ

Versal Edge には特定のシーケンス アップおよびシーケンス ダウン要件があります。2 つの TPS7H3014-SP デバイスを デイジーチェーン構成で使用し、6 本の Versal レールを順番に上にシーケンス ダウンします。表 3-7 に、各レールのシーケンサ番号を示します。表に示されているように、TPS7H3014-SP デバイスはレール電圧を監視しているため、オンとオフの実際の電圧スレッシュホールドは抵抗デバイダを使用してプログラムできます。

表 3-7. シーケンスの順序

シーケンス番号	レールの監視とシーケンス制御	シーケンスされる他のレール	R <sub>TOP</sub>	R <sub>BOTTOM</sub>	V <sub>ON-NOMINAL</sub> (V)	V <sub>ON-NOMINAL</sub> (%)	V <sub>OFF-NOMINAL</sub> (V)	V <sub>OFF-NOMINAL</sub> (%)
1	3V3_VCCO	1V2_VCCO、 2V5_DDR_VPP、 1V2_MEM、 VTT(DDR)	118kΩ	28.7kΩ	3.064V	92.84% ± 0.93%	0.226V	6.85% ± 2.74%
2	VCCINT (0V80)	なし	29.4kΩ	111kΩ	0.758V	94.76% ± 0.95%	0.051V	6.39% ± 2.82%
3	1V5	なし	54.2kΩ	40.2kΩ	1.407V	93.83% ± 0.94%	0.104V	6.93% ± 2.77%
4	0V92	なし	34kΩ	75kΩ	0.871V	94.68% ± 0.95%	0.053V	5.81% ± 2.83%
5	1V5_GTY	なし	54.2kΩ	40.2kΩ	1.407V	93.83% ± 0.94%	0.104V	6.93% ± 2.77%
6	1V2	なし	44.2kΩ	49.3kΩ	1.137V	94.72% ± 0.95%	0.074V	6.15% ± 2.82%
7 <sup>(1)</sup>	12V0_SYS	なし	56.9kΩ	3.61kΩ	10.046V	83.72% ± 0.84%	8.678V	72.32% ± 0.90%

(1) このレールは 12V0\_SYS レールを監視するために使用され、TPS7H2221-SEP は、スタートアップ時に SENSE1 を保持するために使用されません。

TPS7H3014-SP は、(短い遅延後に) 12V0\_SYS の立ち上がり電圧が検出されるとシーケンス アップを開始します。同様に、12V0\_SYS が立ち下がると、シーケンス ダウンが開始されます。このシーケンス ダウンは、電圧低下イベント時に電源を保護するのに有効です。表 3-8 に、これらの詳細を示します。

表 3-8. アップ/ダウン シーケンシング

シーケンス	R <sub>TOP</sub>	R <sub>BOTTOM</sub>	V <sub>IN</sub> , 最小値	V <sub>IN</sub> , 標準値	V <sub>IN</sub> , 最大値	備考
UP	20kΩ	1.3kΩ	9.50V	9.80V	10.08V	V <sub>IN</sub> > 約 10V になる前にシーケンス アップが開始されます。遅延の 1.5μF コンデンサ (1.9ms 時定数)
下	20kΩ	1.1kΩ	9.26V	9.55V	9.82V	V <sub>IN</sub> が約 9.6V 未満に低下したときのシーケンス ダウン。V <sub>IN</sub> < 約 8.678V の前に完了していない場合は、コアや他の電源を保護するためにシャットダウンします

図 3-25 に、シーケンサの回路図を示します。図 3-26 に、レイアウトを示します。

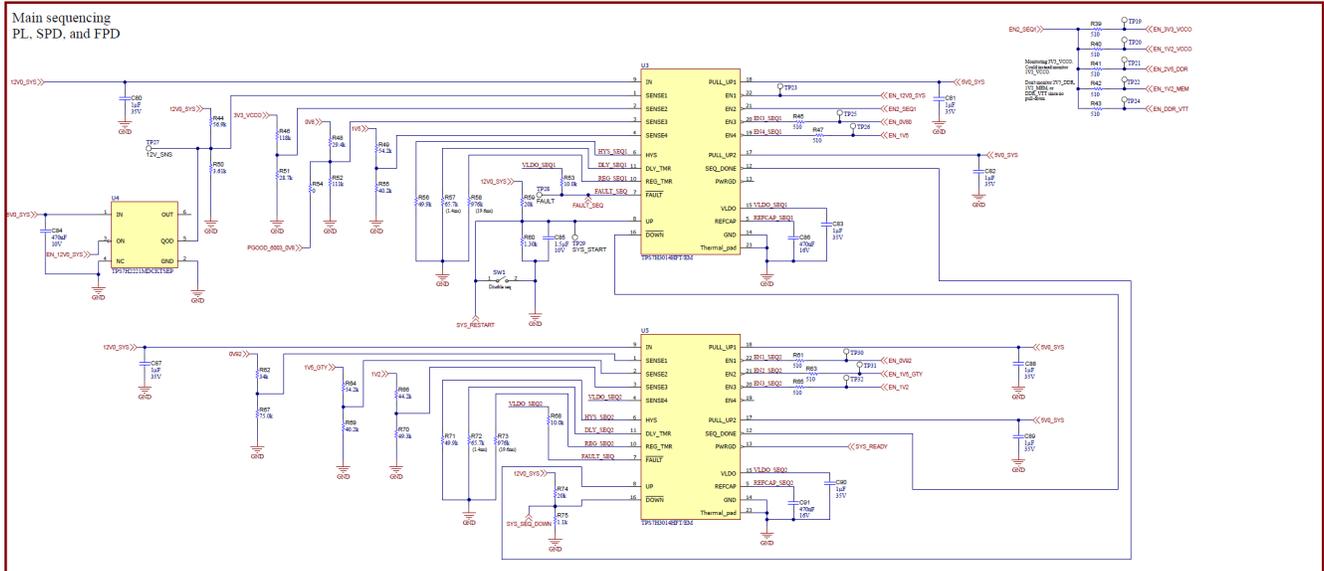


図 3-25. シーケンシング回路図

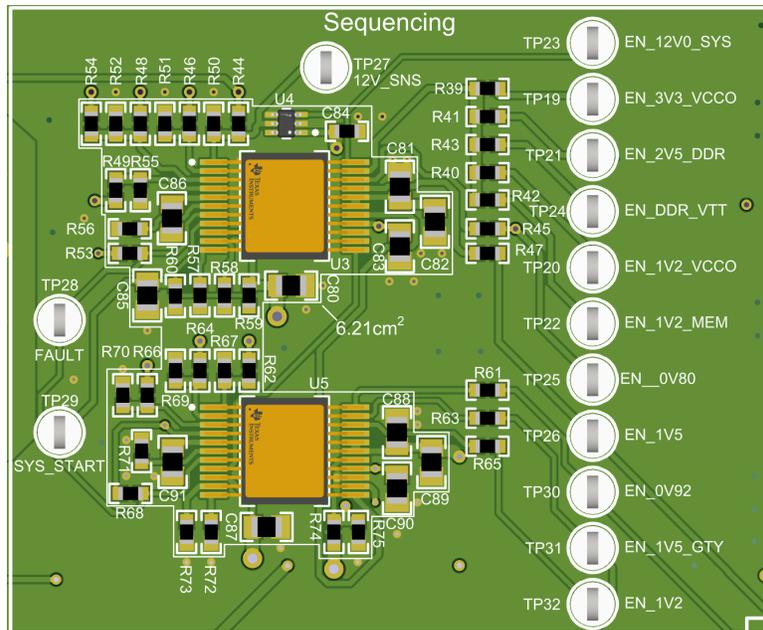


図 3-26. シーケンシングレイアウト

### 3.4.2 TPS7H2221-SEP 放電回路

Versal FPGA では、特定の時間内にレールをシーケンス アップする必要があります。これは、電圧レギュレータで使用する標準的なソフトスタート時間によって簡単に実現できます。しかし、アクティブ放電がない状態でこれらのレールをシーケンスする場合、レールがシーケンス オフに時間がかかりすぎる場合があります。

アクティブ放電を実装するには、通常は追加の MOSFET を使用できます。しかし、特定の実装では、追加のサポート回路が必要になることがあり、耐放射線性の MOSFET がかなり大きい場合があります。代わりに、クイック出力放電 (QOD) を備えた TPS7H2221-SEP 負荷スイッチを使用して、アクティブ放電を実現します。この小型設計では、QOD ピンと小型のデカップリング コンデンサのみを使用してデバイスに電力を供給しています。この設計は、放電要件があるすべての補助電源レールに使用されます。

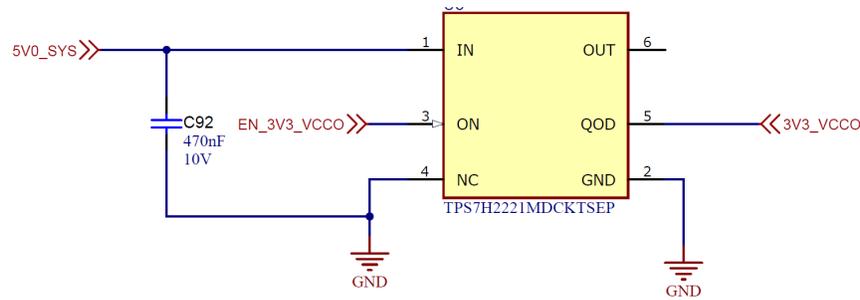


図 3-27. 放電回路図

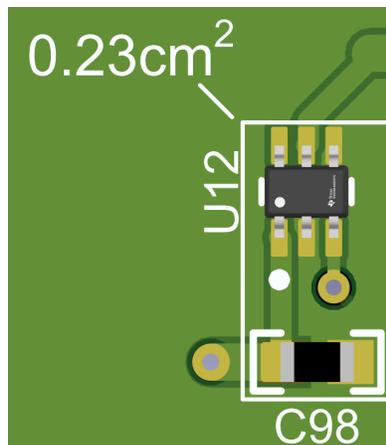


図 3-28. 放電レイアウト

### 3.4.3 VCCINT 放電回路

多くの補助レールと同様に、必要な時間内にシャットダウンするために、0V8 (VCCINT) コアレールにもアクティブ放電が必要です。しかし、このレール上の静電容量が大きいため、TPS7H2221-SEP 設計では十分な時間内にレールを放電できません。

代わりに、インバータと GaN FET を使用してこのレールを放電します。抵抗を使用して、この放電時の大きな電流ピークを防止します。図 3-29 に、回路図を示します。図 3-30 に、レイアウトを示します。

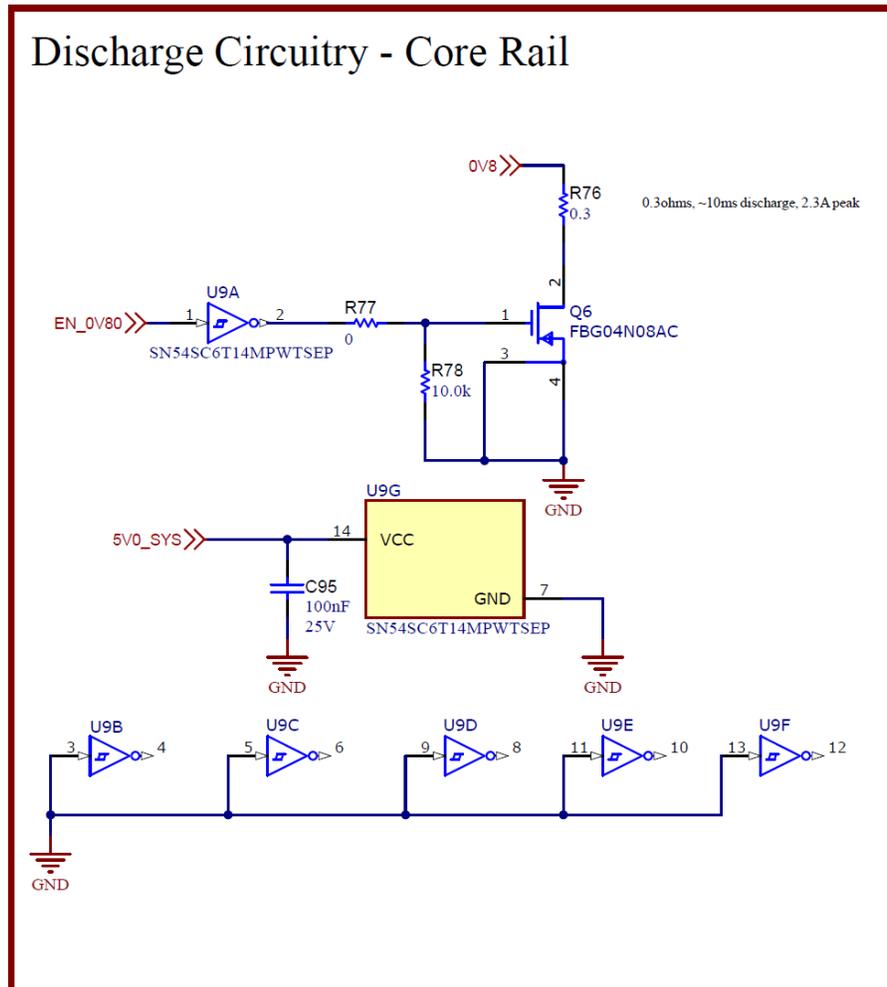


図 3-29. VCCINT 放電回路図

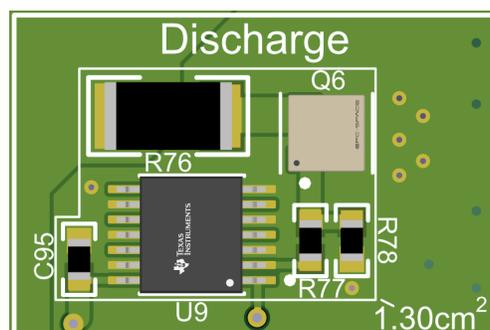


図 3-30. VCCINT 放電レイアウト

## 4 ハードウェア、テスト要件、およびテスト結果

### 4.1 ハードウェア要件

- TIDA-050088 リファレンス デザイン ボード
- 12V と 7A に対応可能な DC 電源 (TIDA を完全に負荷しない場合には 4A で十分)
- 電子負荷 (44A)
- マルチメータ
- オシロスコープ
- ファンクション ジェネレータ (VCCINT 負荷ステップ)

### 4.2 テスト設定

電源を入力端子 (12V0\_SYS ラベル付き) に接続し、12V が赤いコネクタに、GND が黒いコネクタに接続されていることを確認します。電源供給時に自動的に起動するようにするには、SW1 をイネーブルに設定して、シーケンサが有効になっていることを確認します。電源がすべてシーケンシングされた後、シーケンス ダウンボタン SW3 を使用して電源をシーケンシングできます。電源は、シーケンス アップボタン (SW2) を使用して再度シーケンシングできます。

個別の電源をテストするには、電子負荷を目的の出力端子に接続します。必要に応じて、複数の負荷を同時に適用することもできます。負荷は、基板に記載されている定格出力を上回ることを意図していません。



#### 注意

高温の表面に注意してください。触れるとやけどの原因になることがあります。触れないでください！

基板の電源を入れると、一部の部品は 55°C を超える高温に達することがあります。動作中は常に、また動作直後も高温の状態が続く可能性があるため、基板に触れてはいけません。

## 4.3 テスト結果

### 4.3.1 ディスクリート降圧レギュレータ (VCCINT)

#### 4.3.1.1 0V8

特に記述のない限り、[図 4-1](#) ~ [図 4-27](#) では  $V_{IN} = 12V$

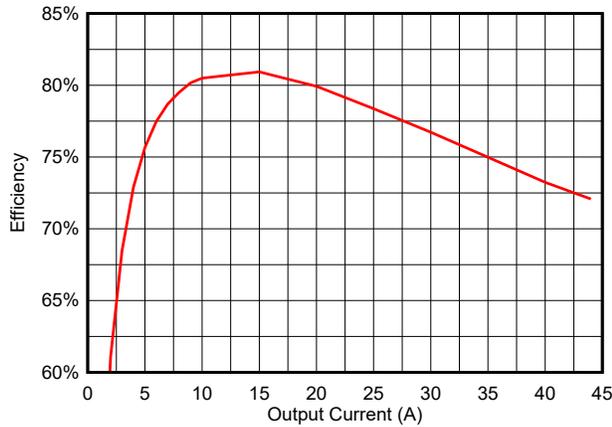
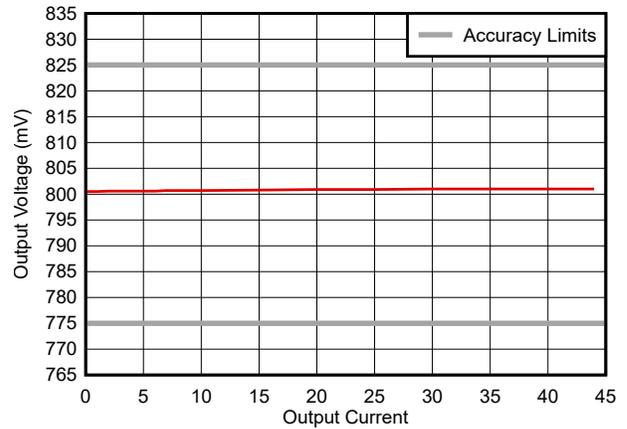
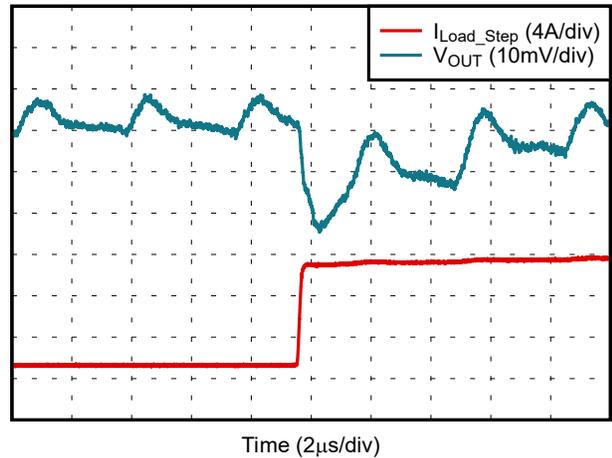


図 4-1. 効率



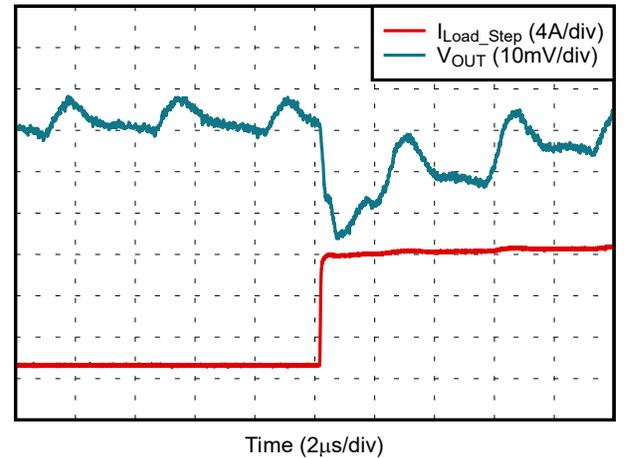
ローカル グランド

図 4-2. ロードレギュレーション



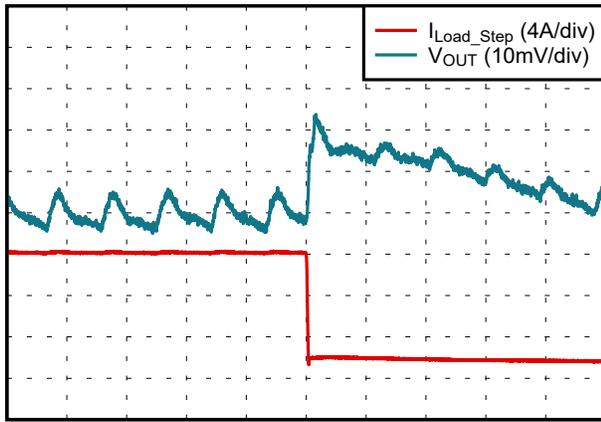
$V_{OUT(drop)} = 24.8mV$ 、 $I_{LOAD\_STEP}$  は、R38 負荷ステップ抵抗の両端の電圧を使用して測定されます。20A DC 電流は測定されません

図 4-3. 負荷ステップ: 56A/µs で 20A から 31A まで



$V_{OUT(drop)} = 26.4mV$ 、 $I_{LOAD\_STEP}$  は、R38 負荷ステップ抵抗の両端の電圧を使用して測定されます。20A DC 電流は測定されません

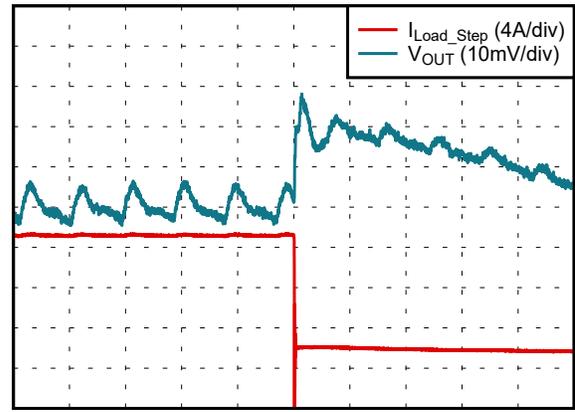
図 4-4. 負荷ステップ: 200A/µs で 20A から 31A まで



Time (4μs/div)

$V_{OUT(rise)} = 24.0mV$ 、 $I_{LOAD\_STEP}$  は、R38 負荷ステップ抵抗の両端の電圧を使用して測定されます。20A DC 電流は測定されません

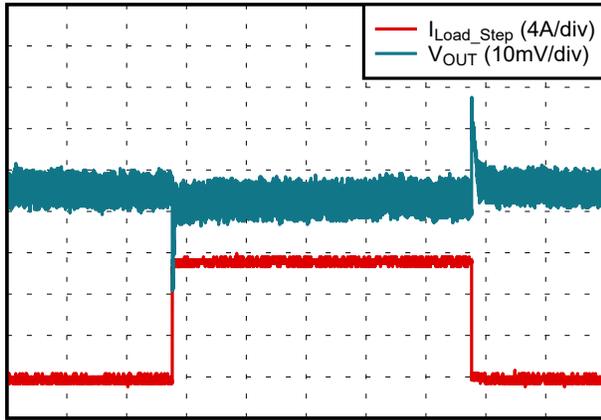
図 4-5. 負荷ステップ: 83A/μs で 31A から 20A まで



Time (4μs/div)

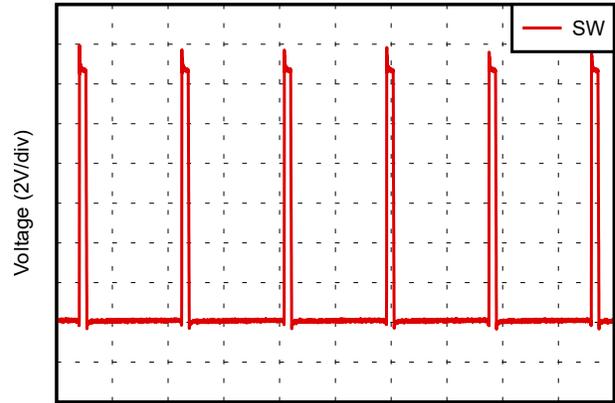
$V_{OUT(rise)} = 28.4mV$ 、 $I_{LOAD\_STEP}$  は、R38 負荷ステップ抵抗の両端の電圧を使用して測定されます。20A の DC 電流は測定されません

図 4-6. 負荷ステップ: 200A/μs で 31A から 20A まで



Time (200μs/div)

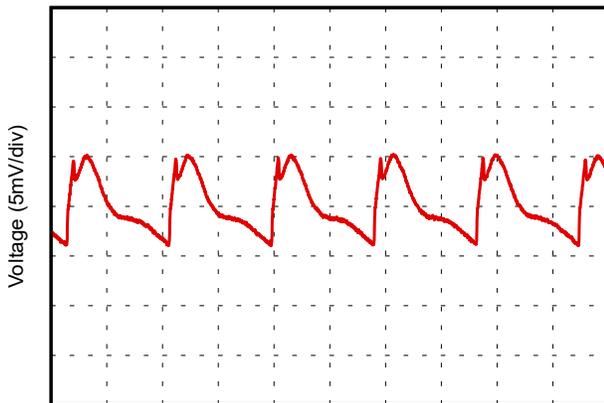
図 4-7. 負荷ステップ: 20A ~ 31A ~ 20A の負荷ステップ



Time (2μs/div)

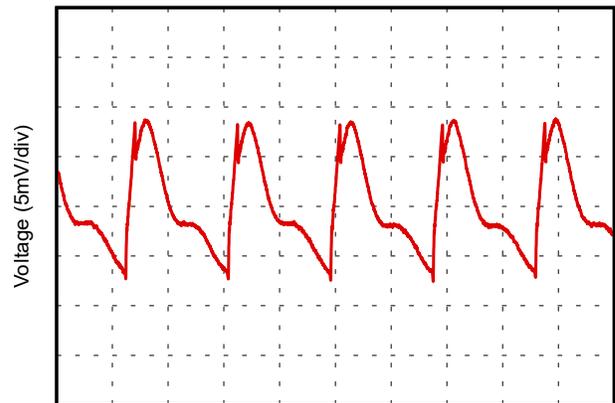
$f_{sw} = 272kHz$ 、 $I_{OUT} = 2A$

図 4-8. スイッチ ノードとスイッチング周波数



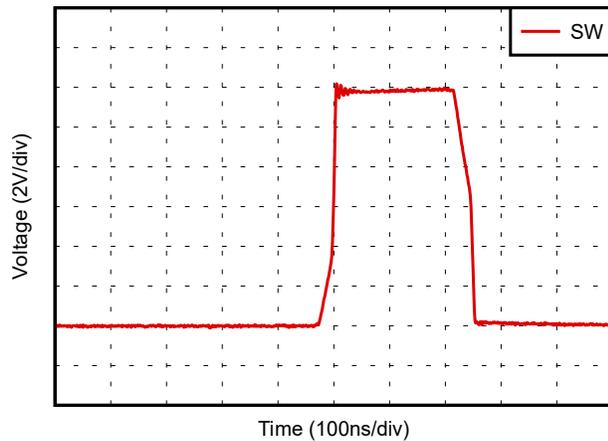
Time (2μs/div)

図 4-9. 0A 時の出力電圧リップル



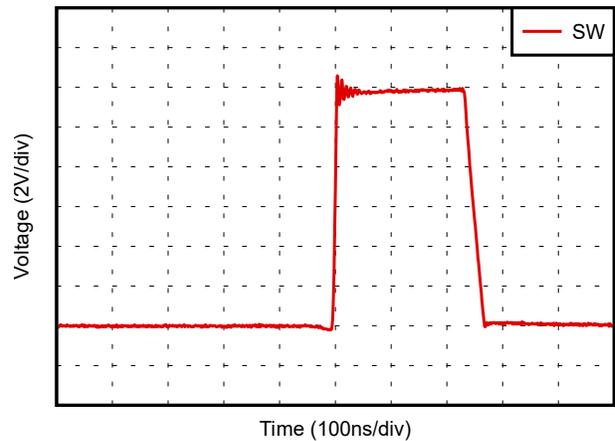
Time (2μs/div)

図 4-10. 44A 時の出力電圧リップル



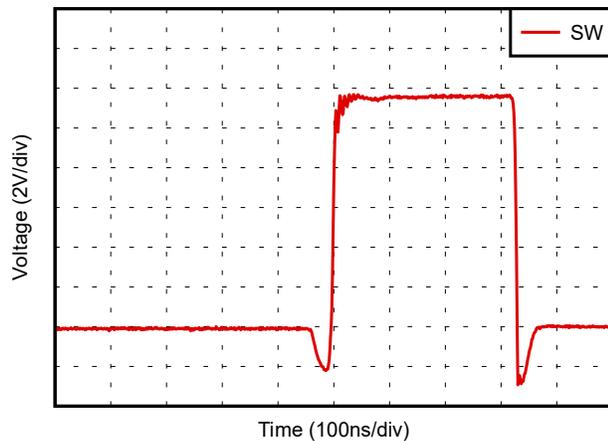
$V_{SW(max)} = 12.2V$

図 4-11. 0A 時のスイッチ ノード



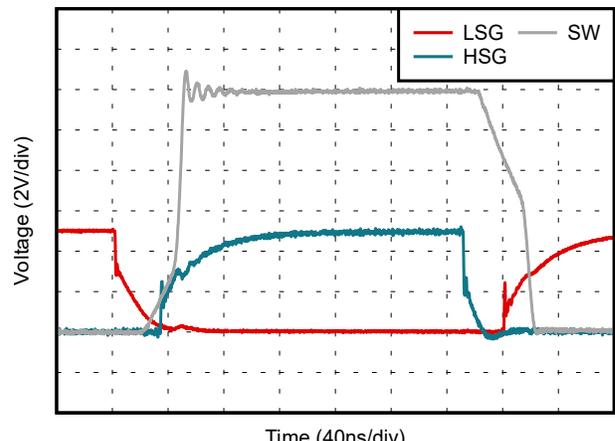
$V_{SW(max)} = 12.6V$

図 4-12. 2A 時のスイッチ ノード



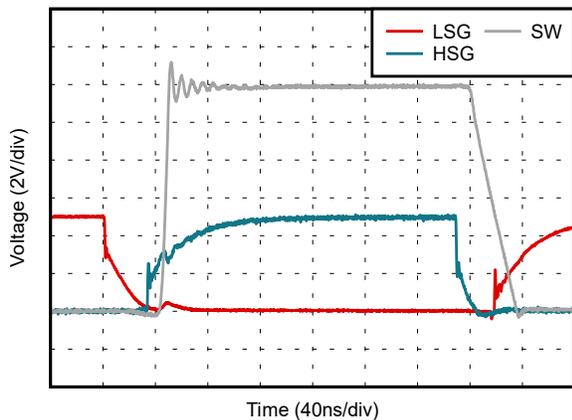
$V_{SW(max)} = 11.8V$

図 4-13. 44A 時のスイッチ ノード



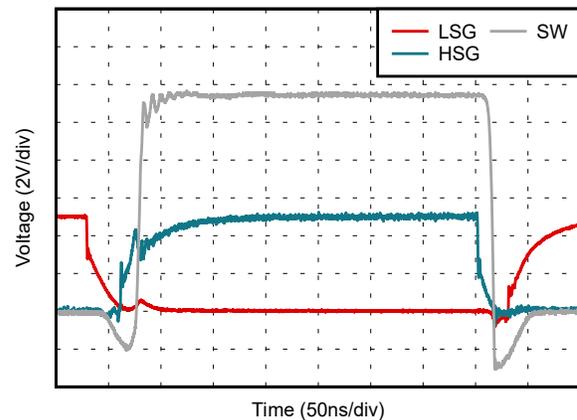
HSG は SW を基準としており、GND を基準とする測定値を使用してオシロスコープで計算されます。 $V_{HSG} - V_{SW}$

図 4-14. 0A 時のゲート信号



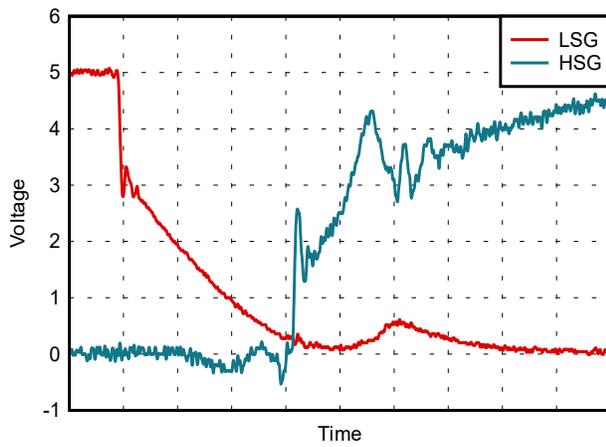
HSG は SW を基準としており、GND を基準とする測定値を使用してオシロスコープで計算されます。 $V_{HSG} - V_{SW}$

図 4-15. 2A 時のゲート信号



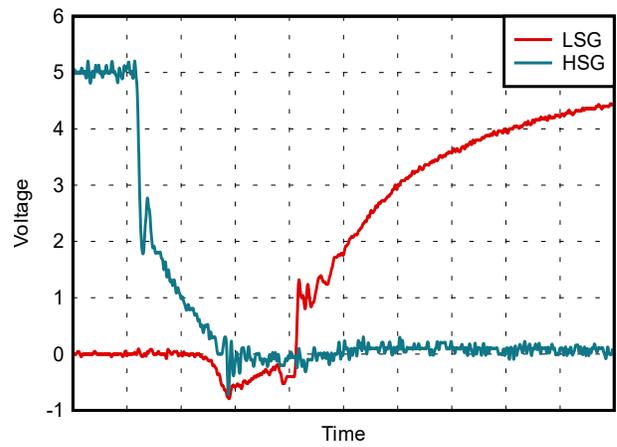
HSG は SW を基準としており、GND を基準とする測定値を使用してオシロスコープで計算されます。 $V_{HSG} - V_{SW}$

図 4-16. 44A 時のゲート信号



$I_{OUT} = 44A$

図 4-17. デッドタイム:Low から High



$I_{OUT} = 44A$

図 4-18. デッドタイム:High から Low

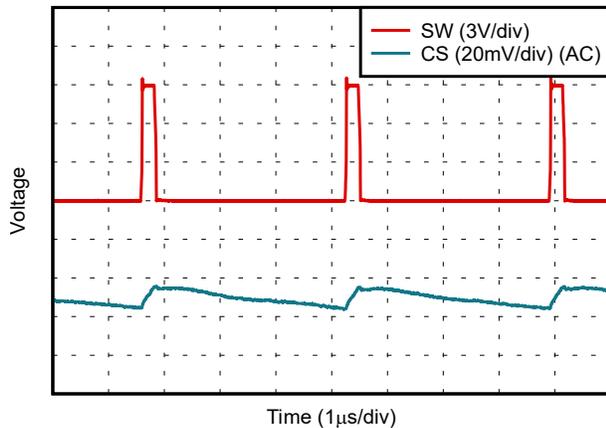


図 4-19. 0A 時の電流センス信号

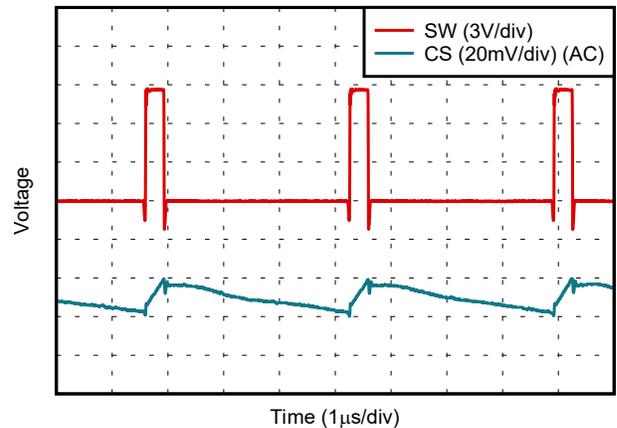
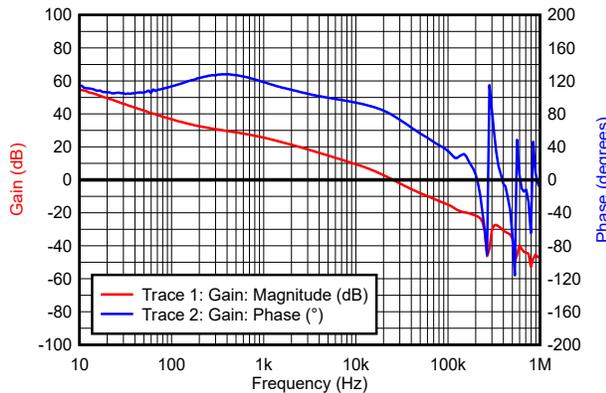
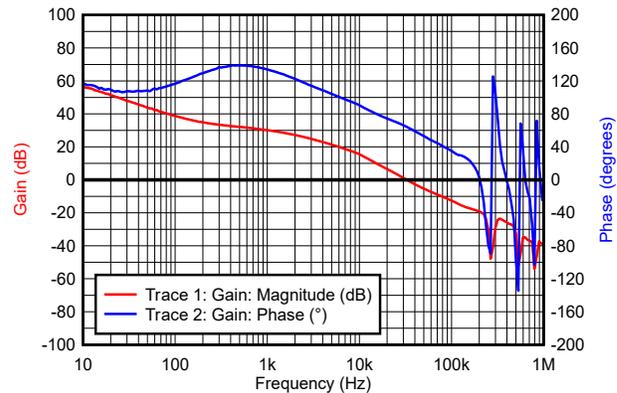


図 4-20. 44A 時の電流センス信号



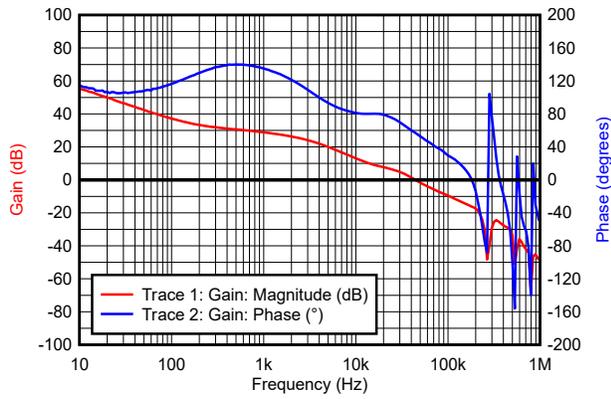
位相マージン = 78°、ゲイン マージン = 22dB

図 4-21. 100mA のボード線図



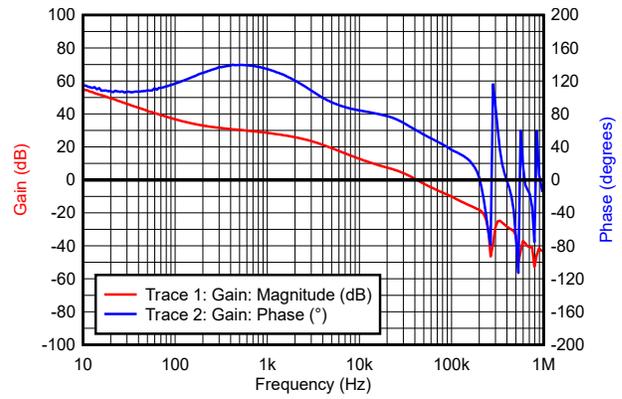
位相マージン = 64°、ゲイン マージン = 19dB

図 4-22. 10A のボード線図



位相マージン = 57°、ゲインマージン = 16dB

図 4-23. 40A のボード線図



位相マージン = 60°、ゲインマージン = 18dB

図 4-24. 44A のボード線図

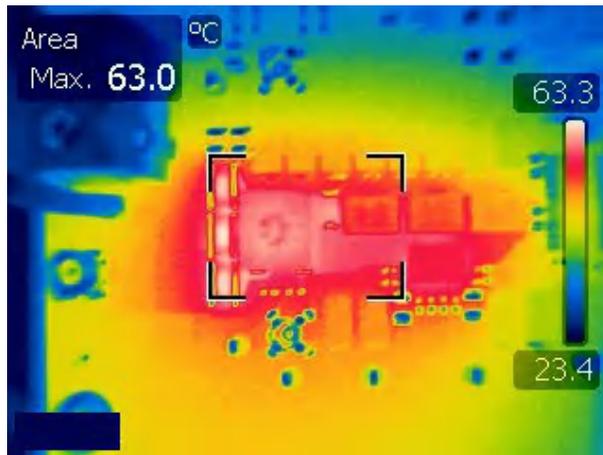


図 4-25. 30A 時のサーマル

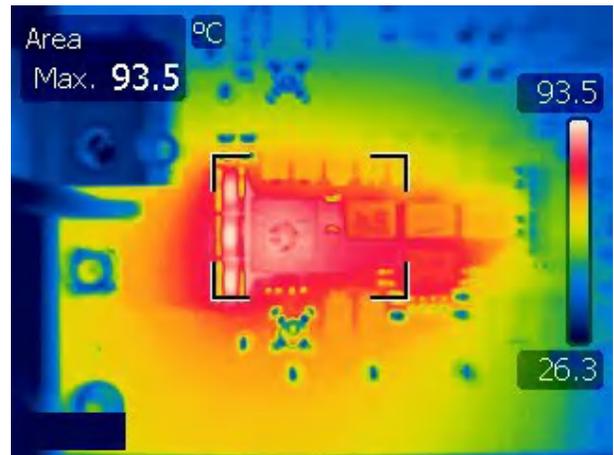


図 4-26. 40A 時のサーマル

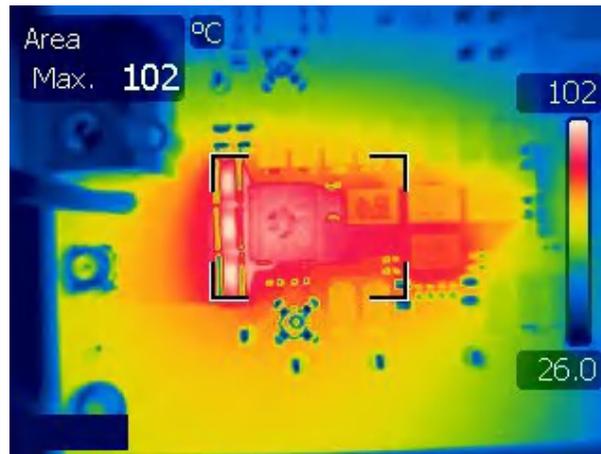


図 4-27. 44A 時のサーマル

### 4.3.2 降圧レギュレータ (内蔵)

#### 4.3.2.1 1V2

特に記述のない限り、[図 4-28](#) ~ [図 4-34](#) では VIN = 12V

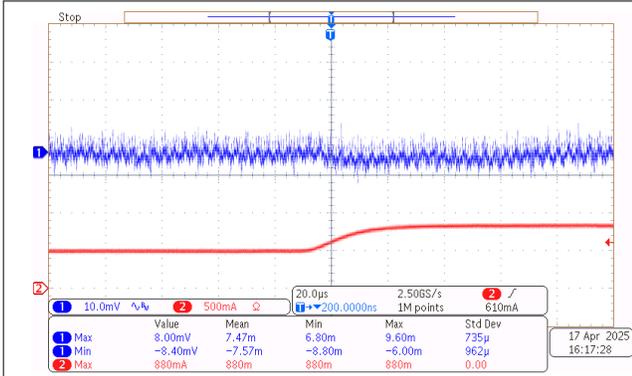


図 4-28. 負荷ステップ: 0.5A~0.83A

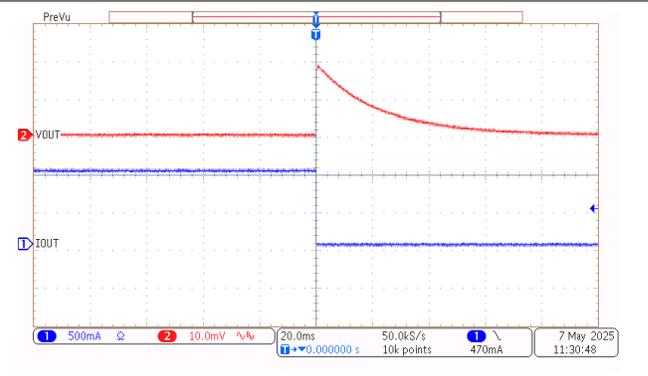
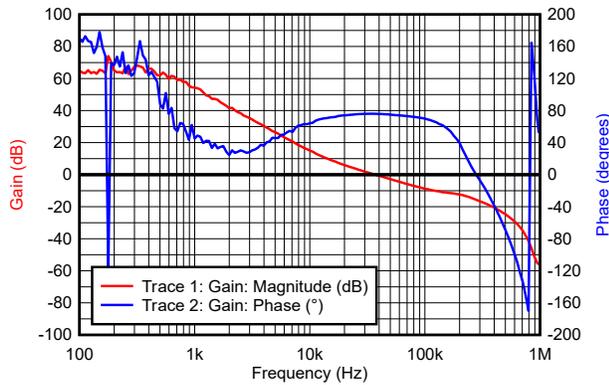
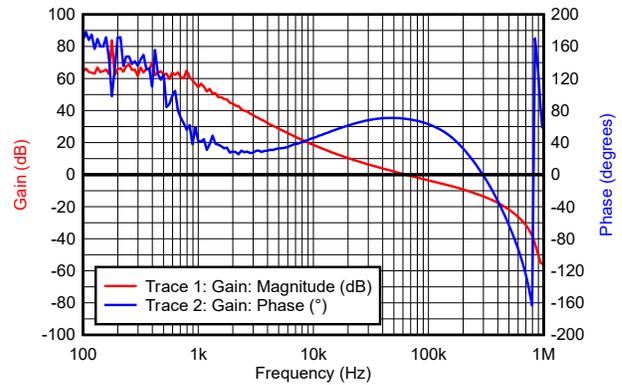


図 4-29. 負荷ステップ: 0.83A~0.5A



位相マージン = 76°、ゲインマージン = 16dB

図 4-30. 10mA のボード線図



位相マージン = 70°、ゲインマージン = 13dB

図 4-31. 2A のボード線図

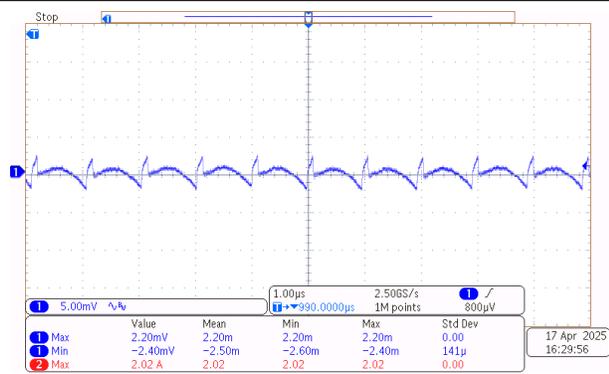


図 4-32. 2A 時の出力電圧リップル

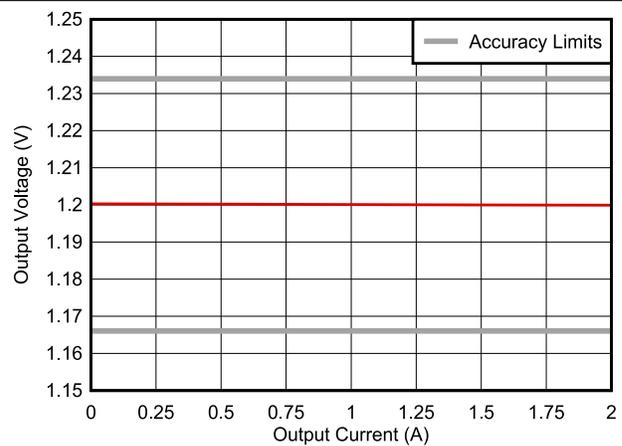


図 4-33. ロードレギュレーション: 0A ~ 2A

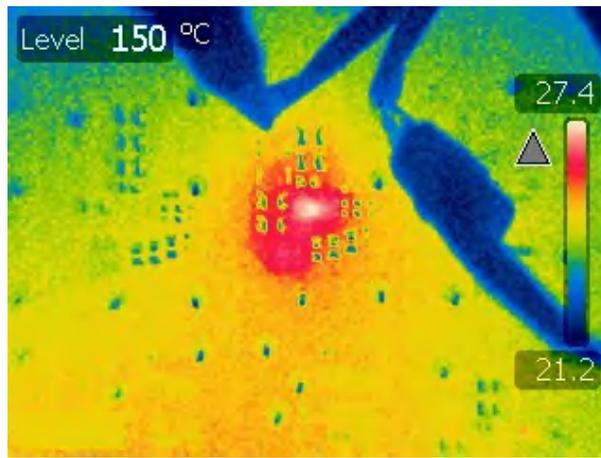


図 4-34. 2A 時のサーマル

### 4.3.2.2 1V2\_VCCO

特に記述のない限り、図 4-35 ~ 図 4-41 では VIN = 12V

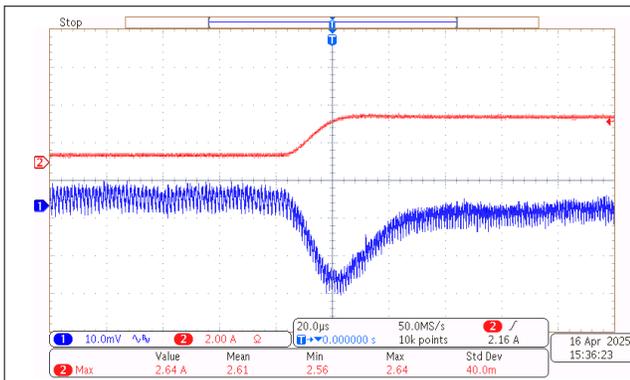


図 4-35. 負荷ステップ: 0.5A~2.5A

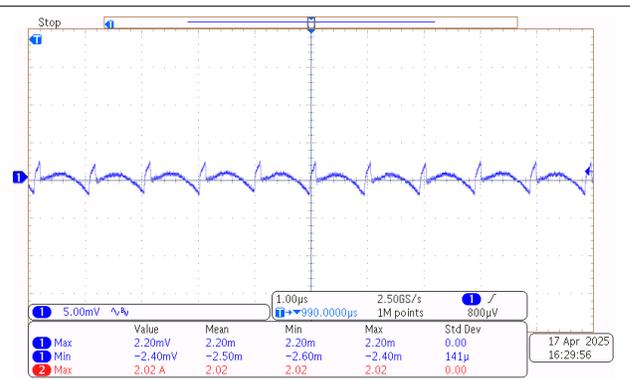
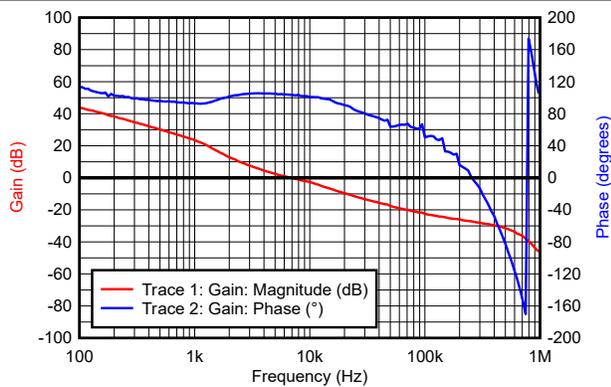
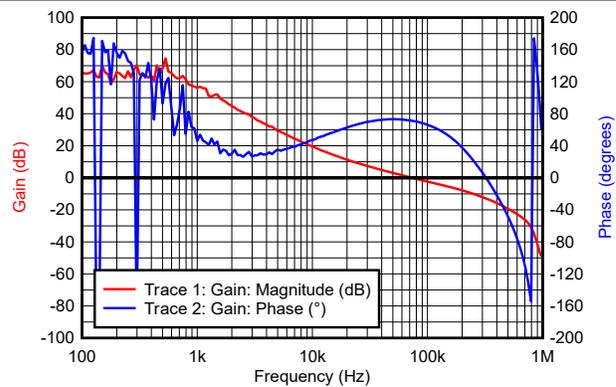


図 4-36. 負荷ステップ: 2.5A~0.5A



位相マージン = 104°、ゲインマージン = 27dB

図 4-37. 10mA のボード線図



位相マージン = 71°、ゲインマージン = 13dB

図 4-38. 4A のボード線図

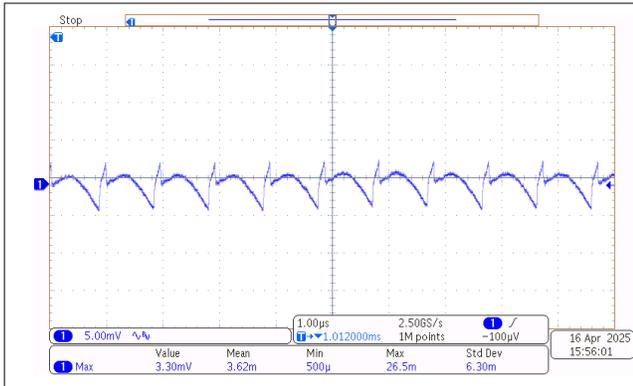


図 4-39. 4A 時の出力電圧リップル

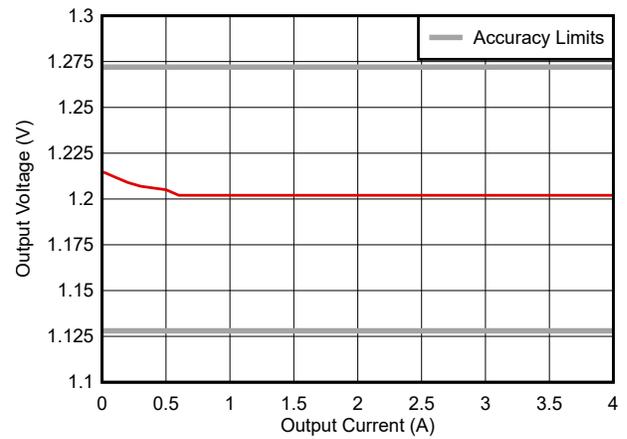


図 4-40. ロードレギュレーション: 0A ~ 4A

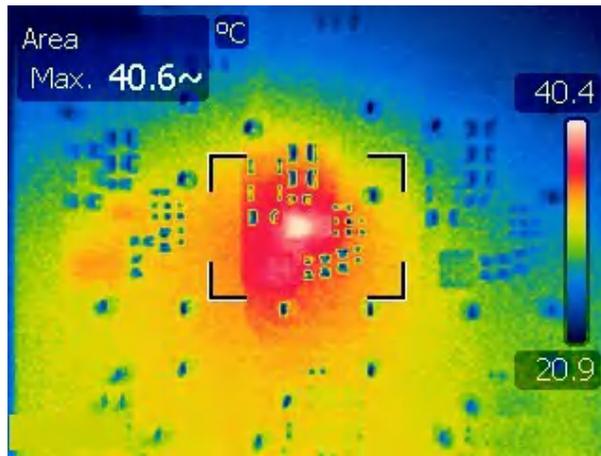


図 4-41. 4A 時のサーマル

### 4.3.2.3 1V2\_MEM

特に記述のない限り、図 4-42 ~ 図 4-48 では VIN = 12V

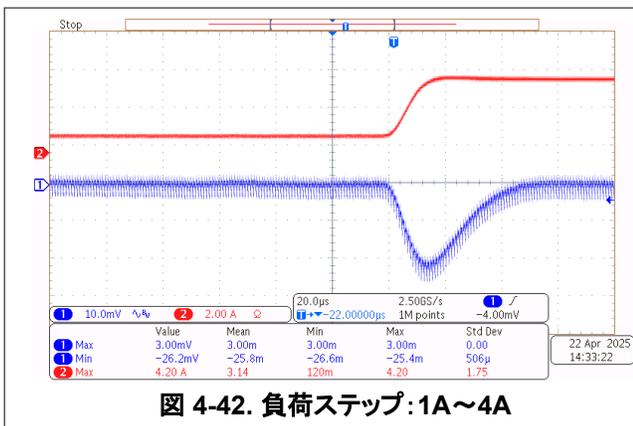


図 4-42. 負荷ステップ: 1A~4A

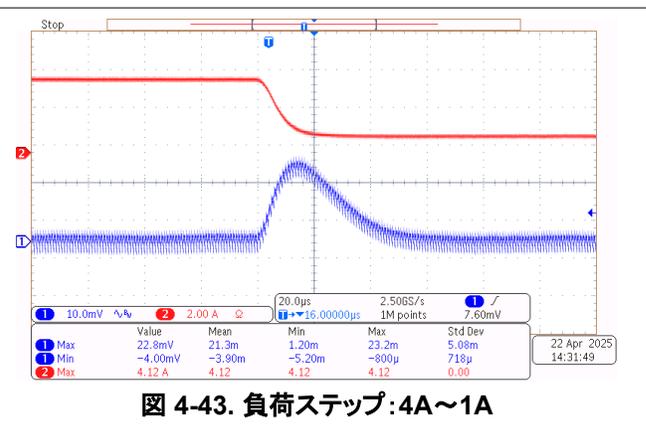
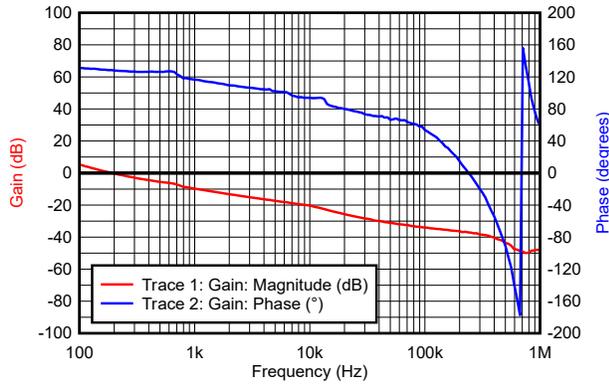
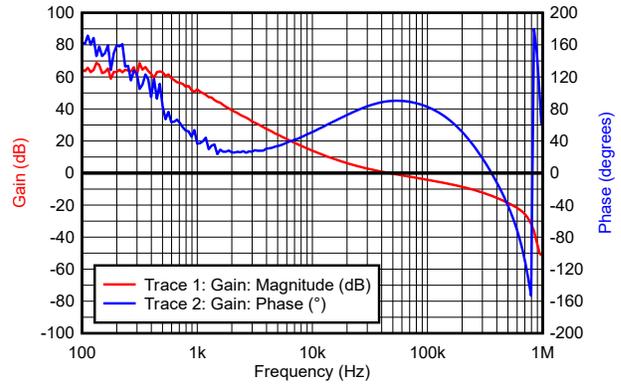


図 4-43. 負荷ステップ: 4A~1A



位相マージン = 128°、ゲインマージン = 37dB

図 4-44. 10mA のボード線図



位相マージン = 90°、ゲインマージン = 14dB

図 4-45. 6A のボード線図

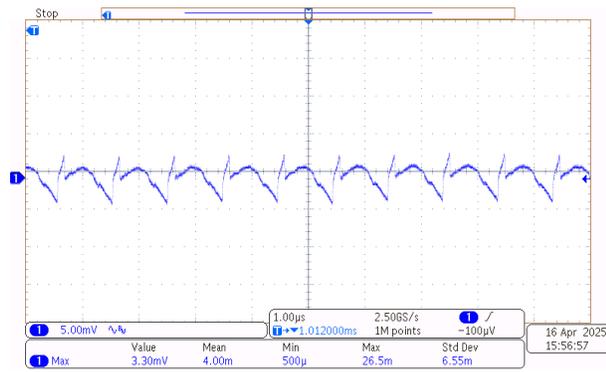


図 4-46. 6A 時の出力電圧リップル

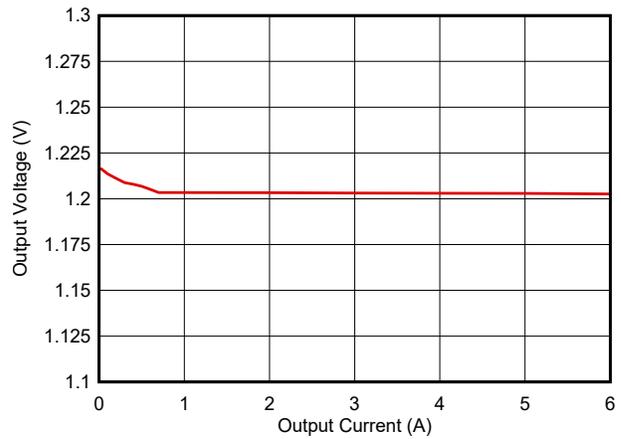


図 4-47. ロードレギュレーション: 0A ~ 6A

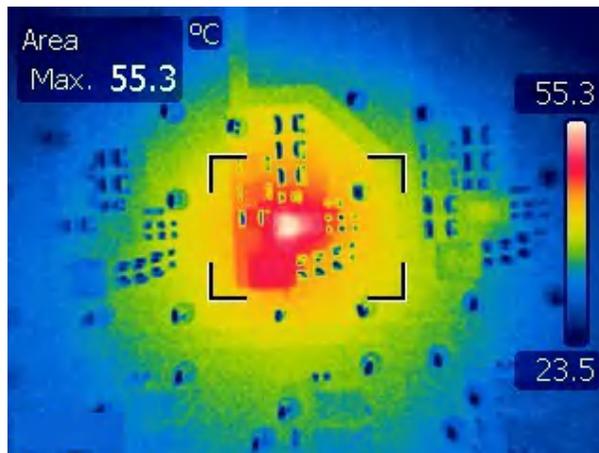
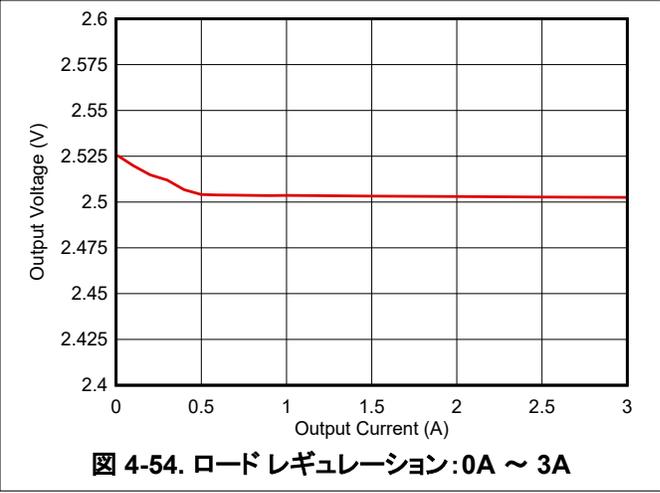
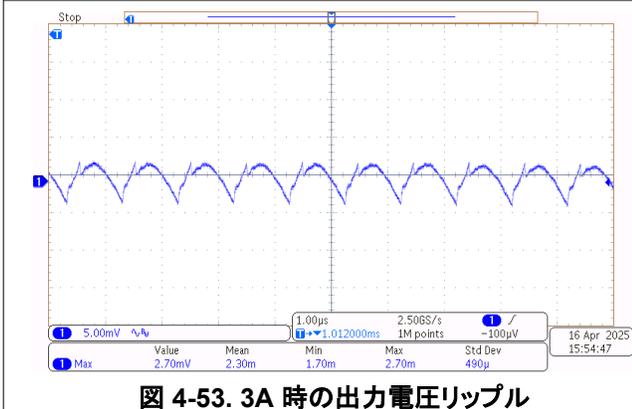
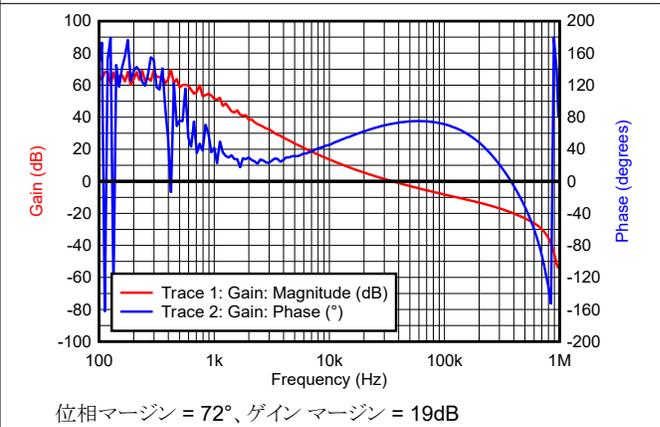
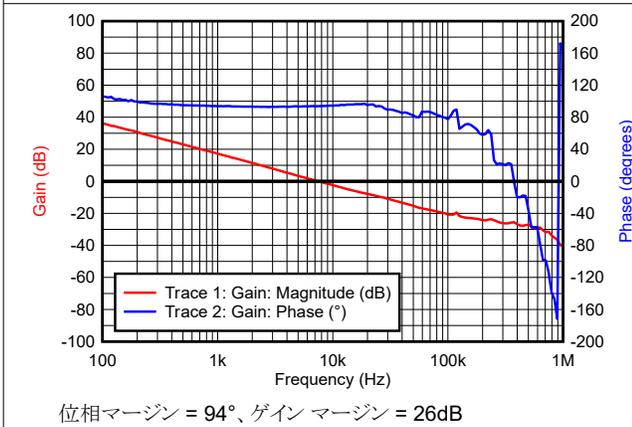
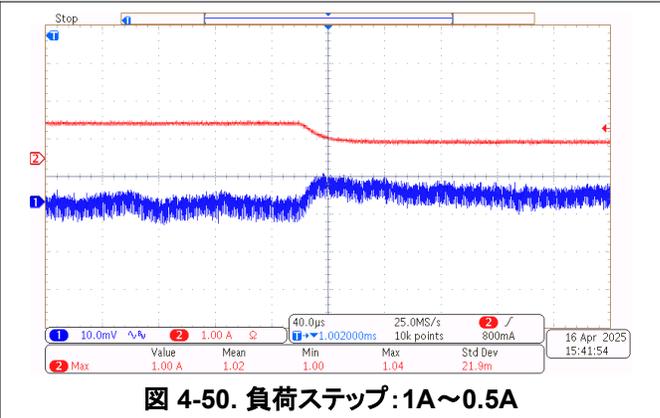
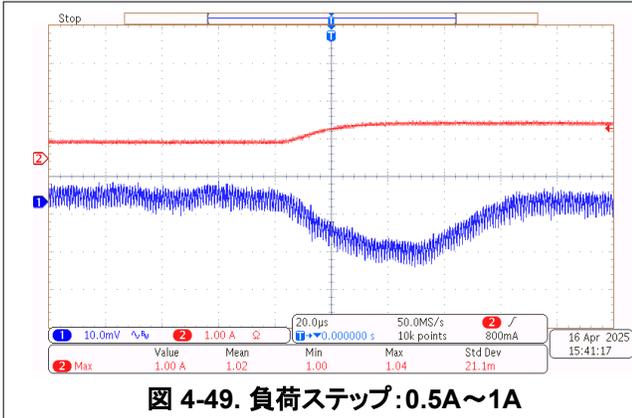


図 4-48. 6A 時のサーマル

4.3.2.4 2V5\_DDR\_VPP

特に記述のない限り、図 4-49 ~ 図 4-55 では VIN = 12V



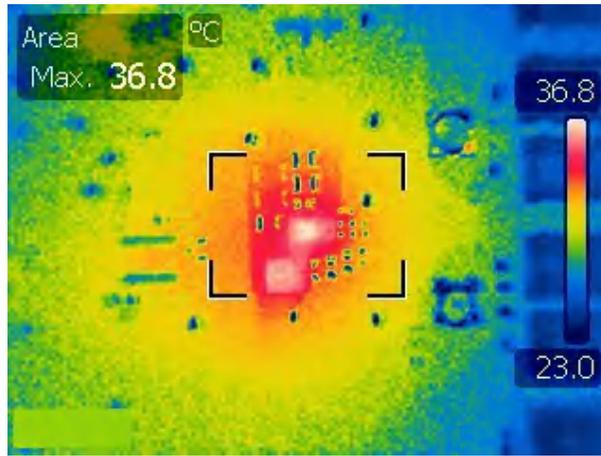


図 4-55. 3A 時のサーマル

#### 4.3.2.5 3V3\_VCCO

特に記述のない限り、図 4-56 ~ 図 4-62 では VIN = 12V

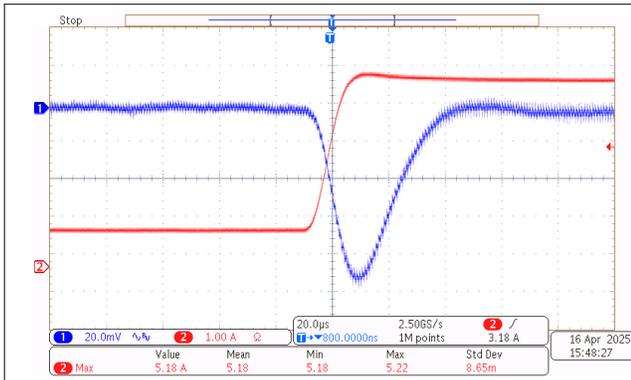


図 4-56. 負荷ステップ: 1A~5A

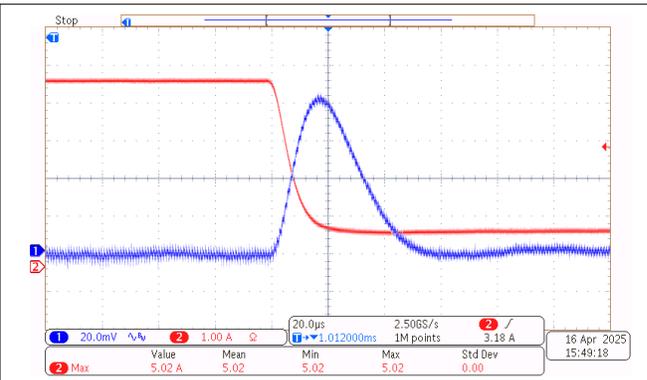
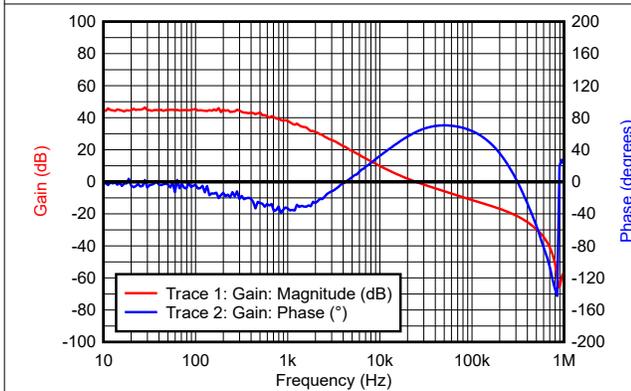
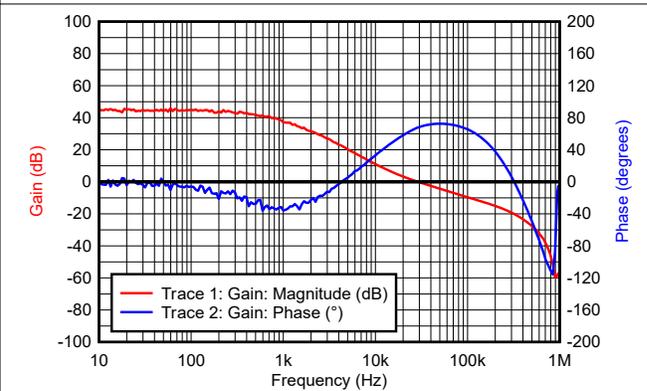


図 4-57. 負荷ステップ: 5A~1A



位相マージン TBD°、ゲインマージン = TBD dB

図 4-58. 10mA のボード線図



位相マージン = 68°、ゲインマージン = 22dB

図 4-59. 6A のボード線図

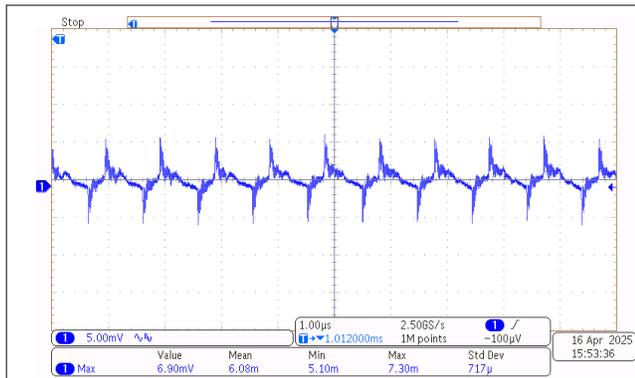


図 4-60. 6A 時の出力電圧リップル

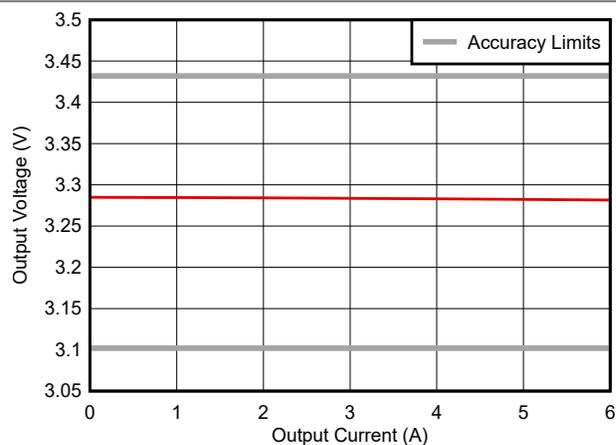


図 4-61. ロードレギュレーション: 0A ~ 6A

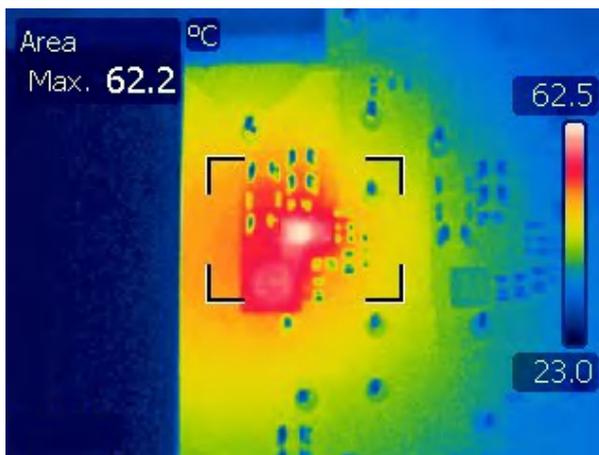


図 4-62. 6A 時のサーマル

### 4.3.3 リニアレギュレータ

#### 4.3.3.1 0V6\_VTT

特に記述のない限り、[図 4-63](#) ~ [図 4-70](#) では  $V_{IN} = 12V$ 。

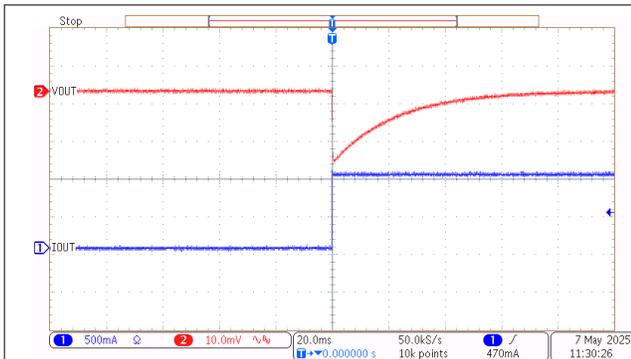


図 4-63. 負荷ステップ: 0A~1A

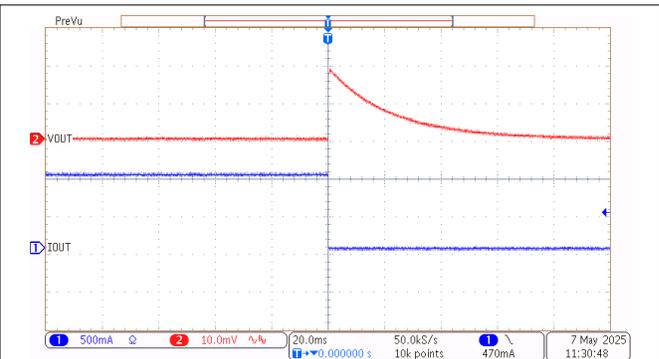
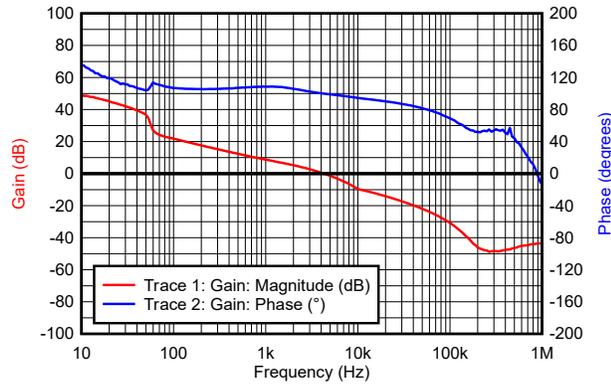
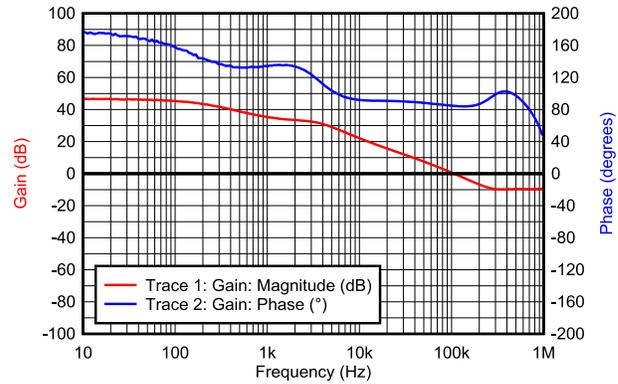


図 4-64. 負荷ステップ: 1A~0A



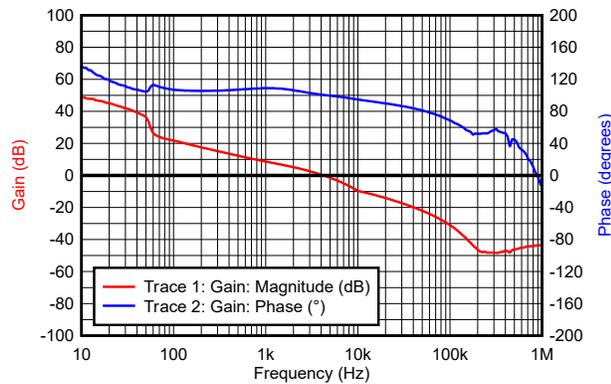
位相マージン = 100°、ゲインマージン = 44dB

図 4-65. 10mA のボード線図



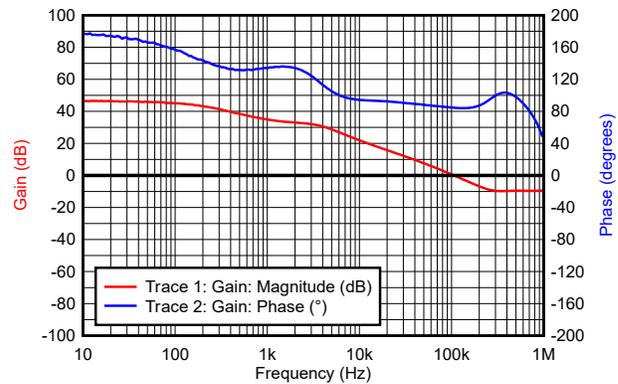
位相マージン = 85°、ゲインマージン = 9dB

図 4-66. 3A のボード線図



位相マージン = 100°、ゲインマージン = 44dB

図 4-67. -10mA のボード線図



位相マージン = 84°、ゲインマージン = 9dB

図 4-68. -3A のボード線図

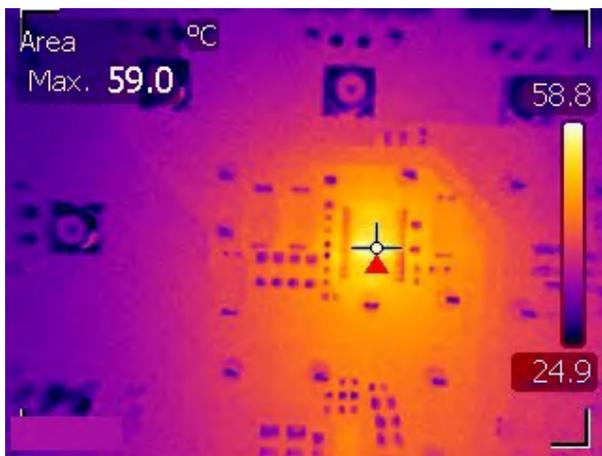


図 4-69.  $I_{VTT} = 3A$ 、 $I_{VTTREF} = 10mA$  でのサーマル

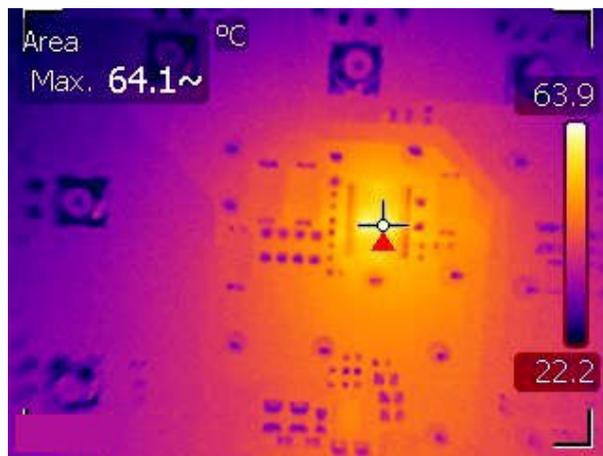


図 4-70.  $I_{VTT} = -3A$ 、 $I_{VTTREF} = -10mA$  でのサーマル

### 4.3.3.2 0V92

特に記述のない限り、図 4-71 ~ 図 4-76 では  $V_{IN} = 12V$

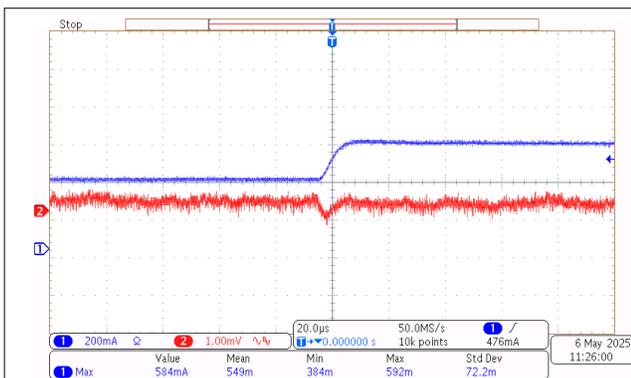


図 4-71. 負荷ステップ: 0.2A~0.395A

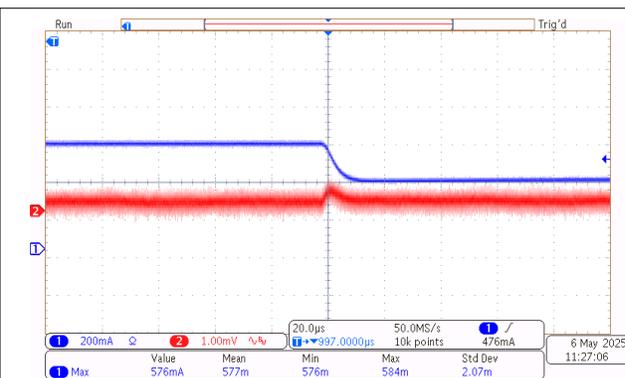
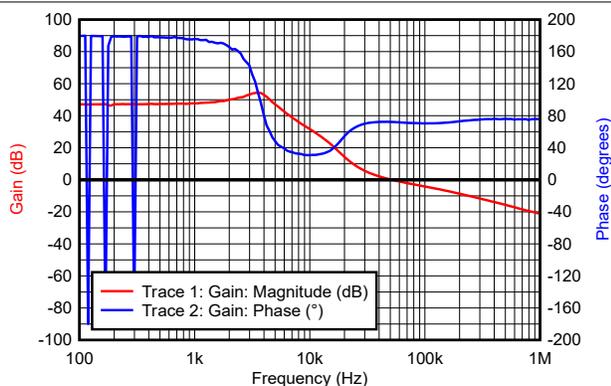
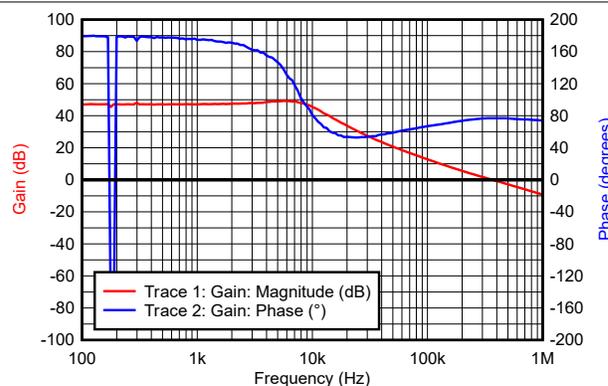


図 4-72. 負荷ステップ: 0.395A~0.2A



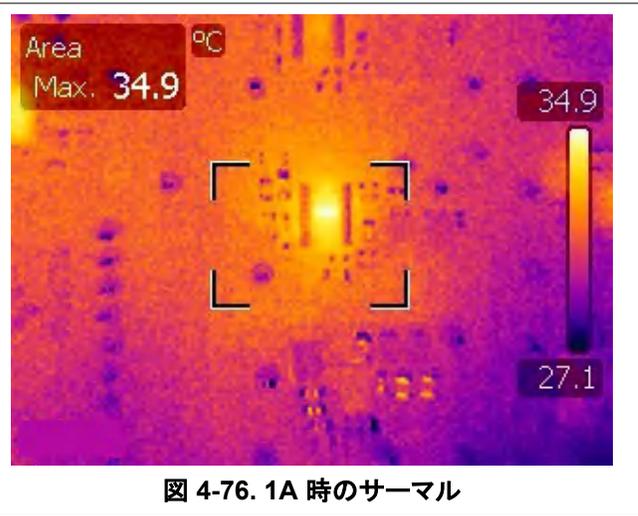
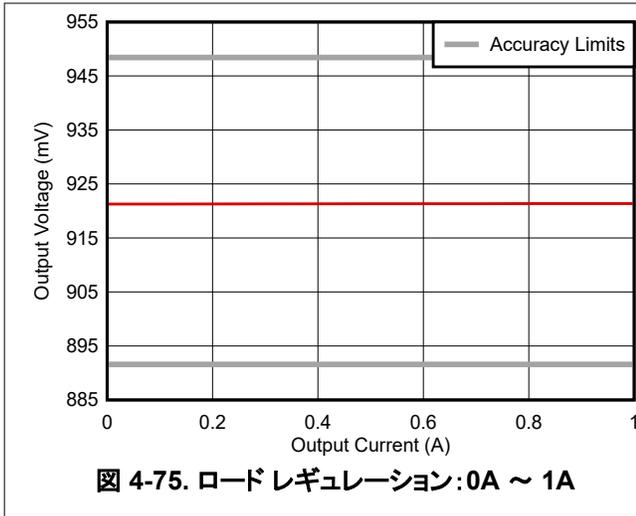
位相マージン = 72°

図 4-73. 10mA のボード線図



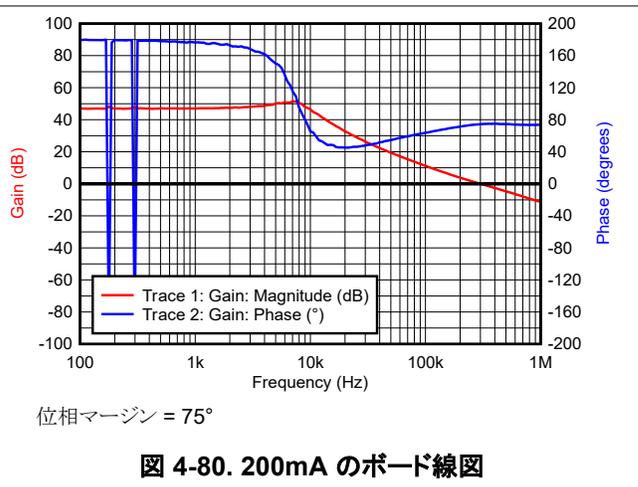
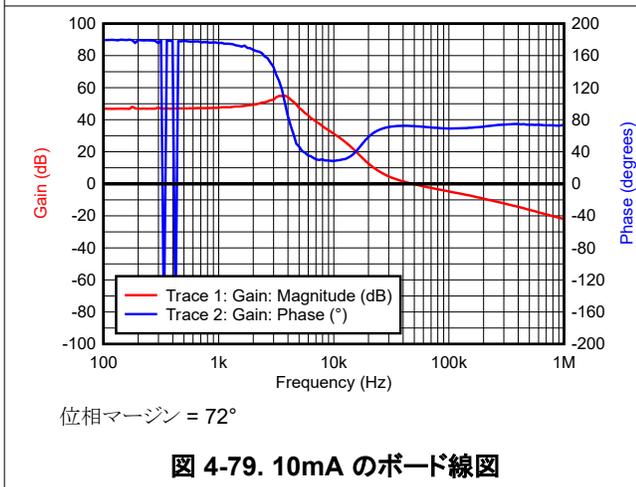
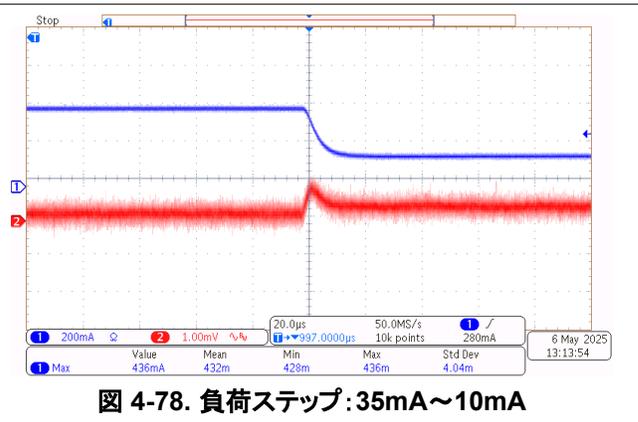
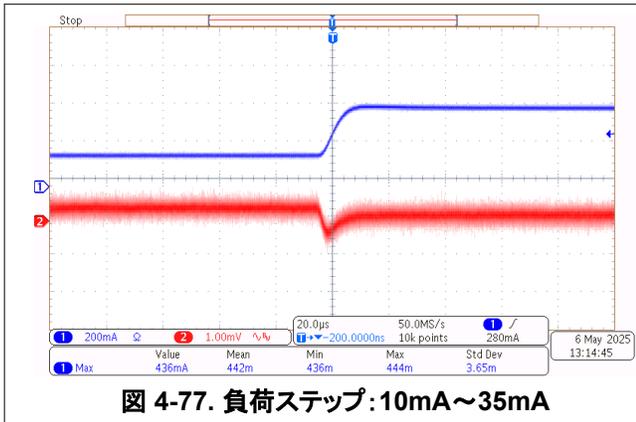
位相マージン = 77°

図 4-74. 1A のボード線図



### 4.3.3.3 1V5\_GTY

特に記述のない限り、図 4-77 ~ 図 4-82 では VIN = 12V



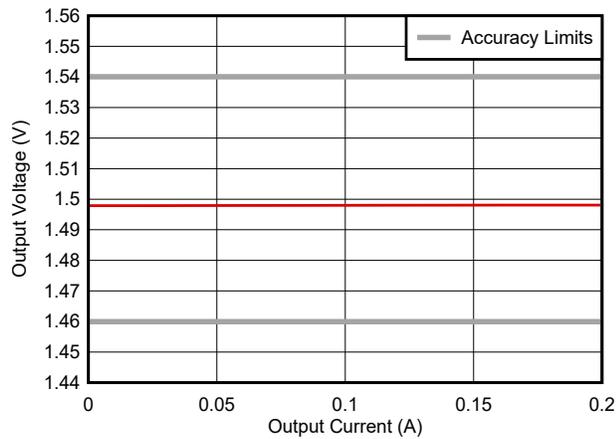


図 4-81. ロードレギュレーション: 0A ~ 1A

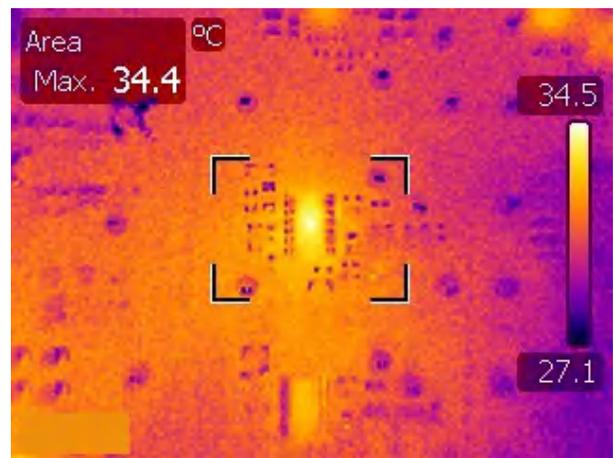


図 4-82. 200mA 時のサーマル

#### 4.3.3.4 1V5

特に記述のない限り、図 4-83 ~ 図 4-91 では VIN = 12V

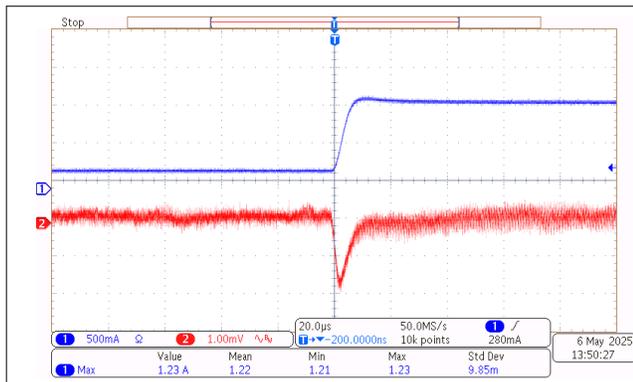


図 4-83. 負荷ステップ: 0.2A~1.1A

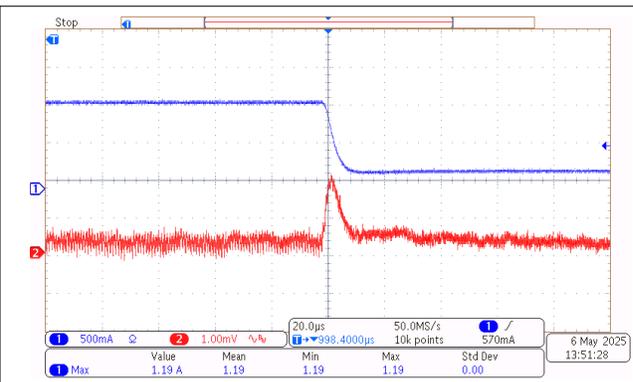


図 4-84. 負荷ステップ: 1.1A~0.2A

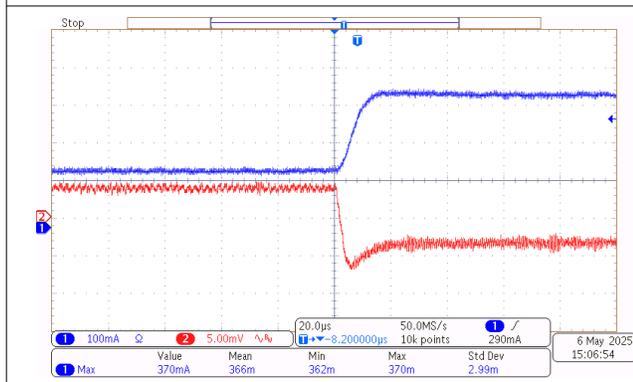


図 4-85. VCCAUX\_SMON の負荷ステップ: 0.2A~1.1A

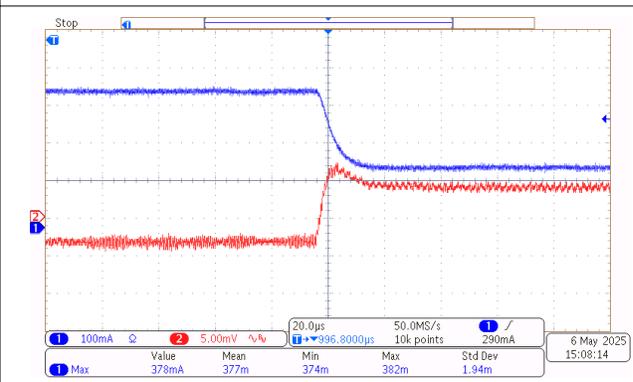
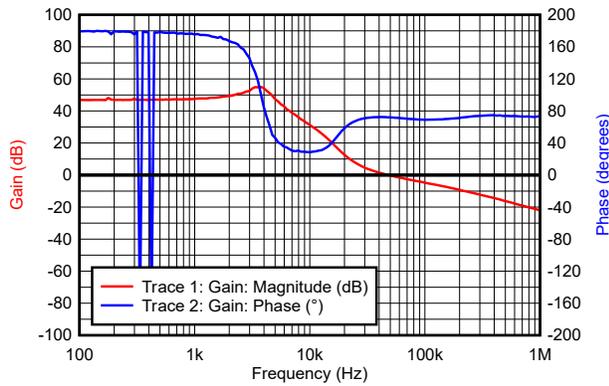
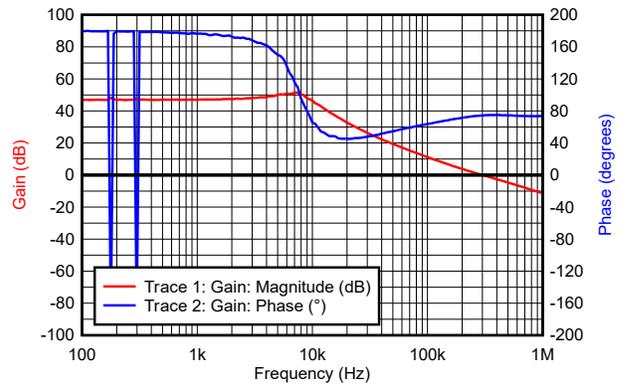


図 4-86. VCCAUX\_SMON の負荷ステップ: 1.1A~0.2A



位相マージン = 71°

図 4-87. 10mA のボード線図



位相マージン = 77°

図 4-88. 1.5A のボード線図

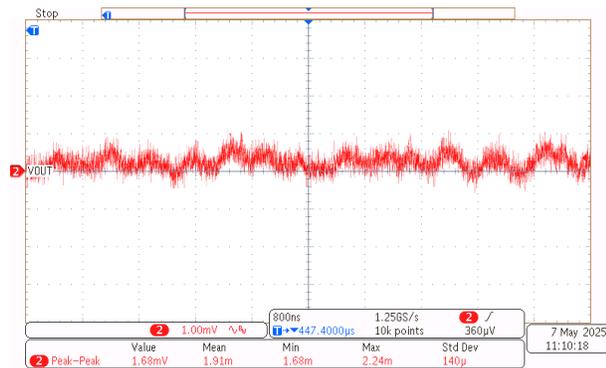


図 4-89. 1V5 の出力リップル

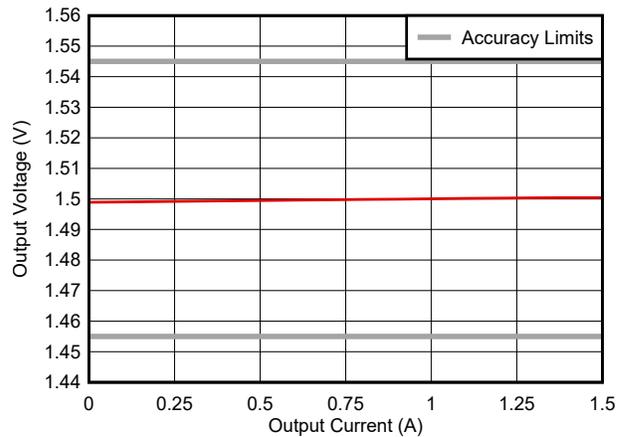


図 4-90. ロードレギュレーション: 0A ~ 1.5A

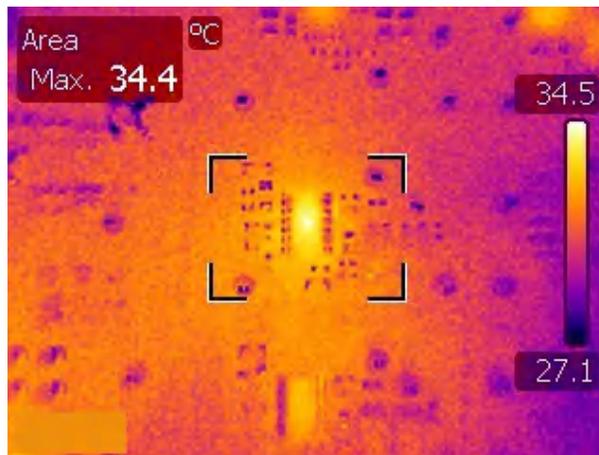


図 4-91. 1.5A 時のサーマル

### 4.3.3.5 5V0\_SYS

特に記述のない限り、[図 4-92](#) ~ [図 4-96](#) では VIN = 12V

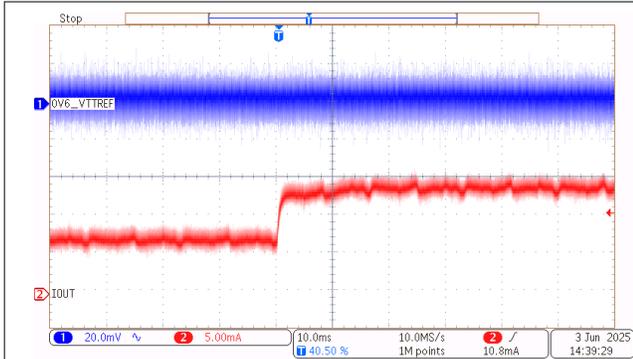


図 4-92. 負荷ステップ: 1mA~10mA

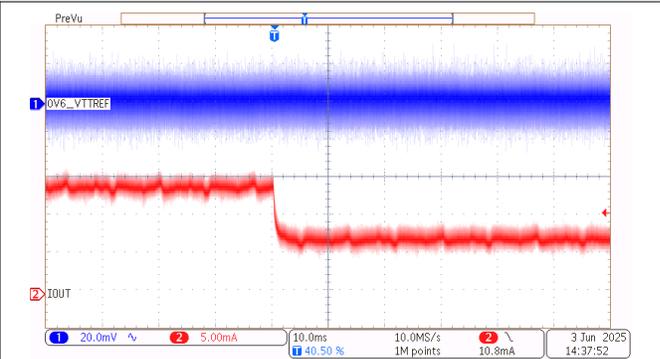
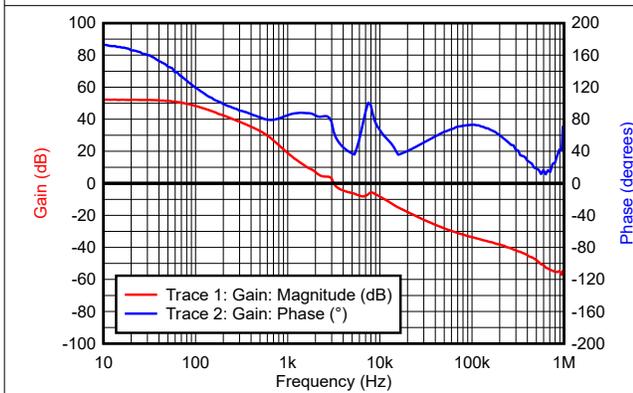
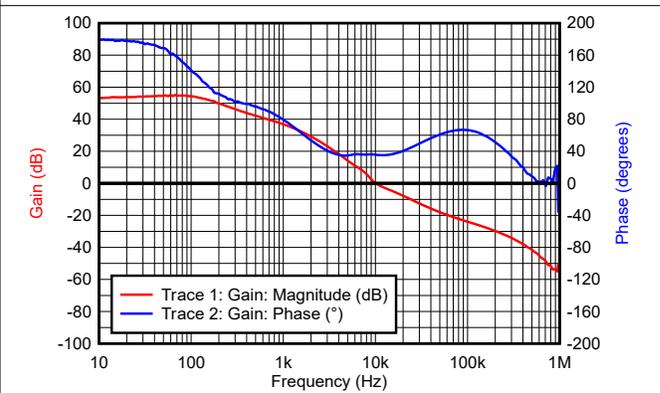


図 4-93. 負荷ステップ: 10mA~1mA



位相マージン = 63°

図 4-94. 10mA のボード線図



位相マージン = 36°

図 4-95. 50mA のボード線図

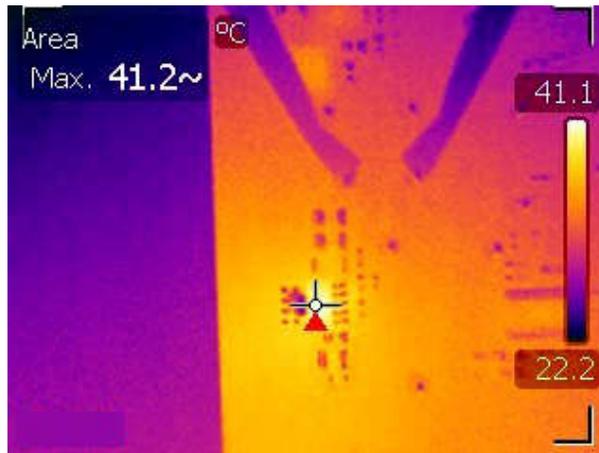


図 4-96. 50mA 時のサーマル

## 5 設計とドキュメントのサポート

### 5.1 デザイン ファイル

#### 5.1.1 回路図

回路図をダウンロードするには、[TIDA-050088](#) のデザイン ファイルを参照してください。

#### 5.1.2 BOM

部品表 (BOM) をダウンロードするには、[TIDA-050088](#) のデザイン ファイルを参照してください。

#### 5.1.3 レイアウト プリント

レイヤ プロットをダウンロードするには、[TIDEP-01036](#) のデザイン ファイルを参照してください。

### 5.2 ドキュメントのサポート

1. テキサス インスツルメンツ、『[TPS7H500x-SEP](#) 宇宙用強化プラスチックに搭載された耐放射線 2MHz 電流モード PWM コントローラ』データシート
2. テキサス インスツルメンツ、『[TPS7H60x5-SP](#) および [TPS7H60x5-SEP](#) 放射線耐性保証、ハーフブリッジ GaN FET』ゲートドライバデータシート
3. テキサス インスツルメンツ、『[TPS7H1111-SP](#) および [TPS7H1111-SEP](#) 1.5A、超低ノイズ、高 PSRR の耐放射線低ドロップアウト (LDO) リニアレギュレータ』データシート
4. テキサス インスツルメンツ、『[TPS7H4010-SEP](#) 宇宙用強化プラスチックに搭載された耐放射線特性 3.5V~32V、6A 同期整流降圧コンバータ』データシート
5. テキサス インスツルメンツ、『[TPS73801-SEP](#) 宇宙用強化プラスチックに搭載された 1A、低ノイズ、高速過渡応答、低ドロップアウトレギュレータ』データシート
6. テキサス インスツルメンツ、『[TPS7H3302-SP](#) および [TPS7H3302-SEP](#) 3-A DDR 耐放射線特性終端レギュレータ』データシート
7. テキサス インスツルメンツ、『[TTPS7H3014-SP](#) および [TPS7H3014-SEP](#) 耐放射線特性、14V、4 チャンネル シークンサ』データシート
8. テキサス インスツルメンツ、『[TPS7H2221-SEP](#) 耐放射線性、5.5V、1.25A、115mΩ 負荷スイッチ』データシート
9. テキサス インスツルメンツ、『[SN54SC6T14-SEP](#) 耐放射線性、統合変換機能搭載ヘキサ シュミットトリガ インバータ』データシート

### 5.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

### 5.4 商標

Versal™ is a trademark of AMD.

テキサス・インスツルメンツの™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

Kemet™ is a trademark of Kemet Electronics Corporation.

すべての商標は、それぞれの所有者に帰属します。

## 6 著者について

テキサス インスツルメンツで宇宙電力製品ラインのシステム マネージャーを務める **KYLE RAKOS** は、耐放射線特性と放射線耐性を備えた電力部品のロードマップに関する責任をになっています。2017 年にパデュー大学でコンピュータ工学の理学士号を取得しています。同氏は、この設計と論文の作成に協力した Daniel Hartung、Bhavika Kagathi、Elizabeth Ann Won に感謝の意を表明しています。

## 重要な注意事項

### 実験、評価、開発、およびプロトタイプハードウェアはリリースされていません

この重要な通知 (以下、「本通知」といいます) は、設計者であるお客様 (以下、「設計者」といいます) に対して、同梱のハードウェア (以下、「本ハードウェア」といいます) は TI の社内ハードウェア リリース プロセスの対象ではないこと、およびお客様の要請によりプロトタイプとしてのみ、および/または実験、評価、開発目的でのみ提供されていることを通知するものです。本ハードウェアは、設計者が最終製品に組み込むことを意図したのではなく、本ハードウェアを最終製品に組み込むことはできません。

有害な物質や材料が含まれているかどうかについて、本ハードウェアは評価を受けていません。設計者の所在地の適用法または規則に準拠して本ハードウェアを適切にリサイクルまたは廃棄する責任は設計者が単独で負うものとします。

本ハードウェアは、電気部品、機械部品、システム、サブシステムの取り扱いに伴う危険性と適用リスクを熟知している技術的に適格な電子工学の専門家のみが使用することを意図しています。設計者またはその従業員、関連会社、請負業者、代表者、または指定人による本ハードウェアの適切かつ安全な取り扱いと使用について、および予見可能または予見不可能な不適切または危険な取り扱いと使用については、設計者がすべての責任および賠償責任を負うものとします。本ハードウェアと人体の接点 (電子的および/または機械的) に関して、適切な絶縁が施されていること、および接触し得るリーク電流を安全に制限して感電の危険を最小限に抑える手段が確保されていることを保証する責任と賠償責任はすべて設計者が負うものとします。

本ハードウェアが 50VAC/75VDC 以上の電圧で使用されるように設計されている場合、設計者は本ハードウェアを使用する前に、付属の『テキサス インストルメンツの一般的な高電圧評価 (TI HV ハードウェア) ユーザー安全ガイドライン』の添付文書を確認する必要があります。

本ハードウェアの輸出、再輸出、および移転は、米国の輸出管理および制裁の対象となります。これには、米国商務省産業安全保障局 (以下、「BIS」といいます) の輸出管理規則 (以下、「EAR」といいます) (連邦規則集第 15 編第 730-774 条) に基づく規制、および米国財務省外国資産管理局 (以下、「OFAC」といいます) の外国資産管理規則 (連邦規則集第 31 編第 500 条) に基づく規制が含まれますが、これらに限定されるものではありません。本ハードウェアを輸出、再輸出、または移転する場合は、設計者は常に適用されるすべての法律および規制を遵守すること、およびその子会社が当該法規制を遵守していることを確認することを認識し、これに同意するものとします。

設計者は、BIS、OFAC、または他の適切な米国政府機関からの事前の許可なしに、または EAR および他の適用される米国政府規制に準拠することなく、EAR 第 740 章付則 1 の国グループ E で定義される米国の禁輸、制裁、または制限対象国、あるいは EAR 第 744 章付則 4 に記載される団体または企業に本ハードウェアを販売、輸出、再輸出、移転、または再販しないことを認識し、これに同意するものとします。さらに、設計者は、米国政府によって輸出活動への関与を禁止されている個人または団体 (以下、総称して「禁輸対象者」といいます) に本ハードウェアを輸出、再輸出、移転、または再販しないことを認識し、これに同意するものとします。禁輸対象者とは、米国商務省の Denied Persons List および Entity List, the Directorate of Defense Trade Controls' List of Statutorily Debarred Parties ならびに米国財務省の List of Specially Designated Nationals に掲載された個人または組織を指しますが、これらには限りません。さらに、設計者は、OFAC からの適切な許可なしに、直接的か間接的かを問わず、TI の代理として、または TI の利益のために、禁輸/制裁対象国または禁輸対象者からの商品、サービス、技術を米国に輸出、再輸出、移転 (SSZZ034 ページ 2) しないことに同意するものとします。上記の米国の禁輸/制裁または制限対象国、団体、あるいは禁輸対象者のリストは変更される場合があります。

設計者は、他の法律および規制 (欧州委員会規制または他の国内規制など) に従い、他の最終用途/エンド ユーザーに関して適用される他すべての制限を遵守することを認識し、これに同意するものとします。

適用可能な範囲において、設計者はいかなる状況下においても以下の取引を行わないことを約束するものとします。(a) 適用される制裁リストに掲載される個人、組織、または機関が関与する取引、(b) 禁輸国が関与する禁止取引、および (c) 許可要件の対象となる場合で、必要な輸出許可が付与されていない取引。設計者はまた、本規約に基づいて TI から取得した本ハードウェアを輸出、再輸出、または移転する前に、必要な輸出許可を取得することに同意するものとします。各当事者は、各当事者が本規約に基づく義務を履行する上で必要となる許可および輸出入書類を自己費用で確保するものとします。さらに、設計者は、輸出目的で設計者から本ハードウェアを入手すると考えられる理由がある個人、企業、または団体に対して、当該の法律および規制に従う必要があることを通知するものとします。TI が政府の承認を取得できない場合は、TI は本規約に基づく義務の履行を終了またはキャンセルする場合、あるいは他の方法で免除される場合があります。

前述の一般規定に制限されることなく、設計者は、BIS、OFAC、または他の適切な米国政府当局から事前の許可を得ることなく、かつ EAR および他の適用される米国の規制に準拠することなく、EAR 第 740 章付則 1 の国グループ D1 で定義される国の軍事関連の最終用途、および軍事関連のエンド ユーザーのために、本ハードウェアを輸出、再輸出、移転、購入、または再販しないことに同意するものとします。「軍事関連の最終用途」とは、米国軍需品リスト(「USML」)(米国連邦規制基準 22 第 121 条国際武器取引規則)または国際軍需品リスト(「IML」)(ワッセナー アレンジメントの Web サイト(www.wassenaar.org)参照)に記載されている軍需品に組み込まれる品目、または、輸出規制品目分類番号(「ECCN」)で分類され「A018」で終了する商品もしくは「600 シリーズ」ECCN に分類される商品を指します。「軍事関連のエンド ユーザー」とは、それぞれの国の軍隊(陸軍、海軍、海兵隊、空軍、沿岸警備隊など)、および国家警備隊、国家警察、国家諜報機関もしくは偵察機関、または自身の行動または機能が軍事関連の最終用途を支援することを意図する個人または法人を指します。さらに、設計者は、米国政府の許可を得ることなく、間接的か直接的かを問わず、本ハードウェアを核兵器、化学兵器、生物兵器、またはミサイル技術を設計、開発、製造、または利用することを目的として輸出、再輸出、移転、または再販しないことを認識し、これに同意するものとします。

本ハードウェアを軍事最終用途品目に統合することに関連する支援またはサービスの提供を設計者が TI に要請する場合は、輸出管理の目的で TI の書面による事前の承認が必要であり、TI が設計者に当該支援を提供できるか否かは、必要となり得る米国政府の輸出許可を取得することが条件となります。TI は当該支援またはサービスを提供する義務を負わないものとします。SSZZ034 ページ 3

TI が行うハードウェアの輸出分類はすべて、TI の社内使用のみのためになされるものであり、そのハードウェアの輸出分類として適切であるか、または当該ハードウェアの輸出のために輸出許可が必要かどうかを表明または保証するものではありません。

TI ハードウェアは「現状有姿」かつすべての欠陥が含まれた状態で提供されます。TI は、明示的か黙示的かを問わず、ハードウェアまたはその使用に関するすべての保証または表明を否認します。これには、特定目的への適合性および第三者の知的財産権の非侵害に関する黙示的な保証が含まれますが、これらに限定されるものではありません。

TI は、ハードウェアの使用、取り扱い、または処分に関連するいかなる請求に対しても責任を負わず、設計者を弁護または補償しないものとします。いかなる場合も、本ハードウェアまたは本ハードウェアの使用に関連し、またはそれらから生じる実際上の損害、直接的損害、特別損害、付随的損害、間接的損害、懲罰的損害、偶発的損害、結果的な損害または懲戒的な損害については、TI に当該損害の可能性が知らされていたか否かに関わらず、TI が責任を負うことはないものとします。

設計者は、本通知の条件および規定に設計者が従わなかったことにより生じた損害、費用、損失、および/または責任に対して、TI およびその代表者を完全に補償するものとします

## 重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](http://ti.com) やかかるテキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

## 重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適したテキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、ます。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているテキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかるテキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2025, Texas Instruments Incorporated