

Design Guide: TIDA-050077

スタックابل eFuse 使用、4kW、12V 入力、パワーパス保護機能
のリファレンス デザイン

概要

このリファレンス デザインでは、6 個の TPS25985 eFuse デバイスを並列接続し、データ センター サーバー内にある 12V、4kW の入力パワー パス保護システムを示します。TPS25985x は、大電流回路保護とパワー マネージメント向けのコンパクトでパッケージ統合型の並列化可能なデバイスです。このリファレンス デザインの主目的は、2 つのデバイスを同じ面積に配置したときに、TPS25985 eFuse の放熱性能を実証することです。1 個は上面、もう 1 つは PCB の底面にあります。この構成では、4 つのデバイスが最上層に配置され、他の 2 つは最下層に配置されており、最上層の 2 番目と 3 番目のデバイスと直接揃えます。

リソース

TIDA-050077

デザイン フォルダ

TPS25985、LM94022

プロダクト フォルダ

SN74LVC1G123、INA241A

プロダクト フォルダ

UCC27511、TLV760

プロダクト フォルダ

CSD18510Q5B

プロダクト フォルダ



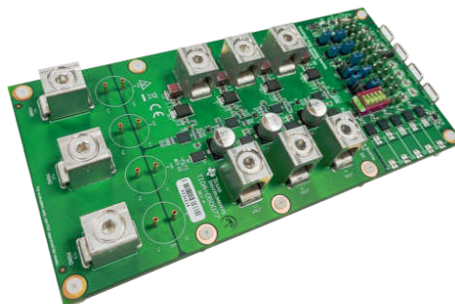
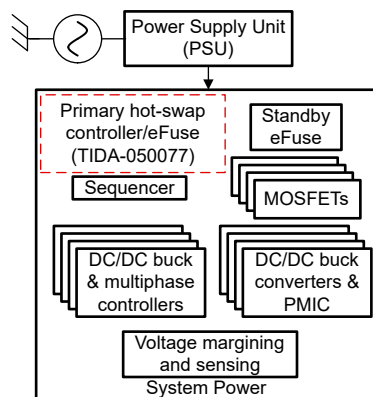
テキサス・インスツルメンツの™ E2E サポート エキスパートにお問い合わせください。

特長

- 外部からの空気の流れなしで、周囲温度 55°C の高温でも 350A_{RMS} の電流を流すことができます。
- 複数のオンボード ジャンパを使用して、220A と 330A のプログラマブル サーキット ブレーカ スレッシュホールドに対応
- パワー グッドと故障を LED でステータス表示
- イネーブル電源サイクルとクイック出力放電 (QOD) を開始するオプション
- オンボードの MOSFET (金属酸化膜半導体電界効果トランジスタ)、ゲート駆動回路、負荷抵抗を使用してカスタムの負荷過渡を適用するオプション
- 複数のオンボード MOSFET、ゲートドライブ回路、5 個の 1mΩ 抵抗を並列使用して、出力のホット短絡を実行するオプション
- オンボードのアナログ温度センサを使用して、さまざまな場所で PCB 温度を監視

アプリケーション

- ラック サーバー向けマザーボード
- 高性能コンピューティング
- ネットワーク インターフェイス カード (NIC)
- ハードウェア アクセラレータと GPU カード またはモジュール
- 固定型のデータ センタ向けスイッチ
- エッジ ルータ



2 システム概要

TIDA-050077 リファレンス デザインは、6 個の TPS25985 eFuse デバイスを並列配置し、データ センター サーバー内にある 12V、4kW の入力パワー パス保護システムを示します。TPS25985x は、大電流回路保護とパワー マネージメント向けのコンパクトでパッケージ統合型の並列化可能な設計です。このデバイスは、最小限の外付け部品で複数の保護モードを提供し、過負荷、短絡および過剰な突入電流に対して堅牢な保護を行います。このリファレンス デザインの主な目的は、2 つのデバイスを同じ場所に配置したときに、TPS25985 eFuse の放熱性能を実証することです。1 個は上面、もう 1 個は PCB の底面にあります。この構成では、4 つのデバイスが最上層に配置され、他の 2 つは最上層の 2 番目と 3 番目のデバイスに正確に対応して最下層に配置されています。

このリファレンス デザインは、SN74LVC1G123 モノステーブル マルチバイブレータとローサイド MOSFET ゲートドライバ UCC27511 を使用して出力ホット短絡の実験を安全に実行するための追加回路を搭載しています。この設計には、短絡電流を監視するための超高精度の電流センス アンプ INA241A も含まれています。4 つのアナログ温度センサ LM94022 が、さまざまな場所で PCB 温度を監視するために利用されています。

2.1 システム ブロック図

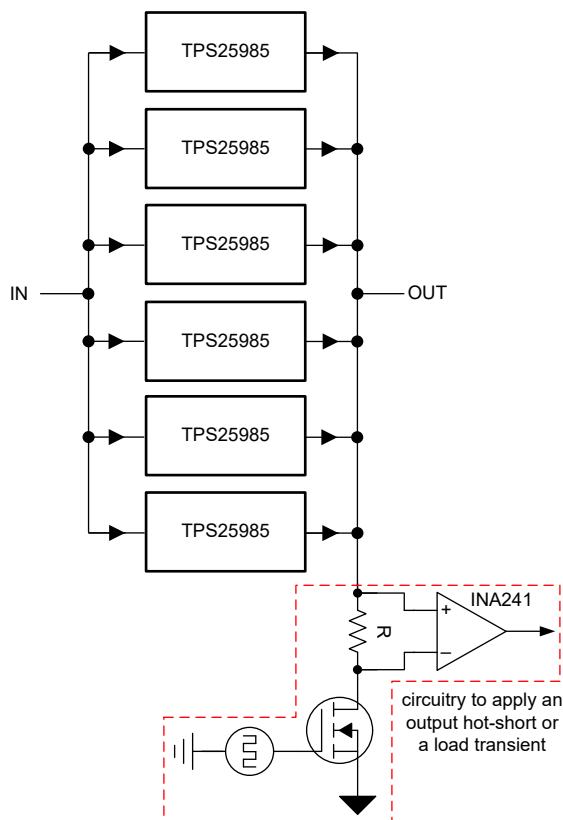


図 2-1. TIDA-050077 のブロック図

2.2 設計上の考慮事項

2.2.1 並列使用する eFuse デバイス数の決定

接合部から周囲への熱抵抗 ($R_{\theta JA}$) の変動が小さいことから、単一の TPS25985x eFuse は、125°C 未満の最大定常状態 DC 電流 60A と定格内です。複数のデバイスを並列に接続することによる各 eFuse の $R_{\theta JA}$ のさらなる低下を考慮すると、70°C の高い周囲温度における熱設計電流 (TDC) の定格が 50A であると想定されます。

したがって、式 1 を使用して並列デバイスの数 (N) を計算し、最大定常状態の DC 負荷電流 ($I_{LOAD(max)}$) をサポートし、その設計のモデル化に使用できます。

$$N \geq \frac{I_{OUT(max)}(A)}{50A} \quad (1)$$

表 1-1 によると、 $I_{OUT(max)}$ は 300A です。そのため、TIDA-050077 では 6 個の TPS25985 eFuse を並列に接続します。

2.2.2 パラレル構成でのプライマリ デバイスとセカンダリ デバイスのセットアップ

MODE ピンを使用して、1 個の TPS25985x eFuse を並列チェーンの 1 次デバイスとして構成し、他の TPS25985x eFuse を 2 次デバイスとして構成します。その結果、TPS25985 ピンの機能の一部を変更して、**TPS25985x 4.5V–16V, 0.59mΩ, 80A スタックブル eFuse 高精度高速電流モニタ付き** データシートの **複数デバイスの並列接続** で説明されているように、プライマリおよびセカンダリ構成を容易にすることができます。

このピンをオープンにすると、対応するデバイスがプライマリ デバイスとして設定されます。2 次側デバイスでは、このピンを GND に接続する必要があります。

2.2.3 C_{DVT} コンデンサの選択によって、出力スルー レートとスタート アップ時間を制御します

堅牢な設計のため、動的 (スタートアップ) 条件と定常状態条件の両方において、デバイスの接合部温度を絶対最大定格より低く維持する必要があります。一般に、動的な電力ストレスは静的なストレスよりも数桁大きくなります。そのため、システム内の静電容量と関連する負荷に適切な起動時間と突入電流制限を設定し、スタートアップ時のサーマル シャットダウンを防止することが極めて重要です。

表 2-1 に、パワー グッド (PG) 信号を使用してすべての下流負荷をオンにしない場合に、起動時に異なるな負荷が存在する状況で、eFuse の平均突入電力損失を計算するための式をまとめます。

表 2-1. 突入電流中の平均電力損失の計算

起動時の負荷のタイプ	次の式を使用して、平均突入電力損失を計算します
C_{LOAD} (μF) の出力コンデンサのみ	$\frac{V_{IN}^2 C_{LOAD}}{2T_{SS}} \quad (2)$
C_{LOAD} (μF) の出力コンデンサ、オン スレッショルド V_{RTH} (V) 付きの $R_{LOAD(Startup)}$ の定抵抗 (Ω)	$\frac{V_{IN}^2 C_{LOAD}}{2T_{SS}} + \frac{V_{IN}^2}{R_{LOAD(Startup)}} \left[\frac{1}{6} - \left\{ \frac{1}{2} \left(\frac{V_{RTH}}{V_{IN}} \right)^2 \right\} + \left\{ \frac{1}{3} \left(\frac{V_{RTH}}{V_{IN}} \right)^3 \right\} \right] \quad (3)$
C_{LOAD} (μF) の出力コンデンサ、オン スレッショルド V_{CTH} (V) 付きの $I_{LOAD(Startup)}$ の定電流 (Ω)	$\frac{V_{IN}^2 C_{LOAD}}{2T_{SS}} + V_{IN} I_{LOAD(Startup)} \left[\frac{1}{2} - \left(\frac{V_{CTH}}{V_{IN}} \right) + \left\{ \frac{1}{2} \left(\frac{V_{CTH}}{V_{IN}} \right)^2 \right\} \right] \quad (4)$
C_{LOAD} (μF) の出力コンデンサ、オン スレッショルド V_{PTH} (V) 付きの $P_{LOAD(Startup)}$ の定電力 (Ω)	$\frac{V_{IN}^2 C_{LOAD}}{2T_{SS}} + P_{LOAD(Startup)} \left[\ln \left(\frac{V_{PTH}}{V_{IN}} \right) + \left(\frac{V_{PTH}}{V_{IN}} \right) - 1 \right] \quad (5)$

ここで、

- V_{IN} は入力電圧
- T_{SS} = 起動時間

起動時の負荷をさまざまな組み合わせで使用すると、表 2-1 に示す式を使用して総平均突入電力損失 (P_{INRUSH}) を計算できます。起動を成功させるには、式 6 に記載されている条件をシステムが満たしている必要があります。

$$P_{INRUSH}(W)\sqrt{T_{SS}(s)} < 12 \times N \quad (6)$$

ここで、

- N は並列に配置された eFuse の数です。
- $12W\sqrt{s}$ は、単一の TPS25985x eFuse の SOA 制限です

式 7 を使用して、許容される最大 T_{SS} を取得します。

注

TI は、起動の問題を防止するため、5ms ~ 120ms の範囲の T_{SS} を使用することを推奨します。

前に計算した T_{SS} の必要な値を設定するため、DVDT ピンと GND の間にコンデンサ (C_{DVDT}) を追加する必要があります。 C_{DVDT} の値の計算には、式 7 を使用します。並列チェーン内のすべての eFuse の DVDT ピンは互いに接続する必要があります。

$$C_{DVDT}(pF) = \frac{42000}{V_{IN}(V)/T_{SS}(ms)} \quad (7)$$

$V_{IN} = 12V$ 、 $T_{SS} = 10ms$ および 式 7 を使用して、必要な C_{DVDT} 値は 35nF と計算できます。 C_{DVDT} に最も近い標準値は 33nF で、許容誤差 10%、DC 電圧定格 25V です。

注

一部のシステムでは、オン スレッショルド電圧が低いアクティブ負荷回路 (DC-DC コンバータなど) が存在しており、eFuse による突入シーケンスが完了する前に、そのような電流の引き込みを開始できることがあります。この動作により、起動時に eFuse 内部の消費電力が増加し、サーマル シャットダウンを引き起こす可能性があります。TI は、負荷回路をイネーブルおよびディセーブルするために、eFuse のパワー グッド (PG) ピンの使用を推奨します。この操作により、eFuse のスタートアップが完了し、サーマル シャットダウンに達するリスクを伴わずに最大電力を供給する準備ができたときだけ、負荷がオンになることができます。

2.2.4 R_{IREF} レジスタを選択して、過電流保護とアクティブ電流共有のリファレンス電圧を設定する

この並列構成では、1 次側 eFuse の IREF 内部電流源 (I_{IREF}) は、外部 IREF ピン抵抗 (R_{IREF}) と相互作用して、過電流保護およびアクティブ電流共有ブロック用の基準電圧 (V_{IREF}) を生成します。システム電流を監視したり、VR コントローラ内にプラットフォーム電力制御 (Intel® PSYS) 機能を実装するために、IMON ピン (V_{IMON}) の電圧を ADC への入力として使用する場合、 V_{IREF} をコントローラの ISYS_IN 入力の最大電圧範囲の半分に設定する必要があります。この動作により、システムが高速トリップ スレッショルド ($2 \times I_{OCP}$) までの負荷電流を正確に監視するために必要なヘッドルームとダイナミックレンジを確保します。 R_{IREF} の値の計算には、式 8 を使用します。

$$V_{IREF} = I_{IREF} \times R_{IREF} \quad (8)$$

TIDA-050077 では、 V_{IREF} は 1V に設定されています。 $I_{IREF} = 25\mu A$ (標準値) なら、目標 R_{IREF} は 40k Ω と計算されます。 R_{IREF} に最も近い標準値は 40.2k Ω で、許容誤差は 0.1%、電力定格は 100mW です。ノイズ耐性を向上させるため、IREF ピンから GND に 1nF のセラミック コンデンサを配置します。

注

過電流検出回路の正常な動作を保証するために、 V_{IREF} を推奨電圧範囲内に維持します。

2.2.5 定常状態時における過電流 (回路ブレーカ) および高速トリップのスレッショルドを設定するための R_{IMON} 抵抗を選択する

TPS25985x eFuse は、定常状態における出力過電流状態に対し、ユーザーが調整可能な過渡フォルトのブランキング間隔の後に、出力をオフにすることで応答します。この eFuse は、合計システム電流 (I_{OUT}) 連続的に検出し、IMON ピン

に比例したアナログ電流出力 (I_{IMON}) を生成します。これにより、負荷電流に応答して $IMON$ ピン抵抗 (R_{IMON}) の両端に電圧 (V_{IMON}) が生成されます。これは、式 9 と定義されます。

$$V_{IMON} = I_{OUT} \times G_{IMON} \times R_{IMON} \quad (9)$$

G_{IMON} は電流モニタゲイン (I_{IMON} : I_{OUT}) で、その標準値は $18.18\mu A/A$ です。過電流状態は、 V_{IMON} をスレッショルドとして V_{IREF} と比較することで検出されます。定常状態における回路ブレーカのスレッショルド (I_{OCP}) は、式 10 を使用して計算できます。

$$I_{OCP(TOTAL)} = \frac{V_{IREF}}{G_{IMON} \times R_{IMON}} \quad (10)$$

TIDA-050077 では、 $I_{OCP(TOTAL)}$ は $I_{OUT(max)}$ の 1.1 倍と見なされます。したがって、 $I_{OCP(TOTAL)}$ は $330A$ に設定され、 R_{IMON} は G_{IMON} を $18.18\mu A/A$ 、 V_{IREF} を $1V$ に設定して 166.67Ω と計算できます。 R_{IMON} の最も近い値は 167Ω で、許容誤差 0.1% 、電力定格は $100mW$ です。ノイズを低減するため、 $IMON$ ピンと GND の間に $22pF$ のセラミックコンデンサを配置します。

注

R_{IMON} を選択する際は、各デバイスが流す電流ではなく、システム出力電流 (I_{OUT}) を考慮する必要があります。

2.2.6 R_{ILIM} 抵抗の選択により、起動時に電流制限と高速トリップスレッショルド、および定常状態時のアクティブシェアリングスレッショルドを設定できます

R_{ILIM} は、並列チェーン内のデバイス間における定常状態時でのアクティブ電流共有スレッショルドと起動時の過電制限を設定するために使用されます。各デバイスは、自身を流れる電流 (I_{DEVICE}) を継続的に監視し、 $ILIM$ ピンに比例したアナログ出力電流を出力します。これにより、それぞれの $ILIM$ ピン抵抗 (R_{ILIM}) の両端に比例した電圧 (V_{ILIM}) が生成されます。これは、式 11 と表されます。

$$V_{ILIM} = I_{DEVICE} \times G_{ILIM} \times R_{ILIM} \quad (11)$$

G_{ILIM} は電流モニタゲイン (I_{ILIM} : I_{DEVICE}) で、その標準値は $18.18\mu A/A$ です。

- 定常状態でのアクティブ電流共有: このメカニズムは、デバイスが定常状態に達した後にのみ動作し、負荷電流情報 V_{ILIM} を、アクティブ電流共有リファレンス ($CLREF_{LIN}$) スレッショルドと比較することで、独立して動作します。これは、式 12 と定義されます。

$$CLREF_{LIN} = \frac{1.1 \times V_{IREF}}{3} \quad (12)$$

したがって、並列接続されたデバイス数を N として、アクティブ電流共有スレッショルドを $I_{OCP(TOTAL)} / N$ と定義するために、 R_{ILIM} は式 13 を使用して計算する必要があります。 $N = 6$ 、 $R_{IMON} = 167\Omega$ 、および式 13 を使用して、 R_{ILIM} は 367.4Ω と計算できます。各デバイスの R_{ILIM} として、公差 0.1% 、定格電力 $100mW$ の、最も近い標準値 365Ω の抵抗が選択されます。

$$R_{ILIM} = \frac{1.1 \times N \times R_{IMON}}{3} \quad (13)$$

注

R_{ILIM} の値を決定する際、 I_{OCP} / N と異なるアクティブ電流供給 ($I_{LIM(ACS)}$) に異なるスレッショルドが必要な場合は、式 14 を使用する必要があります。

$$R_{ILIM} = \frac{1.1 \times V_{IREF}}{3 \times G_{ILIM} \times I_{LIM(ACS)}} \quad (14)$$

次のサブセクションのスタートアップ時に電流制限スレッショルドを計算する場合は、必ずこの R_{ILIM} の値を使用してください。

- 起動時の過電流制限: 突入時は、式 15 に示すように、負荷電流情報 (V_{ILIM}) をスケーリングされた基準電圧と比較することで、各デバイスの過電流状態を検出します。

$$CLREF_{SAT} = \frac{0.7 \times V_{IREF}}{3} \quad (15)$$

スタートアップ時の電流制限スレッショルドは、式 16 を使用して計算できます。

$$I_{ILIM(Startup)} = \frac{CLREF_{SAT}}{G_{ILIM} \times R_{ILIM}} \quad (16)$$

各デバイスに R_{ILIM} の値を 365Ω にすると、スタートアップ電流はデバイスごとに約 $35A$ に制限され、 $I_{LIM(ACS)}$ は約 $55A$ に設定されます。

注

アクティブ電流制限ブロックは、起動時に V_{OUT} に基づくフォールドバック機構を採用します。 V_{OUT} が $1.99V$ フォールドバック スレッショルド (V_{FB}) を下回ると、電流制限スレッショルドはさらに低下します。

2.2.7 C_{ITIMER} コンデンサを選択して、過電流ブランキング タイマを設定します

サーキット ブレーカ スレッショルドを超える負荷過渡を許容する時間を調整するには、適切なコンデンサを $ITIMER$ ピンに 1 次側またはスタンドアロン デバイスのグラウンドに接続する必要があります。過渡過電流ブランキング期間は、式 17 を使用して計算できます。

$$t_{ITIMER}(ms) = \frac{C_{ITIMER}(nF) \times \Delta V_{ITIMER}(V)}{I_{ITIMER}(\mu A)} \quad (17)$$

ここで、

- t_{ITIMER} = 過渡過電流ブランキング タイマ
- C_{ITIMER} は、1 次側デバイスの $ITIMER$ ピンと GND との間に接続されたコンデンサです
- $I_{ITIMER} = 2.07\mu A$ (標準値)
- $\Delta V_{ITIMER} = 1.5V$ (標準値)

この設計では 1 次側デバイスの C_{ITIMER} として、公差 10%、DC 電圧定格 $25V$ の $22nF$ コンデンサを使用しました。これにより、 t_{ITIMER} が $16.5ms$ になります。セカンダリ デバイスすべての場合、 $ITIMER$ ピンをオープンのままにしてください。

2.2.8 低電圧誤動作防止スレッショルドを設定するための抵抗を選択する

低過電圧保護 (UVLO) スレッショルドは、TPS25985x データシートの低電圧保護セクションで説明されているように、デバイスの IN、EN/UVLO、および GND ピン間に接続された R_1 および R_2 の外部電圧分割回路網を使用して調整します。UVLO スレッショルドを設定するために必要な抵抗値は、式 18 を使用して計算します。

$$V_{IN(UV)} = V_{UVLO(R)} \frac{R_1 + R_2}{R_2} \quad (18)$$

TI は、電源から引き込まれた入力電流を最小限に抑えるため、 R_1 および R_2 に高い抵抗値を使用することを推奨します。 R 電源からによって引き出される電流 I_1 と R_2 は、 $I_{R2} = V_{IN} / (R_1 + R_2)$ です。ただし、この抵抗列に外部のアクティ

ブ部品が接続されたことによるリーク電流は、これらの計算に誤差を生じさせる可能性があります。したがって、抵抗列電流 I_{R12} は、EN/UVLO ピン (I_{ENLKG}) のリーク電流の 20 倍にする必要があります。デバイスの電氣的仕様から、 I_{ENLKG} は 0.1 μ A (最大値)、UVLO 立ち上がりスレッシュホールド $V_{UVLO(R)} = 1.2V$ です。設計要件から、 $V_{INUVLO} = 10.8V$ です。最初に $R_1 = 1M\Omega$ の値を選択し、式 18 を使用して $R_2 = 125k\Omega$ を計算します。直近の標準的な 1% 抵抗値を使用: $R_1 = 1M\Omega$ および $R_2 = 124k\Omega$ 。ノイズを低減するため、EN/UVLO ピンと GND の間に 1nF のセラミックコンデンサを配置します。

2.2.9 V_{IN} と V_{DD} の間の R-C フィルタを選択する

VDD ピンは、システム過渡の影響を受けない、フィルタリングされ、安定した電源で eFuse の内部制御回路に電力を供給することを目的としています。このため、入力電源 (IN ピン) から VDD ピンに R (10 Ω) – C (2.2 μ F) フィルタを使用してください。これは、電源ノイズをフィルタリングして、出力での短絡などの重大な故障が発生した場合にコントローラ電源を維持するのに役立ちます。並列チェーンでは、この R-C フィルタを各デバイスに採用する必要があります。

2.2.10 SWEN、PG、 $\overline{FLT}$ 、CMPOUT ピンのプルアップ抵抗と電源を選択する

$\overline{FLT}$ 、PG、CMPOUT はオープンドレイン出力です。これらのロジック信号を使用する場合、対応するピンを 10k Ω プルアップ抵抗によって適切な電源レール電圧にプルアップする必要があります。

注

SWEN ピンは、100k Ω 抵抗を介して 2.5V ~ 5V の範囲の電圧にプルアップする必要があります。このプルアップ電源は、入力 (V_{IN}) から eFuse に生成され、eFuse がイネーブルになる前に使用できる必要があります。このプルアップ電源がなければ、eFuse は起動できません。

2.2.11 入力時の TVS ダイオードの選択と出力時のショットキー ダイオードの選択

デバイスが瞬間的に大量の電流を遮断する短絡および過負荷電流による制限が発生した場合、入力インダクタンスによって入力に正の電圧スパイクが生成され、出力インダクタンスによって出力に負の電圧スパイクが生成されます。これらの電圧スパイク (過渡現象) のピーク振幅は、デバイスの入力または出力と直列のインダクタンスの値に依存します。適切な手順を講じない場合、これらの過渡現象はデバイスの絶対最大定格を超え、最終的には電氣的オーバーストレス (EOS) による損傷につながる可能性があります。この問題に対処する一般的な方法は、以下のとおりです。

1. デバイスの入出力において、リード長を短くしインダクタンスを最小限に抑えます。
2. PCB には、大きい GND プレーンを使用します。
3. 入力側の正の過渡スパイクをクランプするために、TVS ダイオードを追加します。
4. 出力の両極間にショットキー ダイオードを配置して、負のスパイクを吸収します。

IN ピンの絶対最大定格 (20V) を下回るように入力側の正の過渡電圧を効果的にクランプするための適切な TVS ダイオードの選択および並列する TVS ダイオードの数の詳細については、「[ホットスワップ回路における TVS クランピング](#)」および「[ホットスワップおよび ORing アプリケーションにおける TVS ダイオードの選択](#)」も参照してください。これらの TVS ダイオードは、ホット プラグ イベント時の IN ピンでの過渡電圧を制限するのに役立ちます。TIDA-050077 では、5 つの 5.0SMDJ12A を並列に使用します。

注

eFuse の安全な動作のために、 I_{pp} (10/1000 μ s) (V) で選択された TVS ダイオードの最大クランプ電圧 (V_C) 仕様は、電力入力 (IN) ピンの絶対最大定格よりも低くなければなりません。

ショットキー ダイオードは、以下の基準に基づいて選択する必要があります。

- 選択したダイオードの非反復ピーク順方向サージ電流 (I_{FSM}) は、高速トリップ スレッシュホールドよりも大きくなければなりません ($2 \times I_{OCP(TOTAL)}$)。単一のショットキー ダイオードが必要な I_{FSM} 定格を満たすことができない場合は、2 つ以上のショットキー ダイオードを並列に使用する必要があります。式 19 は、並列に接続する必要があるショットキー ダイオード ($N_{Schottky}$) の数を計算します。

$$N_{Schottky} > \frac{2 \times I_{OCP(TOTAL)}}{I_{FSM}} \quad (19)$$

- I_{FSM} またはその近くでの順方向電圧降下 (V_F) は、できるだけ小さくする必要があります。最良の結果を得るため、OUT ピンの負の過渡電圧が、OUT ピンの絶対最大定格 (-1V) 内にクランプされます。
- DC ブロック電圧 (V_{RM}) は、最大入力動作電圧より高くなければなりません。
- リーク電流 (I_R) は、できるだけ小さくする必要があります。

5 つの PMEG045V100EPE-QZ デバイスは、TIDA-050077 で並列に使用されます。

2.2.12 C_{IN} および C_{OUT} を選択

TI は、入力と出力の電圧を安定させるため、セラミック バイパス コンデンサを追加することを推奨します。ホットプラグ イベント時の電流スパイクを最小限に抑えるため、 C_{IN} の値を小さく保つ必要があります。各デバイスについて、0.1 μ F の C_{IN} が妥当な目標値です。 C_{OUT} はホットプラグ中に充電されないため、各デバイスの OUT ピンには 2.2 μ F などのより大きな値を使用できます。

2.3 主な使用製品

2.3.1 TPS25985

TPS25985x は統合型大電流回路保護およびパワー マネージメント設計であり、小型パッケージに封止されています。このデバイスは、非常に少数の外付け部品で複数の保護モードを提供し、過負荷、短絡、および過剰な突入電流に対して堅牢な保護を行います。

特定の突入電流要件を持つアプリケーションでは、単一の外付けコンデンサにより出力スルー レートを設定できます。出力電流制限レベルは、システムの必要に応じてユーザーが設定できます。ユーザーが調整可能な過電流ブランキング タイマを使用すると、システムは eFuse をトリップせずに、負荷電流の過渡ピークに対応できます。

2.3.2 LM94022、LM94022-Q1

LM94022 および LM94022-Q1 (LM94022x) デバイスは、高精度のアナログ出力 CMOS IC 温度センサで、リニア負温度係数 (NTC) を選択可能です。Class-AB 出力構造により、LM94022x は出力のソースおよびシンク電流を強力に持ち、サンプル アンド ホールドの A/D コンバータ (ADC) の入力に示すような大きな過渡負荷を駆動できます。LM94022x は、5.4 μ A の消費電流が低く、動作電圧が 1.5V であるため、バッテリー駆動のシステムに加えて、一般的な温度センシング アプリケーションに最適です。

2.3.3 INA241x

INA241x は、電源電圧に関係なく、-5V ~ 110V の広い同相範囲にわたってシャント抵抗の電圧降下を測定できる超高精度の双方向電流センシング アンプです。低いオフセット電圧 (最大値 $\pm 10\mu$ V)、小さいゲイン誤差 (最大値 $\pm 0.01\%$)、高い DC CMRR (代表値 166dB) の組み合わせにより、高精度の電流測定を実現します。INA241x は、デバイスの入力で大きな同相電圧過渡が発生するスイッチング システムにおける高電圧双方向測定向けに設計されています。INA241x 内部の拡張 PWM 除去回路は、入力で同相電圧の遷移により発生する出力での信号変動を最小限に抑えられます。

2.3.4 TLV760

TLV760 は、最大 30V の入力に対応する統合型リニア電圧レギュレータです。TLV760 は、動作温度範囲全体にわたり、100mA 負荷において最大のドロップアウトが 1.2V となっています。TLV760 の標準のパッケージは、3 ピン SOT-23 パッケージです。

TLV760 は 3.3V、5V、12V、15V で供給されます。TLV760 シリーズは SOT-23 パッケージを採用しているため、スペースの制約があるアプリケーションに使用できます。TLV760 は、LM78Lxx シリーズおよび類似デバイスの小型版です。

2.3.5 SN74LVC1G123

SN74LVC1G123 デバイスはシングル再トリガ可能モノステーブル マルチバイブレータで、1.65V ~ 5.5V の VCC で動作するように設計されています。

このモノステーブル マルチバイブレータは、出力パルスの持続時間を制御するために、3 つの手法を採用しています。1 番目の方法では、A 入力が高レベルのときに、B 入力が高レベルに遷移します。2 番目の方法では、B 入力が高レベルのときに、A 入力が高レベルに遷移します。3 番目の方法では、A 入力が高レベル、B 入力が高レベルのときに、クリア (CLR) 入力が高レベルに遷移します。

2.3.6 UCC27511A

UCC27511A デバイスは小型のゲートドライバで、NPN または PNP ディスクリットドライバ (バッファ回路) 設計の最高の代替品です。UCC27511A デバイスはシングル チャネル、ローサイド、高速ゲートドライバで、MOSFET、IGBT、および最新の GaN などバンドギャップが広いパワー デバイス用の定格を備えています。UCC27511A デバイスは立ち上がり、立ち下がり、伝播遅延の時間が短いため、高速なアプリケーションに最適です。このデバイスの非対称の 4A ピークソースおよび 8A ピークシンク電流により、寄生ミラー ターンオン効果の影響への耐性が強化されています。出力の分離構成により、2 つの抵抗を使用するだけで立ち上がり立ち下がり時間を簡単に、別々に調整でき、外付けのダイオードは必要ありません。広い入力ヒステリシスや、負の入力電圧の処理能力などの特長により、過渡耐性が強化されています。

2.3.7 CSD18510Q5B

この 40V、0.79mΩ、SON 5mm × 6mm NexFET™ パワー MOSFET は、電力変換アプリケーションでの損失を最小限に抑えるように設計されています。

3 ハードウェア、ソフトウェア、テスト要件、テスト結果

3.1 ハードウェア要件

- TIDA-050077 リファレンス デザイン ボード
- DC 電源:N8951A、オートレンジシステム DC 電源、80V、510A、15kW
- DC 電子負荷:63210A-150-1000、大電力 DC 電子負荷、150V、1000A、10kW
- デジタル マルチメータ
- Fluke® Ti480 PRO 赤外線カメラ
- MDO4000C ミックスドドメイン オシロスコープ

図 3-1 ~ 図 3-4 に、リファレンス デザインの回路図を示します。

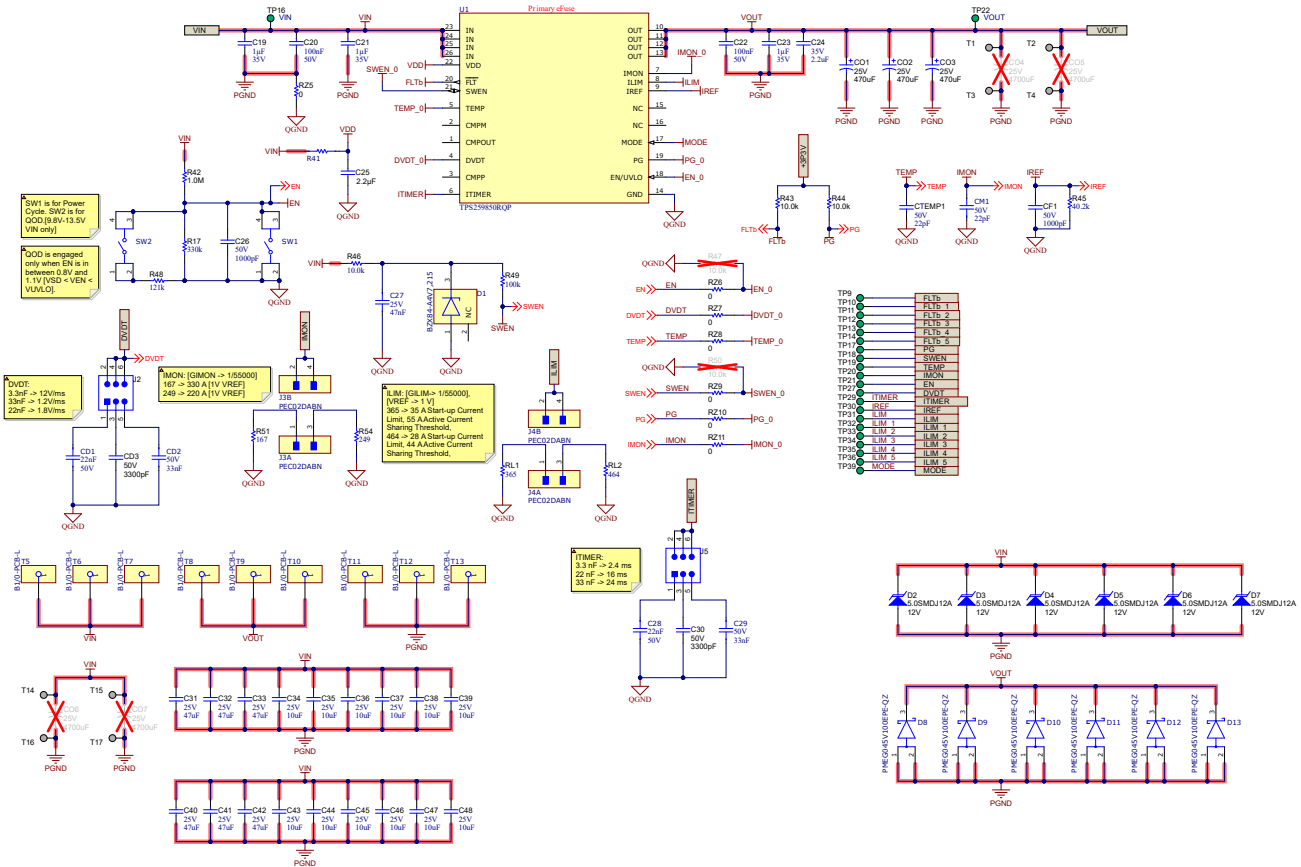


図 3-1. TIDA-050077 リファレンス デザイン (回路図 1)

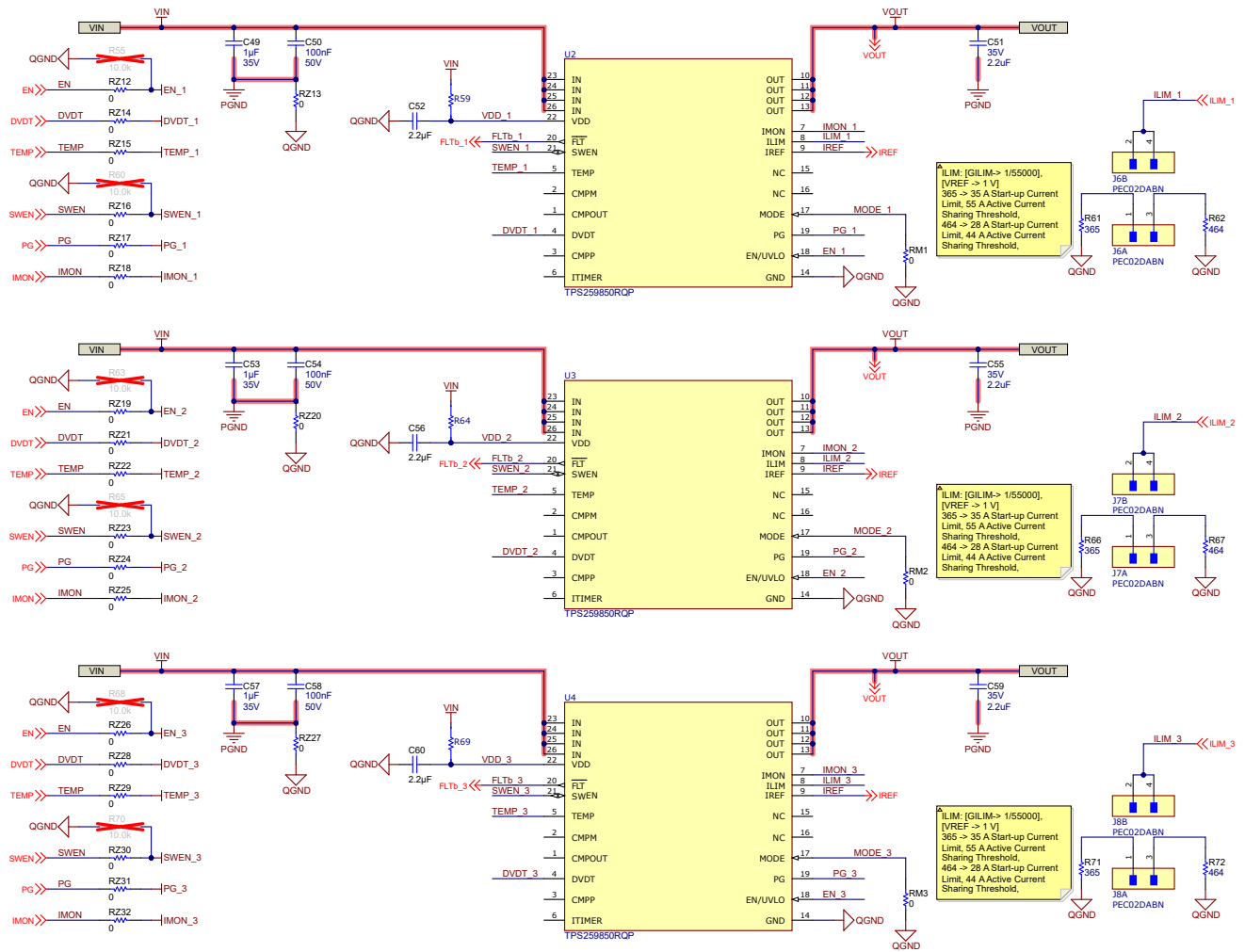


図 3-2. TIDA-050077 リファレンス デザイン (回路図 2)

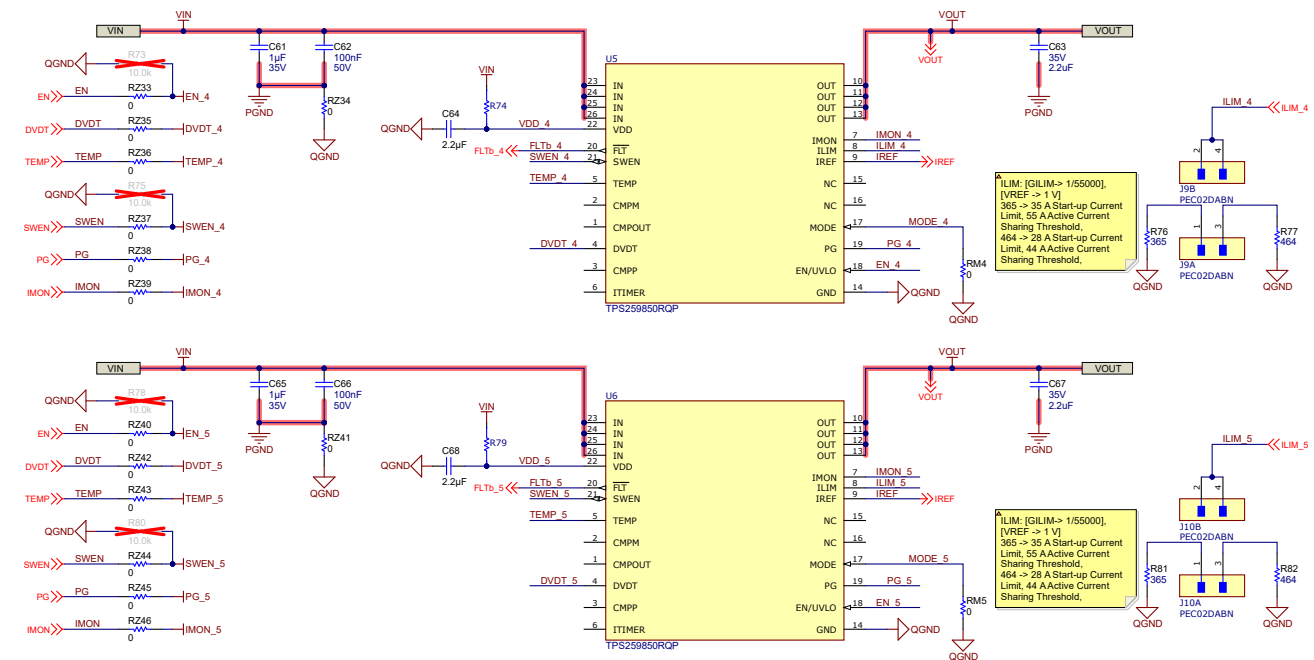


図 3-3. TIDA-050077 リファレンス デザイン (回路図 3)

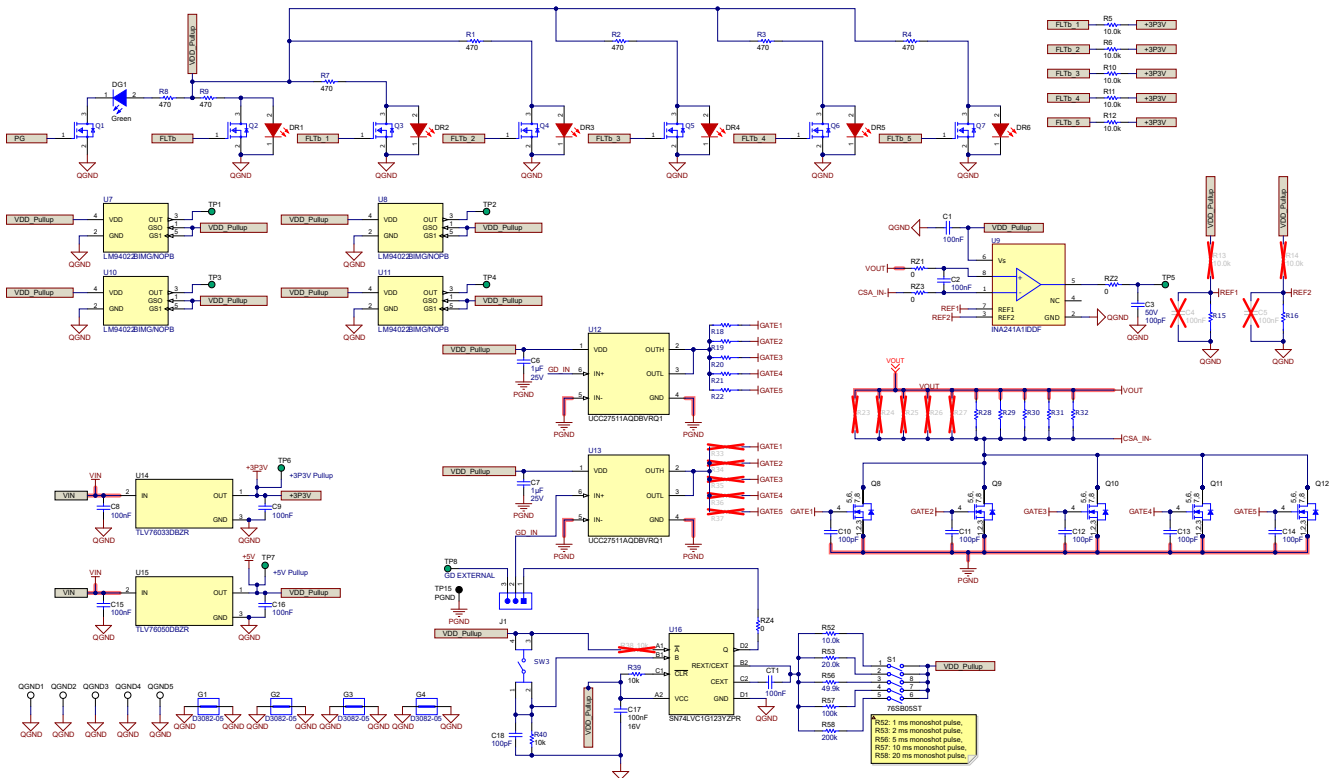


図 3-4. TIDA-050077 リファレンス デザイン (回路図 4)

図 3-5 ～ 図 3-7 に、リファレンス デザインの基板の画像を示します。

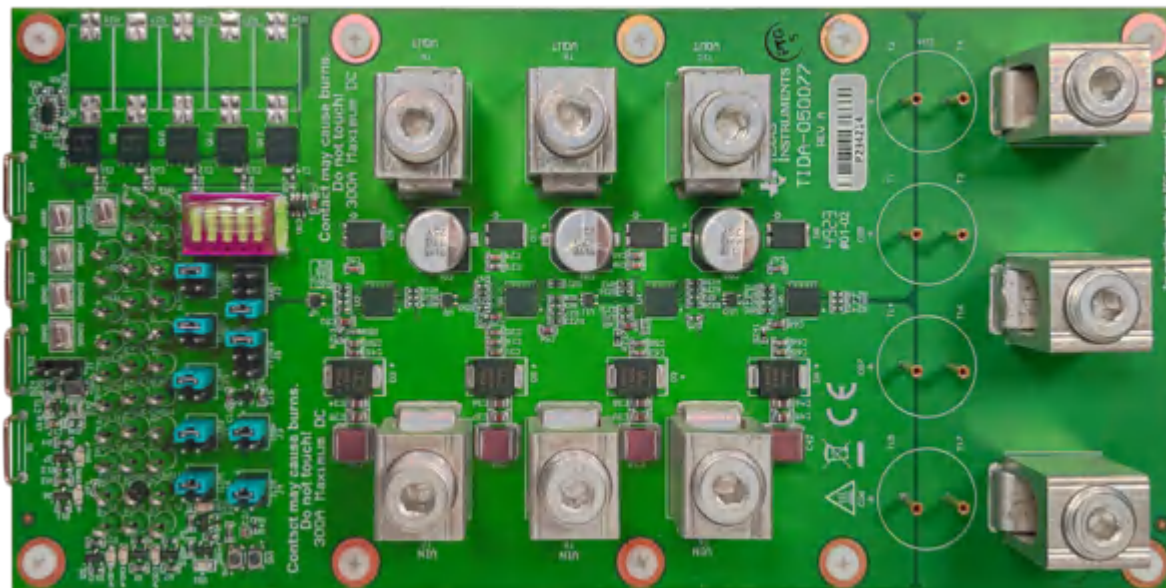


図 3-5. TIDA-050077 リファレンス デザイン:上面図

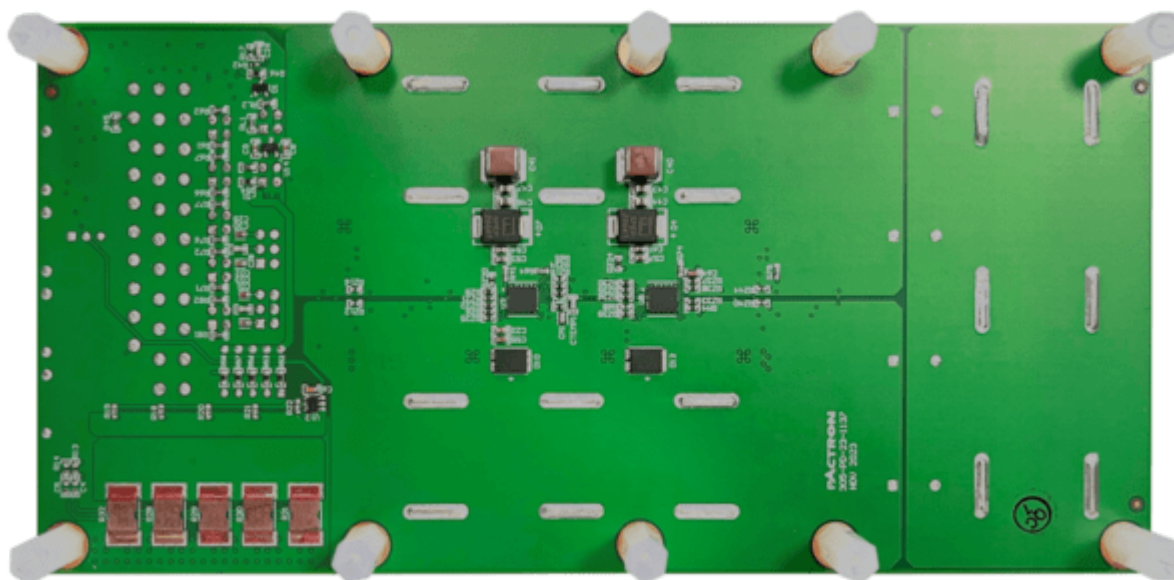


図 3-6. TIDA-050077 リファレンス デザイン:底面図

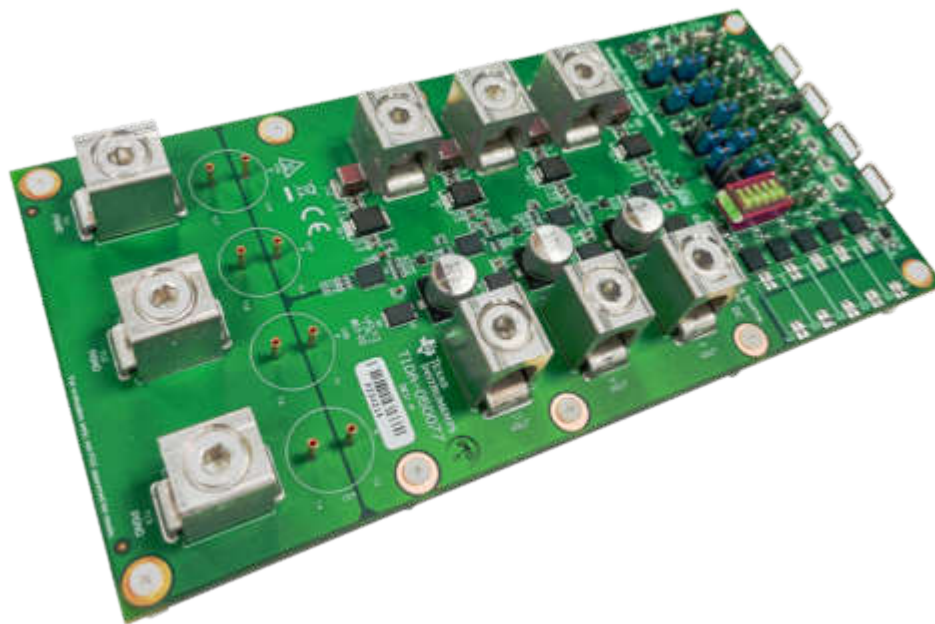


図 3-7. TIDA-050077 リファレンス デザイン:斜図

3.2 テスト設定

図 3-8 に、テスト設定のブロック図を示します。

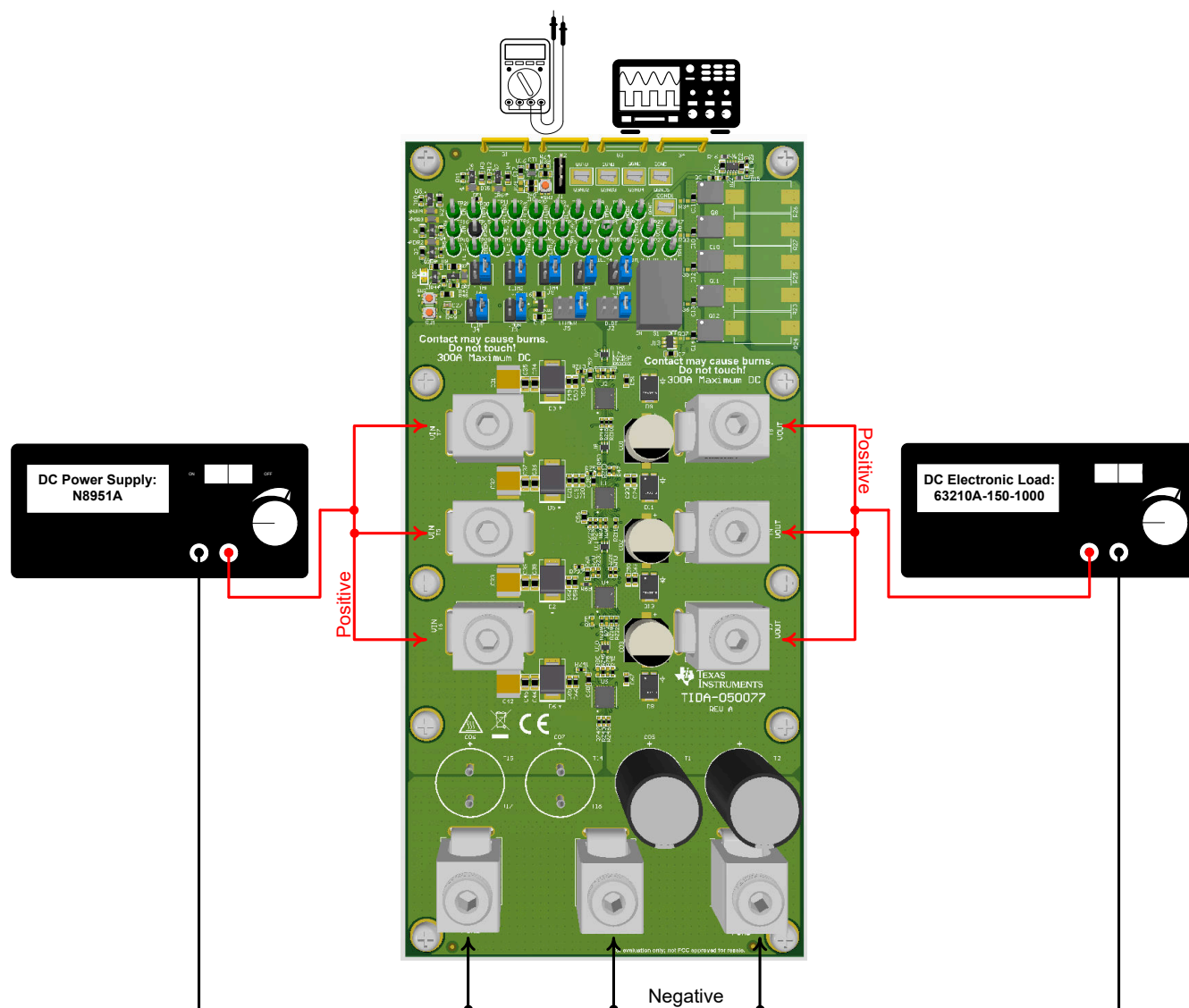


図 3-8. TIDA-050077 のテストの構成

3.3 テスト結果

表 3-1 と 表 3-2 は実験結果をまとめたものです。

表 3-1. TIDA-050077 でキャプチャした実験結果

オンボード構成	実験の名前	テスト条件	図番号
4 つの並列デバイス: 上層に 2 つのデバイス、 下層に 2 つのデバイスがあります	入力ホット プラグ	V_{IN} は 0V から 12V に昇圧、 $C_{OUT} = 26\text{mF}$ 、 $C_{DVT} = 33\text{nF}$ 、 R_{ILIM} (各デバイス) = 365Ω 、 $R_{IREF} = 40.2\text{k}\Omega$ 、 $R_{LOAD} = 1\Omega$ です	図 3-9
	ENABLE を使用したパワーアップ	$V_{IN} = 12\text{V}$ 、EN は 0V から 3V に昇圧、 $C_{OUT} = 58\text{mF}$ 、 $C_{DVT} = 33\text{nF}$ 、 R_{ILIM} (各デバイス) = 365Ω 、 $R_{IREF} = 40.2\text{k}\Omega$ 、 $R_{LOAD} = 0.2\Omega$ です	図 3-10
	電源投入時にデバイス間でのカレントシェア	$V_{IN} = 12\text{V}$ 、EN は 0V から 3V に昇圧、 $C_{OUT} = 58\text{mF}$ 、 $C_{DVT} = 33\text{nF}$ 、 R_{ILIM} (各デバイス) = 365Ω 、 $R_{IREF} = 40.2\text{k}\Omega$ 、 $R_{LOAD} = 0.15\Omega$ です	図 3-11
	電源投入時に出力がグランドへ短絡	$V_{IN} = 12\text{V}$ 、EN は 0V から 3V に昇圧、 R_{ILIM} (各デバイス) = 464Ω 、 $R_{IREF} = 40.2\text{k}\Omega$ 、OUT は PGND に短絡	図 3-12
	電源投入時に出力からグランドへ短絡したときのデバイス間の電流共有	$V_{IN} = 12\text{V}$ 、EN は 0V から 3V に昇圧、 R_{ILIM} (各デバイス) = 464Ω 、 $R_{IREF} = 40.2\text{k}\Omega$ 、OUT は PGND に短絡	図 3-13
	継続的な過電流保護	$V_{IN} = 12\text{V}$ 、 $t_{TIMER} = 16\text{ms}$ 、 $C_{OUT} = 58\text{mF}$ 、 $R_{IMON} = 249\Omega$ 、 $R_{IREF} = 40.2\text{k}\Omega$ 、 I_{OUT} は、100ms で 200A から 350A に上昇し、その後 200A に上昇 キャプチャされた信号: VIN, VOUT, ITIMER, IIN	図 3-14
		$V_{IN} = 12\text{V}$ 、 $t_{TIMER} = 16\text{ms}$ 、 $C_{OUT} = 58\text{mF}$ 、 $R_{IMON} = 249\Omega$ 、 $R_{IREF} = 40.2\text{k}\Omega$ 、 I_{OUT} は、100ms で 200A から 350A に上昇し、その後 200A に上昇 キャプチャされた信号: VIREF, VIMON, ITIMER, IIN	図 3-15
	過渡過電流ブランキング	$V_{IN} = 12\text{V}$ 、 $t_{TIMER} = 16\text{ms}$ 、 $C_{OUT} = 58\text{mF}$ 、 $R_{IMON} = 249\Omega$ 、 $R_{IREF} = 40.2\text{k}\Omega$ 、 I_{OUT} は 10ms で 200A から 350A に、その後 10ms で 200A に上昇 キャプチャされた信号: VIN, VOUT, ITIMER, IIN	図 3-16
		$V_{IN} = 12\text{V}$ 、 $t_{TIMER} = 16\text{ms}$ 、 $C_{OUT} = 58\text{mF}$ 、 $R_{IMON} = 249\Omega$ 、 $R_{IREF} = 40.2\text{k}\Omega$ 、 I_{OUT} は 10ms で 200A から 350A に、その後 10ms で 200A に上昇 キャプチャされた信号: VIREF, VIMON, ITIMER, IIN	図 3-17
	持続的な過負荷時のデバイス間での電流共有	$V_{IN} = 12\text{V}$ 、 $t_{TIMER} = 16\text{ms}$ 、 $C_{OUT} = 58\text{mF}$ 、 $R_{IMON} = 249\Omega$ 、 $R_{IREF} = 40.2\text{k}\Omega$ 、 I_{OUT} は、100ms で 200A から 350A に上昇し、その後 200A に上昇	図 3-18
	過渡過負荷時のデバイス間での電流共有	$V_{IN} = 12\text{V}$ 、 $t_{TIMER} = 16\text{ms}$ 、 $C_{OUT} = 58\text{mF}$ 、 $R_{IMON} = 249\Omega$ 、 $R_{IREF} = 40.2\text{k}\Omega$ 、 I_{OUT} は 10ms で 200A から 350A に、その後 10ms で 200A に上昇	図 3-19
	負荷過渡状態でのアクティブ電流共有:	$V_{IN} = 12\text{V}$ 、 $C_{OUT} = 58\text{mF}$ 、 $R_{IMON} = 167\Omega$ 、 $R_{IREF} = 40.2\text{k}\Omega$ 、 R_{ILIM} (各デバイス) = 365Ω です。 I_{OUT} は 100ms で 0A から 200A に、その後 100ms で 330A に上昇し、100ms で 200A に下降	図 3-20
	定常状態でのアクティブ電流共有:	$V_{IN} = 12\text{V}$ 、 $C_{OUT} = 58\text{mF}$ 、 $R_{IMON} = 167\Omega$ 、 $R_{IREF} = 40.2\text{k}\Omega$ 、 R_{ILIM} (各デバイス) = 365Ω 、 $I_{OUT} = 260\text{A}$	図 3-21
	出力ホット短絡	$V_{IN} = 12\text{V}$ 、 $C_{OUT} = 58\text{mF}$ 、 $R_{IMON} = 249\Omega$ 、 $R_{IREF} = 40.2\text{k}\Omega$ 、そして、and 定常状態では、OUT は PGND に接続されています。	図 3-22

表 3-1. TIDA-050077 でキャプチャした実験結果 (続き)

オンボード構成	実験の名前	テスト条件	図番号
6 つの並列デバイス: 上層に 4 つのデバイス、下層に 2 つのデバイスがあります	ENABLE を使用したパワーアップ	$V_{IN} = 12V$ 、EN は 0V から 3V に昇圧、 $C_{OUT} = 95mF$ 、 $C_{DVT} = 33nF$ 、 R_{ILIM} (各デバイス) = 365Ω、 $R_{IREF} = 40.2kΩ$ 、 $R_{LOAD} = 0.15Ω$ です	図 3-23
	電源投入時に出力がグランドへ短絡	$V_{IN} = 12V$ 、EN は 0V から 3V に昇圧、 R_{ILIM} (各デバイス) = 365Ω、 $R_{IREF} = 40.2kΩ$ 、OUT は PGND に短絡	図 3-24
	過渡過電流ブランキング	$V_{IN} = 12V$ 、 $t_{TIMER} = 16ms$ 、 $C_{OUT} = 95mF$ 、 $R_{IMON} = 167Ω$ 、 $R_{IREF} = 40.2kΩ$ 、 I_{OUT} は 10ms で 300A から 500A に、その後 10ms で 300A に上昇	図 3-25
	継続的な過電流保護	$V_{IN} = 12V$ 、 $t_{TIMER} = 16ms$ 、 $C_{OUT} = 95mF$ 、 $R_{IMON} = 167Ω$ 、 $R_{IREF} = 40.2kΩ$ 、 I_{OUT} は、100ms で 300A から 500A に上昇し、その後 300A に上昇	図 3-26

表 3-2. TIDA-050077 リファレンス デザインの放熱性能

オンボード構成	テスト条件	熱画像がキャプチャされました	図番号
4 つの並列デバイス: すべてのデバイスを上面に配置。	$V_{IN} = 12V$ 、 $I_{OUT} = 200A$ 、外部エアフローなし	上層	図 3-27
4 つの並列デバイス: 最上層に 2 つのデバイスがあり、最下層にある他の 2 つのデバイスは、最上層デバイスとまったく同じ位置にあります。	$V_{IN} = 12V$ 、 $I_{OUT} = 200A$ 、外部エアフローなし	上層	図 3-28
		下層	図 3-29
6 つの並列デバイス: 最上層に 4 つのデバイス、最下層にある他の 2 つのデバイスは、最上層の 2 番目および 3 番目のデバイスとまったく同じ位置にあります。	$V_{IN} = 12V$ 、 $I_{OUT} = 300A$ 、外部エアフローなし	上層	図 3-30
		下層	図 3-31

図 3-9 から 図 3-26 までは TIDA-050077 リファレンス デザインのさまざまなテスト結果を示します。

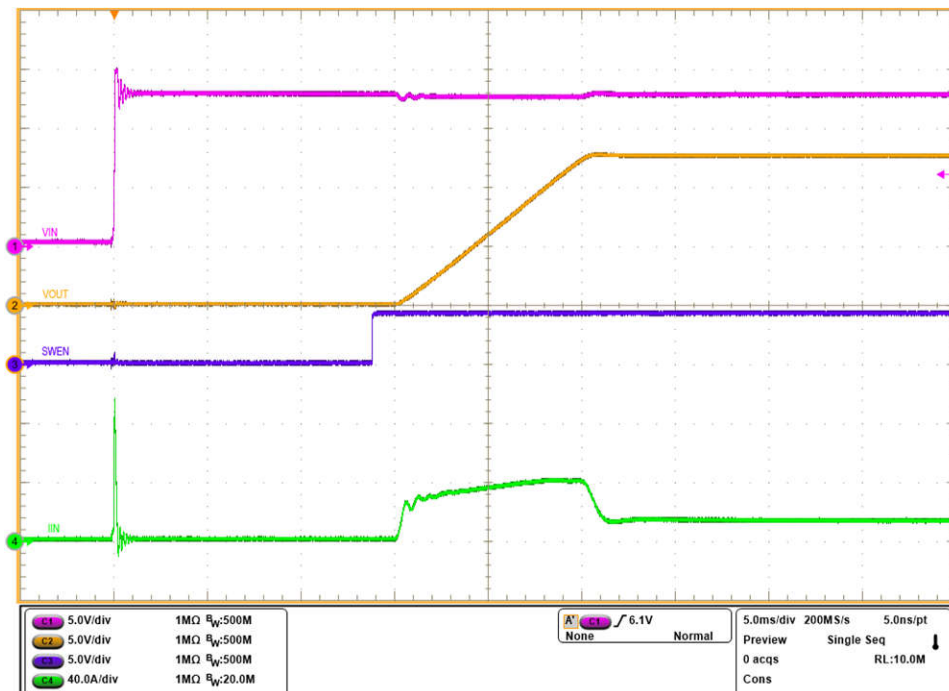


図 3-9. 最上層に 2 つの デバイス、最下層に 2 つのデバイスがあるホット プラグ プロファイル

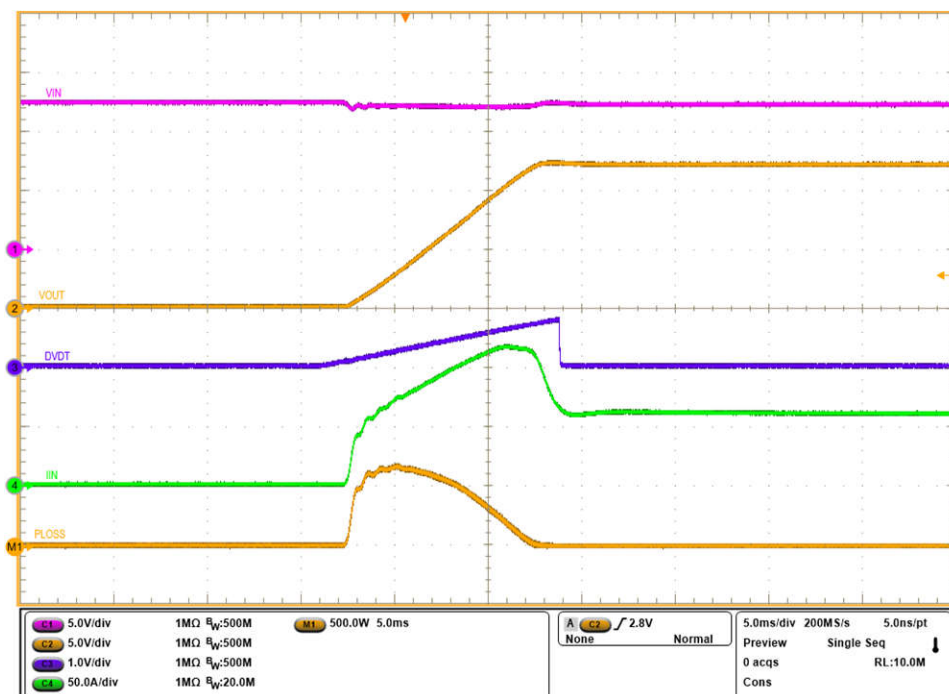


図 3-10. 最上層に 2 つのデバイス、最下層に 2 つ個のデバイスで ENABLE を使用した電源投入

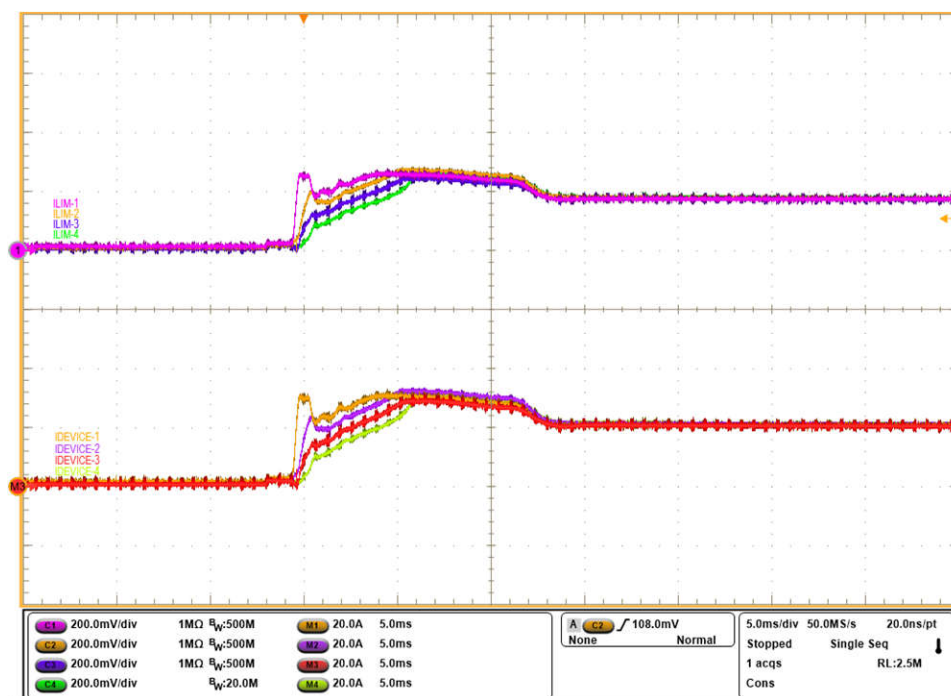


図 3-11. 4 つのデバイスを並列に接続した場合のパワーアップ時のデバイス間での電流共有

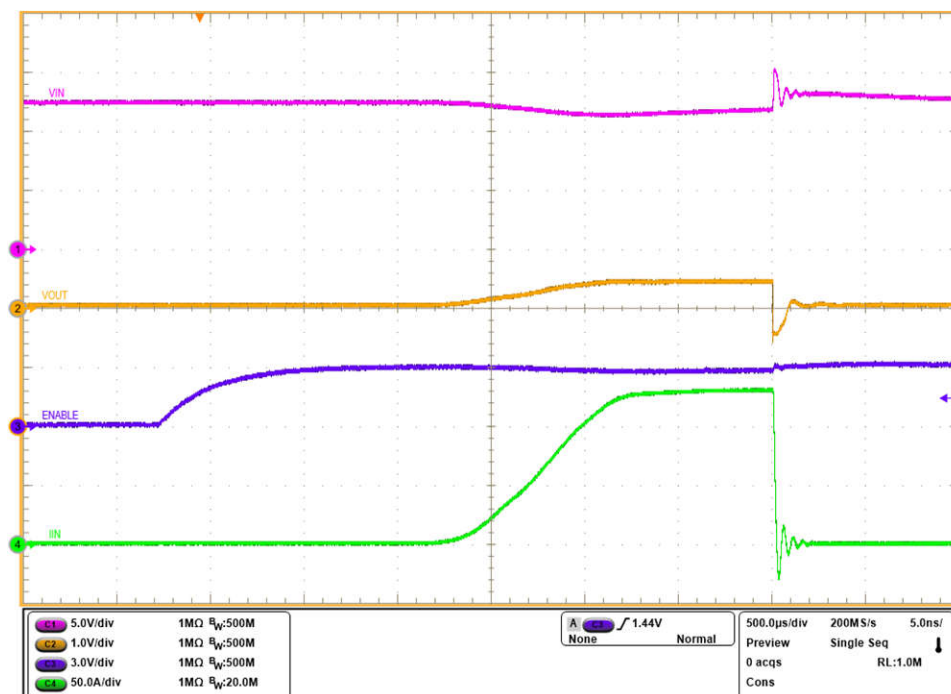


図 3-12. 4 つのデバイスを並列に接続した場合の出力短絡応答への電源投入

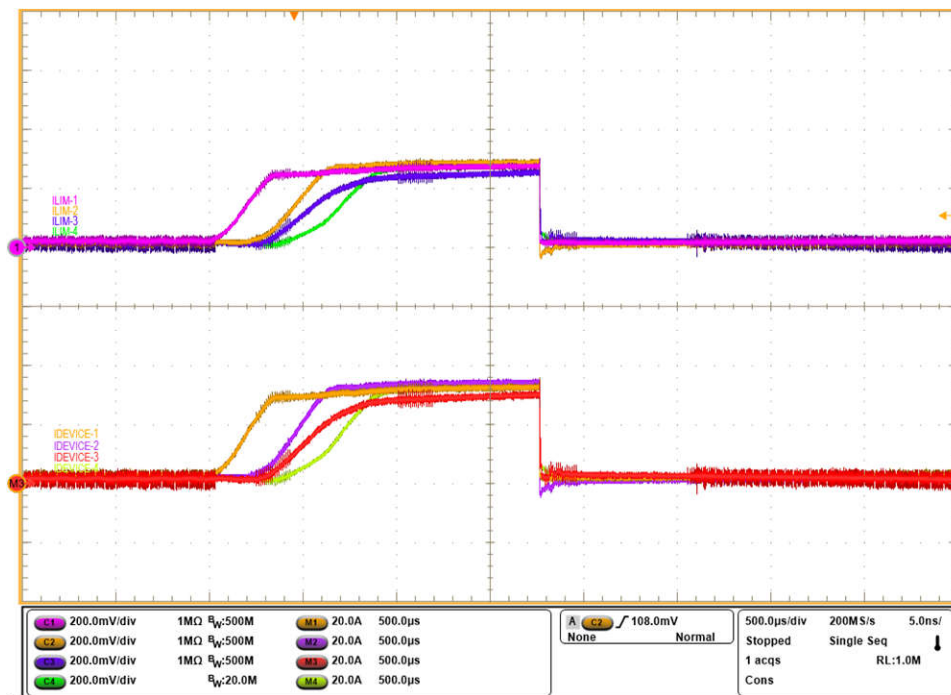


図 3-13. 4 つのデバイスを並列に接続した場合のパワーアップ時の短絡にデバイス間での電流共有

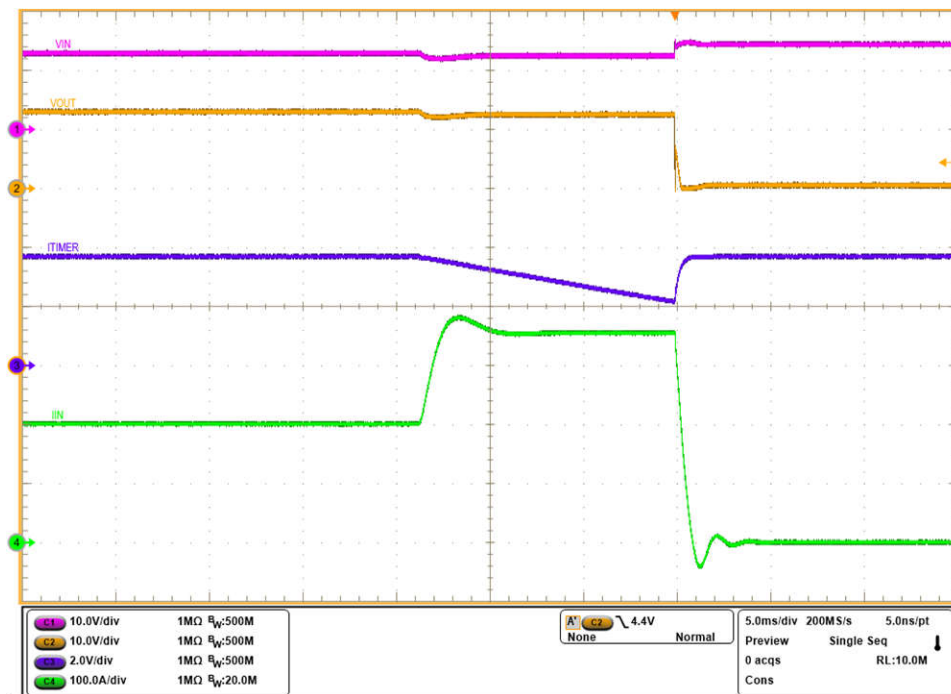


図 3-14. 4 つのデバイスを並列接続することでの過電流性能

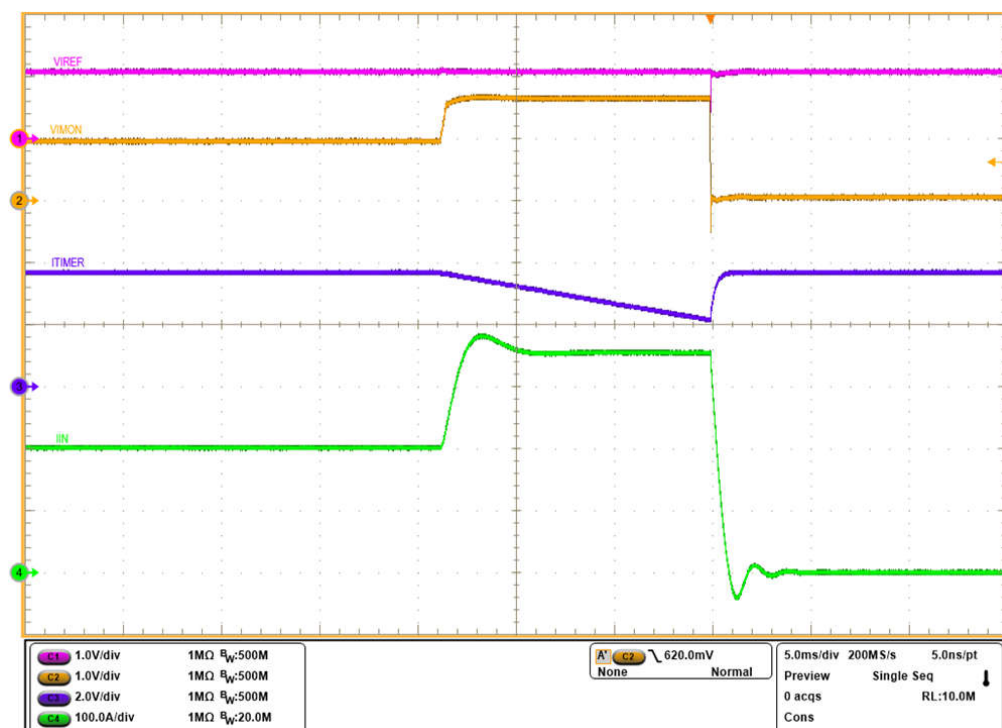


図 3-15. 4 つのデバイスを並列接続することでの過電流性能

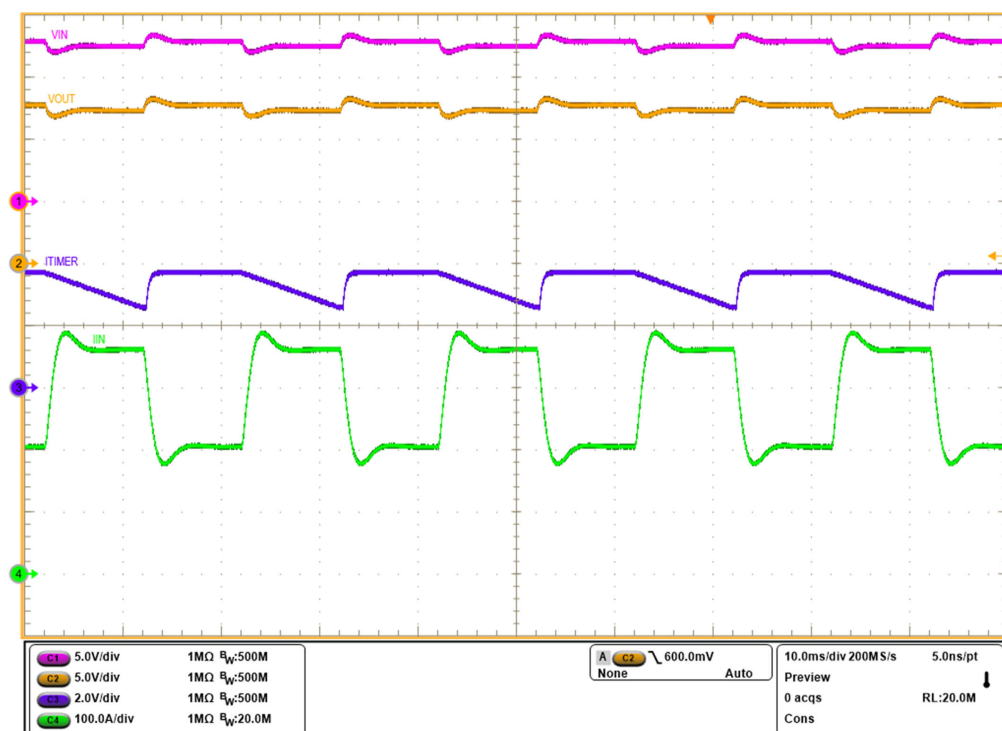


図 3-16. 4 つのデバイスを並列接続した場合の過渡過負荷性能

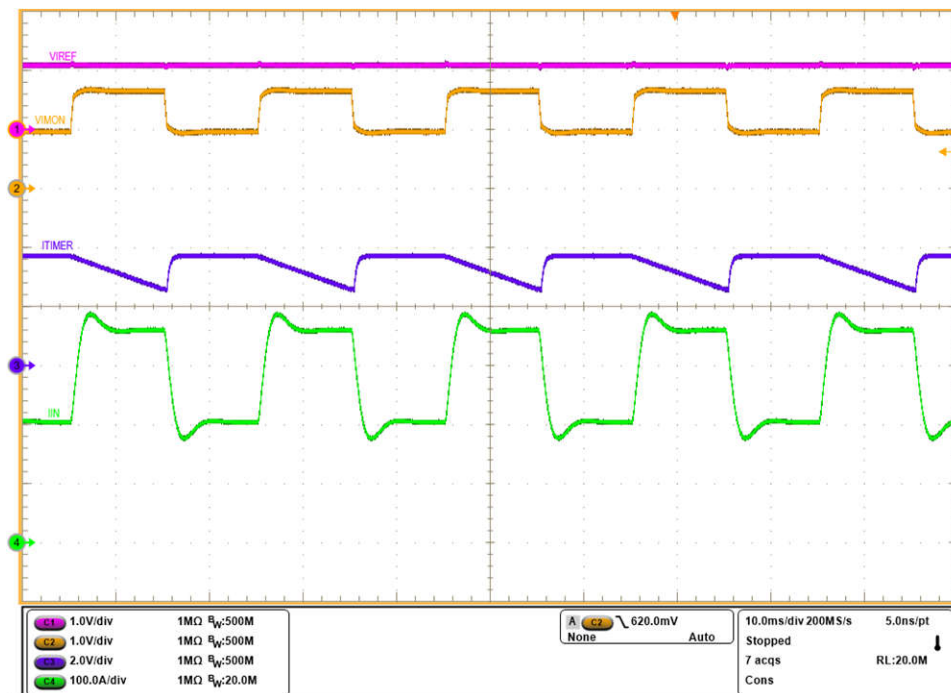


図 3-17. 4 つのデバイスを並列接続した場合の過渡過負荷性能

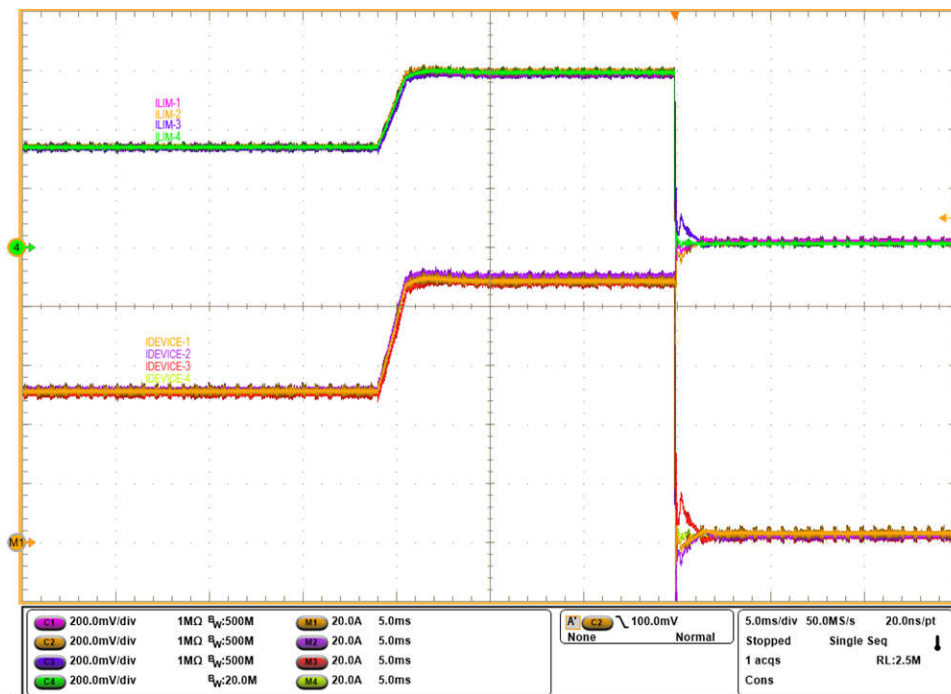


図 3-18. 4 つのデバイスを並列接続した場合の過電流イベント時のデバイス間での電流共有



図 3-19. 4 つのデバイスを並列に接続した場合の過渡過負荷時にデバイス間での電流共有

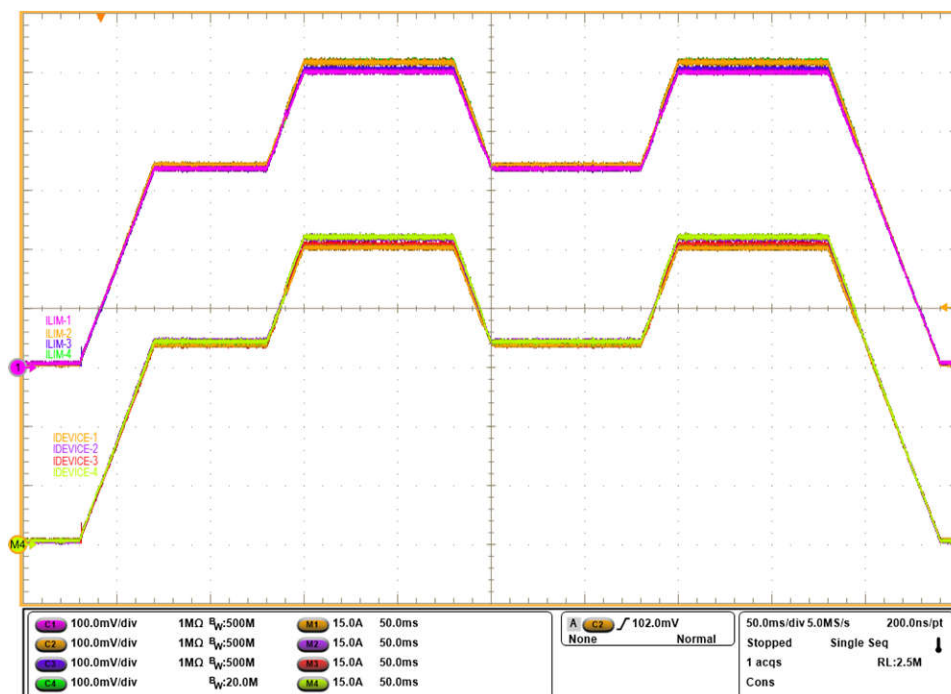


図 3-20. 4 つのデバイスを並列に接続した場合の負荷過渡時のデバイス間のアクティブ電流共有

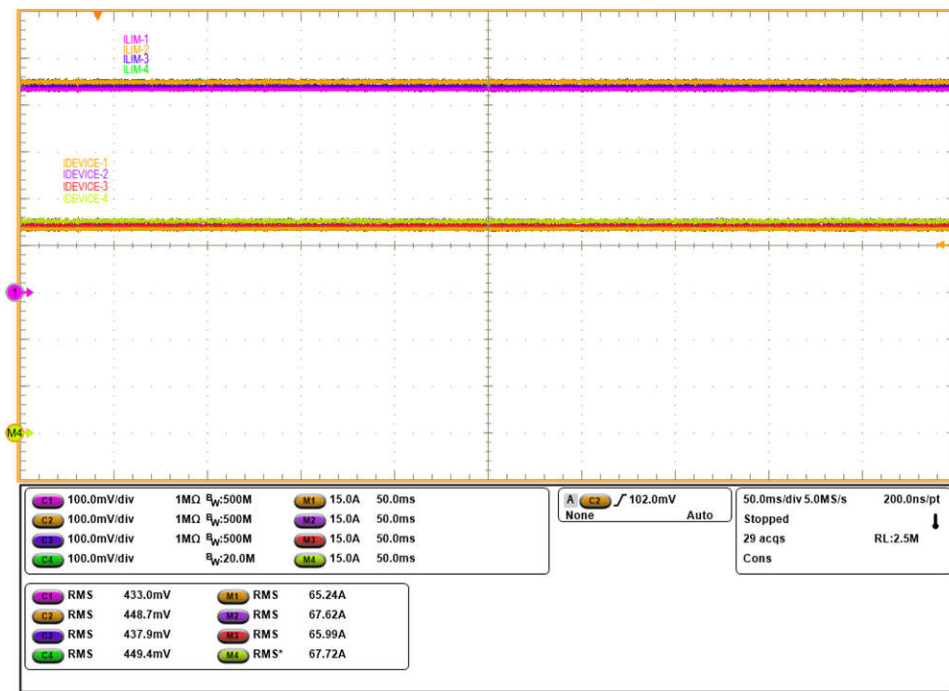


図 3-21. 4 つのデバイスを並列に接続した定常状態時のデバイス間のアクティブ電流共有

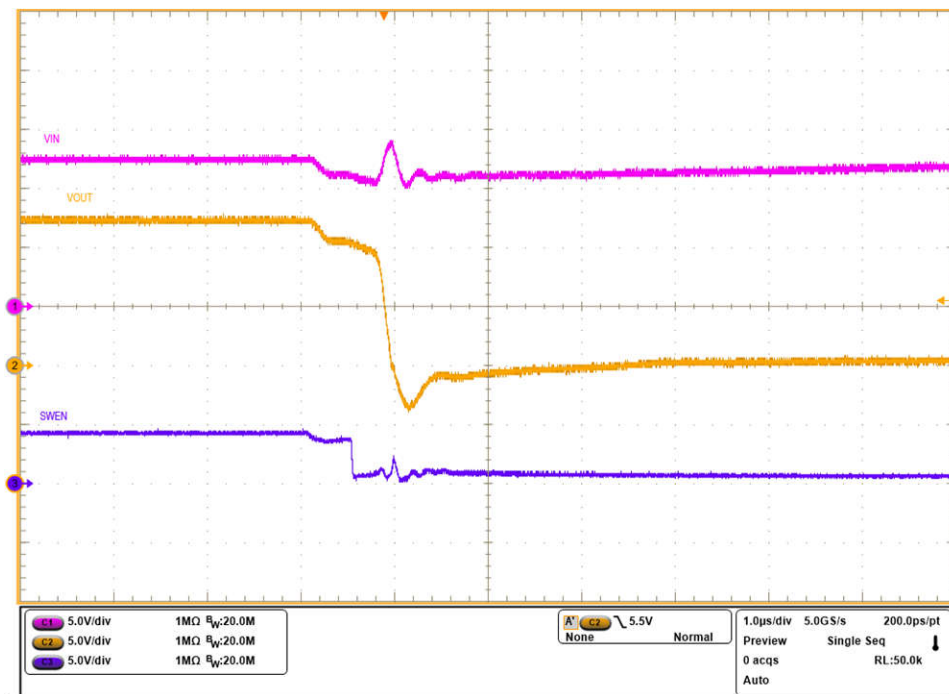


図 3-22. 出力ホット短絡応答

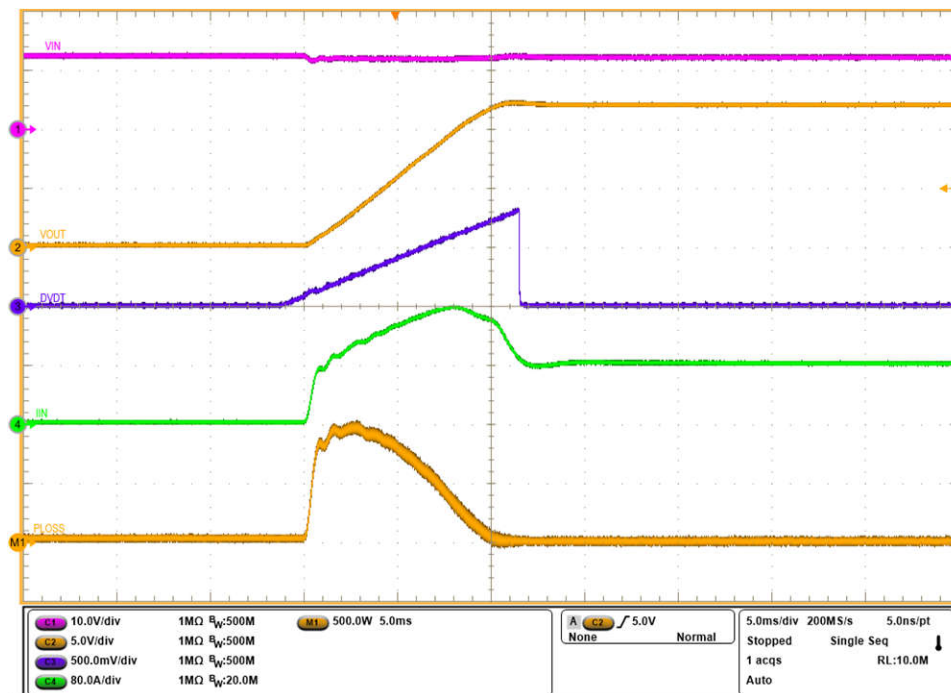


図 3-23. 最上層に 4 つのデバイス、最下層に 2 デバイスで ENABLE を使用した電源オン

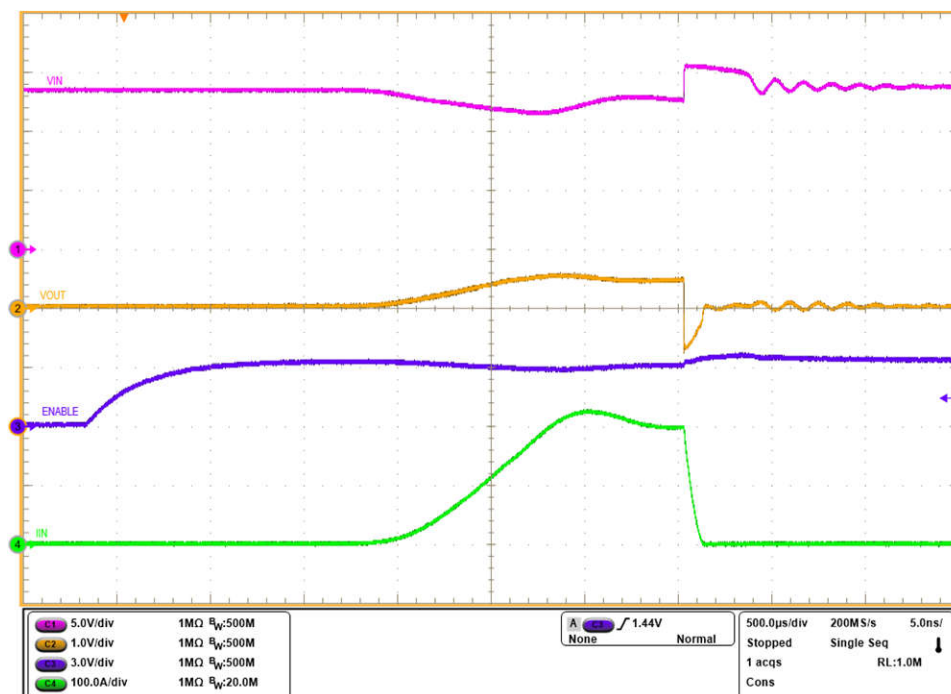


図 3-24. 6 つのデバイスを並列接続した場合の出力短絡応答への電源投入

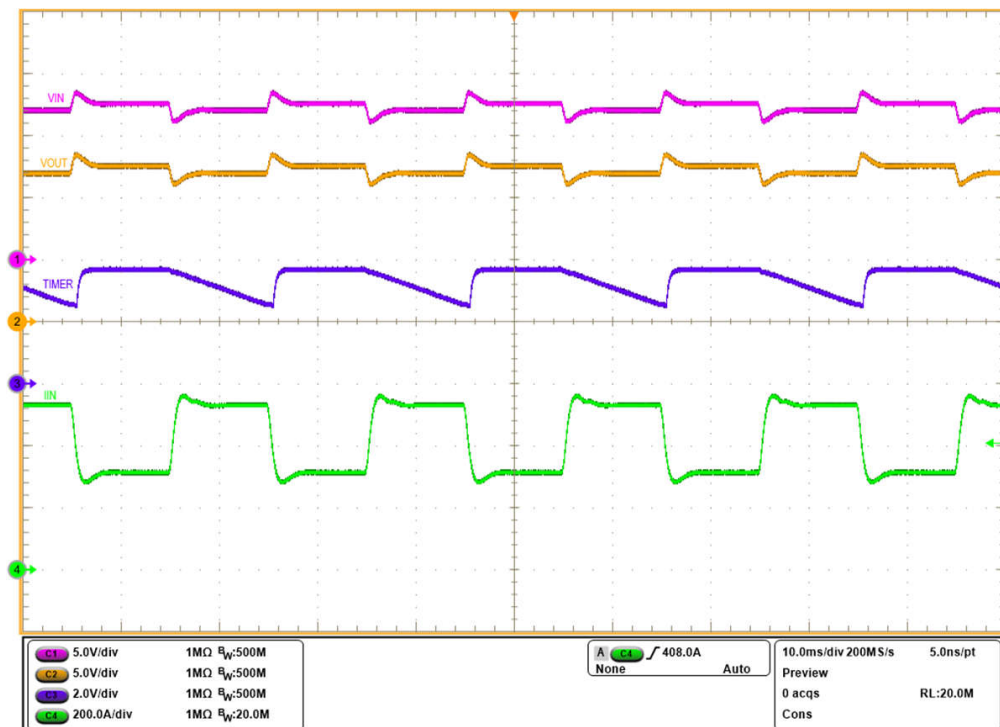


図 3-25. 6 つのデバイスを並列接続した場合の過渡過負荷性能

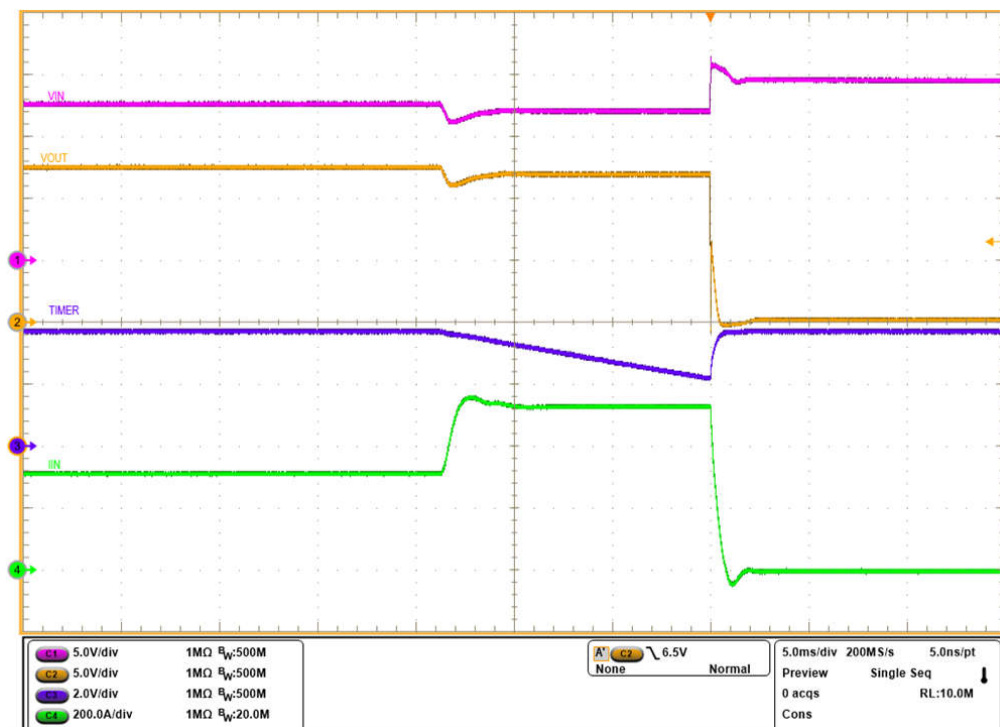
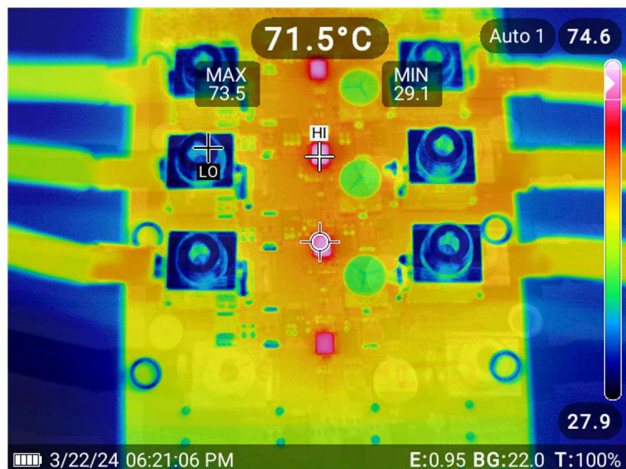


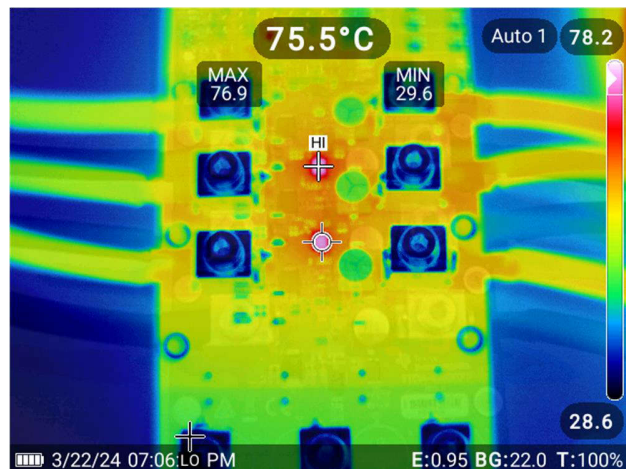
図 3-26. 6 つのデバイスが並列接続された場合の過電流性能

図 3-27 ~ 図 3-29 は、与えられた条件における TIDA-050077 リファレンス デザインの放熱性能を示します。



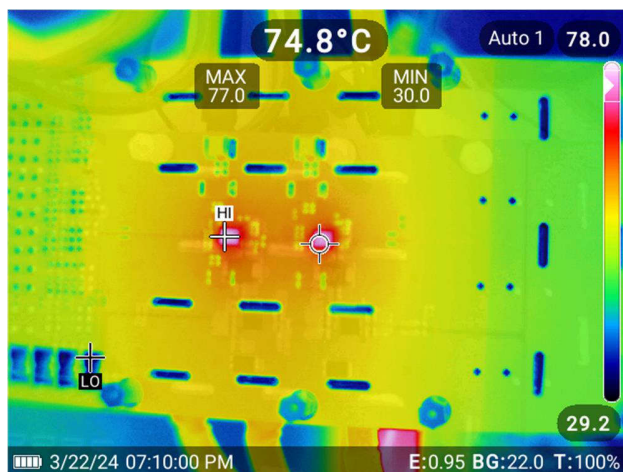
4 つのデバイスはすべて、並列の最上層にあります。

図 3-27. 4 つのデバイス



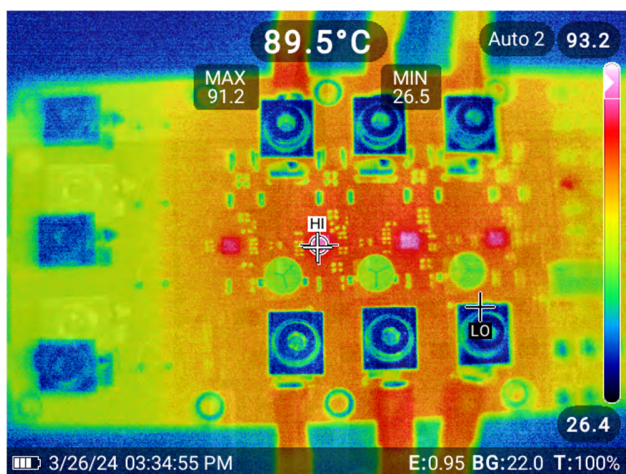
2 つのデバイスは最上層にあり、他の 2 つのデバイスは最上層のデバイスとまったく同じ位置に、並列に接続されています。

図 3-28. 4 つのデバイスを使用したボードの上層



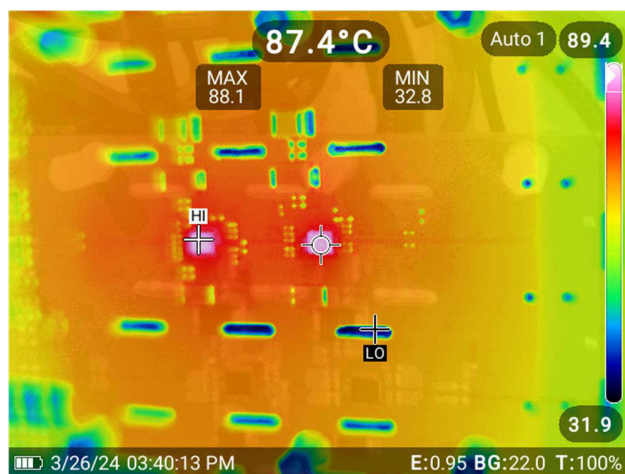
2 つのデバイスは最上層にあり、他の 2 つのデバイスは最上層とまったく同じ位置にある最下層にはデバイスを並列に接続することです。

図 3-29. 4 つのデバイスを備えたボードの下層



$V_{IN} = 12V$, $I_{OUT} = 300A$, 外部エアフローなし

図 3-30. 6 つのデバイスを並列接続した基板の上層



$V_{IN} = 12V$, $I_{OUT} = 300A$, 外部エアフローなし

図 3-31. 6 つのデバイスを並列接続した基板の下層

4 設計とドキュメントのサポート

4.1 デザイン ファイル

4.1.1 回路図

回路図をダウンロードするには、[TIDA-050077](#) のデザイン ファイルを参照してください。

4.1.2 部品表 (BOM)

部品表 (BOM) をダウンロードするには、[TIDA-050077](#) のデザイン ファイルを参照してください。

4.1.3 Altium プロジェクト

Altium プロジェクト ファイルをダウンロードするには、[TIDA-050077](#) のデザイン ファイルを参照してください。

4.1.4 ガーバー ファイル

ガーバー ファイルをダウンロードするには、[TIDA-050077](#) のデザイン ファイルを参照してください。

4.2 ツール

ツール

[デザイン カリキュレータ](#)

TPS25985 デザイン カリキュレータ

[TVS-推奨-計算](#)

TVS ダイオード推奨ツール

[PSPICE-FOR-TI](#)

TI Design / シミュレーション ツール向け PSpice®:

4.3 ドキュメントのサポート

1. テキサス インスツルメンツ、『[TPS25985x 4.5V ~ 16V, 0.59mΩ, 80A スタックابل eFuse、高精度で高速な電流監視機能搭載](#)』データシート
2. テキサス インスツルメンツ、『[LM94022, LM94022-Q1 1.5V, SC70、クラス AB 出力内蔵マルチ ゲイン アナログ温度センサ](#)』データシート
3. テキサス インスツルメンツ、『[SN74LVC1G123 シュミットトリガ入力搭載シングル再トリガ可能モノステーブル マルチバイブレータ](#)』データシート
4. テキサス インスツルメンツ、『[拡張 PWM 除去機能搭載、INA241x -5V ~ 110V、双方向、超高精度電流センス アンプ](#)』データシート
5. テキサス インスツルメンツ、『[4A ピーク ソースおよび 8A ピーク シンクの UCC2751x シングル チャネル、高速ローサイド ゲートドライバ](#)』データシート
6. テキサス インスツルメンツ、『[TLV760 100mA, 30V、固定出力、リニア電圧レギュレータ](#)』データシート
7. テキサス インスツルメンツ、『[CSD18510Q5B N チャネル NexFET™ 電力 MOSFET](#)』データシート

4.4 サポート・リソース

[テキサス・インスツルメンツ E2E™ サポート・フォーラム](#)は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

4.5 商標

テキサス・インスツルメンツの™, NexFET™, and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

Intel® is a registered trademark of Intel Corporation.

Fluke® is a registered trademark of Fluke Corporation.

PSpice® is a registered trademark of Cadence Design Systems, Inc.

すべての商標は、それぞれの所有者に帰属します。

5 著者について

AVISHEK PAL は、テキサス インスツルメンツの製品アプリケーション エンジニアであり、ホットスワップ コントローラと大電流 eFuse デバイスをサポートする責任を負っています。インド工科大学カラグプル校で理学修士号 (研究による MS) を、インド工科大学シブプール校 (IIST) で工学学士号 (BE) を取得しています。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated