

Design Guide: TIDA-010269

ハンドヘルド超音波画像処理デバイス向けの電源のリファレンス デザイン



概要

このリファレンス デザインは、TI の新世代トランスミッタとレシーバを採用した、次世代 128 チャンネル超音波スマートプローブへの電力供給を目的として構築されています。小型 (88mm × 45mm × 20mm) で、80% 以上の効率の 128 チャンネルのスマートプローブ用のすべての電源機能が搭載されています。このトランスを使用しない高電圧電源 (25mA で $\pm 75V$) で、新しい昇圧レギュレータにより、このリファレンス デザインはほとんどのスマートプローブアプリケーションに対応しています。

リソース

TIDA-010269

デザインフォルダ

TPS54218, LM5158, TPS61178, BQ25790

プロダクトフォルダ

CDCE949, TPS7A39, TPS74401, LMZM23601

プロダクトフォルダ

INA231, TPS7A96, LM3880, DAC53401

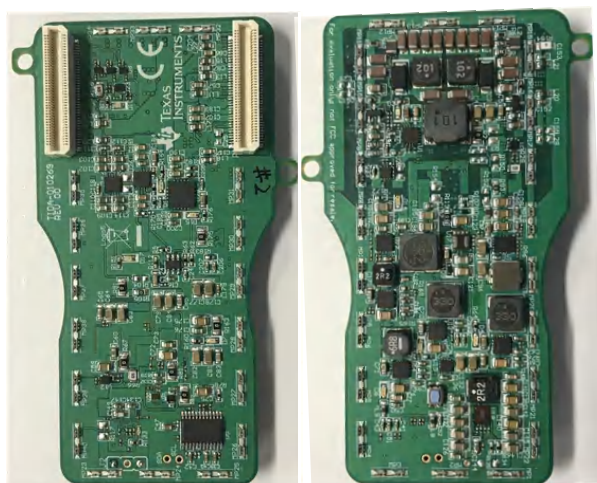
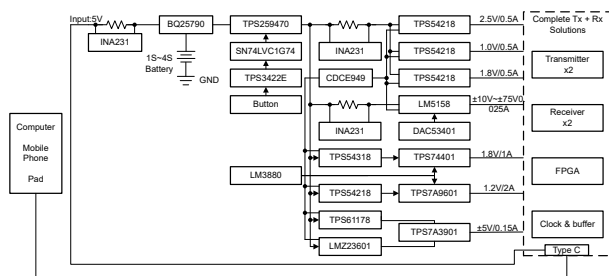
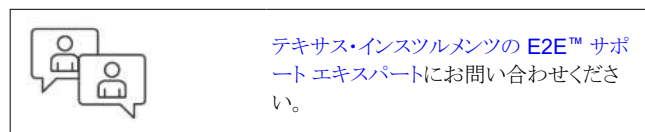
プロダクトフォルダ

特長

- ・ トランスレス シングル ステージの実装により、5V USB Type-C® からの電力供給で、デュアル レール HV ($\pm 75V$ で 25mA を供給) を生成できるので、部品の高さを 5mm 未満に抑制する要件を満たすことが可能
- ・ 小型の基板サイズ (88mm × 45mm × 20mm 未満)
- ・ 全負荷時に 80% 前後のエンド ツー エンドのシステム効率
- ・ 電力最適化に適した電力供給の有効化と無効化、また、外部クロックに合わせてすべての電源レールを同期することが可能
- ・ 高性能電流センシング アンプ INA231 を使用した、高精度のリアルタイム消費電力測定
- ・ USB 2.0 経由で最大 480Mbps の高速データ アクイジション

アプリケーション

- ・ 超音波スマート プローブ



1 システムの説明

超音波イメージングは、広く使用されている診断技術です。カートをベースとする高性能超音波システムに加えて、ハンドヘルドデバイス（スマートプローブ）を使用して高品質の超音波画像処理を実現できるようになりました。これらのスマートプローブは、携帯電話やタブレットの電源とリソースを活用し、超音波画像を処理して表示します。このようなシステムの代表的な使用事例は、最新の医療用画像処理テクノロジーが遠隔地にも利用できるようになり、より迅速かつ効率的な診断を行えるようにすることです。このような小型機器は通常、バッテリー（1S、2S）または USB 電源によって電力を供給されます。データは USB または Wi-Fi® 経由で転送することができます。

図 1-1（左）に表示されたのは、モバイルデバイスに接続されたプローブを描いたスマートプローブ超音波スキャナの一般的な画像です。図 1-1（右）に、スマートプローブのブロック図が表示されます。この図には、超音波パルスを送受信するための送信（TX）および受信（RX）用アナログフロントエンド（AFE）と、ビームフォーミングを実行するためのフィールドプログラマブルゲートアレイ（FPGA）が含まれています。このセットアップの電源が電源基板によって供給されます。この電源基板は、負荷ポイント電圧を生成する DC-DC コンバータ、送信チップに電力を供給する高電圧回路（デザインで使用されています）、また、データおよび電源管理用の USB コントローラで構成されています。

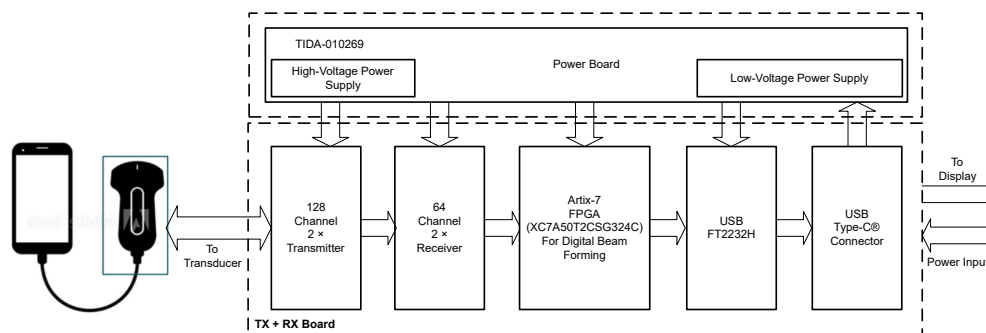


図 1-1. 汎用スマートプローブ(左)、スマート・プローブ超音波スキャナのブロック図(右)

これらのシステムのユースケースの 1 つは、発展途上国の遠隔地の村に最新の医療画像技術を導入することです。スマート超音波プローブ、つまり超ポータブル超音波システムは、コスト効率を考え含めると、このタスクに最適です。ほとんどの医師がスマートプローブユニットを持つと、その日はすぐに近くなるでしょう。これらのツールを使用することで、医師は体内の音を聞くと同時に、体内の状況を見ることができます。今後 10 年間で世界中で数百万台の市場が展開される可能性があり、標準的な超音波システムを補完しています。図 1-2 に、スマートプローブ市場におけるこのブームの主な理由を示します。

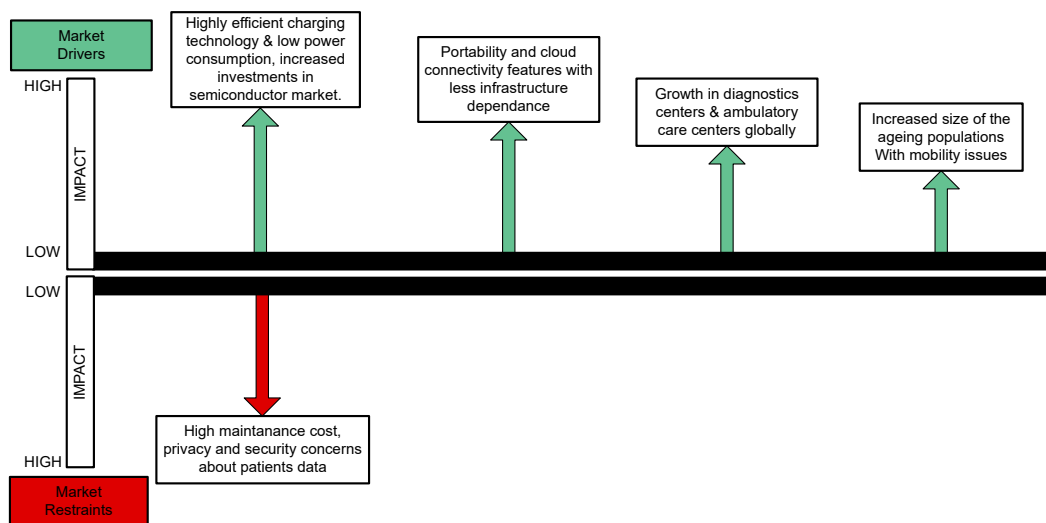


図 1-2. 超音波スマートプローブ用の販売駆動力および制限

1.1 主なシステム仕様

表 1-1 に、スマートプローブの電源設計のシステム仕様全体を示します。この表は、高電圧回路と低電圧回路の仕様を説明する 2 つのセクションに分かれています。

表 1-1. 主なシステム仕様

パラメータ	仕様	詳細
システム入力電圧 (V_{IN})	4.25V ~ 5.5V (USB Type-C)	1S のバッテリー入力(3.3V ~ 4.2V)をサポートする設計
外部クロック同期	1MHz、500kHz、250kHz	オンボードのバッファまたは分周器を使用して、1MHz ソースから同期クロックを供給します
高電圧回路仕様 のアーキテクチャ: シングルエンドのプライマリ インダクタンス コンバータおよび Cuk (SEPIC および Cuk)		
正出力電圧 (V_{OUT+})	最大 75V	対称型の正と負の出力。外部のフィードバック抵抗によって設定できます
負の出力電圧 (V_{OUT-})	最大 -75V	
出力電流 (I_{OUT})	レールごとに最大 25mA	
合計高電圧電源 (P_{HV})	2.25W + 2.25W	
ロードレギュレーション	2% 未満	正と負レールに対称的に適用された負荷
電圧精度	1% 未満	電圧精度: 負荷全体で正と負のレールの電圧差
出力電圧リップル	出力電圧の 0.1%	
スイッチング周波数	250 kHz	
低電圧電源 ($\pm 5V$) の送信仕様		
スイッチャ出力電圧 (正)	5.7 V	この昇圧出力は高電圧電源への入力として、1S 動作を可能にする -5V 電源として供給することができます。
LDO の出力電圧	5 V	
出力電流	150mA	最大 LDO 出力電流
出力電圧リップル	10mV (V_{OUT} : 5.7V I_{OUT} : 1A)	
スイッチャ出力電圧 (負)	-5.3 V	反転型降圧トポロジ
LDO の出力電圧	-5 V	
出力電流	150mA	
出力電圧リップル	10mV (V_{OUT} : -5.3V I_{OUT} : 1A)	
低電圧電源の受信仕様		
低ノイズ LDO 付きの AFE 電源レール	1.2V (最大 2A)、 1.8V (最大 1 A)、	TPS54218 DC/DC 降圧回路の後段に配置された各レールに TPS7A96 と TPS74401 LDO を使用します
スイッチャ出力電圧	2V、1.405V	システム効率を最大化する低ドロップアウト
DC/DC 出力電圧リップル (1.405V)	8 mV	
TPS74401 (1.2V) PSRR (出力リップル) (500kHz)	-40dB (80 μ V)	
DC/DC 出力電圧リップル (2.0V)	8 mV	
TPS7A9601 (1.8V) PSRR (出力リップル) (500kHz)	-40dB (80 μ V)	
FPGA 電源仕様		
スイッチャ出力電圧	1V (最大 0.5A)、 1.8V (最大 0.5A)、2.5V (最大 0.5A)	インダクタンス値は、高い効率と 0.5A の負荷電流に合わせて最適化されています
最大出力電圧リップル	15 mV	
システム電力測定	合計電力、FPGA の電力と TX 電力	INA231 を使用した、各種サブシステムのシステム電流、電圧、電力を測定します

2 システム概要

患者に対する即時のサポートと診断の有効性を最大限に高めるため、ハンドヘルド超音波システムへの関心が高まっています。従来、超音波システムはカートをベースとしたタイプであり、より高い性能と優れた画質を実現するために、より多くのチャンネルを統合しています。

超音波アナログ フロント エンドとトランスミッタ チップは、消費電力とサイズの **80%** 縮小を実現しました。これらの進歩により、より高いチャンネル統合と、可能な限り最小の消費電力を実現できます。プローブは通常バッテリーで動作する (1S、2S) ので、これらの進歩がハンドヘルド ポータブル プローブには必要です。システムのレシーバおよびトランスミッタ チャンネル数が多いほど、画像解像度が向上します。図 2-1 に、16 チャンネル、32 チャンネルと 64 チャンネルの各システムでの画質の違いを示します。ポータブル超音波システムは消費電力および面積の制限があるため、市場のほとんどのシステムで、16 または 32 チャンネルのレシーバとトランスミッタを統合できます。高電圧 MUX を使用して 128 個のトランスデューサ素子を励起します。図 2-2 を参照してください。既存の設計での制限は、16 チャンネルレシーバしかないため、画質は低くなること、また、チャンネル数が限られているため、イメージング時間が長くなることです。このリファレンス デザインは、TI の高性能、128 チャンネルの TX、64 チャンネルの RX 超音波スマート プローブの設計用の包括的な電源設計を含む設計を提案します。また、ビットを更新すると、このリファレンス デザインはほとんどの超音波スマート プローブの電源として使用できます。

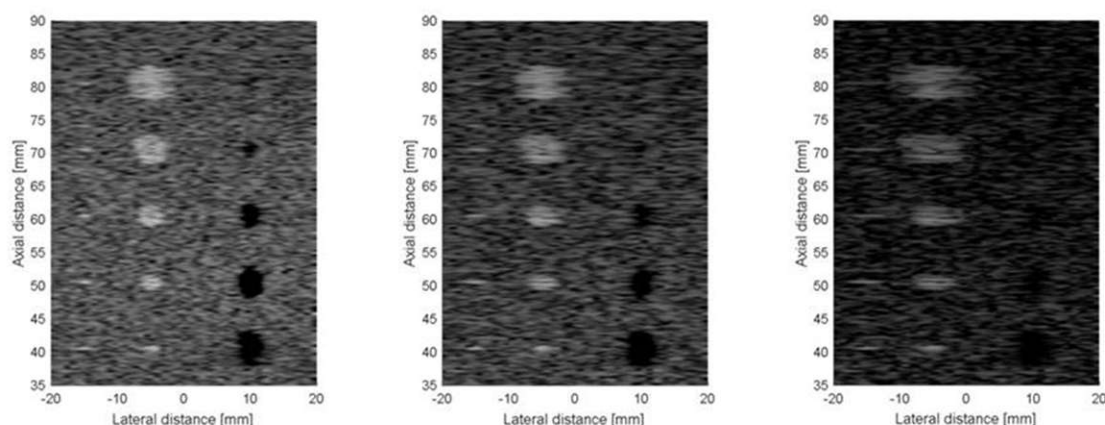


図 2-1. チャンネル統合全体にわたる画像解像度と品質

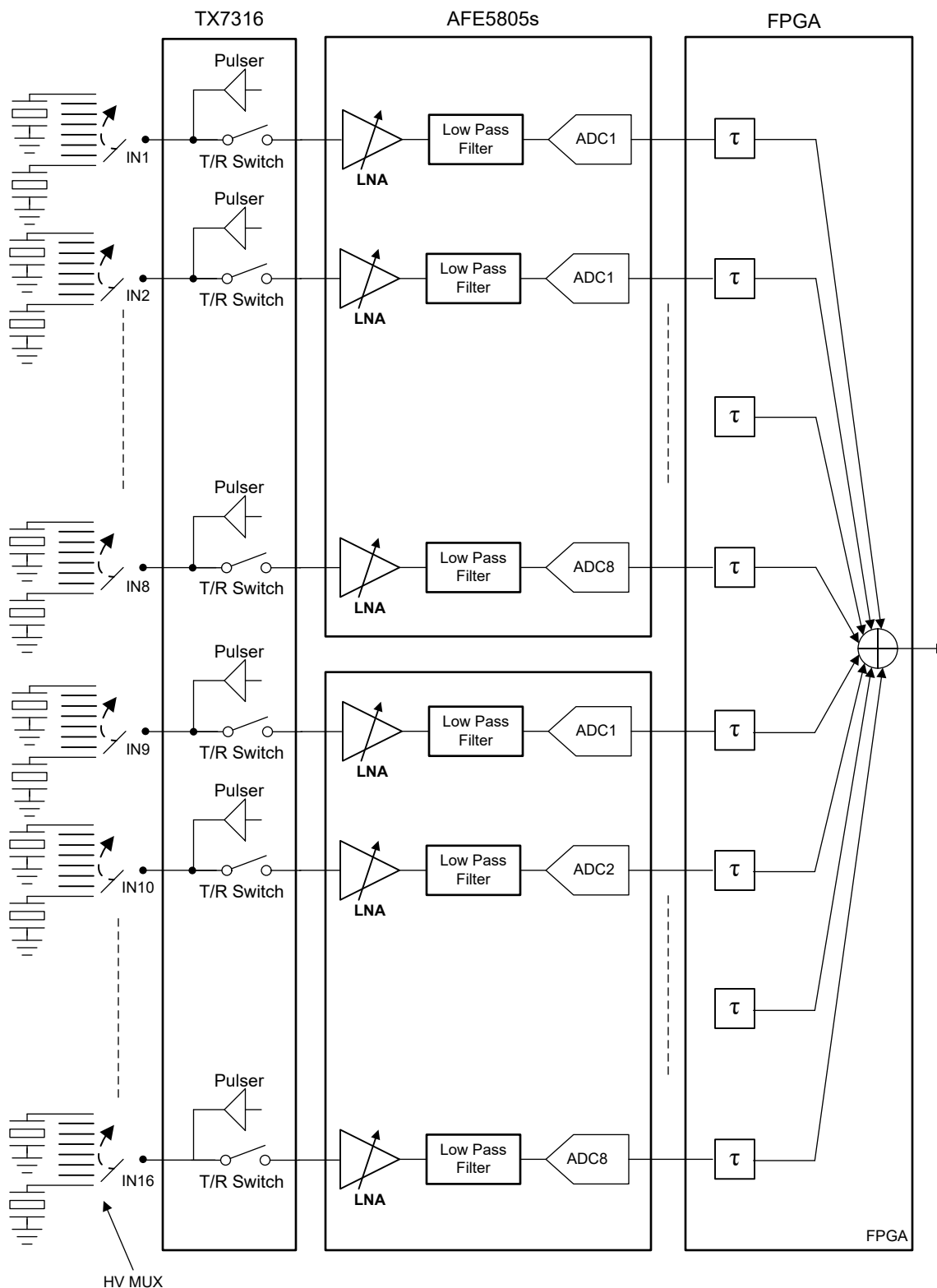


図 2-2. 16 チャンネル システム

ターゲット面積を達成するために、すべての電源を別の PCB 上に維持され、コネクタ経由で RX + TX ボードに垂直にスタックします。別の PCB に電源を配置することのもう 1 つの利点は、この方式により電源から敏感なレシーバおよびトランスミッタ・デバイスへのスイッチング ノイズに対するの絶縁性が向上することです。この電源ボードは、USB Type-C 5V から合計 8 種類の電源 ($\pm 75V$ を含む) を生成し、最大 15W のピーク電力を供給できます。TI の CDC シリーズまたは

LMK シリーズのクロック バッファを使用して、システム用の同期クロックを生成するのが一般的な方法です。このアプローチは、消費電力が増加し、ボード上のスペースに余分を割ります。提案された設計では、電力と基板スペースの使用量を削減するために、FPGA を使用してすべてのチップにクロックを供給します。電源ボードを同期するには、8 つのクロック信号を必要とします。超音波システムでは、トランスミッターはイメージング期間の 1% でアクティブ状態になります。それ以外の期間、レシーバ デバイスはエコーを受信し、イメージ全体を作成します。同じコンセプトで、トランスミッタデバイスも 1% の期間のみでアクティブ状態を維持するため、クロック電力をさらに低減できます。99% の期間では、トランスミッタに供給される低電圧差動信号伝送 (LVDS) 信号は 3 ステータスモードにプログラムされます。3 ステータスモードでの LVDS バッファ電力は 11mW/チャンネルで、クロック供給方式の総消費電力は 213mW になります。これは、従来のクロック供給方式の 500mW の電力を上回っている改善です。

2.1 ブロック図

このデザインは、フルパワー ツリーのデザインを実装します。このデザインには、シングル・ステージでの変換用のトランスレシ高電圧生成と、5V USB Type-C を入力として使用する AFE と FPGA 向けの負荷ポイント低電圧を生成する機能が搭載されています。実装全体は、高電圧電源 (『[超音波スマート プローブ用バイポーラ高電圧 SEPIC 電源設計](#)』アプリケーションノートを参照) および低電圧電源という 2 つのセクションに分かれています。このシステムは 5V USB Type-C 接続を使用する携帯電話、ノートパソコン、デスクトップからの入力を受け入れます。その後、この 5V 入力さまざまな電源管理設計で使用され、設計内の各種サブシステムの消費電力を監視し、FPGA と AFE、トランスミッタの両方に電力を供給します。レシーバおよびトランスミッタ両方の低電圧電源では、各 DC/DC コンバータの後段に LDO が配置され、電源除去比 (PSRR) の高いノイズを除去します。超音波スマート プローブはノイズに敏感な設計であるため、画質の向上にとって、高 PSRR は重要な仕様です。FPGA、USB コントローラとクロック電源は、TPS54218、TPS7A96、TPS74401 デバイスを使用する高効率、低消費電力の設計により給電されます。最後に、INA231 デバイスを使用して各電力段の電流を監視し、より高性能な動作を実現できます。図 2-3 に、システム ブロック図を示します。

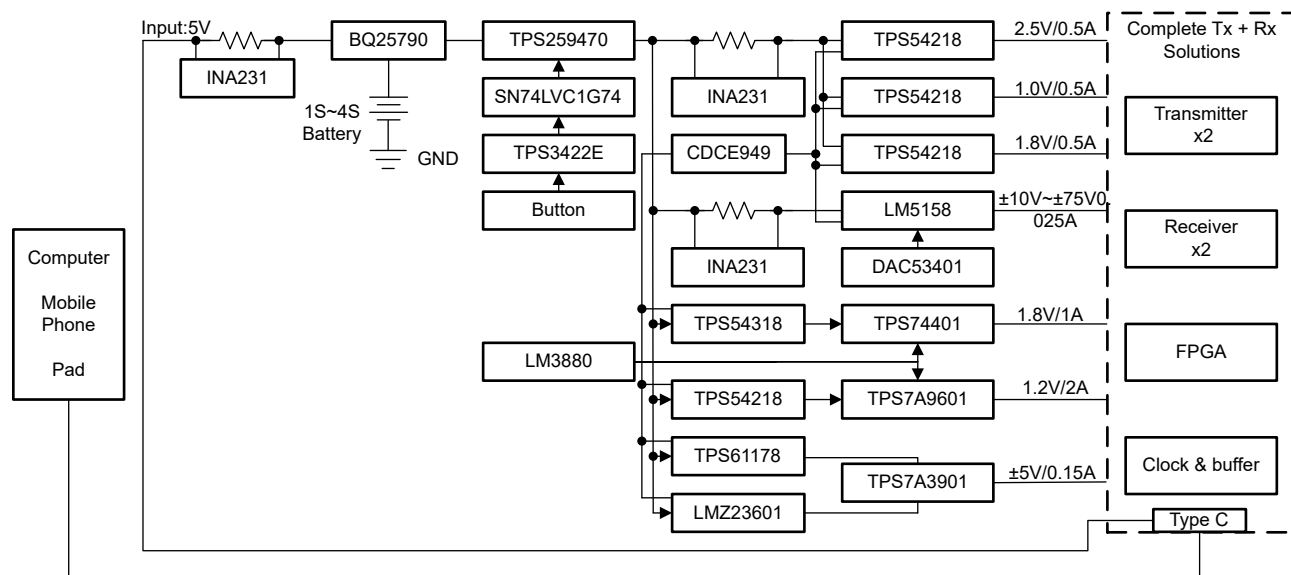


図 2-3. TIDA-010269 のシステム レベル ブロック図

2.2 設計上の考慮事項

ハンドヘルド超音波機器の電源設計は複雑で、システム レベルには多くの課題が存在します。これらの課題の原因はすべて、設計全体のサイズが小さいことです。熱という形で発生した電力損失は基板の温度を上昇させるため、低消費電力レールが一定の同期周波数動作で高効率を達成することは重要な問題点になります。一般に、小型の最終製品には携帯しやすい性質のため、冷却メカニズムを搭載していません。以下のセクションでは、スマートプローブの電源設計における設計上の主な考慮事項について説明します。

2.2.1 小型でコンパクトなサイズ

デザイン全体のサイズは、ハンドヘルドの仕様に維持されます。デザインに以下の内容を含めます：

- トランスデューサを使用する送信回路。この設計では、128 チャンネルのトランスミッタと、業界で使用されている 2 つの最新 64 チャンネル超音波トランスミッタを搭載しています。
- 64 チャンネル レシーバ
- ビームフォーミング用高性能 FPGA
- 送信電力用の高電圧回路
- 8 つの独立した低電圧レールを実装しており、ロードポイント電源、USB とデータ キャプチャ セクションを提供し、受信したデータを PC やタブレットに転送するための電力を供給します

これらのセクションはすべて、TX、RX、FPGA を 1 個にした 2 基板アセンブリに配置されており、残りの部分はこの設計が説明した電力ボードに搭載されています。図 2-4 に、システム全体の高さ分布を示します。設計の合計高さは 20mm 未満です。図 2-4 に、実装された設計の対応する実際の画像も示します。



図 2-4. 設計全体の合計高さ

2.2.2 トランスレス設計

このデザインは、トランスレス 電源管理設計を実装しており、5mm 未満の部品の高さに関する要件を満たすとともに、シングル ステージ実装と負荷ポイント (3.6V のバッテリー入力もサポート) により、5V USB でデュアル レール高電圧 (25mA で $\pm 75V$) の生成を可能にします。以下のリストに、スマートプローブ式超音波スキャナの電源の設計における主な制約を示します：

- 効率 > 80%
- 熱性能 (周囲より上昇した温度が < 15°C 未満)
- SNR > 55dB (ノイズ・フロアは -90dB 未満)
- 高電圧レールの精度 (+ve と -ve の高電圧ラインの間) が 1%
- 2% 以内の負荷レギュレーション精度

図 2-5 に、このデザインで実装されている高電圧回路部分の基板画像を示します。対応するセクションが赤でハイライト表示されます。

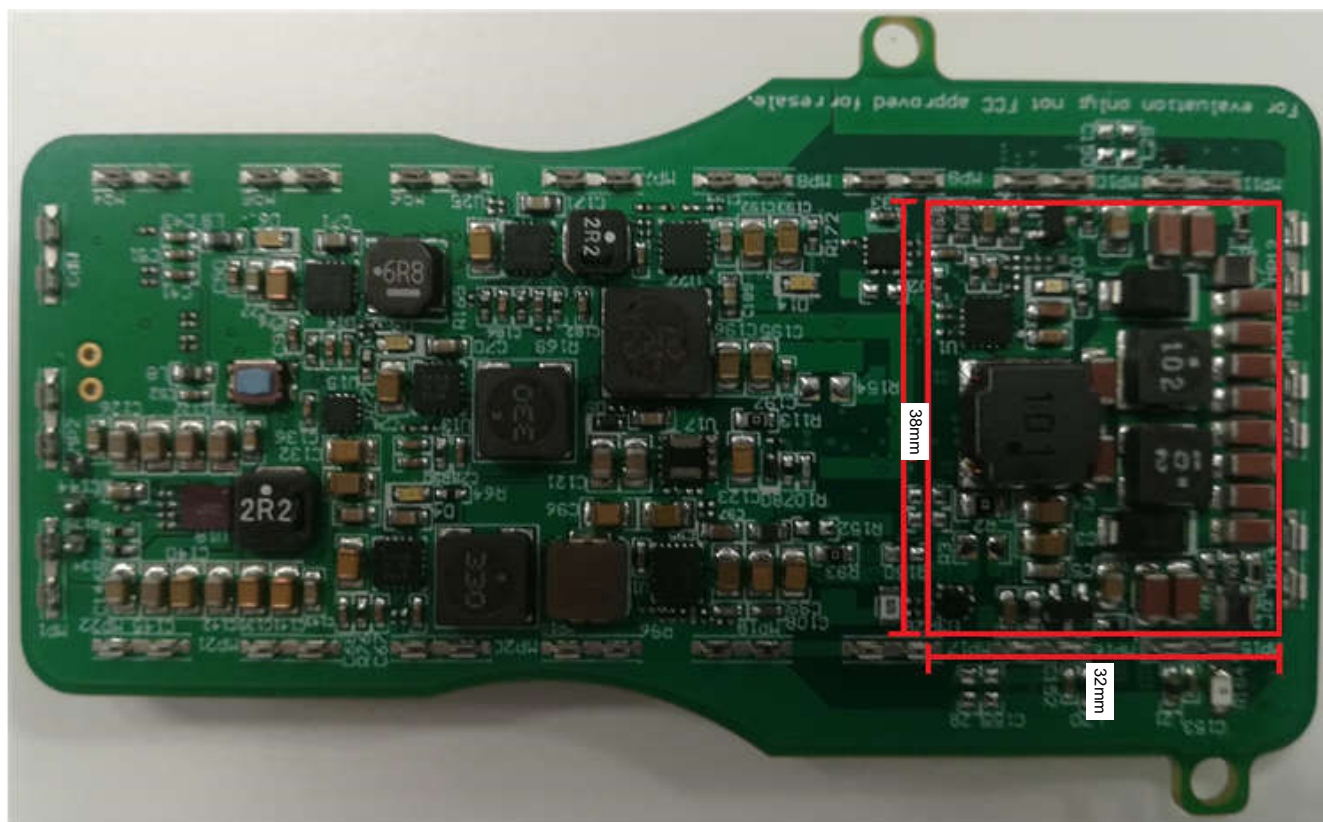


図 2-5. 38mm × 32mm × 4.3mm に実装された高電圧セクション (回路全体を配線し、最下層に配置)

2.3 主な使用製品

このセクションでは、このリファレンス デザインで使用されるデバイスについて簡単に説明します。

2.3.1 BQ25790 IC 制御、1 ~ 4 セル、5A 昇降圧バッテリー チャージャ

BQ25790 は、1 ~ 4 セル リチウムイオン バッテリおよびリチウムポリマ バッテリ用の完全統合型スイッチ モード昇降圧チャージャです。4 つのスイッチング MOSFET、入力および充電電流センシング回路、バッテリー FET (QBAT)、昇降圧コンバータのすべてのループ補償が統合されています。このデバイスは、高い電力密度と設計の柔軟性を備え、スマートフォン、タブレット、その他の携帯デバイスなどの USB Type-C および USB 電力供給 (USB-PD) のアプリケーションの全入力電圧範囲にわたってバッテリーを充電できます。この充電器は、狭い VDC パワーパスマネジメント、デュアル入力電源選択、高速充電、自律充電モードをサポートしています。また、この充電器は、バッテリー温度の NTC サーミスタ監視、トリクル充電、予備充電および高速充電タイマ、バッテリーと入力の過電圧または過電流保護など、バッテリー充電とシステム動作のための各種安全機能を備えています。この充電器は、56 ピンの 2.9mm × 4mm WCSP に対応できます。

2.3.2 TPS3422 低消費電力、プッシュボタン コントローラ、設定可能遅延付き

TPS3422 は延長設定期間を設置されたプッシュ ボタンリセット デバイスで、スイッチが短時間内で閉じた場合にリセットが発生することを防ぎます。TPS3422 はシングル チャネル デバイスであり、PB1 入力が入力プッシュ ボタン タイマ期間にわたって Low に保持されるとアサートされ、リセットのタイムアウト期間後にデアサートされます。また、TPS3422 には TS ピンがあり、このピンを GND または VCC に接続することで、2 つの異なるプッシュ ボタン タイミング オプションを選択できます。

2.3.3 SN74LVC1G74 クリアとプリセット搭載、シングル ポジティブ エッジトリガ型 D タイプ フリップ フロップ

このシングル ポジティブ エッジトリガ D タイプ フリップ フロップは、1.65V~5.5V の V_{CC} で動作するように設計されています。ダイをパッケージとして使用する NanoFree™ パッケージ技術は、IC パッケージの概念を大きく覆すものです。プリセット (PRE) またはクリア (CLR) 入力が Low レベルの場合、他の入力のレベルに関係なく、出力をセットまたはリセットします。PRE と CLR が非アクティブ (HIGH) の場合、セットアップ時間の要件を満たすデータ (D) 入力のデータは、クロックパルスの正方向エッジで出力に転送されます。クロックのトリガは電圧レベルで発生し、クロックパルスの立ち上がり時間とは直接関係しません。ホールド時間が経過した後、D 入力のデータは、出力のレベルに影響を及ぼさずに変更できます。このデバイスは、 I_{off} を使用する部分的パワーダウン アプリケーション用の動作が完全に規定されています。 I_{off} 回路が出力をディセーブルにするため、電源切断時にデバイスに電流が逆流して損傷に至ることを回避できます。

2.3.4 TPS259470 2.7V ~ 23V、5.5A、28mΩ 真の逆電流ブロックング eFuse

TPS25947xx eFuse ファミリーは、小さなパッケージに搭載され、高集積な回路保護および電源管理設計です。このデバイスは、非常に少ない数の外付け部品で複数の保護モードを提供し、過負荷、短絡、電圧サージ、逆極性、過剰な突入電流に対して堅牢な保護を行います。バックツーバック FET が内蔵されており、出力から入力への逆電流が常にブロックされるため、これらのデバイスはパワー マルチプレクサや ORing アプリケーションに最適で、また、入力電源に障害が発生した場合に負荷側のエネルギーを保持するストレージを必要とするシステムにも適しています。これらのデバイスは、リニア ORing 接続ベースの方式を採用して DC 逆電流をほぼゼロにしているので、順方向電圧降下と消費電力を最小限にした理想ダイオード動作をエミュレートできます。出力のスルーレートと突入電流は、単一の外付けコンデンサを使用して調整できます。固定の安全な最大電圧 (ピンで選択可能) に出力をクランプする方法と、可変の過電圧スレッシュホールドを入力が超えた際に出力を遮断する方法のどちらかで、入力過電圧状態から負荷を保護します。このデバイスは、電流をアクティブに制限するか、または回路を遮断することにより、出力過負荷に対応します。出力電流制限スレッシュホールドおよび過渡過電流ブランキング タイマは、ユーザーが調整可能です。電流制限制御ピンは、アナログ負荷電流モニタとしても機能します。これらのデバイスは、2mm × 2mm、10 ピンの HotRod QFN パッケージで供給され、放熱性能の向上とシステムのフットプリント削減に役立ちます。

2.3.5 TPS54218 2.95V ~ 6V 入力、2A、同期整流降圧 SWIFT™ コンバータ

TPS54218 デバイスは、2 つの MOSFET を内蔵した全機能の 6V、2A 同期整流降圧型電流モード コンバータです。TPS54218 デバイスは MOSFET を内蔵し、電流モード制御の実装により外付け部品数が少なく、スイッチング周波数が最高 2MHz と高いためインダクタを小さくでき、熱的に強化された小型 (3mm × 3mm) の QFN パッケージによりデバイスの占有面積を最小化できるため、小型の設計を実現できます。

2.3.6 TPS54318 2.95V ~ 6V 入力、3A、同期整流降圧 SWIFT™ コンバータ

TPS54318 デバイスは、2 つの MOSFET を内蔵したフル機能の 6V、3A 同期整流降圧型電流モード コンバータです。TPS54318 デバイスは MOSFET を内蔵し、電流モード制御の実装により外付け部品数が少なく、スイッチング周波数が最高 2MHz と高いためインダクタを小さくでき、熱的に強化された小型 (3mm × 3mm) の QFN パッケージによりデバイスの占有面積を最小化できるため、小型の設計を実現できます。

2.3.7 LM5158 2.2MHz、ワイド V_{IN} 、85V 出力、昇圧、SEPIC またはフライバック コンバータ

LM5158 デバイスは、統合された 85V、3.26A のパワー スイッチを内蔵した、入力範囲が広い非同期昇圧コンバータです。このデバイスは、昇圧、SEPIC、フライバックのトポロジで使用可能です。LM5158 は、最低 3.2V のシングル セル バッテリーで起動できます。BIAS ピンが 3.2V を上回っている場合、最低 1.5V の入力電源電圧で動作できます。BIAS ピンは、最大 60V (絶対最大定格 65V) で動作します。スイッチング周波数は、外付けの抵抗を使用して 100kHz~2.2MHz の範囲で動的にプログラムできます。2.2MHz でのスイッチングにより、AM 帯域との干渉が最小化され、設計サイズの小型化と、高速な過渡応答を実現できます。このデバイスは、広い周波数範囲にわたって EMI を低減するのに役立つ選択可能なデュアル ランダム スペクトラム拡散機能を備えています。

2.3.8 TPS61178 20V 負荷切断付き、完全統合型同期整流昇圧

TPS61178x ファミリーは 20V の同期整流昇圧コンバータで、負荷の切断用にゲートドライバが組み込まれています。TPS61178x は、オン抵抗の小さいパワー FET を 2 個統合しています: 16mΩ のスイッチング FET と、16mΩ の整流器 FET です。TPS61178x は固定周波数のピーク電流モード制御を使用し、勾配補償が搭載されています。軽負荷時には、TPS61178 は自動 PFM モードに移行します、それと同時に、TPS611781 は強制 PWM モードを起動します。

2.3.9 LMZM23601 3.8mm × 3mm パッケージ封止、36V、1A 降圧 DC/DC パワー モジュール

LMZM23601 はインダクタが内蔵された電源モジュールで、スペースに制約のある産業用アプリケーションに特化して設計されています。5V と 3.3V の 2 つの固定出力電圧オプションと、1.2V ~ 15V の範囲で可変 (ADJ) の出力電圧オプションで供給されます。LMZM23601 の入力電圧範囲は 4V ~ 36V で、最大 1000mA の出力電流を供給できます。この電源モジュールは非常に使いやすく、5V および 3.3V 出力の設計では、必要な外付け部品はわずか 2 つです。LMZM23601 のすべての特長は、性能重視で低 EMI の、スペースに制限のある産業用アプリケーションに最適化されています。オープンドレインのパワー グッド出力により、システムの真の状態が示されるため、スーパーバイザ部品を追加する必要がなく、コストと基板面積を削減できます。PWM モードと PFM モードとのシームレスな移行、および無負荷時の消費電流がわずか 28μA であることから、負荷電流の範囲全体にわたって高い効率と優れた過渡応答が提供されます。LMZM23601 は 500mA の電流を出力できる LMZM23600 とピン互換で、簡単に出力電流をスケールリングできます。

2.3.10 TPS7A39 デュアル、150mA、広い V_{IN} 、正/負の低ドロップアウト (LDO) 電圧レギュレータ

TPS7A39 はデュアル、モノリシック、高 PSRR の低ドロップアウト(LDO)正/負電圧レギュレータで、最大 150mA の電流をソース(およびシンク)できます。レギュレートされた出力は、個別かつ外部的に対称電圧または非対称電圧に調整できるので、シグナル コンディショニング向けのデュアル バイポーラ電源として最適です。

2.3.11 TPS74401 3.0A、超低ドロップアウト レギュレータ、プログラム可能なソフト スタート機能付き

TPS74401 低ドロップアウト (LDO) リニア レギュレータは、広範なアプリケーション向けの使いやすく堅牢な電力管理デザインです。ソフト スタートをユーザーがプログラム可能なため、スタートアップ時の容量性突入電流を低減して、入力電源のストレスを最小限に抑えることができます。ソフトスタートは単調性で、多くの種類のプロセッサおよび特定用途向け IC (ASIC) の電源に適しています。イネーブル入力とパワー グッド出力により、外部レギュレータとの間でシーケンシングを簡単に行えます。高い柔軟性により、FPGA、デジタル信号プロセッサ (DSP) やその他の特別なスタートアップ条件を持つアプリケーションのシーケンス制御条件を満たすソリューションを作成できます。高精度の基準電圧およびエラー アンプは、負荷、ライン、温度、プロセスの全体にわたって 1% の精度を維持します。出力コンデンサがない、あるいはセラミック出力コンデンサを使用する場合でも、TPS74401 ファミリの LDO も安定に動作できます。このデバイス ファミリーは、 $T_J = -40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ へ完全に仕様規定されています。TPS74401 は、2 つの 20 ピンの小型 VQFN パッケージ (5mm × 5mm の RGW と 3.5mm × 3.5mm の RGR パッケージ) で供給されコンパクトな総設計サイズを実現します。さらに大きな消費電力を必要とするアプリケーションにも、DDPAK (KTW) パッケージは用意されています。

2.3.12 TPS7A96 2A、超低ノイズ、超高 PSRR、RF 電圧レギュレータ

TPS7A96 は、わずか 200mV のドロップアウトで 2A を供給できる超低ノイズ (0.5μV_{RMS})、低ドロップアウト (LDO) の電圧レギュレータです。この小さいドロップアウトは、エラー アンプの広い帯域幅とあいまって、小さい動作ヘッドルーム (500mV) と大出力電流 (1.75A) でも非常に大きい電源抵抗比 (PSRR) (1kHz で 104dB、1MHz で 48dB) を可能にします。デバイスの出力電圧は、外付け抵抗によって 0.4V~5.5V の範囲で調整可能です。広い入力電圧範囲に対応し、最低 1.9 V、最高 5.7V での動作をサポートしています。このデバイスには、プログラム可能な電流制限、プログラム可能な PG スレッシュホールド、および高精度イネーブル機能が搭載されているため、アプリケーションをより的確に制御できます。高精度の基準電圧と広帯域幅のトポロジを備えたこのデバイスは、並列接続することで簡単に低ノイズと大電流を実現できます。このデバイスは、1% の出力電圧精度 (入力、負荷、温度に関して) およびソフトスタート機能により突入電流が低減されるため、敏感なアナログ低電圧デバイスへの電力供給向けの設計になっています。

2.3.13 遅延時間固定機能を搭載、LM3880 3 レール、シンプルな電源シーケンサ

LM3880 は、複数の独立した電圧レールのパワーアップおよびパワーダウン シーケンスを非常に簡単に制御できるシンプルな電源シーケンサです。スタートアップ シーケンスをずらすことで、システムの信頼性に影響を及ぼす可能性があるラッチ状態や大きな突入電流を防止できます。6 ピン SOT-23 パッケージで供給されるこのシンプルなシーケンサは、高精度のイネーブル ピンと 3 つのオープンドレイン出力フラグを備えています。オープンドレイン出力フラグは、(これらの出力が $V_{DD} + 0.3V$ という推奨最大電圧を上回らない限り) シーケンサの V_{DD} 以外の別の電源電圧までプル アップされることを許可し、それによって、異なる有効信号レンジを必要とする IC と接続できます。LM3880 を有効にした後、それぞれ個別の遅延時間の後で 3 つの出力フラグが順に解除され、接続されている電源を起動することができるようになります。出力フラグは、電源オフ時にはこの逆の順序に従うことで、ラッチ状態を回避します。

2.3.14 不揮発性メモリを内蔵、DAC53401 10 ビット電圧出力 DAC

DAC53401 は、10 ビットのバッファされた電圧出力 D/A コンバータ (DAC)。これらのデバイスは消費電力が非常に小さく、超小型の 8 ピン WSON パッケージにも対応可能です。DAC53401 は、その機能セット、小型パッケージ、低消費電力などの特性を備え、LED 用および汎用バイアス ポイント生成、電源制御、PWM 信号生成、医療用アラーム音生成などのアプリケーションに最適です。これらのデバイスは不揮発性メモリ (NVM)、内部基準電圧、PMBus 互換の I²C インターフェイスを備えています。DAC53401 は、内部リファレンスまたは電源をリファレンスとして使用して動作し、1.8V ~ 5.5V のフルスケール出力を実現します。このデバイスは、I²C インターフェイスを通じて通信することができます。これらのデバイスは、I²C の Standard Mode、Fast Mode、Fast Mode Plus をサポートしています。DAC53401 は PMBus 電圧マージン コマンド、ユーザー プログラマブルな起動方法 (出力をハイ インピーダンスにして起動可能)、スタンドアロンの波形ジェネレータ、医療用アラーム音ジェネレータ、専用フィードバックピンなどの豊富な機能を備えています。DAC53401 は -40°C ~ +125°C の温度範囲で動作します。

2.3.15 INA231 28V、16 ビット、I²C 出力電流、電圧と電力モニタ、WCSP でアラートを搭載

INA231 は 1.8V I²C 準拠インターフェイス付きの電流シャント/電力モニタで、16 個のプログラマブル アドレスを備えています。INA231 はシャント電圧降下とバス電源電圧の両方を監視し、その値がプログラムされた範囲を外れたときは ALERT ピンをアサートして、保護を強化します。較正值、変換時間、平均化オプションをプログラム可能で、内蔵のマルチプライヤと組み合わせて電流のアンペア値や電力のワット値を直接読み出すことができます。そのため、ホストプロセスを低減します。

3 システム設計理論

このセクションでは、電源およびデータ通信の実装の各部分の詳細な実施手順について説明します。

3.1 入力セクション

この電源ボードは、トランスミッタボードとレシーバボード（メイン ボード）から **5V** の入力を受信します。メイン ボードには **USB Type-C** コネクタが搭載されており、外部イメージング デバイスとの通信を行い、デバイスに電力を供給します。また、入力セクションには、**INA231** を使用して、システムの電流、**USB** バス電圧、およびリアルタイム消費電力を連続的に測定する入力電力測定回路も含まれます。図 3-1 に、前に述べる実装の回路図を示します。

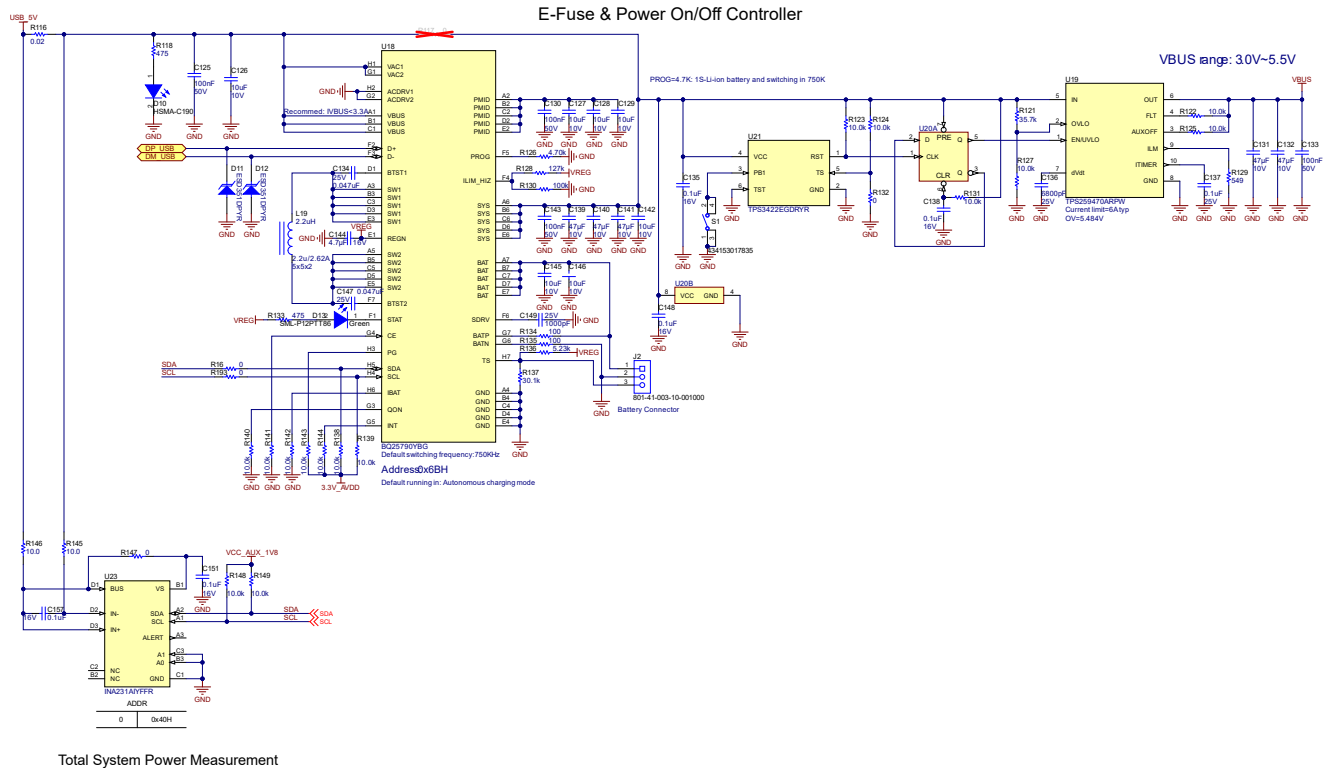


図 3-1. TIDA-010269 の入力セクション

3.1.1 昇降圧チャージャ

最初の段では、**BQ25790** 昇降圧チャージャを使用しています。この充電器は、1 セルのリチウムイオンまたはリチウムポリマ バッテリーを使用します。また、チップにはスマート パワー バス機能が内蔵されており、バッテリーが完全に放電した場合や取り外された場合でもシステムの動作を維持できます。負荷電力が入力電源の定格を超過し、あるいは除去されると、バッテリーが補完モードに移行し、入力電源の過負荷とシステムの故障を防止します。入力電源がなくなっても、**BQ25790** は、バッテリーを放電して、**VBUS** 上に **2.8V ~ 22V** の可変電圧を **10mV** 刻みで生成することで **USB On-the-Go (OTG)** 機能に対応します。この動作は、プログラマブル電源 (**PPS**) 機能で定義されている **USB PD 3.0** 仕様に準拠しており、外部デバイスを充電することができます。**I²C** ホスト制御充電モード以外に、この充電器は自律充電モードもサポートしています。電源投入後、充電はデフォルトのレジスタ設定を使って有効化されます。本デバイスは、ソフトウェアがまったく関与しなくても充電サイクルを完了できます。**BQ25790** は、各段階（トリクル充電、プリチャージ、定電流 (**CC**) 充電、定電圧 (**CV**) 充電でバッテリー電圧を検出しバッテリーを充電します。定電圧フェーズにおいて、充電サイクルの終わりに、充電電流があらかじめ設定された制限値（終了電流）を下回ると、充電器は自動的に停止します。十分に充電されたバッテリーが再充電スレッシュホールドを下回ると、充電器は自動的に他の充電サイクルを開始します。

テキサス インストルメンツでは、バッテリー充電に自律モードを使用していますが、このリファレンス デザインでは **I²C** インターフェイスを残しています。**BQ25790** の **PROG** ピンは、グランドへの **4.7kΩ** 抵抗を使用して構成され、スイッチング周波数を **750kHz** に、充電電流はデフォルトで **2A** に設定できます。充電電流はデフォルトで **2A** に設定できます。外部アダ

プタ用の USB Type-C コネクタが 1 つしかなく、外部 ACFET-RBFET がないため、AC1 と VAC2 を VBUS に接続し、ACDRV1 と ACDRV2 を GND に接続します。式 1 に、入力電流制限設定の計算結果を示します。

$$I_{\text{input_limit}} = \frac{V_{\text{ILIM}} - 1}{0.8} = \frac{\frac{V_{\text{REGN}} \times R_{130}}{R_{128} + R_{130}} - 1}{0.8} \quad (1)$$

設計者は R128 および R130 を更新して、予想される電流制限値に達します。このリファレンス デザインでは、設計者は評価基板に従い、1.4A の電流制限を設定します。

3.1.2 電源をオンまたはオフにします

実際のアプリケーションでは、診断が完了したときに、エンドユーザー電位でスマートプローブの電源をオフにし、バッテリーの電力を節約する必要があります。TPS3422、SN74LVC1G74、TPS259470 デバイスは、電源のオンまたはオフ回路を構成しています。ユーザーがボタンを押すと、TPS3422 はパルスリリースします。このパルスを D タイプ フリップ フロップに供給して、D タイプ フリップ フロップを HIGH に駆動、高レベルにラッチします。D タイプ フリップ フロップの高レベルにより、TPS259470 は電源オンになります。ユーザーが再度ボタンを押すと、TPS3422 はもう 1 つのパルスをリリースし、そのパルスは D タイプ フリップ フロップを低レベルに駆動します。低レベルになると、TPS259470 およびスマートプローブの電源がオフになります。ユーザーが再度ボタンを押すと、回路は前の手順を繰り返します。電源がオンになる時に、D タイプ フリップ フロップはクリアされ、リセットされます。その後、D タイプ フリップ フロップの出力は低レベルになるため、回路は電源オフのステータスになります。図 3-2 に、電源オンまたはオフの方式を示します。

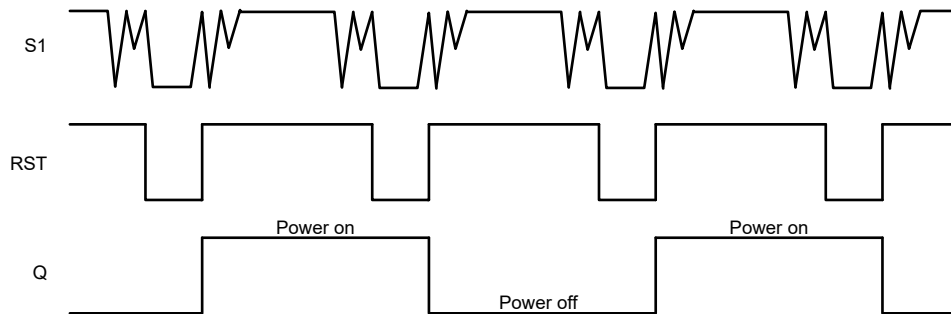


図 3-2. 電源オンまたはオフの方式

3.2 SEPIC および Cuk をベースとする高電圧電源の設計

超音波イメージの処理には、高電圧電源が不可欠です。効率、体積、高さなどの要素を総合的に考える必要があります。ため、超音波スマートプローブ アプリケーション向けの高電圧電源の設計は難しい課題になります。このリファレンス デザインは、従来の TIDA-010057 の設計に基づいていますが、PCB 面積の低減とコストの削減を実現するため、新しい部品を採用しています。

3.2.1 SEPIC および Cuk コンバータの基本動作原理

シングルエンドのプライマリ インダクタンス コンバータ (SEPIC) および Cuk 設計では、出力電圧が入力電圧よりも高い場合も低い場合もあります。図 3-3 に、2 つのインダクタを使用した SEPIC トポロジを示します。L1、L2、および図 3-4 に、L3 および L4 インダクタを使用する Cuk コンバータトポロジを示します。2 つのインダクタは、スイッチング サイクル全体で同じ電圧が適用されるため、同じコアに配置することも、非結合にすることもできます。図 3-3 と図 3-4 は、SEPIC トポロジでダイオードと 2 番目のインダクタの位置を交換することで、Cuk トポロジを実現したことを示しています。

注

Cuk の出力は負またはマイナスになりますが、SEPIC の出力は正です。

SEPIC コンバータのさまざまな回路ノードの電圧を理解するには、Q1 をオフにし、スイッチングされていない状態で DC の回路を解析します。定常状態の CCM、パルス幅変調 (PWM) 動作中、リップル電圧を無視すると、コンデンサ C1 は入力電圧 V_{IN} まで充電されます。Q1 をオフにすると、L2 の両端の電圧を V_{OUT} にする必要があります。したがって、Q1 がスイッチング オフになっているときの Q1 の両端の電圧は $V_{\text{IN}} + V_{\text{OUT}}$ と等しくなり、L1 の両端の電圧は V_{OUT} とな

ります。Q1 をオンにすると、 V_{IN} に供給するコンデンサ C1 は L2 と並列に接続されるため、L2 の両端の電圧は $-V_{IN}$ となります。

図 3-3 に、さまざまな回路コンポーネントを流れる電流を示します。Q1 をオンにすると、エネルギーは入力から L1 に、C1 から L2 に蓄積されます。Q1 をオフにすると、L1 電流は C1 および D1 を通って、C2 および負荷に流れ続けます。C1 と C2 の両方が再充電され、それぞれ負荷電流を供給し、L2 に充電します。Q1 を再びオンにすると(図 3-3 および図 3-5 を参照)。「AN-1484 SEPIC コンバータの設計」アプリケーション ノートを参照してください。

Cuk コンバータのさまざまな回路ノードでの電圧を理解するには、Q2 をオフにし、スイッチングされていない状態で DC の回路を解析します。定常状態の CCM、パルス幅変調 (PWM) 動作中、リップル電圧を無視する間に、コンデンサ C3 は $V_{IN} - V_{OUT}$ で充電されます。Q2 をオフにすると、L4 の両端の電圧を V_{OUT} にする必要があります。したがって、Q1 がスイッチング オフになっているときの Q1 の両端の電圧は $V_{IN} - V_{OUT}$ と等しくなり、L3 の両端の電圧は V_{OUT} となります。Q2 をオンにすると、コンデンサ C3 は $V_{IN} - V_{OUT}$ で充電され、L4 と直列に接続されるため、L4 両端の電圧は $-V_{IN}$ となります。図 3-4 に、さまざまな回路コンポーネントを流れる電流を示します。Q2 をオンにすると、エネルギーは入力から L3 に、C3 から L4 に蓄積されます。Q2 をオフにすると、L3 からの電流は C3 と D2 を経由し、L4 の電流は C4 と負荷に供給されます。C3 と C4 の両方が再充電されるため、Q1 が再びオンになったときに、これらのコンデンサはそれぞれ負荷電流を供給し、L4 に充電します。詳細については、図 3-4、図 3-6 および TI-Cuk トレーニングをご覧ください。

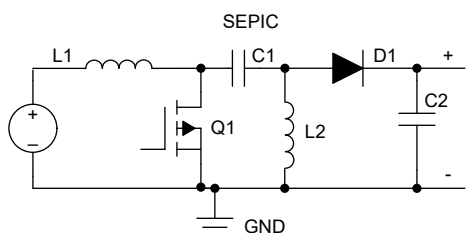


図 3-3. SEPIC トポロジ

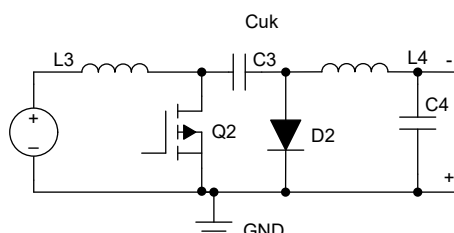


図 3-4. Cuk コンバータトポロジ

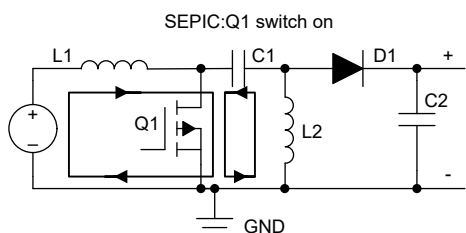


図 3-5. SEPIC MOSFET スイッチがオンのときの電流ループ

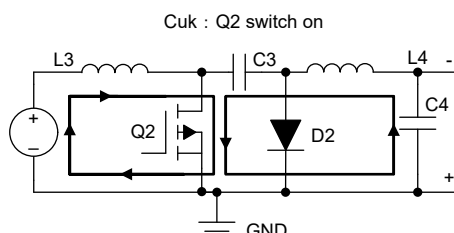


図 3-6. Cuk MOSFET スイッチがオンのときの電流ループ

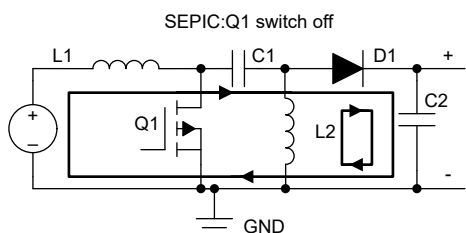


図 3-7. SEPIC MOSFET スイッチがオフのときの電流ループ

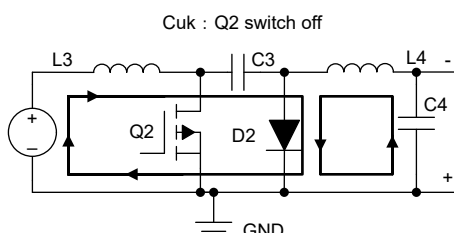


図 3-8. Cuk MOSFET スイッチがオフのときの電流ループ

SEPIC (式 2) と Cuk (式 3) の入力電圧と出力電圧との間のデューティ サイクルについての式は次のとおりです:

$$D = \frac{V_{\text{output}} + V_D}{V_{\text{in}} + V_{\text{output}} + V_D} \quad (2)$$

$$D = \frac{-V_{\text{output}} + V_D}{V_{\text{in}} - V_{\text{output}} + V_D} \quad (3)$$

Cuk の出力が負であるため、式 2 と 式 3 はまったく同じです。ここで、 V_{IN} は入力電圧、 V_D はダイオードの順方向電圧、 V_{OUTPUT} は出力電圧です。このヒントは、出力電圧が振幅を同じに維持することを示しており、負荷が同じなら制御されていることを示しています。

式 4 (SEPIC) および 式 5 (Cuk) は、スイッチング中に MOSFET が耐えられる最大電圧の計算を示します。

$$V_{Q1} = V_{\text{in}} + V_{\text{output}} + V_D + \frac{V_{C1_ripple}}{2} \quad (4)$$

$$V_{Q2} = V_{\text{in}} - V_{\text{output}} + V_D + \frac{V_{C3_ripple}}{2} \quad (5)$$

式 6 (SEPIC) および 式 7 (Cuk) は、スイッチング中にダイオードが耐えられる最大電圧を示しています。

$$V_{D1} = V_{\text{in}} + V_{\text{output}} + V_D + \frac{V_{C1_ripple}}{2} \quad (6)$$

$$V_{D2} = V_{\text{in}} - V_{\text{output}} + V_D + \frac{V_{C3_ripple}}{2} \quad (7)$$

式 8 (SEPIC) および 式 9 (Cuk) は、スイッチング中にカップリング コンデンサが耐えられる最大電圧を示しています。

$$V_{C1} = V_{\text{in}} + \frac{V_{C1_ripple}}{2} \quad (8)$$

$$V_{C3} = V_{\text{in}} - V_{\text{output}} + \frac{V_{C3_ripple}}{2} \quad (9)$$

図 3-9 と 図 3-10 に、SEPIC と Cuk それぞれの代表的なノード波形を示します。

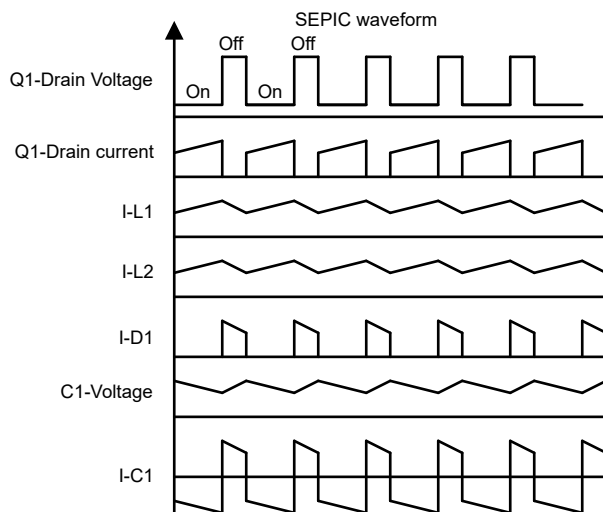


図 3-9. SEPIC のスイッチング波形

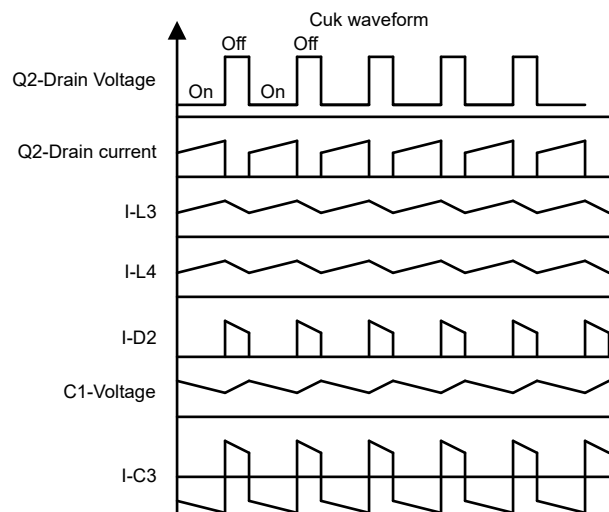


図 3-10. Cuk コンバータのスイッチング波形

超音波スマートプローブ イメージング アプリケーションでは、トランスミッタは小さなパッケージで正と負の高電圧電源に等しい振幅を必要とします。先ほど説明したように、設計者は **SEPIC** と **Cuk** の各トポロジを統合し、スマートプローブ アプリケーションの要件を満たすことができます。正と負出力の振幅が等しくなります。その理由は、超音波アプリケーションの負荷が理論的にどのような条件下でも一致し、**SEPIC** および **Cuk** のデューティサイクルはまったく同じであるためです。このリファレンス デザインでは、**SEPIC** と **Cuk** の各トポロジは統合され、低入力電圧によって高電圧の電源を生成しました。

3.2.2 **SEPIC** および **Cuk** を採用した非結合型インダクタを使用したデュアル高電圧電源設計

このセクションでは、非結合インダクタを使用したデュアル高電圧電源の実装について説明します。デュアル電源の仕様については、表 1-1 を参照してください。セクション 3.2.2.1 ~ セクション 3.2.2.8、電源を設計するためのステップ バイ ステップの方法を示します。このシステムは、図 3-11 に示すように、1 次側においてコンデンサ **C1** および **C15** で並列に接続された 2 つの出力段として考えられます。高電圧デュアル電源を作成するために、高電圧電源 (HVPS) の出力段は異なる設計になっています。図 3-11 に示すように、出力コンデンサは、1 段目 (**SEPIC**) の 75V 正のレールに充電されます。同様に、下段の出力コンデンサは -75V (**Cuk**) の負電源に充電されます。これは、図 3-11 の **R7**、**R11**、**R13** の間に **HVGND** が含まれているためです。**HVGND** を使用してデュアル高電圧電源を実現しました。両方のレールの出力に沿って、パイフィルタとパワー フィルタを使用することで、高電圧電源のリップルを減衰しました。

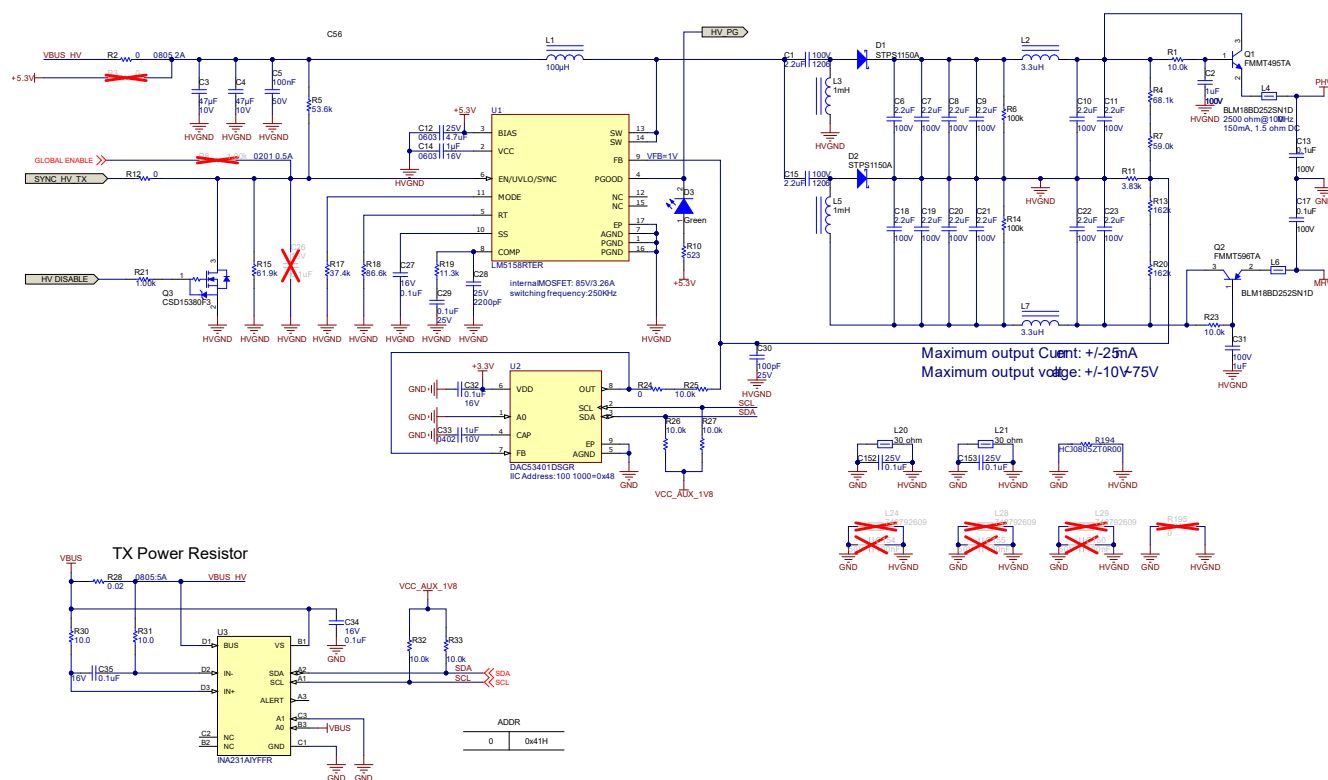


図 3-11. **SEPIC** および **Cuk** コンバータの回路図

3.2.2.1 デューティ サイクル

連続導通モード (CCM) で動作する **SEPIC** コンバータの場合、式 10 でデューティサイクルを計算します。

$$D = \frac{V_{\text{output}} + V_D}{V_{\text{in}} + V_{\text{output}} + V_D} \quad (10)$$

このリファレンス デザインで使用される高電圧設計では、**LM5158** は 100kHz ~ 250kHz の範囲で 93% のデューティサイクルに対応できます。式 10 から、計算されたデューティサイクルは 93.8% に達します。そのため、この部品は電流不連続モードでわずかに動作しています。ただし、最小 3.26A の MOSFET を内蔵し、小型サイズを採用している場合、この部品は **HVPS** 用に選択されており、最大 $\pm 25\text{mA}$ 電流を出力できます。回路の効率を 0.7 と仮定すると、入力電流

は $(75 \times 0.025 \times 2)/(5 \times 0.7) = 1.072A$ となります。設計者がまったく同じ 2 つのインダクタを選択した場合、最大電流は約 2.57A です。LM5158 が不連続電流モードをサポートしていることは明かです。 V_D は、ダイオード D1 の順方向電圧降下です。

3.2.2.2 インダクタの選択

インダクタンスを決定するための適切なルールを使用することで、ピーク ツー ピークのリプル電流が最小入力電圧で最大入力電流の約 40% にすることが可能になります。式 11 に、同じ値のインダクタ L1 および L2 を流れるリプル電流を示します。

$$\Delta I = I_{in} \times 40\% = \frac{V_{output} \times I_{output}}{V_{input} \times \eta} \times 40\% \approx 0.43A \quad (11)$$

インダクタの値の計算には、式 12 と 式 13 が使用されます。

$$L_1 > \frac{V_{in} \times D}{f_{sw} \times \Delta I} \approx 43.6\mu H \quad (12)$$

$$L_2 > \frac{V_{output}^2 \times (1 - D)}{R \times f_{sw} \times P_{output}} = 897.2\mu H \quad (13)$$

部品の選択と利用を簡単にするために、L1 に対して選択されたインダクタ値は 100μH、L2 の場合は 1000μH でした。

スイッチング周波数は f_{sw} で、 D_{max} は最小 V_{in} でのデューティ サイクルです。インダクタのピーク電流は、インダクタが飽和しないようにするため、式 14 および 式 15 を使用して計算します。

$$I_{L1_Peak} = I_{output} \times \frac{V_{output} + V_D}{V_{in_min} \times \eta} \times 1.2 = 2.17A \quad (14)$$

$$I_{L2_Peak} = I_{out} \times \left(1 + \frac{40\%}{2}\right) = 30mA \quad (15)$$

3.2.2.3 パワー MOSFET の検証

MOSFET の選択を左右するパラメータは、最小スレッシュホールド電圧 $V_{th(min)}$ 、オン抵抗 $R_{DS(on)}$ 、ゲートドレイン電荷 Q_{GD} 、最大ドレイン-ソース間電圧 $V_{DS(max)}$ です。ゲート駆動電圧に基づく、ロジック レベルまたはサブロジックレベルのスレッシュホールド MOSFET を使用します。ピーク スイッチ電圧は $V_{IN} + V_{OUT}$ と等しいです。式 16 に、ピーク スイッチ電流の計算を示します。

$$I_{MOSFET_Peak} = I_{L1_Peak} + I_{L2_Peak} + I_{L3_Peak} \approx 2.23A \quad (16)$$

式 17 はピーク スイッチ電圧を計算します。

$$V_{Q1} = V_{in} + V_{output} + V_D + \frac{V_{C1_ripple}}{2} = 82V \quad (17)$$

式 18 に、スイッチを介した RMS 電流の計算を示します。

$$I_{MOSFET_RMS} = I_{output} \sqrt{\frac{(V_{output} + V_{input_min} + V_D) \times (V_{output} + V_D)}{V_{input_min}^2}} \quad (18)$$

MOSFET の消費電力 P_{Q1} の概算値は、式 19 を使用して計算されます。

$$P_{MOSFET} = I_{MOSFET_RMS}^2 \times R_{DS(on)} + (V_{output} + V_{input_min}) \times I_{MOSFET_Peak} \times \frac{Q_{GD} \times f_{sw}}{I_G} \quad (19)$$

ここで、

- P_{MOSFET} は導通損失を含む MOSFET の総消費電力です

- I_{MOSFET_RMS} はスイッチング損失です
- I_G はゲート駆動電流

動作時接合部温度の最大値での $R_{DS(on)}$ の値を選択します。この値は通常、MOSFET のデータシートに記載されています。導通損失とスイッチング損失の合計がパッケージの定格を超えないようにし、全体的な熱予算を超えないようにしてください。LM5158 の内蔵 MOSFET の $V_{DS(max)}$ は 85V、 $R_{DS(on)}$ は 133mΩ です。

3.2.2.4 出力ダイオードの選択

ピーク電流と逆電圧を処理できる出力ダイオードを選択する必要があります。SEPIC では、ダイオードのピーク電流はスイッチのピーク電流 I_{Q1} (ピーク) と同じになります。式 20 に、ダイオードが耐える必要がある最小ピーク逆電圧を示します。

$$V_{D1} = V_{input_Max} + V_{output} = 85V \quad (20)$$

昇圧コンバータと同様、平均ダイオード電流は出力電流に等しくなります。ダイオードの消費電力は、出力電流にダイオードの順方向電圧降下を乗算した値に等しくなります。効率損失を最小化するため、ショットキー ダイオードを使用することをお勧めします。

3.2.2.5 カップリング・コンデンサの選択

SEPIC または Cuk カップリング コンデンサ C_S の選択は、式 21 で示されるように RMS 電流によって異なります。

$$I_{CS_RMS} = I_{output} \times \sqrt{\frac{V_{output} + V_D}{V_{input_min}}} \quad (21)$$

SEPIC および Cuk コンデンサには、出力電力に対する大きな RMS 電流の定格が必要です。この特性要件があるため、SEPIC がコンデンサを流れる RMS 電流が比較的小さい (コンデンサ テクノロジーと比較する場合) 低消費電力アプリケーションに相応しいです。SEPIC コンデンサの電圧定格は、最大入力電圧よりも高い必要があります。サイズに対して RMS 電流定格が高い SMT には、セラミック コンデンサの方が最適です。RMS 電流要件を満たすコンデンサは、ほとんどの場合、 C_S に小さいリップル電圧を生成します。したがって、ピーク電圧は通常、入力電圧に近いです。SEPIC カップリング コンデンサ (C_S) の値は、最小入力電圧に基づく最大電圧リップルに基づいています。推奨値は、最大電圧リップル (ΔV_C) の 10% です。この電圧リップルと SEPIC カップリング・コンデンサの最小値は、式 22 と 式 23 で求めることができます。

$$\Delta V_C = 10\% \times V_{input_min} = 0.3V \quad (22)$$

$$C_S = \frac{I_{load} \times D_{max}}{f_{sw} \times \Delta V_C} \approx 0.32\mu F \quad (23)$$

実際の設計では、セラミック コンデンサの容量がバイアス電圧により大幅に低減されることに注意してください。ここで選択されたコンデンサ容量は 2.2μF、1206 と 100V。したがって、公称カップリング コンデンサのリップルは 式 24 で計算されます。

$$\Delta V_C = \frac{I_{load} \times D_{max}}{f_{sw} \times C_S} \approx 0.042V \quad (24)$$

3.2.2.6 出力コンデンサの選択

SEPIC コンバータでは、パワースイッチ Q1 がオンになると、インダクタが充電され、出力電流は出力コンデンサから供給されます。その結果、出力コンデンサに大きなリップル電流が発生します。選択された出力コンデンサは、最大 RMS 電流を処理する能力を備える必要があります。式 25 は、出力コンデンサの RMS 電流を計算します。

$$I_{C_output_RMS} = I_{output} \times \sqrt{\frac{V_{output} + V_D}{V_{input_min}}} \quad (25)$$

出力のリプルが出力コンデンサの ESR、ESL、バルク容量によって直接制御されます。リップルの半分は ESR によって生じ、残りの半分は容量によって生じることを仮定します。したがって、式 26 と式 27 に計算を示します。

$$ESR \leq \frac{V_{\text{ripple}} \times 0.5}{I_{L1_peak} \times I_{L2_peak}} \leq 42\text{m}\Omega \quad (26)$$

$$C_{\text{output}} \geq \frac{I_{\text{output}} \times D}{V_{\text{ripple}} \times 0.5 \times f_{\text{sw}}} \geq 2.355\mu\text{F} \quad (27)$$

出力容量は、RMS 電流、ESR、および容量の要件を満たす必要があります。表面実装アプリケーションでは、出力にタンタル、ポリマー電解、ポリマータンタル、または多層セラミックコンデンサを使用することを推奨します。

3.2.2.7 入力コンデンサの選択

昇圧コンバータと同様に、SEPIC の入力用インダクタが 1 個あります。したがって、入力電流波形は連続的な三角波です。インダクタにより、入力コンデンサに印加されるリップル電流がかなり低いことが保証されます。式 28 に、入力コンデンサの RMS 電流を示します。

$$I_{C_input} = \frac{\Delta I_L}{\sqrt{12}} = 0.18\text{A} \quad (28)$$

入力コンデンサは、RMS 電流を取り扱える必要があります。SEPIC アプリケーションでは、入力コンデンサはそれほど重要ではありませんが、10 μF またはそれ以上の値を使用する場合、品質の高いコンデンサを使用すると入力電源とインピーダンスの相互作用を防ぐことができます。

3.2.2.8 可変関数で出力電圧を設定

DAC による出力ピンとフィードバックピンの間の抵抗デバイダを使用して、出力電圧を調整可能な値に設定できます。詳しくは、図 3-12 を参照してください。これらの抵抗は、フィードバックピンの電圧が 1.0V になるように選択します。 R_T 、 R_B 、 R_C は、式 29 を使用して選択できます。

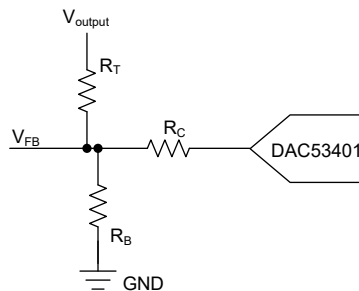


図 3-12. 出力調整方法

$$V_{\text{output}} = \left(1 + \frac{R_T}{R_B} + \frac{R_T}{R_C}\right) \times V_{\text{FB}} - \frac{R_T}{R_C} \times V_{\text{DAC}} = \left(1 + \frac{R_T}{R_B} + \frac{R_T}{R_C}\right) - \frac{R_T}{R_C} \times V_{\text{DAC}} \quad (29)$$

when

- $V_{\text{DAC}} = 0$, $V_{\text{output}} = 75\text{V}$

when

- $V_{\text{DAC}} = 3.3\text{V}$, $V_{\text{output}} = 5\text{V}$

R_C を修正すると、設計者は式群を決定でき、式群を解いて R_T および R_B の値を求めることができます。

3.3 低電圧電源の設計

設計に含まれる送信セクション、受信セクション、FPGA、データセクションなどのさまざまなサブシステムは、さまざまな電源レールを使用します。これらのサブシステムには、アナログ電源、デジタル電源、低ノイズなどの制限があります。プライマリ負荷ポイントは、スイッチング降圧コンバータと、その後に LDO (ノイズに敏感なレールの場合) を使用して生成します。図 2-3 に、各種低電圧レールとアーキテクチャのブロックレベルの表現を示します。

3.3.1 WEBENCH® Power Designer を通じて TPS54218 を設計する

図 3-13 に、200mA での出力電圧が 3.3V である TPS54218 の評価に使用される WEBENCH® 設計を示します。WEBENCH® Power Designer ツールを使用すると、ユーザーが選択した製品のリアルタイム データ (効率、過渡応答、起動など) をシミュレートし、Altium ファイルをエクスポートして基板設計を完了させることができます。

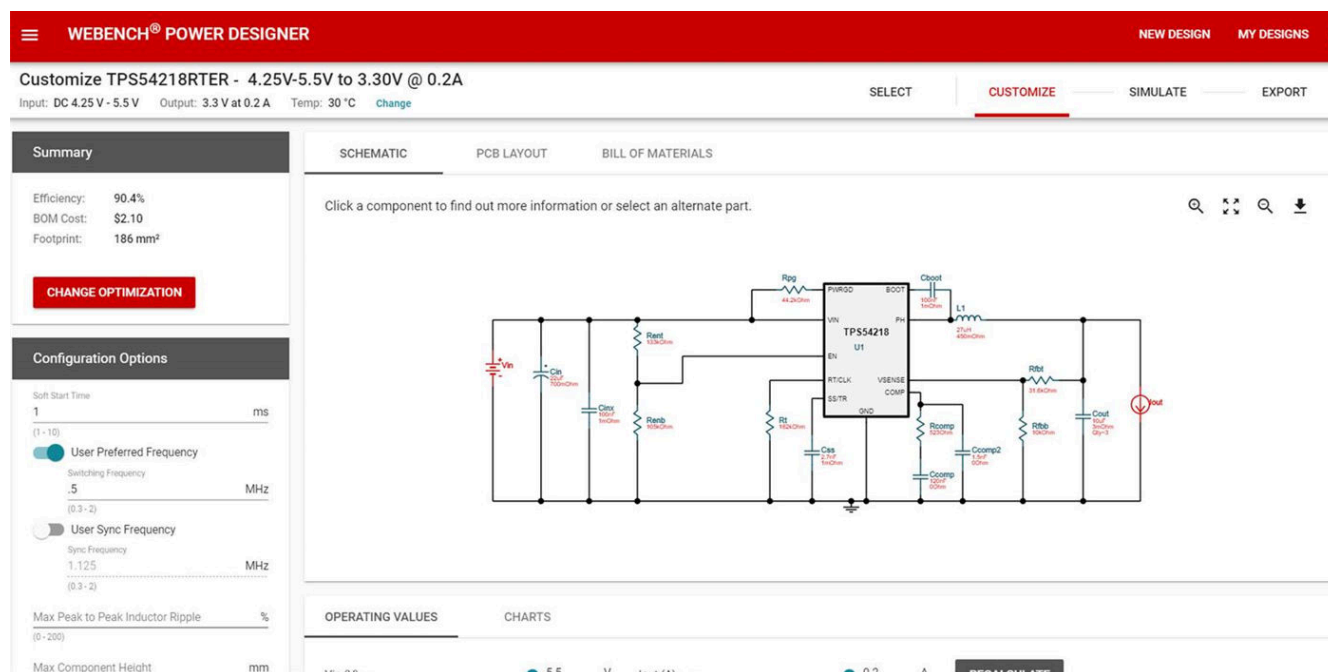


図 3-13. TPS54218 を使用する WEBENCH® 設計

超音波電源設計では、FPGA および AFE 用の低電圧電源に電力を供給するために TPS54218 を選択しました。設計全体のサイズが問題となったため、モジュールは検討されました。システム全体の効率を評価し、パワー モジュールと DC/DC コンバータ (内部インダクタと外部インダクタ) の違いを比較しました。DC/DC コンバータの設計 (TPS54218) では、インダクタ値を増やすことでより柔軟性が高くなり、効率が向上しました。

さまざまなインダクタ値が降圧コンバータの効率にどのような影響を及ぼすかを比較する際に、2 つの異なるインダクタ値を使用して TPS54218 を評価しました。図 3-14 で、負荷ジェネレータを使用して、2 つの異なるインダクタ値 (2.2μH と 33μH) に対して TPS54218 の効率をテストしました。軽負荷条件の場合は、33μH インダクタの効率が 2.2μH デザインと比べてはるかに高くなります。これは、インダクタの AC 導通損失によるもので、設計の効率が低下します。低電圧電源設計については、効率向上のために 33μH インダクタを選択しました。

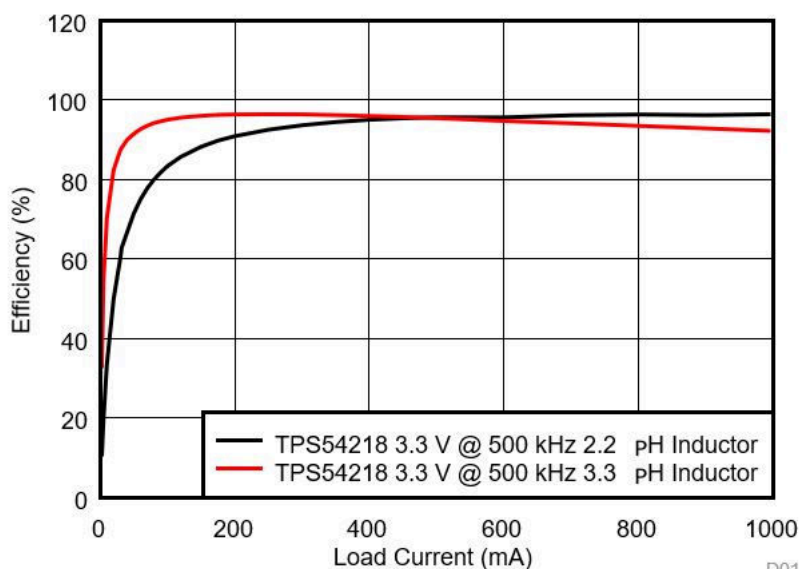


図 3-14. TPS54218 の効率 (2.2 μ H と 33 μ H)

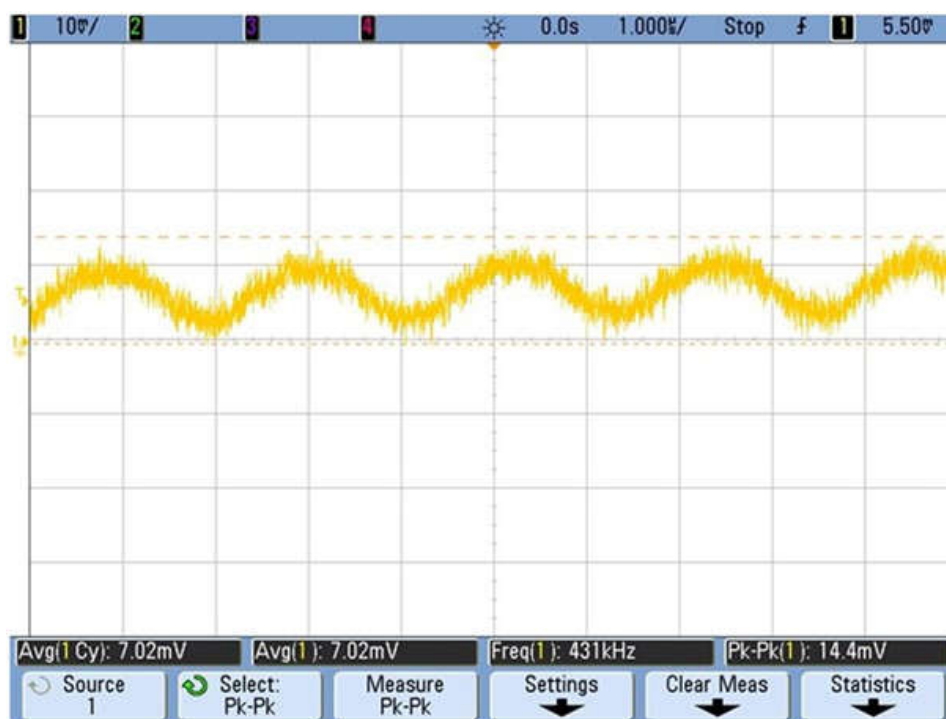


図 3-15. TPS54218 2V 電源出力電圧リップル

図 3-15 に、TPS54218 の 2V 電源出力電圧リップルを示します。測定したピークツーピークリップルは、14.4mV で測定されたものです。残りの低電圧電源はいずれも、出力電圧リップルが 10mV 未満です。

3.3.2 $\pm 5V$ 送信電源の生成

図 3-16 に、 $\pm 5V$ の送信レールの回路図を示します。昇圧デバイス **TPS61178** は USB 電圧 (4.25V ~ 5.5V) を 5.7V に昇圧し、反転降圧モードに設定された **LMZM23601** デバイスは -5.3V を生成します。正と負の両方の出力をデュアル低ノイズ **TPS7A39** LDO に供給して、レールごとに最大 150mA で $\pm 5V$ を生成します。また、高電圧の要件が高い (100V) 場合、または 3.6V (1S バッテリ) 電源を使用してシステムに電力を供給する場合にも、**TPS61178** デバイスは役立ちます。このステージは、高電圧回路への中間入力として使用できます。これを有効にするには、抵抗 **R95** および **R98** を使用して必要な出力電圧を設定し、**R2** を取り除くことで既存の USB 入力を高電圧回路への無効にし、**R3**、0 Ω の抵抗を入力として配置します。

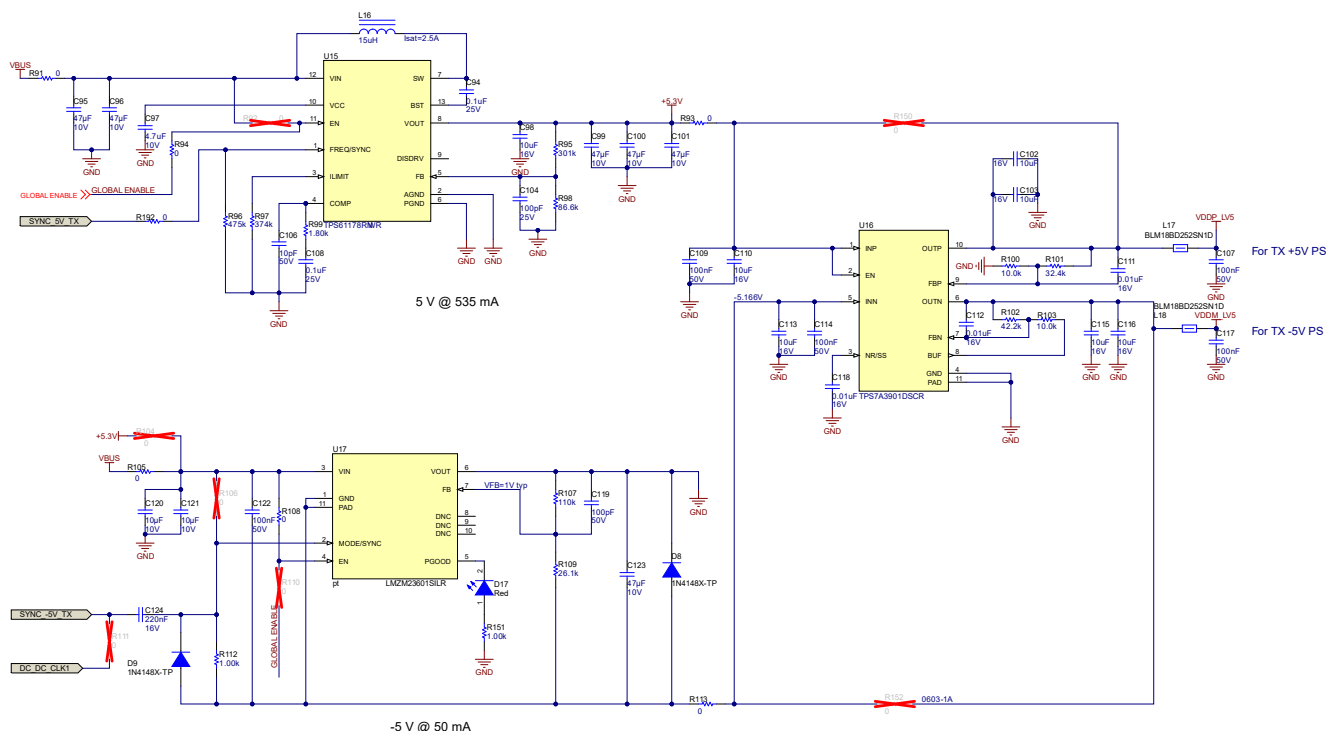


図 3-16. $\pm 5V$ の送信回路図

また、**TPS61178** デバイスには真の負荷接続解除機能も搭載されています (既存の設計には実装されていません)。このデバイスは出力と負荷ポイントの間に外部 P-FET を配置しています。**DISDRV** ピンを備え、短絡状態が発生した場合に FET をオフにすることができます。この機能は、中間昇圧段を使用して高電圧回路に電力を供給するときに特に役立ちます。出力の短絡が発生した場合、高電圧回路への入力を完全に遮断することで回路を保護できます。ユーザーは同じ機能を設計に実装して、より堅牢なシステムを実現することもできます。図 3-17 に、**TPS61178** における負荷接続解除の実装を示します。FET 選択やその他の分野の詳細については、デバイスのデータシートのアプリケーションと実装セクションを参照してください。

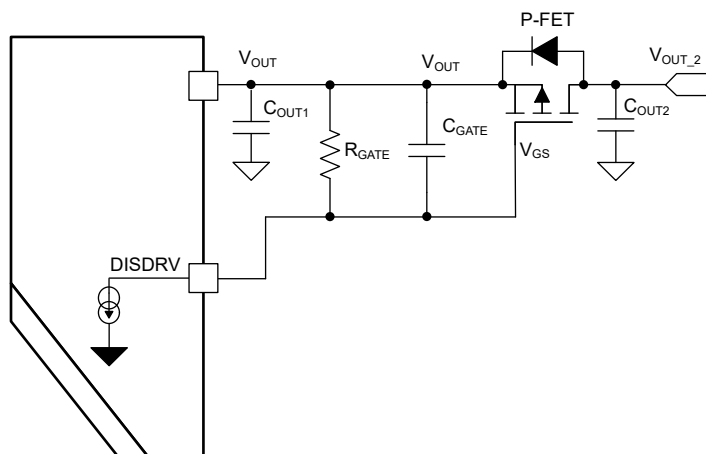


図 3-17. TPS61178 で接続されたの負荷接続解除 FET

3.4 システム クロックの同期

図 3-11 に示す回路図は、後者のデューティサイクルがコントローラのデューティサイクルより大きい (93% 以上) 場合にのみ、外部クロック信号と同期できます。このデザインは、図 3-18 に示すデザインを実装することで、50% のデューティサイクルの外部クロックと同期できます。各種の負荷ポイント電源は、セクション 3.5 で説明した電源コネクタで利用可能な外部クロックと同期できます。クロックソースピン DC_DC_CLK_1 からの信号はさらに分周され、それぞれの電源およびスイッチング周波数に分配されます。図 3-18 に回路図を示します。ソースクロックは、9 チャンネルの統合クロックバッファ/分周器デバイスである CDCE949 への入力として初めて与えられます。8 つの出力で、7 つは 500kHz の TPS54218 降圧デバイス、1 つが 5V レールに使用された TPS61178、9 番目の出力は 250kHz の高電圧回路です。デバイス CDCE949 の構成は、統合型 EEPROM CDCEL9XXPROGEVM、または I²C バス経由で保存できます。CDCEL9XXPROGEVM を使用する場合、構成ファイルは設計ファイルにあります。

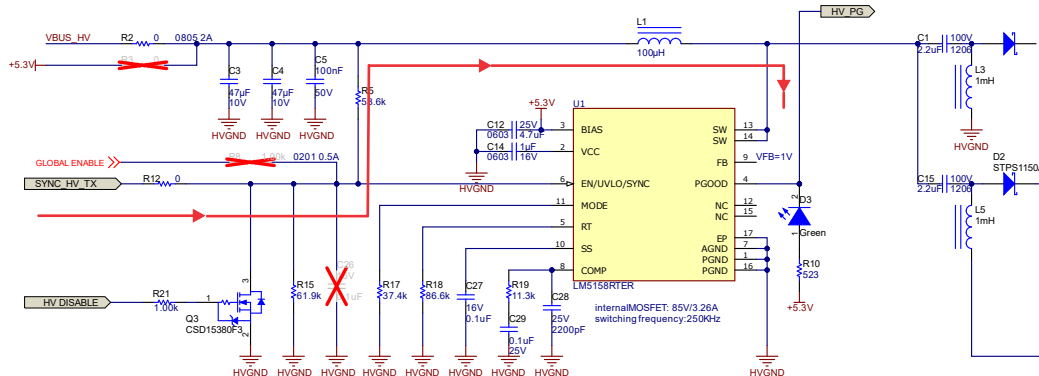


図 3-18. 外部クロック同期実装の回路図

高電圧回路は、50% デューティサイクルの外部クロックと同期できます。昇圧レギュレータ (LM5158) は、クロックパルス幅に電源のデューティサイクルより高い制限を設定しています。実際の電流では非常に大きな値です。図 3-18 に回路図を示します。

3.5 電源およびデータ出力コネクタ

図 3-19 は、基板上のデータと電源コネクタの回路図を示しています。TX + RX AFE ボードに接続するための 2 組のコネクタが基板に装着されています。また、FX3 デバイスと通信するために、FPGA から複数の信号も出力されます。周波数 1MHz の DC_DC_CLK 1 というクロック信号は、FPGA から、電源クロック同期のソースクロックとして供給されます。コネクタ間に異なる電源レールが分散されているため、レイアウトを容易にし、配線の長さを短くすることができます。高電圧レールは 2 個のコネクタ上に別々に配置されているので、長さで間隔が同じです。また、コネクタは基板のエッジに沿って装着され、敏感な回路から遠ざけるようになっています。使用するコネクタは Panasonic AXK5S80347YG です。

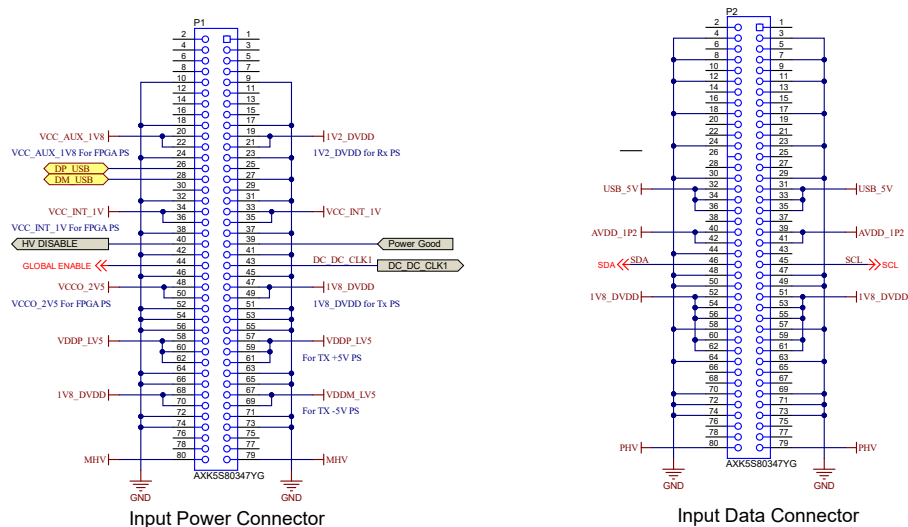


図 3-19. TIDA-010269 と TX + RX AFE 基板の間のコネクタの回路図

3.6 システム電流と電力の監視

TIDA-010269 リファレンス デザインは、システムの電流、バス電圧、ユーザーが消費電力を監視できるようにするものです。TI の INA231 28V、16 ビット、I²C 出力、電流、電圧、電力のモニタは、TIDA-010057 リファレンス デザインと似ていたさまざまなセクションの監視に使用されます。図 2-3 に、電路の回路図を示します。回路図には 3 つの INA デバイスが実装されています。1 つの INA で、システムの合計電流と消費電力を測定します。他の 2 つの INA デバイスはそれぞれトランスミッタ (TX) および FPGA ユニットの電流と電力を監視します。通信は、I²C インターフェイスで行います。測定した電圧、電流と電力の値は、時間に対して動的にプロットできます。

4 ハードウェア、テスト要件、およびテスト結果

このリファレンス デザインは、1 セルのリチウムイオン バッテリで超音波スマート プローブに電力を供給する構造を採用しています。リチウムイオン バッテリの出力電圧の範囲は 2.7V ~ 4.2V であり、一般的に、3.0V 未満の時に放電を停止するため、入力電圧は 3V ~ 5V の範囲内です。リチウムイオン バッテリは、電圧が 3.0V を下回ると外部 USB 電源によって充電されます。入力電圧範囲は 3V ~ 5V です。電源ボードは、メインボード内にある FPGA、トランスミッタ、レシーバ、およびその他のサポート回路に電力を供給します。図 2-3 に、電源ボードのシステム ブロック図を示します。FPGA の電源には、2.5V、1.0V、および 1.8V の電圧を使用します。±5V と調整可能な高電圧をトランスミッタに使用されます。レシーバ回路の電圧は 1.2V と 1.8V です。また、システムには、電源オン システムと電源オフ システムのためのホット スワップおよびサポート回路も追加されます。BQ25790 を使用して、リチウムイオン バッテリを充電しました。INA231 デバイスは、関連サブシステムの電力と電流を監視するために使用されました。レシーバには電源オン シーケンス要件があるため、LM3880 を電源シーケンスとして使用しました。CDCE949 は、外部のシステム クロックとの同期に使用されました。

4.1 ハードウェア要件

効率、ライン レギュレーション、ノイズなどのシステム性能をテストしました。以下の装置を使用して、電源の性能をテストしました。

- デジタル マルチメータ
- 電子負荷
- 電源表
- オシログラフイー

図 4-1 にテストを示します。

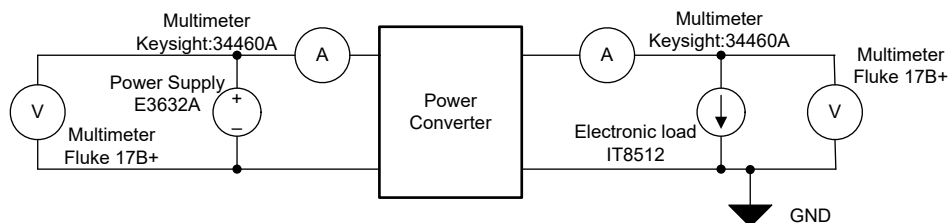


図 4-1. テスト方法

4.2 テスト設定

図 4-2 に、TIDA-010269 基板の表面画像と裏面画像を示します。AFE と TIDA-010269 基板の間に配置された EMI シールドは EMI を低減できます。2 つのコネクタは、TX + RX 基板に接続されます。青色のワイヤを使用して TIDA-10269 リファレンス デザインを評価し、その特性を与えます。電源レールのすべての入力と出力には、多数の 0Ω の抵抗があります。0Ω の抵抗を取り外し、青色のワイヤを備えるテスト機器に挿入することができます。



図 4-2. TIDA-010269 基板の前面 (左) と背面 (右) の画像

4.3 テスト結果

4.3.1 効率テストの結果

このハンドヘルド デバイスにとって、効率は重要です。図 4-3 ~ 図 4-10 のグラフは、さまざまな負荷電流における電源レールの効率を示しています。



図 4-3. 2.5V での FPGA 効率



図 4-4. 1.0V での FPGA 効率



図 4-5. 1.8V での FPGA 効率

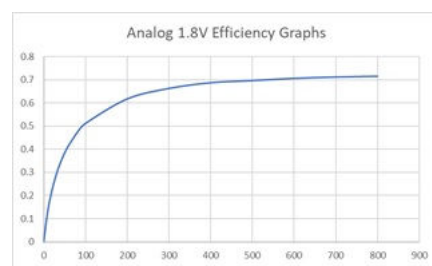


図 4-6. 1.8V での AVDD 効率

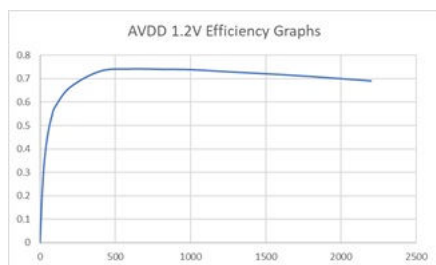


図 4-7. 1.2V での AVDD 効率



図 4-8. 5V での AVDD 効率



図 4-9. -5V での AVDD 効率

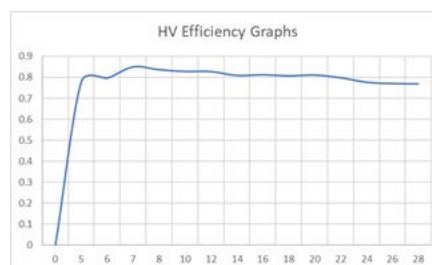


図 4-10. 高電圧での効率

4.3.2 ラインレギュレーションテストの結果

ラインレギュレーションテストは主に、さまざまな負荷で電源の応答をテストするために使用されます。テストの結果が [図 4-11](#) ～ [図 4-18](#) に示されています。

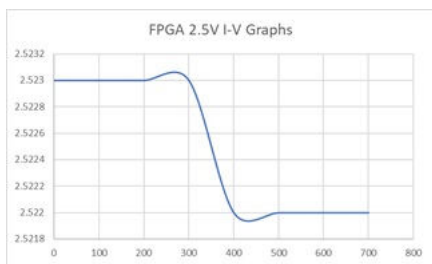


図 4-11. FPGA 2.5V のラインレギュレーションテストの結果

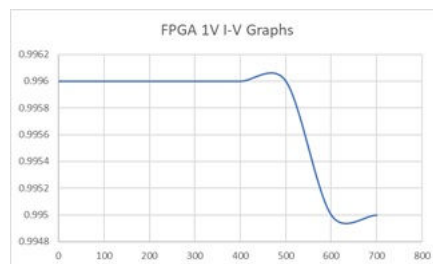


図 4-12. FPGA 1.0V のラインレギュレーションテストの結果

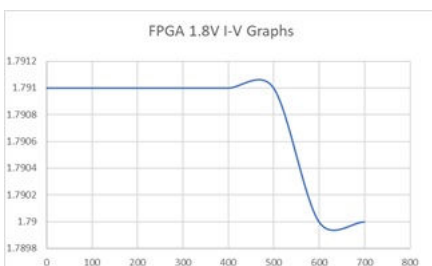


図 4-13. FPGA 1.8V のラインレギュレーションテストの結果

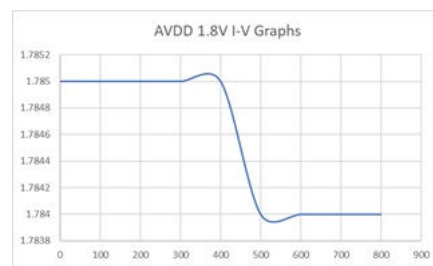


図 4-14. AVDD 1.8V のラインレギュレーションテストの結果

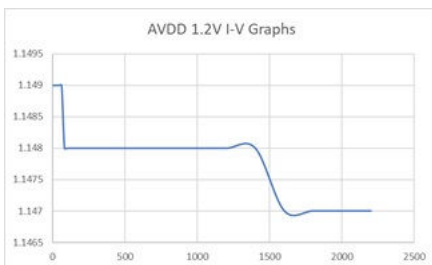


図 4-15. AVDD 1.2V のラインレギュレーションテストの結果

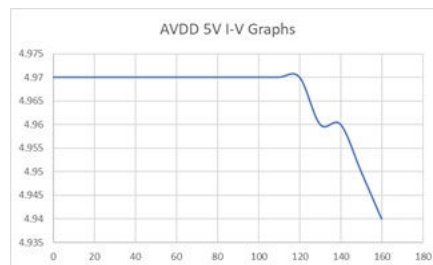


図 4-16. AVDD 5V のラインレギュレーションテストの結果

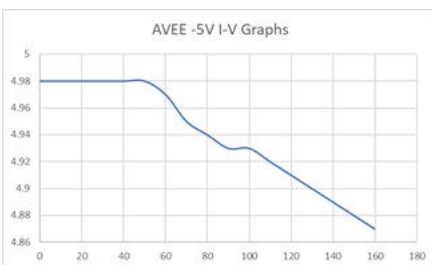


図 4-17. AVEE -5V のラインレギュレーションテストの結果

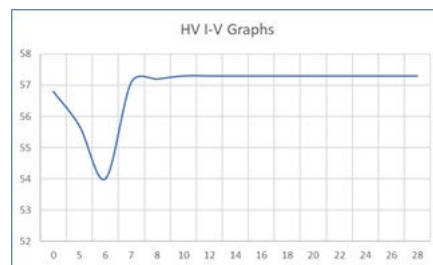


図 4-18. 高電圧ラインレギュレーションテストの結果

4.3.3 スペクトラムのテスト結果

スペクトラム分析を使用すると、デザイナーは出力電源の高調波を評価し、ノイズ性能を評価することができます。図 4-19 ~ 図 4-37 はテスト結果を示しています。

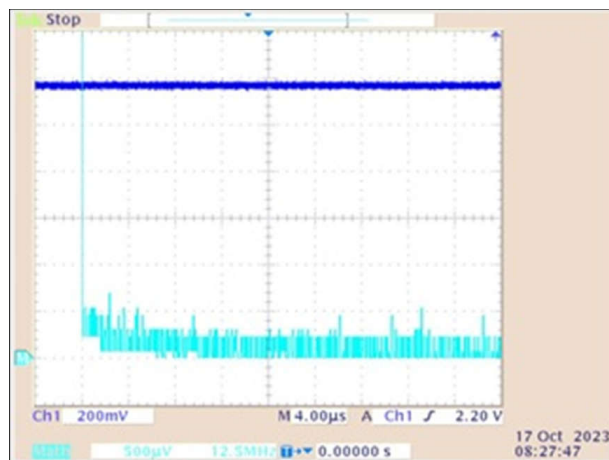


図 4-19. DC モードでの AVDD 1.2V 出力およびスペクトラム

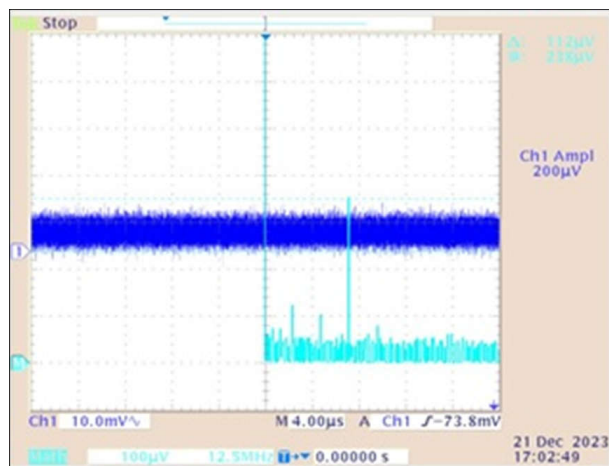


図 4-20. 全負荷を搭載する AC モードでの AVDD 1.2V 出力およびスペクトラム

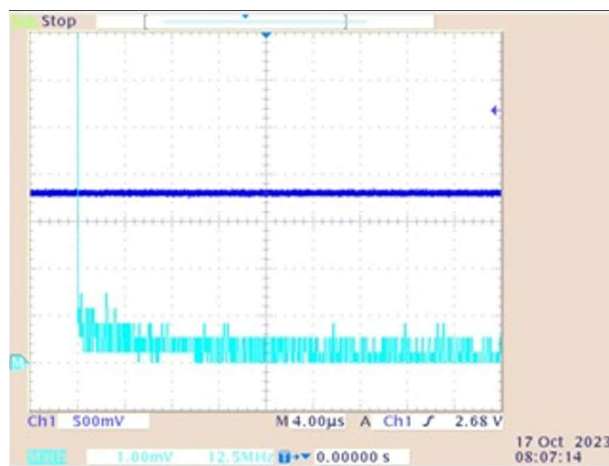


図 4-21. DC モードでの AVDD 1.8V およびスペクトラム

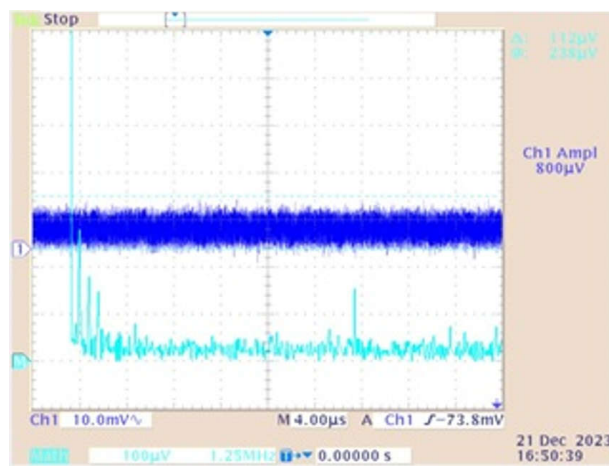


図 4-22. 全負荷を搭載する AC モードでの AVDD 1.8V およびスペクトラム

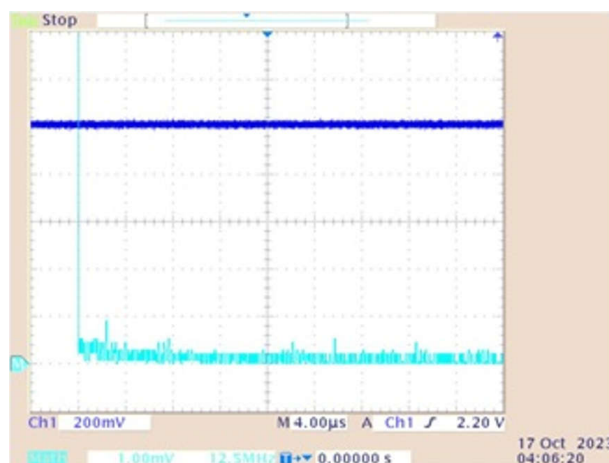


図 4-23. DC モードでの FPGA 1.8V 出力およびスペクトラム

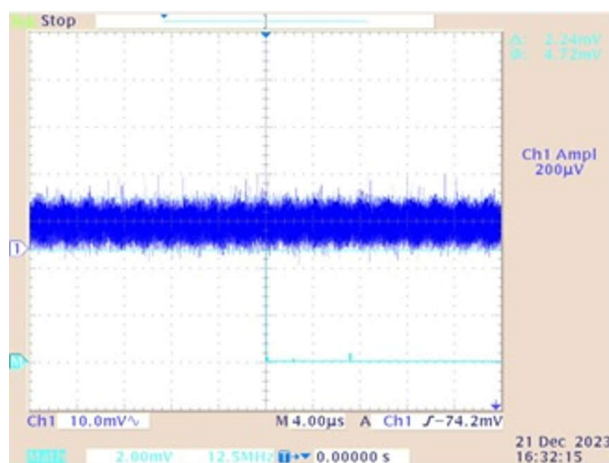


図 4-24. 全負荷を搭載する AC モードでの FPGA 1.8V 出力およびスペクトラム

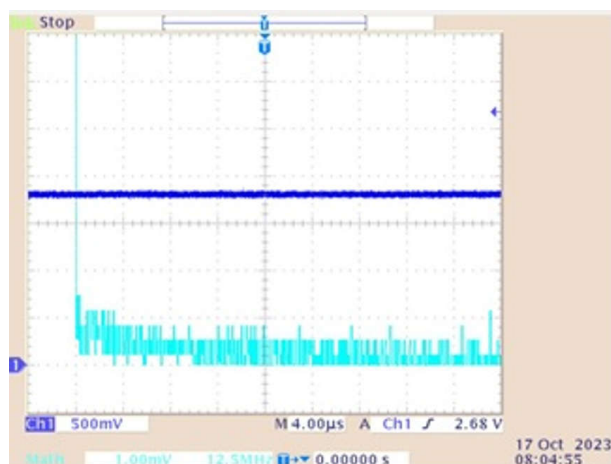


図 4-25. DC モードでの FPGA 1.0V 出力およびスペクトラム

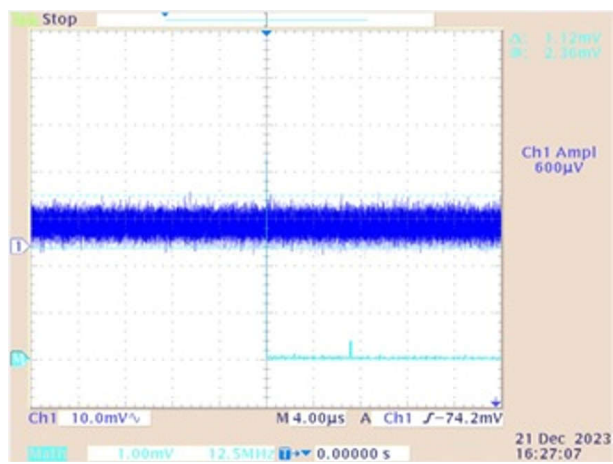


図 4-26. 全負荷を搭載する AC モードでの FPGA 1.0V 出力およびスペクトラム

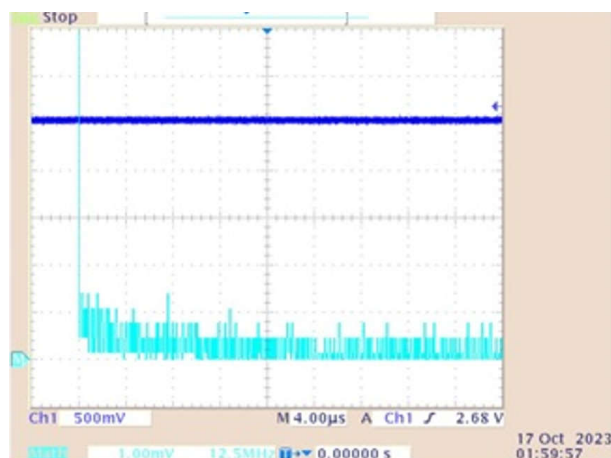


図 4-27. DC モードでの FPGA 2.5V 出力およびスペクトラム

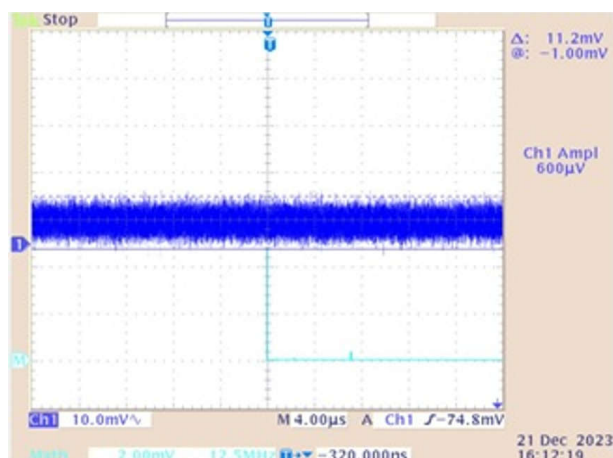


図 4-28. 全負荷を搭載する AC モードでの FPGA 2.5V 出力およびスペクトラム

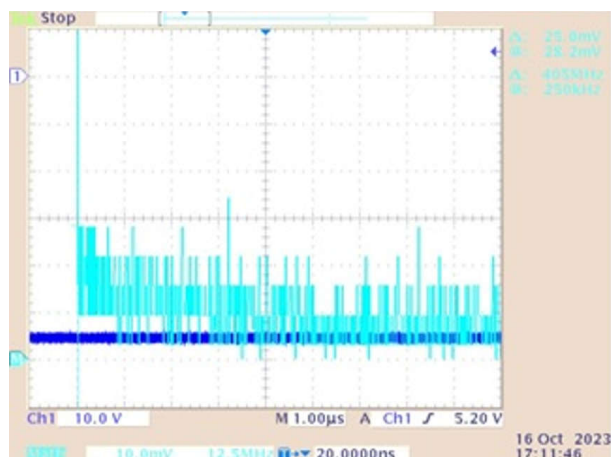


図 4-29. DC モードでの MHV 出力およびスペクトラム

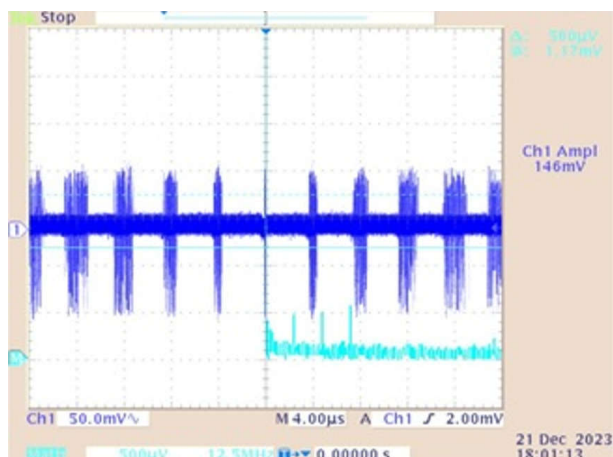


図 4-30. 全負荷を搭載する AC モードでの MHV 出力およびスペクトラム

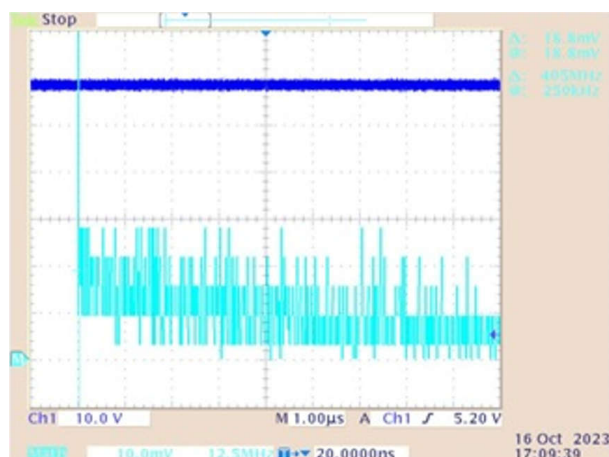


図 4-31. DC モードでの P_{HV} 出力とスペクトラム

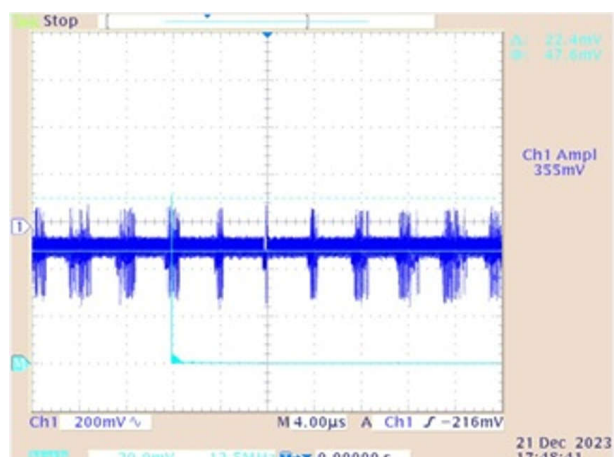


図 4-32. 全負荷を搭載する AC モードでの P_{HV} 出力およびスペクトラム

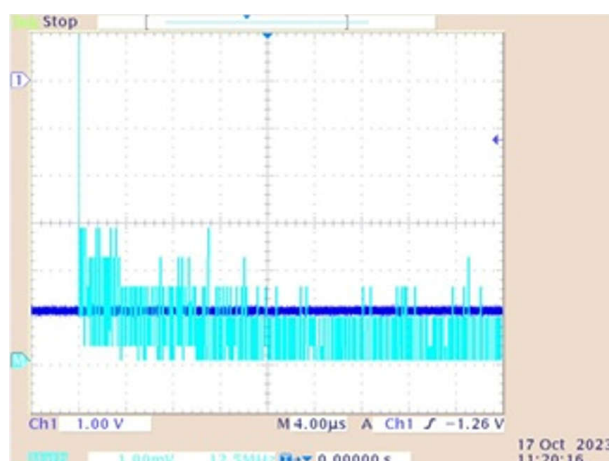


図 4-33. DC モードでの AVEE -5V 出力およびスペクトラム

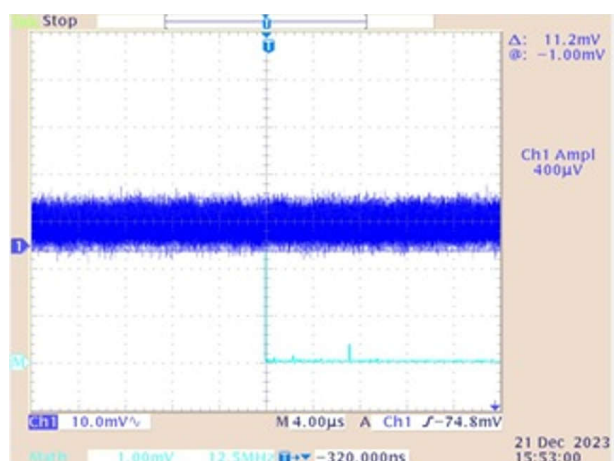


図 4-34. 全負荷を搭載する AC モードでの AVEE -5V 出力およびスペクトラム

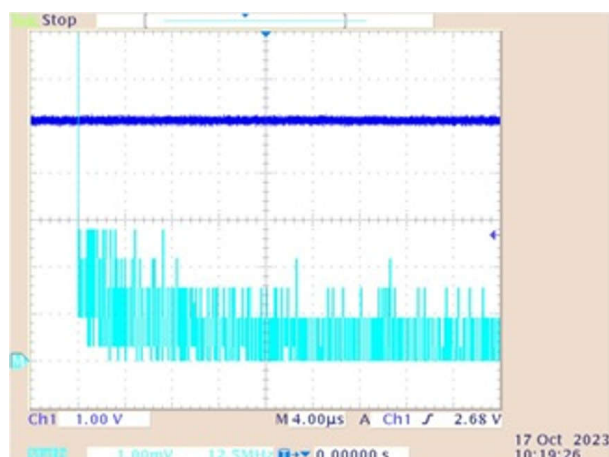


図 4-35. AVDD 5V 出力およびスペクトラム

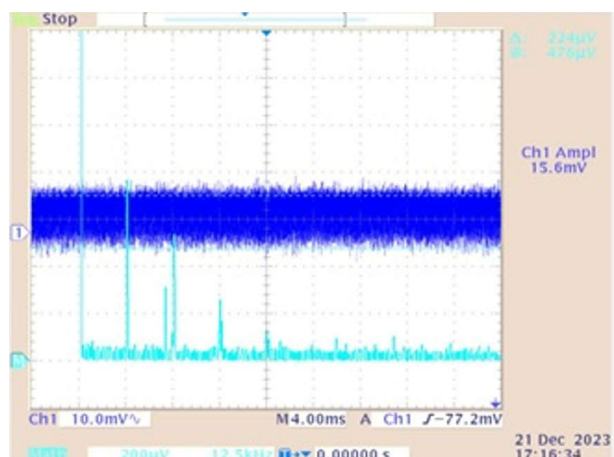


図 4-36. 全負荷を搭載する AC モードでの AVDD 5V 出力およびスペクトラム

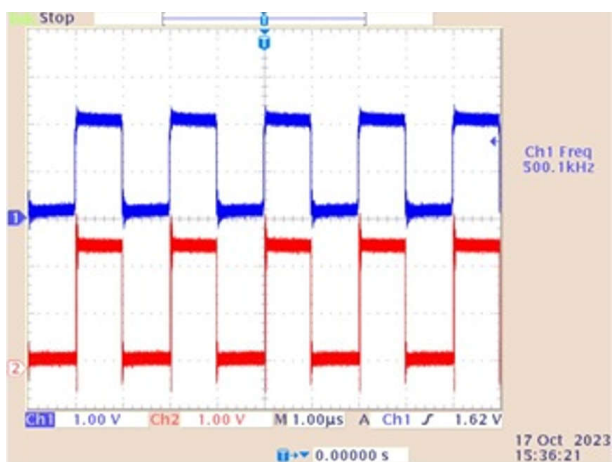


図 4-37. 同期クロック — 黄:入力、青:出力

5 設計とドキュメントのサポート

5.1 デザイン ファイル

5.1.1 回路図

回路図をダウンロードするには、[TIDA-010269](#) のデザイン ファイルを参照してください。

5.1.2 BOM

部品表 (BOM) をダウンロードするには、[TIDA-010269](#) のデザイン ファイルを参照してください。

5.1.3 PCB レイアウトに関する推奨事項

超音波アプリケーションでは、反射信号が小さいため、イメージの品質にとってレイアウトは重要な要素です。このリファレンス デザインは、ノイズ性能を向上させるために 8 層のボードで作成されています。[図 5-1](#) に、ボードのスタック アップを示します。本ボードは 2 層のグラウンド層、2 層の電源層、4 層の信号層で組み立てられています。

#	Name	Material	Type	Weight	Thickness	Dk	GlassTransTemp
	Top Overlay		Overlay				
	Top Solder	Solder Resist	Solder Mask		0.0254mm	3.5	
1	Top Layer		Signal	2oz	0.07mm		
	Dielectric1	FR-4	Core		0.2mm	4.2	
2	GND1	CF-004	Signal	1/2oz	0.0175mm		
	Dielectric 2	PP-006	Prepreg		0.2mm	4.1	180°C
3	Signal 1	CF-004	Signal	1/2oz	0.0175mm		
	Dielectric 3	PP-006	Prepreg		0.2mm	4.1	180°C
4	Power 1	CF-004	Signal	1/2oz	0.0175mm		
	Dielectric 4	PP-006	Prepreg		0.2mm	4.1	180°C
5	Power 2	CF-004	Signal	1/2oz	0.0175mm		
	Dielectric 5	PP-006	Prepreg		0.2mm	4.1	180°C
6	Signal 2	CF-004	Signal	1/2oz	0.0175mm		
	Dielectric 6	PP-006	Prepreg		0.2mm	4.1	180°C
7	GND2	CF-004	Signal	1/2oz	0.0175mm		
	Dielectric 1	FR-4	Prepreg		0.2mm	4.1	180°C
8	Bottom Layer		Signal	2oz	0.07mm		
	Bottom Solder	Solder Resist	Solder Mask		0.0254mm	3.5	
	Bottom Overlay		Overlay				

図 5-1. TIDA-010269 層のスタック アップ

5.1.3.1 高電圧電源のレイアウト

SEPIC と C_{uk} のレイアウトが重要です。設計時に、最も重要なルールは、[図 5-2](#) に示す大電流スイッチング ループのノイズを低減することです。電流は入力電源からプライマリ インダクタに流れ、MOSFET を通って流れます。スイッチング電流により誘発された EMF を最小限に抑えるために、このループの寄生インダクタンスはできるだけ小さくすることが望ましいです。部品 (プライマリ インダクタ、入力電解コンデンサと FET) は、できるだけ互いに近づけて配置する必要があります。このレイアウトでは、[図 5-3](#) に示すように、単一のグラウンド プレーンが使用されます。すべての信号がこの低インピーダンス・プレーンに戻ります。高電圧回路をトランスデューサの近くに配置する場合、高電圧セクションからの放射干渉の影響を最小限に抑えるためにシールドが必要になる場合があります。

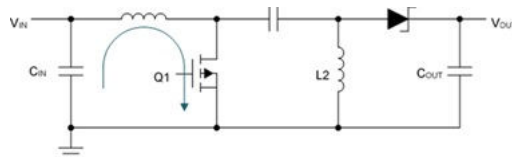


図 5-2. SEPIC 構成でのホット ループ

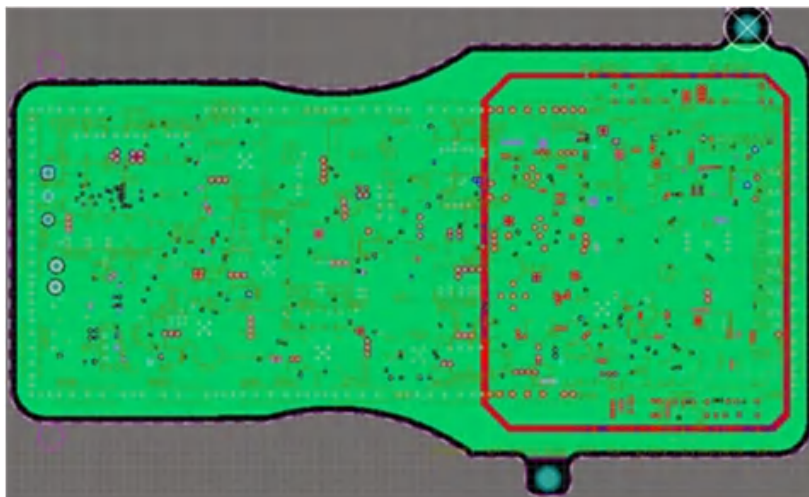


図 5-3. 「高電圧レイアウト」セクション

5.2 ツールとソフトウェア

ツール

Radar Toolbox for mmWave Sensors Radar Toolbox は、テキサス インストルメンツのレーダー デバイスの評価に役立つデモ、ソフトウェア ツール、資料のコレクションです。

ソフトウェア

Uniflash UniFlash は、テキサス・インストルメンツのマイクロコントローラやワイヤレス コネクティビティ デバイ스에搭載されているオンチップ フラッシュと、テキサス・インストルメンツ製プロセッサ向けのオンボード フラッシュに対してプログラミング (書き込み) を行うためのソフトウェア ツールです。Uniflash は、グラフィカル インターフェイスとコマンドライン インターフェイスの両方を採用しています。

5.3 ドキュメントのサポート

1. テキサス・インストルメンツ、『[TIDA-010057: 超音波スマート プローブ電源のリファレンス デザイン](#)』
2. テキサス・インストルメンツ、『[LM5158: デュアル ランダム スペクトラム拡散機能を搭載、3A、85V、2.2MHz、広い \$V_{IN}\$ 、昇圧、フライバックと SEPIC コンバータ](#)』
3. [超音波スマート プローブの設計が直面する 7 つの課題](#)
4. テキサス インストルメンツ、『[超音波スマート プローブ用バイポーラ高電圧 SEPIC 電源の設計](#)』アプリケーション ノート
5. テキサス インストルメンツ、『[AN-1484 SEPIC コンバータの設計](#)』アプリケーション ノート
6. テキサス・インストルメンツ、『[BQ25790: 統合型、NVDC、1 ~ 4 セル、5A スイッチ モード昇降圧バッテリー チャージャ](#)』
7. テキサス インストルメンツ、『[超音波スマート プローブ用高度統合型シグナル チェンソリューション TX7332 と AFE5832LP](#)』アプリケーション ノート
8. テキサス インストルメンツ、『[電源トポロジクイックリファレンス ガイド](#)』

5.4 サポート・リソース

テキサス・インストルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インストルメンツの仕様を構成するものではなく、必ずしもテキサス・インストルメンツの見解を反映したものではありません。テキサス・インストルメンツの[使用条件](#)を参照してください。

5.5 商標

E2E™, NanoFree™, and SWIFT™, and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

USB Type-C® is a registered trademark of USB Implementers Forum.

Wi-Fi® is a registered trademark of Wi-Fi Alliance.

WEBENCH® is a registered trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとしします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated