

高速 RF ADC の狭帯域整合に向けた新しい取り組み

Rob Reeder

Application Engineer
High-speed data converters

広帯域サンプリング (1GHz ~ 2GHz 以上) を必要としないアプリケーションでは、A/D コンバータ (ADC) 向けのバランまたはトランスのフロント エンド回路を使用して狭帯域 (NB) 整合 (数百メガヘルツのみ必要) を設計するのが困難な場合があります。この課題は、最新の通信システムまたはレーダー システムでデジタル化されてデジタルドメインで信号処理を実行する、高中間周波数のシステムで特に顕著です。

この記事では、大量のシミュレーション ダウンタイムを発生させずに ADC を最大利用する、シンプルなプロセスについて説明します。ADC 自身の定格帯域幅内であれば、このプロセスのいくつかのシンプルなステップで、任意のベースバンドまたは中間周波数の数百メガヘルツの帯域幅 (BW) を計算できます。

ADC とバランの選択

正しい ADC を選択して、最終的にフロント エンドの開発アプローチを決定するには、事前にアプリケーションの要件を理解しておくことが不可欠です。定義済みのサンプリング レート、チャネル数、デジタル出力インターフェイスのタイプ、使用可能またはアプリケーションに必要な便利な内部デジタル機能があると仮定します。この狭帯域フロント エンド例全体で ADC3669 コンバータを使用します。

まず、選択した ADC のアナログ入力特性を理解する必要があります。任意のコンバータ データシートのアナログ入力パラメータ セクションまでスクロール ダウンすると、仕様表で指定された並列 R||C が見つかります。そうでない場合は、単純化されたアナログ入力モデルがあるかどうかを確認してください。最後のオプションとして、ADC の S パラメータを使用します。これは通常、製品のウェブページに記載されています。例えば、ADC3669 のデータシートには、抵抗 (R) = 100Ω、コン

デンサ (C) = 約 1.85pF (集約) の差動インピーダンス項を持つモデル入力が見られています。図 1 をご覧ください。

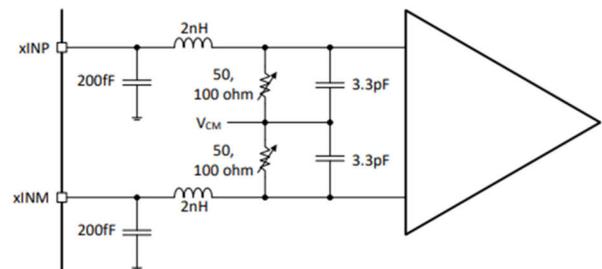


図 1. ADC3669 データシート内のアナログ入力モデル

次のステップでは ADC に適したトランスまたはバランを選択します。これには、反射損失 (RL)、挿入損失、位相および振幅の不均衡などの仕様をベンダー間で比較することが含まれます。データシートにこれらのパラメータが記載されていない場合は、メーカーに問い合わせるか、ベクトル ネットワーク アナライザ VNA を使用して測定します。

標準的なフラックス結合型トランスとバランのどちらを選択するかは、BW の要件によって決まります。標準トランスは多くの場合 1GHz 未満です。一方、バランでは非常に高い BW を達成できます。参照資料 [1] は、トランスとバランのパラメータと ADC 要件の詳細について説明しています。

この例の NB 整合では、リアクティブ抵抗 - コンデンサ - インダクタ (RCL) がシャント内の最後の成分と一致することが求められます。整合パッドとトポロジの詳細については、図 2 および参考資料 [2] および [3] を参照してください。アプリケーション要件を収集して理解すると、フロント エンドの BW とバランを選択できます。ADC3669 評価基板 (EVM) で使用した前の例からこのバランの性能を測定し理解した上で、この例では 1:2 のインピーダンス比で 3GHz の BW の小型回路の TCM2-33WX+ バランを選択しました。TCM2-33WX+ では、

ADC のフルスケールの入力範囲に達するために、比較的小さい入力駆動を供給します。

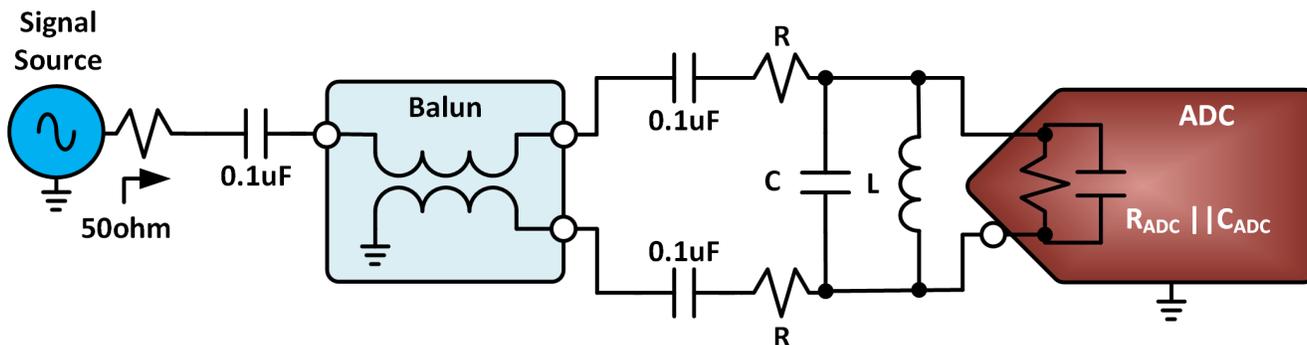


図2. フロント エンド インターフェイスと部品配置

R の計算

RCL リアクティブ整合を実行するには、まずフロント エンドの R 値を決定します。終端をバランの 1 次側と 2 次側の間に分割することもできますが、この例では、必要な部品数を最小限に抑えるため、バランの 2 次側のみを終端します。アプリケーションと信号チェーンのラインアップに応じて、バランの 1 次側と 2 次側間の終端を分割の方が適切な場合があります。

以下の計算に示すように、バランの 2 次側に必要な差動終端を満たす R 値を解く方法が明らかになります。このバランには 1:2 のインピーダンス比があるため、2 次側の差動終端を設定する場合は、理想的な 100Ω から始めるのが適切です。バランには全周波数域で変化する損失と寄生容量があります。したがって、計算を始めてより適切な R 値終端を得るには、指定された中心周波数 (例では 940MHz) でバランの RL 値を使用して、負荷への信号電力伝送を最適化するためにバランを適切に整合する必要がある特性インピーダンス (Zo) を計算します。

この例は、選択したバランの 2 次側終端の計算方法を示しています。TCM2-33WX+ のデータシートでは、940MHz で -16.3dB が規定されています。この値を使用して、バランの 2 次側から反映される特性インピーダンスを求めます (式 1):

$$RL = -16.3dB \text{ at } 940MHz = 20 \log \left(\frac{50 - Z_o}{50 + Z_o} \right) = 10^{\left(\frac{-16.3}{20} \right)} = \left(\frac{50 - Z_o}{50 + Z_o} \right) \quad (1)$$

したがって、 $Z_o = 36.72\Omega$ (1 次側インピーダンス) となります。

理想的な 1:2 のインピーダンスのバランでは、2 次側が 100Ω だと 1 次側は 50Ω になります。図 3 を参照してください。ただし、計算が示すように、実際にはそうなりません。1 次側に反映される実際のインピーダンスを決定するには、前の手順で示した Z_o の値を使用して、2 次側の適切な終端のために逆計算を行います (式 2):

$$\frac{Z(\text{Primary Reflected})}{Z(\text{Secondary Ideal})} = \frac{Z(\text{Primary Ideal})}{Z(\text{Secondary Reflected})} \quad (2)$$

したがって、 $\left(\frac{36.72}{100} \right) = \left(\frac{50}{X} \right)$ となり、 $X = 136.1\Omega$ です。

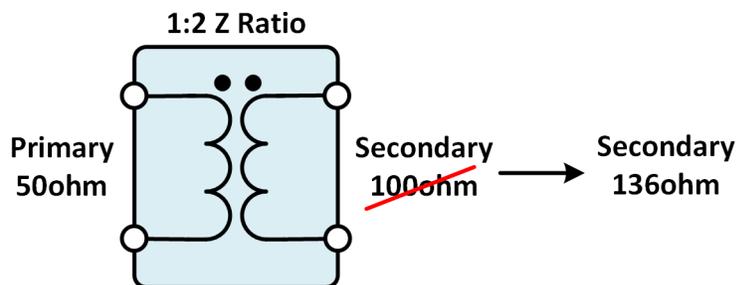


図3. 1:2 のインピーダンスのバランまたはトランス

この周波数でバランには未計算の損失があるため、136Ω の 2 次側終端はこれらの損失を補い、2 次側から始めるのに適

した終端値となります。これにより、この特定の間中心周波数における適切なインピーダンスがバランの 1 次側に反映されます。適切なインピーダンス整合を実行すると、1 次側での厳密な 50Ω の整合が実現し、ソースから伝達される最大信号電力が生成されます。

136Ω の 2 次側終端は集約終端です。ADC 自体にはすでに 100Ω の差動終端が内蔵されているため、2 次側の両側に 1 つの 33Ω の直列抵抗を配置します。図 2 を再び確認してください。これで、必要な R 値が計算されました。

940MHz で -16dB RL である場合は、より小さい値の抵抗を使用できるか、またはそれらを除外できます。ただし、ADC の内部差動インピーダンスの、プロセスのバラツキに起因する許容誤差範囲は ±10% であり、バランの RL には公差もあるため、設計においては抵抗を使用することをお勧めします。940MHz での ADC の S パラメータの値を観察すると明らかのように、わずかな抵抗を追加すると、全体のインピーダンスの精度を向上させることができます。

L の計算

次のステップは、ADC の内部 C を「計算」して、整合の等価シヤント インダクタまたは L 値を決定する事です。この値を選択するには、まず次の 2 つの方法のいずれかを使用して ADC の内部 C 値を求めます：

- データシート (図 1) に記載されている ADC モデルを使用して、内部フロント エンド寄生容量の合計または C 値を決定します。この値は約 1.85pF と推定されます。

- ADC3669 ウェブページの S パラメータを使用します。参考資料 [4] をご覧ください。

2 番目の方法を使用すると目的の周波数でより正確な容量値が得られます。940MHz で得られる容量値は 1 番目の方法よりも完全で、モデルの C 値が ADC の入力 BW の全範囲をカバーしているためです。妥協点を理解するために、両方の方法を確認してみましょう。

いずれの方法も、単純に 2 つのリアクタンス素子を等しく設定するという考え方です (式 3)：

$$X_C = \frac{1}{(2\pi \times f \times C)} \text{ and } X_L = 2\pi \times f \times L \quad (3)$$

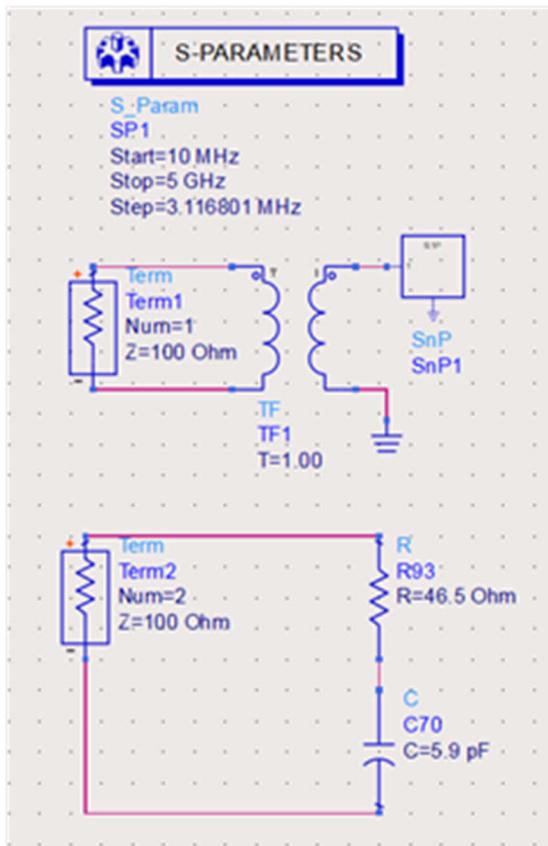
次に、f を NB アプリケーションの共振中心周波数に設定します。この例では、940MHz を使用します。

1 番目の方法で、f = 940MHz の場合、

$$\frac{1}{(2\pi \times 940M \times 1.85p)} = 2\pi \times 940M \times L \quad (4)$$

L = 15.5nH となります。

2 番目の方法では、940MHz での C 値を決定するために、S パラメータを使用してシミュレータでプロットする必要があります。図 4 を参照してください。



```

m8
freq=938.8MHz
S(2,2)=0.407 / -140.664
impedance = Z0 * (0.465 - j0.287)

m6
freq=938.8MHz
S(1,1)=0.406 / -140.886
impedance = Z0 * (0.465 - j0.286)
    
```

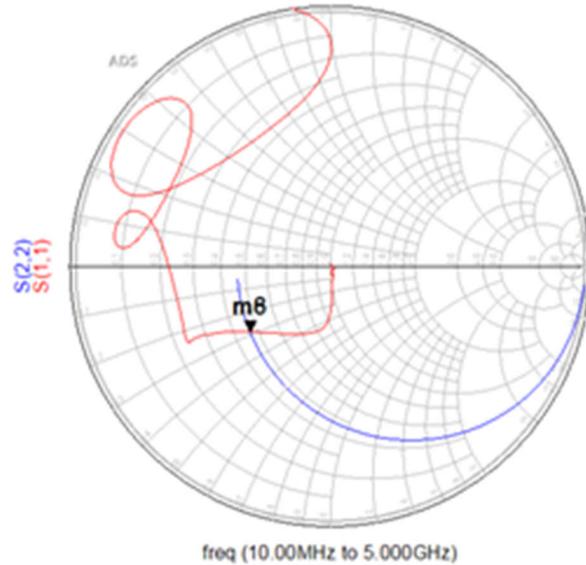


図4. 940MHz での ADC3669 アナログ入力のスミス チャート プロット

2 番目の方法はもう少し多くの作業が含まれます。スミスチャートは $R + jX_C$ を直列に構成して S パラメータをプロットします。 $R + jX_C$ は、 R と X_C が並列、すなわち $R || X_C$ となるように並列変換する必要があります。図 5 と式 4 を参照：

$$Impedance = Z_o \times (R + jX_C) \text{ or } 100 \times (0.465 - j0.287) = 46.5 - j28.7 \quad (5)$$

式 5 を使用して、並列変換を取得します：

$$R_p = \left(\frac{46.5^2 + (-28.7)^2}{46.5} \right) = 64.2\Omega \quad (6)$$

前のセクションでは R 値を設定するために 33Ω に増やした 2 つの抵抗を使用したため、 balan から見える抵抗終端の合計は 130.2Ω になります。これは、balan から見た抵抗値が理想的な小さい値であるか、または R の値がない、 100Ω の差動に近づきます。

次に、940MHz での並列コンデンサを求めます。式 6 を参照してください。

$$C_p = \frac{\frac{-28.7}{(46.5^2 + (-28.7)^2)}}{\frac{2}{\pi(-28.7 \times 10^6)}} = 1.62pF \quad (7)$$

ここでは、上記と同じ式を使用して、適切なシャント L 値を求めます。 $f = 940MHz$ 、 $C = 1.62pF$ の場合は、

$$\frac{1}{(2\pi \times 940M \times 1.62p)} = 2\pi \times 940M \times L \quad \text{となります。} L = 18.1nH \text{ となります。}$$

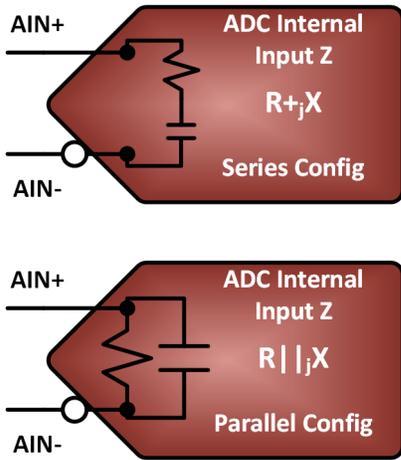


図 5. ADC 内部の R および C の直列と並列の表現

上記の 2 つの方法の 2 つの C 値は (例: 1.85pF と 1.62pF) ほとんど同じ振幅です。したがって、レイアウトに基づいて、内部の誘導性 L 寄生容量と、追加される外部の L 寄生容量について考慮する必要があります。

図 6 に示すように、ADS シミュレータ パッケージ内でフロントエンド全体をシミュレーションすることもできます。この場合は、TCM2-33WX+ バランと ADC3669 の S パラメータを使用します。図 7 に示すシミュレーション結果は、非常に良好な RL (< -15dB) を示し、18nH が 940MHz でよく一致していることを示しています。

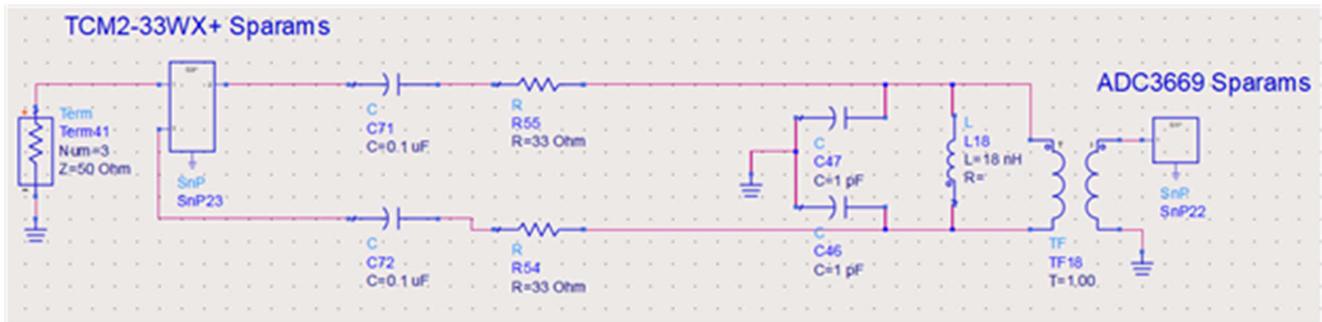


図 6. 18nH ショント整合を使用した ADS シミュレーションのフロント エンド モデル

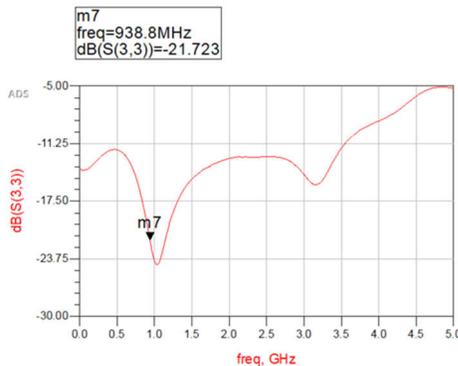


図 7. 18nH ショント整合応答のシミュレーション RL (S11) プロット

次に、ラボで測定された一部のデータとシミュレーション結果を比較します。図 8 は、ADC3669 評価基板を使用してフロントエンド整合を実装し、パスバンドフラットネス応答を測定する例を示しています。共振ポイントは中心になっていますが、整合は想定よりも少し広帯域です。シミュレーションがここでは不十分である可能性があります。シミュレーションとラボ測定値の間を 1:1 の整合に近づけるため、3D 電磁シミュレ

ーション ソルバでは基板のすべての寄生容量をキャプチャできる場合があります。ただし、いくつかの 2 次および 3 次の微妙な差異を発見する必要があります。次に、ショント C を追加して RCL リアクティブ整合を完了し、ラボの測定値を想定どおりに狭くします。

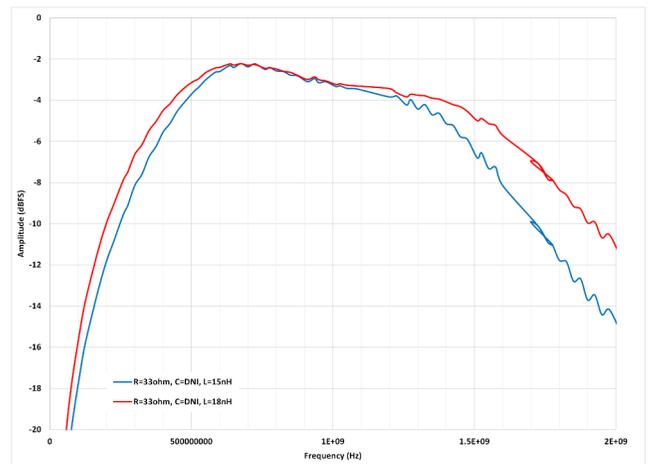


図 8. L 値を導入したパスバンドフラットネス スイープ

C の計算

狭帯域幅の整合をさらに改善する(つまり、狭くする)には、図 2 の RCL リアクティブ整合の最後の成分を追加します。インダクタと並列に C 項を配置して LC タンクを形成します。ADC の内部静電容量に対抗する 18nH のインダクタを配置した後でフロントエンド整合に静電容量を戻すのは直観に反するようになりますが、フィルタ整合を厳しくできます。LC タンクを完成させるための並列 C 値を求めるには、式 7 を使います:

$$f_o = \frac{1}{(2\pi \times \sqrt{LC})} \text{ or } 940\text{MHz} = \frac{1}{(2\pi \times \sqrt{18\text{n} \times C})} \quad (8)$$

C = 1.6pF となります。

この値 (1.6pF のコンデンサまたは最も近い標準値) をフロントエンド設計に導入し、パスバンド BW スweepに戻りましょう。図 9 を参照してください。

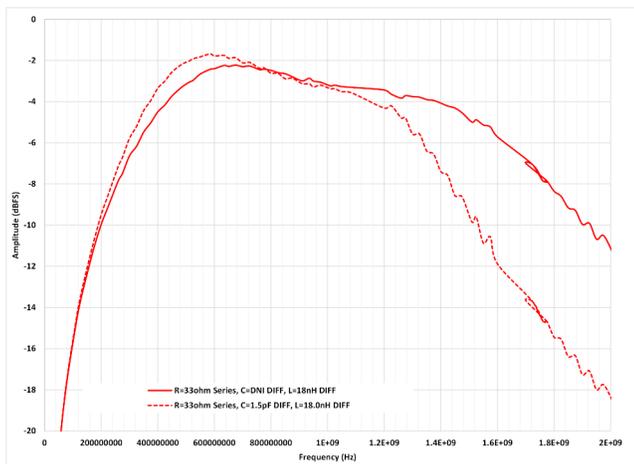


図 9. L と C 値を導入したパスバンドフラットネススweep

ご覧のように、18nH インダクタと並列に 1.5pF のコンデンサを追加して、LC タンクを作成しても、整合が実際に改善されたり狭くなったりしません (小さな破線曲線を参照)。

LC タンクの手法は機能しますが、いくつかの問題があります。外部 L 値 (18nH) を解いて内部 C を削除することは役立ちますが、最終的な解決になるとは限りません。これを正しく実装するには、より大きな C 値を使用して、内部および残留外部 C 寄生成分を完全に除去する必要があります。バラとパターンの寄生容量、および ADC の内部サンプリングコン

デンサに対処します。サンプルスイッチは素早く開閉するため、このコンデンサは動的特性を示します。

9.1pF などの、より高い値の C を選択して、式 7 を再び使用し L を求めます。

$$f_o = \frac{1}{(2\pi \times \sqrt{LC})} \text{ or } 940\text{MHz} = \frac{1}{(2\pi \times \sqrt{L \times 9.1\text{p}})} \quad (9)$$

L = 3nH となります。

図 10 は、これらの値をフロントエンド設計の代わりに導入して、パスバンド BW スweepを再実行した結果を示しています。

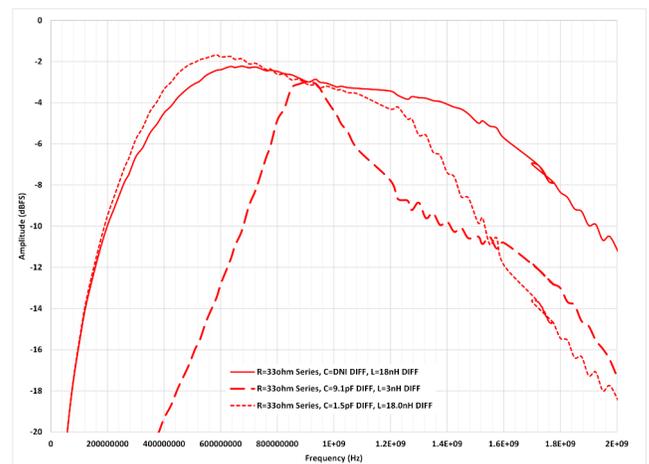


図 10. 新しい L 値と C 値を導入したパスバンドフラットネススweep

このように、NB 整合応答をさらに改善するため、外付け C を増やして帯域幅整合を 350MHz 幅 (太い破線曲線) に狭めると、かなり改善されます。通常は、ADC の内部サンプリングネットワークの総計に基づく C の値の、少なくとも 2 倍から始めるのが適切です。この項を外部に追加しても、選択した帯域の RL がさらに改善されるだけです。

次に、アプリケーションのニーズに合わせて L 値、C 値、またはその両方を調整すると、必要な BW を拡大、縮小、またはシフトできます。レイアウト、バラ、ADC 入力モデルでは、これらの値を覚えておく必要があります。寄生容量すべてをシミュレーションすることはできず、整合を適切に測定するためにはある程度の経験が必要な場合があります。

図 11 は、940MHz 帯域内の ADC の性能をさらに検証するために NB アプリケーションのサンプルを使用して収集した、信号対雑音比 (SNR) と 2 次および 3 次高調波 (HD2 と HD3) を示しています。

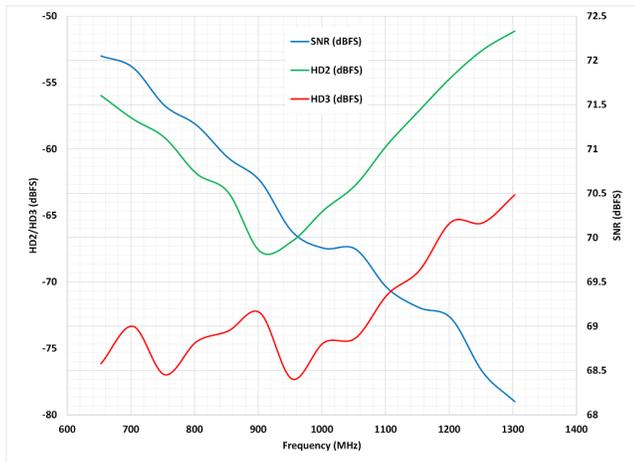


図 11. SNR、HD2、HD3 の AC 性能の結果と NB 整合周波数範囲との関係

940MHz のアナログ入力中心周波数は、ADC データシート測定仕様の外側にあるビットです。収集された値は、収集された測定値 SNR、HD2、HD3 すべての傾向に正確に従います。ただし、この特定の ADC では入力 RL が 940MHz を超えるまで低下するため、性能は低下し続けます。

まとめ

特定の高速 RF サンプリング ADC 向けに狭帯域整合アプリケーションを開発する場合は、エキスパート シミュレータである必要はありません。この NB 整合アプローチを使用すると、RF 信号チェーン内のアップストリーム フィルタを強化するのに役立ちます。まず、データシートで選択したバランの反射損失の値を使用して、NB の整合結果の抵抗部分を処理し、入力フロント エンド ネットワークの反射損失を改善します。次に、仕様表に記載された ADC の規定の S パラメータ、データシート入力モデル、または集中要素 R||C の値を、目的の周波数帯域における NB 整合の出発点として使用します。バランと pcb レイアウトは、整合の完了に必要な受動部品に影響

することに注意してください。開始点と同様、これらの点を考慮してください。

わずかなシミュレーションで方向性を示し、いくつかのシンプルな算術計算を実行すると、次の高速 RF コンバータの設計を迅速化できます。

参考資料

1. Reeder, Rob. 『アクティブな高速/RF A/D コンバータ フロント エンドとパッシブな高速/RF A/D コンバータ フロント エンドの比較』。テキサス インストルメンツ アプリケーション ノート、資料番号 SLAAET1、2025 年 3 月。
2. Reeder, Rob. 『3 番目の dB: 損失減衰ネットワーク パッドと RF ADC が適切に動作する理由』。テキサス インストルメンツ アプリケーション ノート、資料番号 SLVAG01、2025 年 2 月。
3. Reeder, Rob. および Luke Allen. 『高速 A/D コンバータのアナログ入力フロント エンドに対するパッシブ整合の高度な技術』。テキサス インストルメンツ アプリケーション ノート、資料番号 SBAA665、2024 年 12 月。
4. テキサス インストルメンツ (発行年記載なし) 『ADC3669 評価基板』。2025 年 9 月 23 日アクセス。
5. 『ADC3668、ADC3669 デュアル チャネル、16 ビット、250MSPS および 500MSPS A/D コンバータ』。テキサス インストルメンツ データシート、資料番号 SBASAL3B、2024 年 9 月、2025 年 6 月改定。
6. 『TCM2-33WX+ 表面実装 RF トランス』。小型回路のデータシート、文献番号 ECO-013812。
7. Keysight Technologies (発行年記載なし) 『高度な設計システム (ADS) 市場をリードする回路設計とシミュレーション ソフトウェア』。2025 年 9 月 23 日アクセス

すべての商標は、それぞれの所有者に帰属します。

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月