

Technical Article

ハードなスイッチングを行わないでください。**PWM** フルブリッジで **ZVS** を実現

John Dorosa

フルブリッジ コンバータ

フルブリッジ コンバータは、絶縁型電力変換向けの効率的なソリューションを実現します (図 1)。このトポロジ内では、制御方法の選択がコンバータ全体の性能に影響を及ぼします。ほとんどのエンジニアは、ハードスイッチ フルブリッジ (HSFB) または位相シフトフルブリッジ (PSFB) のみを検討します。このパワー ヒントでは、パルス幅変調 (PWM) 制御フルブリッジの簡単な変更方法を示します。この方法では、ゼロ電圧スイッチング (ZVS) を実現し、トランス巻線での共振リネギングを除去することで効率を向上させることができます。

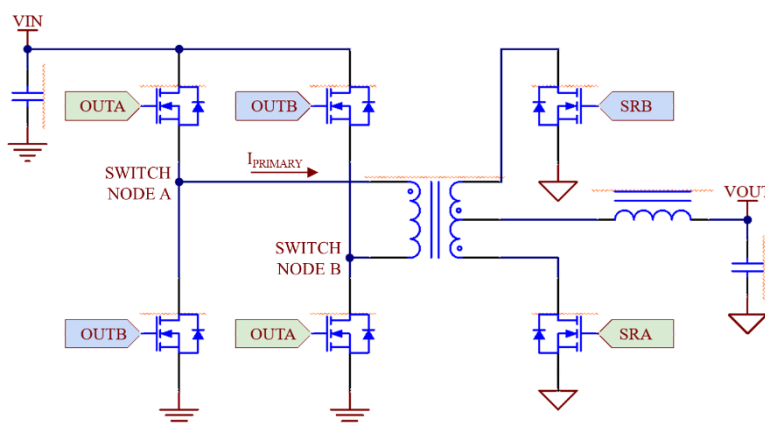


図 1. 同期 HSFB コンバータの電力段の例。出典: テキサス・インスツルメンツ

HSFB

HSFB コンバータは、図 1 に示すように、180 度の位相差がある 2 つの出力信号 (OUTA と OUTB) を使って、1 次側ブリッジの対角線上の FET 1 対を制御します。コントローラにより、1 次側 FET は以下の 3 つの状態を取ることができます。OUTA High と OUTB Low、OUTB High と OUTA Low、OUTA Low と OUTB Low の 3 つです。レギュレーションを維持するために、コントローラは各状態に費やされる時間の比率を変調します。

図 2 に、OUTA 信号と OUTB 信号、1 次側ブリッジの各側のスイッチノード電圧、1 次側巻線電流を示します (下から上)。OUTA と OUTB の両方が Low のとき、デッドタイム中にスイッチ ノードは入力電圧の半分に戻ります。

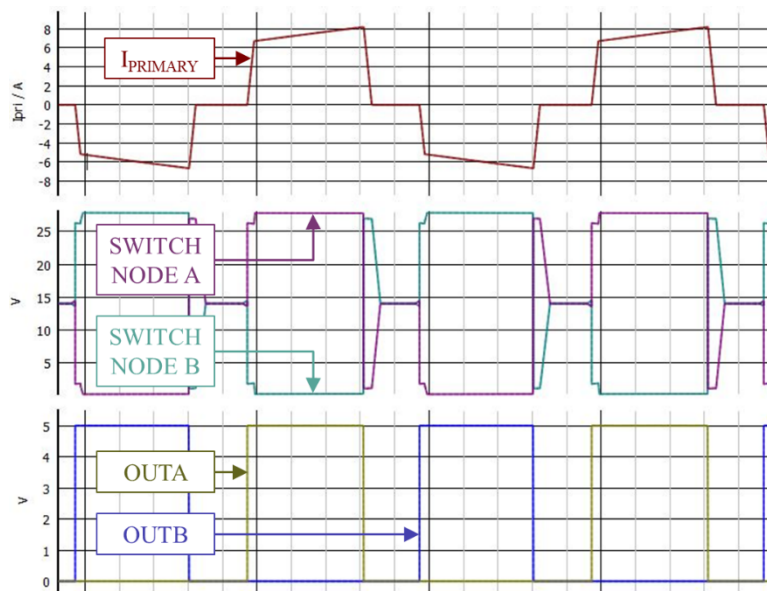


図 2.1 次側の反対側の FET (1μs/div) を駆動する通常構成。出典: テキサス・インスツルメンツ

デッド タイム中に 1 次側 FET がオンになっていない場合、2 次側電流は同期整流器経由でフリーホイールを継続します。このとき、1 次側に蓄積されたリーケージ エネルギーが 1 次側 FET の出力容量と共振し、OUTA または OUTB が Low になると大きなリーケージ スパイクが発生します。この共振は、1 次側にある 4 個の FET すべてに影響を及ぼします。図 3 に、リーケージ スパイクがどの程度大きくなる可能性があるかを示します。実際には、リーケージ スパイクが大きいために、より高電圧の部品を使用する必要が生じる可能性があります。

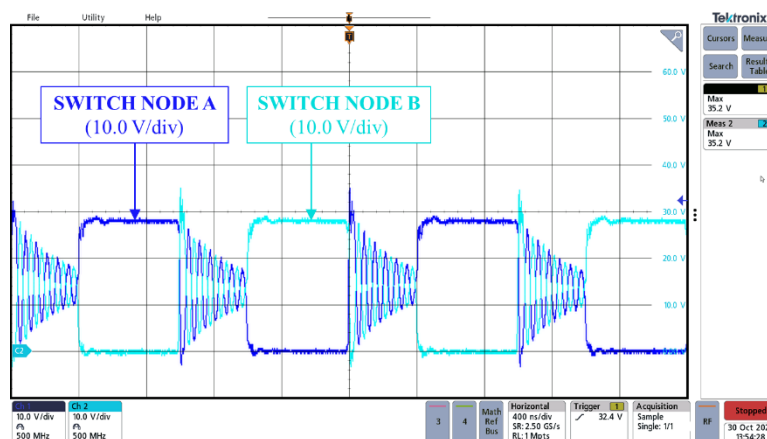


図 3. 通常構成の 1 次側スイッチング ノード (400ns/div)。出典: テキサス・インスツルメンツ

相補ロジックを使用する代替アプローチ

代替アプローチとして、ブリッジの各ハーフの相補ロジックを使用して 1 次側 FET を制御する方法があります。この方法では、PWM High でハイサイド FET がオンに、PWM Low でローサイド FET がオンになります。図 4 に、このアプローチを使用した図を示します。

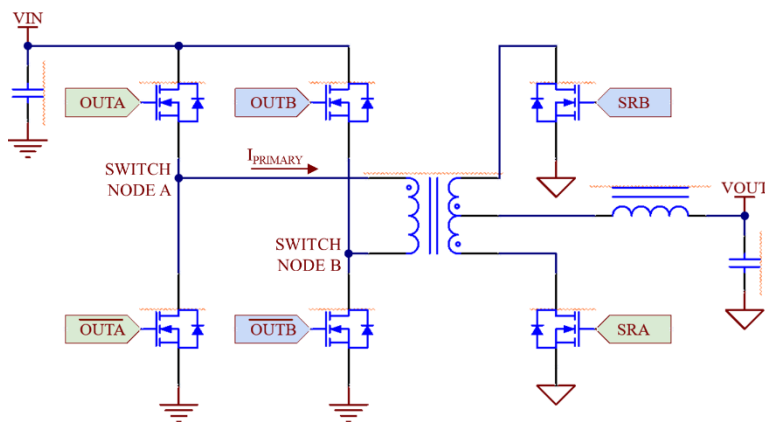


図 4. 同期 ZVS フルブリッジ コンバータの電力段の例。出典:テキサス・インスツルメンツ

図 5 に、このアプローチの PWM、スイッチノード電圧、1 次側電流を示します。1 次側ブリッジのそれぞれの側に相補信号が印加されるため、デッド タイム中に両方のローサイド FET がオンになります。これにより、従来のアプローチでデッド タイムに使用されていた期間において、1 次側電流は 2 つのローサイド FET を経由してフリーホイールを継続できます。

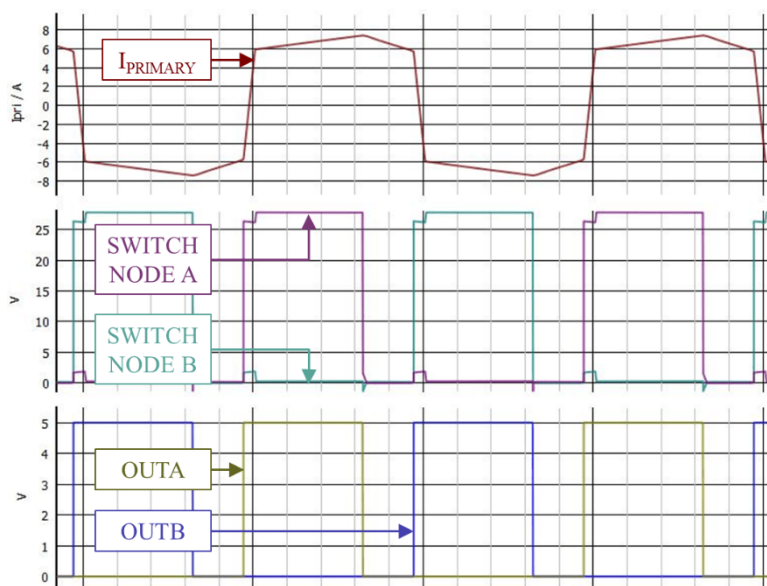


図 5. 1 次側の FET (1µs/div) を駆動する相補型 PWM。出典:テキサス・インスツルメンツ

1 次側のフリーホイール電流には多くの利点があります。まず、1 次側 FET が ZVS を実現します。図 6 に、ZVS イベント中のフル ブリッジ片側の 1 次側スイッチ ノードと PWM ロジックを示します。ZVS を示すゲート駆動信号が導入される前に、ドレイン - ソース間の電圧がゼロまで低下します。

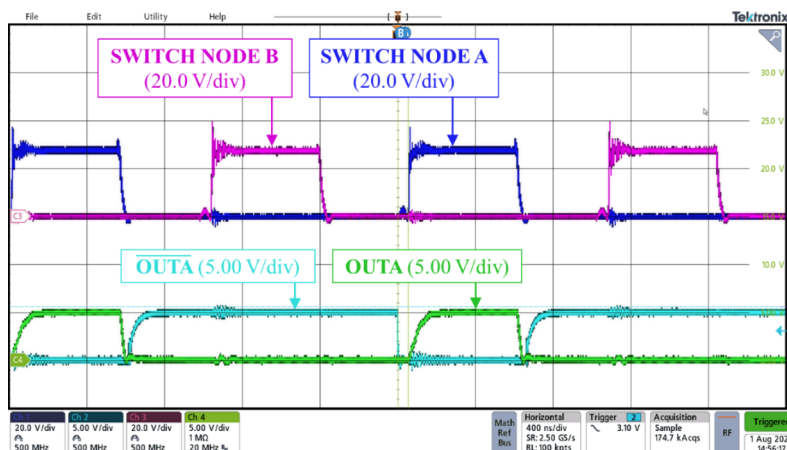


図 6. 相補型 PWM 構成の 1 次側スイッチング ノード (400ns/div)。出典: テキサス・インスツルメンツ

もう 1 つの利点は、コンバータ全体のノイズが少ないことです。図 3 の 1 次側スイッチ ノード波形から図 6 に移行するとき、大きなリーケージスパイクと共振リングングは除去されます。また、2 次側整流器は、ZVS を実現するために 1 次側を変更した後、ノイズを低減しています。

図 7 では、両方の設計オプションについて、2 次側整流器のドレイン - ソース間電圧を比較しています。HSFB の変動では、リングングが著しく増加しているため、ストレスを緩和するためにスナバが必要になります。ただしシステム全体の効率は低下します。1 次側で ZVS に変更すると、2 次側 FET のリングングが減少します。リーケージスパイクが存在する可能性があります。この場合はスナバよりダイオードのクランプ回路の方が適しています。

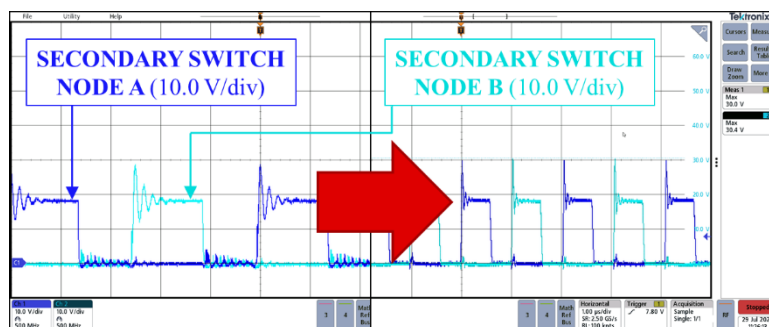


図 7. 通常構成 (400ns/div) (左)、相補型 PWM 信号使用 (1.00μs/div) (右)。出典: テキサス・インスツルメンツ

修正型 HSFB リファレンス デザイン

ZVS を単独で導入することで、さまざまな負荷条件にわたって効率を向上させることができます。図 8 は、修正型 HSFB リファレンス デザインである「100kRad アプリケーション向け 100W、5V 出力、ハードスイッチ フルブリッジ コンバータのリファレンス デザイン」(1 次側で ZVS ロジックを使用) と、HSFB の初期データを比較したものです。1 次側 FET へのロジックのみ変更されています。1 次側 FET ドライバに対する最適化と 2 次側保護回路の改良により、このアプローチの利点はさらに強化されています。

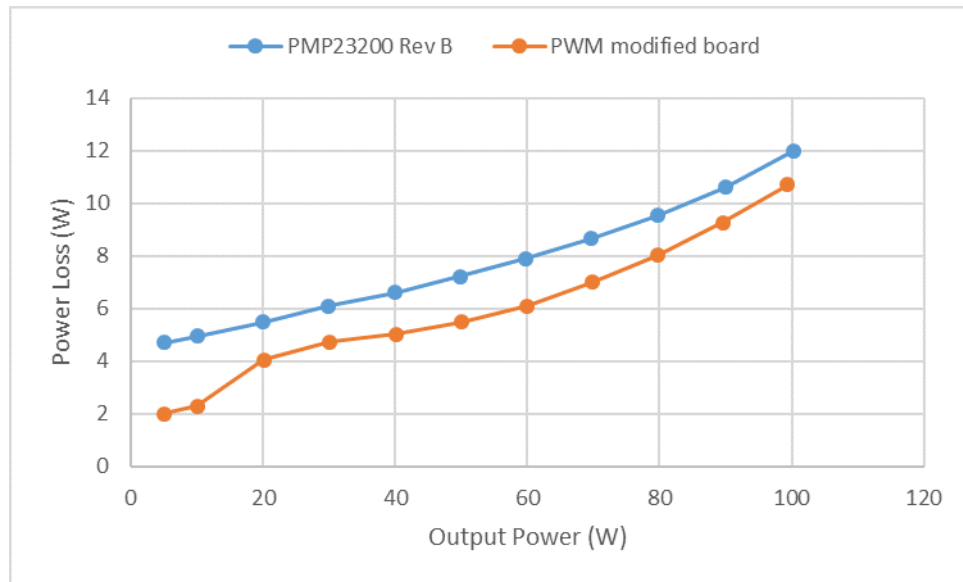


図 8. 通常型 (テキサス・インスツルメンツ HSFB リファレンス デザイン リビジョン B) と PWM (修正型ボード) 構成の合計電力損失と出力電力との関係。出典:テキサス・インスツルメンツ

相補ロジックを使用する

フルブリッジ コンバータで相補型ロジックを使用すると、1 次側 FET で ZVS を実現できます。このアプローチにはシステム効率向上の面で多くの利点があります。また、このアプローチは実装が容易です。

テスト ケースで必要なのは、標準的な同期フルブリッジ コンバータで、相補信号を生成するためにロジックを調整することのみです。この調整は論理 NOR ゲートを使用して行うことができます。また、HSFB リファレンス デザインで使用されている一部のドライバ (テキサス・インスツルメンツの [TPS7H6003-SP](#) ゲートドライバなど) には、単一の入力信号が High のときにハイサイド FET を駆動し、信号が Low のときにローサイド FET を駆動する PWM モードがあります。ご覧のように、制御ロジックをわずかに変更することで、システム性能に大きな利益がもたらされます。

関連コンテンツ

- [Power Tips #133: TLVR で合計リーケージ インダクタンスを測定し性能を最適化](#)
- [Power Tips #123: 二重昇圧コンバータを使用して、高変換比設計の電力範囲を拡張](#)
- [Power Tips #117: フル動作条件でのテストに先立つ、LLC 共振タンクの測定](#)
- [Power Tips #97: 『バッテリー チャージャのニーズに合わせて LLC-SRC のゲイン曲線を形成する』](#)
- [Power Tips #94: 上下反転型降圧を使用して非絶縁型フライバックに代わるトポロジを実現する方法](#)

この記事は、以前 [EDN.com](#) で公開された記事です。

商標

すべての商標は、それぞれの所有者に帰属します。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated