

高速コンバータ内でナイキスト ホールに近いサンプリング

Luke Allen

Application Engineer
High-Speed Converters

Rob Reeder

Application Engineer
High-Speed Converters

Chase Wood

Application Engineer
High-Speed Converters

周波数計画は、どの周波数ベース アプリケーションでも非常に重要な部分です。目的の周波数または周波数が帯域内で有効であり、スプリアス ダイナミック レンジを失う時点まで低下しないようにすることは、あらゆる周波数開発戦略の一部に必要があります。このホワイト ペーパーでは、超ナイキスト サンプリングに適用される高速 A/D コンバータ (ADC) のナイキスト ルールについて説明します。また、周波数計画を支援するためにデシメーションを使用する方法、および設計および開発段階で周波数の「穴」に陥ることからバンドを保護する方法についても説明します。

ナイキスト ルールズ

スーパーナイキスト サンプリング、中間周波数 (IF) サンプリングとサブサンプリングは、ソフトウェア無線 (SDR) またはレーダーに似たレシーバ アーキテクチャを採用する多くの周波数ベースのアプリケーションで一般的です (図 1 を参照)。

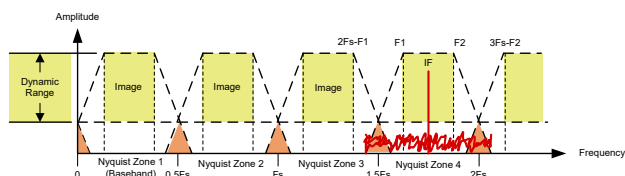


図 1. スーパーナイキスト サンプルとベースバンド (最初のナイキスト) におけるサンプリングの例

ベースバンド (最初のナイキスト) 外の周波数を計画する主な理由は、2 つあります。第 1 の理由は、アンチエイリアシング フィルタ設計 (AAF) に課される緩和制約を得るためです (図 2 を参照)。当初、より高いナイキスト ゾーン向けのフィルタ設計に比べて、ベースバンド フィルタを設計するときは、一般的なフィルタのロールオフは、かなり急である必要があります。フィルタのロールオフがより迅速では、受動部品が面倒になる、より複雑なフィルタにつながります。物理的に簡単です。0201 サイズの 100μH インダクタを購入することはできません。そのため、より高いナイキスト ゾーンでサンプリング レートが高い場合は、ストップバンド領域でのロールオフと要件が緩和され、部品点数が減少します。

高周波サブサンプリング技法を使用する 2 番目の理由は、ADC 前にある無線周波数 (RF) レシーバのシグナルチェーンを緩和することです。ほとんどの場合、最初のナイキストを超える帯域幅要件を ADC がサポートできると仮定すると、レシーバの信号チェーンを緩和することで、RF 信号チェーンの 1 つまたは 2 つのミックスダウン段が除去され、コンポーネントの減少、ノイズの減少、および複雑さの緩和が可能になります。

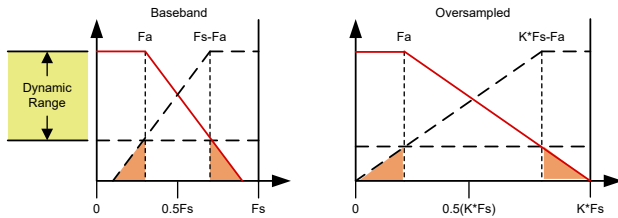


図2. ダイナミックレンジとAAFストップバンド減衰の比較。

たとえば、図3はテキサス インスツルメンツ (TI) の ADC3669 を、500MSPS のサンプリング周波数 (FS) に対して 800MHz の中間周波数のサンプリングを行います。基本的に信号は4次ナイキストゾーン内にあります対象周波数の画像またはエイリアスは、最初のナイキストゾーンに反映され、200MHz 信号として現れます。高速データコンバータ Pro のようなほとんどの高速フーリエ変換 (FFT) アナライザは、最初のナイキストゾーン、つまり 0Fs から 0.5Fs の FFT のみをプロットします。したがって、目的の周波数が 0.5Fs を超える場合、画像は最初のナイキスト領域またはベースバンドまで反映されます。スプリアストーンが関心のある帯域内にある場合も、処理が混乱する可能性があります。

では、0.5Fs を上回る ADC サンプルがナイキスト基準に対してどのような点が当てはまるのでしょうか。ナイキストルールでは、信号のすべての情報を保持するために、信号の帯域幅の2倍以上のレートでサンプリングする必要があると規定されています (式1を参照)。

$$F_s > 2 > FBW \quad (1)$$

ここで、FS はサンプル周波数、FBW は対象となる最大周波数です。

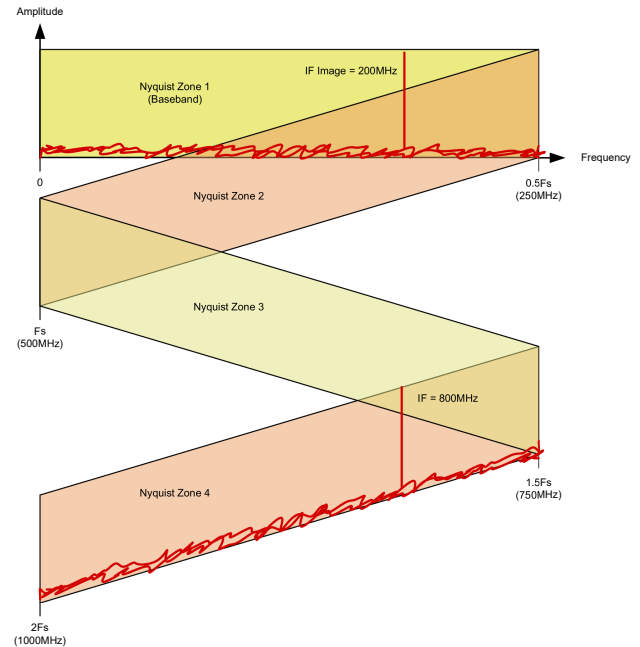


図3. ADC3669 の例であり、ここで $F_s = 500\text{MSPS}$ 、中間周波数 = 800MHz です。

ナイキスト規則を真とするための鍵は、対象となる周波数の位置です。信号がオーバーラップせず、単一のナイキスト領域内にとどまる限り、ナイキスト基準は依然として真です。唯一変更されたのは、最初のナイキストゾーンの位置が上位ゾーンに変更されたことです。IF サンプリングはこれらのトレードオフが原因で非常に一般的になりつつあります

プロセスの向上とは何ですか？

以前の形態の高速シグナル チェーン ラインアップには、シングル チャネルあたりの電力消費に使用されていた ADC と、すべてのコンバータ データを何らかの有用な形式にキャプチャ、フィルタリング、処理する FPGA (フィールド プログラマブル ゲート アレイ) が関係していました。ほとんどの設計者はプロセスゲインと呼ばれるアプローチを使用します。このアプローチは、不要なスプリアスとノイズを除去することで周波数計画に寄与するだけでなく、ナイキストゾーン内で処理される帯域幅を制限する方法で、信号対雑音比 (SNR) のダイナミックレンジを「ゲイン」する機能も実現しました。標準の SNR の式にプロセスゲイン補正係数を追加すると、式2 のようになります。

$$\text{SNR} = 6.02 \times N + 1.76\text{dB} + 10 \times \log_{10}\left(\frac{F_s}{(2 \times BW)}\right) \quad (2)$$

ここで、N は ADC ビット数、FS は ADC サンプルング周波数、BW はナイキストゾーン内で対象となる帯域幅です。

ADC と D/A コンバータ テクノロジーの両方に、より小規模なプロセス ノードを採用している現状で、標準的な FPGA デジタル機能の大半が ADC 内に存在しています。いくつかの例として、デジタル ダウンコンバータ (DDC)、数値制御発振器 (NCO)、周波数ホッピングを挙げることができます。これらの機能は FPGA 処理の負荷を大幅に軽減し、内部リソースを他の場所で使用することを可能にします。

周波数計画をお勧めする理由

ADC を使用してシステムを設計する場合、適切な周波数計画は重要な手順です。周波数プランニングにより、ADC ダイナミックレンジの効率的な活用が確実に、不要なスプリアス信号を最小化できます。SDR システムや高密度 RF シグナル チェーンなどの高性能アプリケーションにとって、これらのスプリアス信号は不可欠です。

周波数計画の重要な要素の 1 つは、ADC ダイナミックレンジを最適化することです。アナログドメイン内の追加信号は、ADC が使用できる入力信号電力バジェットの一部を消費するため、合計ダイナミックレンジ能力を削減できます。適切な周波数計画により、ADC は使用可能なダイナミックレンジを最大化するために入力周波数を戦略的に配置して、機能を完全に実行できるようになります。このアプローチには、サンプルングされた帯域内で望ましくないスプリアスと高調波がどこに現れるかを考慮し、関心のある信号とスプリアス成分の間が重複しないようにします。

もう 1 つの重要な要因は、高調波やインターリーブ信号など、ADC によって生成される固有のスプリアス信号の管理です。特に、データのサンプルング後にデジタル フィルタリングを使用しないシステムでは、これらのスプリアス寄与が意図した帯域外にとどまる場合に、周波数計画を成功させることができます。周波数計画は、チャネル分離を欠いているクロッキング デバイスなど、クロック関連のスプリアスの影響を最小限に抑えるのにも役立ちます。これは、高密度クロック分配ソリューションを使用する大規模な要素システムで特に問題となります。

インターリーブ ADC を搭載したシステムでは、インターリーブ スプリアス管理も考慮事項です。この場合、複数の ADC コアが共通の入力信号を直接的にサンプルングし、サンプルング レートとナイキスト領域を実質的に 2 倍にします。ただし、このインターリーブにより、FS/2-Fin でスプリア ストーンが発生します。さらに、より高いインターリーブ係数を使用するシステムでは、この同じ FS/2-Fin スプリアスが「新しい」FS/2-Fin によって再び変調されます。これにより、新しい Fin はインターリーブ FS/2-Fin スプリアスで構成され、導入されるスプリアス数は単一インターリーブ係数よりもはるかに高くなります。周波数プランニングを採用すると、アナログ フィルタや (できれば) デジタル デシメーション フィルタを活用し、複雑なアナログ シグナル チェーンを設計しなくても、スプリアスを大幅に減衰させることができます。このアプローチでは、選択された領域における瞬間的な帯域幅が減少すると同時に、ダイナミックレンジが向上し、信号性能がよりクリーンなものになります。

周波数計画でよくある落とし穴

この製品の利点にもかかわらず、不適切な周波数計画を策定する可能性があります。その場合、ADC 性能が低下する問題を招く可能性があります。一般的な課題の 1 つは、ナイキストゾーンが重複することです。計画が不適切な入力信号がナイキストゾーンの境界に落ちる可能性があり、エイリアシング効果が発生し、システム性能が低下する可能性があります。これを防止するために、考慮中のナイキストゾーンでスペクトル インテグリティを維持するために、適切な周波数帯域内に信号を割り当てる必要があります。

クロック スプリアスの汚染もよくあり、特に低品質のクロック供給デバイスまたは最適ではないクロック分配を使用するシステムでは顕著です。これらのスプリアス信号は、ADC スペクトルに変調されますが、既知のオフセット スプリアスが発生するため、感度の高いアプリケーションに大きな影響を及ぼす可能性があります。高品質クロックソリューションの使用を含め、クロック インフラストラクチャを注意深く設計すると、これらの影響を軽減するのに役立ちます。もう 1 つの実現可能な方法は、このオフセット周波数で高次の帯域除去フィルタを使用してデータをデジタル フィルタ処理することです。ただし、誤つ

て実装すると、希望の信号もスプリアスとともに除去されます。

もう 1 つの課題は、密変調された 3 次相互変調歪みスプリアスの補正です。これらのスプリアスはほぼ常に通過帯域内に収まり、多くの場合、スプリアス フリー ダイナミックレンジを制限するスプリアスです。非常に高いデシメーション係数が発生した場合、これらのトーンが減衰帯域内に着陸する可能性があります。しかし、ほとんどのマルチトーン システムでは、本質的にシングルトーン システムよりも大きな瞬間的帯域幅が必要なため、このような大きなデシメーション フィルタを組み込むことはできません。

最後に、帯域幅とダイナミックレンジの間のトレードオフを検討する必要があります。デシメーションはスプリアス成分と高調波を抑制できますが、瞬間的な帯域幅が縮小されるという代償が伴います。特定のアプリケーションの要件で最高の性能を実現するには、これらのトレードオフのバランスを取ることが不可欠です。

デシメーションを使用する適切な周波数計画の利点

実効周波数プランには、レシーバシステムの設計を強化するためにいくつかの利点があります。1 つの利点は、スプリアス抑制が改善されることデジタルデシメーションフィルタはスプリアスを効果的に減衰させ、多くの場合は -85dBFS の前後の抑制レベルを実現します。その結果、帯域外のスプリアスノイズではなく、よりクリーンな信号性能と、ADC ダイナミックレンジの効率的な活用が可能になります。

もう 1 つの利点は、ADC からのデータ スループットが低下することです。デシメーション機能を使用して ADC 出力データレートを低減し、ADC と、低速、小型、コスト効率の優れた FPGA とのインターフェイスを実現します。送信データのこの削減により、ハードウェア要件が簡素化されるだけでなく、システムがデュアル バンドまたはクワッド バンドで動作できるため、複数の RF 帯域の同時サンプリングが可能になります。

ソフトウェアだけでシステムを完全に再構成できる能力は、ADC デシメーション機能を使用するもう 1 つの大きな利点になります。ADC と FPGA の間のハードウェア インターフェイスを計画し、システムに期待される最大データ レートをサポー

トすることができます。これによって、より低いデータ レートやより狭い帯域幅で他の多くのシステムを動作させやすくなります。ソフトウェア再構成可能なシステムは、複数のシナリオへの展開を必要とするアプリケーションで特に重要です。

リソースの節約は、効果的な頻度計画の顕著な結果でもあります。高速シリアル データ レーンと低電圧差動信号ペアのどちらであっても、必要な出力レーンが少ないため、ADC と FPGA の両方の貴重なピンを節約し、使用率を高めることができます。これは、プリント基板の面積と電力の制約がある高チャネル システムでは特に重要です。

理論上の例: デシメーションによる周波数計画

インターリーブ ADC は、FS で一般的な RF 入力信号をサンプリングすることを検討します。インターリーブ プロセスでは、FS/2-Fin にスプリアスが発生し、意図した信号に干渉する可能性があります。図 4 に示すように、2 単位のデシメーションフィルタを適用すると、このスプリアスをデシメーションフィルタの除去制限内のレベルまで減衰させることができます。さらに、デシメーション プロセスによって ADC 出力データレートが低減され、コスト効率の優れた FPGA インターフェイスを実現できるほか、ダウンストリーム処理を簡素化できます。さらに、広帯域ノイズの低減により、SNR の N (つまりノイズ) を半分にカットした一方で、S (つまり信号) は同じままであるため、3dB のプロセスゲインが発生します。

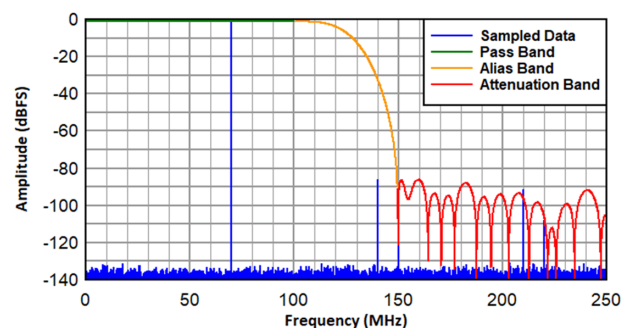


図 4. 70MHz FIN (デシメーション係数 2) を使用し、500MSPS での理論データに対するデシメーション フィルタ応答。

実践的な例: デシメーションによる周波数計画

ADC でのデシメーションを使用すると、周波数計画プロセスが簡素化されます。サンプリング レートを下げると、目的の帯域幅が実質的に狭くなるからです。デシメーションは、スペクト

ルのより狭い部分に選択的に焦点を当てるものと考えてください。より狭い帯域に焦点を合わせることで、不要な高調波やスプリアスの多くが目的の通過帯域から外れて落ちることになり、結果的にフィルタリングされます。以下の例では、

ADC3669 を使用して、周波数計画時のデシメーションの違いを示しています。**図 5** に、16384 ポイントの FFT サイズを使用して ADC がデシメーションを実行していない従来のスペクトル キャプチャを示します。不要な高調波が帯域内にあり、パフォーマンスに悪影響を及ぼしていることがわかります。

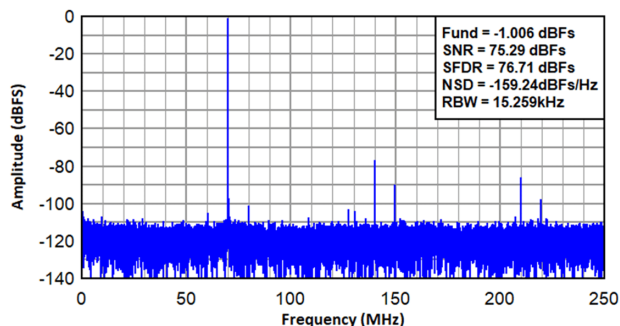


図 5. ほぼ 70MHz の FIN (デシメーションなし) で 500MSPS で ADC3669 がキャプチャした実数スペクトル。

これらの高調波は、ADC からの付加ノイズまたは何らかの外部アナログ周波数であることが考えられます。ADC が実数デシメーション モードで、デシメーション係数が 2 の例を、**図 6** に示します。望ましくない高調波スプリアスが帯域外に落ち、デシメーション フィルタでフィルタ処理されて除去されることがわかります。プロセスゲインにより、+3dB の改善が追加されていることに注意してください。

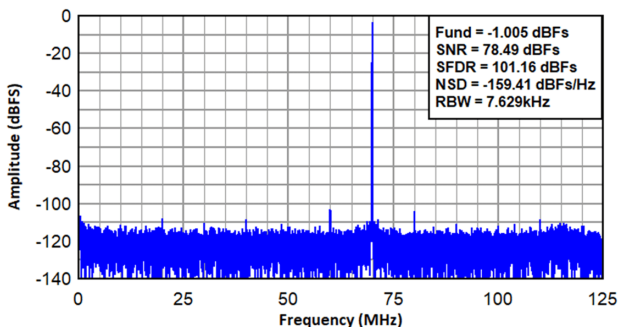


図 6. ほぼ 70MHz の FIN (信号対雑音比) を使用し、500MSPS で ADC3669 をキャプチャした実数スペクトル (デシメーション係数は 2)。

さらに FFT の分解能帯域幅は実際には 2 分の 1 に低減されます。FFT 計算で同じポイント数を維持するからですこれに

より、アナログ周波数をより近いビンに分解できます。これまでは実数のデシメーションについてのみ説明してきました。周波数シフトなしでデータのフィルタリングを実行します。あなたの関心の信号がデシメーションするたびに FS/4 未満のどこかに落ちるならば、実数デシメーションは素晴らしいです。ただし、この範囲外の信号をデシメーションする場合はどうすればよいでしょうか。関心のある信号は多くの場合、ゼロ周波数 (ベースバンド) ではなく、ある程度の中間周波数を中心とします。ここでは複雑なデシメーションが行われます。ADC3669 などの新しいデジタル機能を持つ ADC では、複雑な DDC 段に NCO ミキサが組み込まれています。目的の信号を NCO 周波数と混合すると、デシメーションの前に信号がベースバンドにシフトされ、デバイスの帯域幅内にある任意の場所で、デシメーション機能の利点を活用できます。

図 7 に、複素数間引きモードでの ADC3669 のキャプチャを示します。このとき、デシメーション係数 64 を使用して FFT が 8192 ポイントを使用して計算されると、実効サンプリング帯域幅は 7.8125 MHz が得られます。入力周波数は 70MHz、NCO 周波数は 71MHz です。信号が NCO 周波数と混合されると、信号はベースバンドにシフトし、約 1MHz のトーンが得られます。

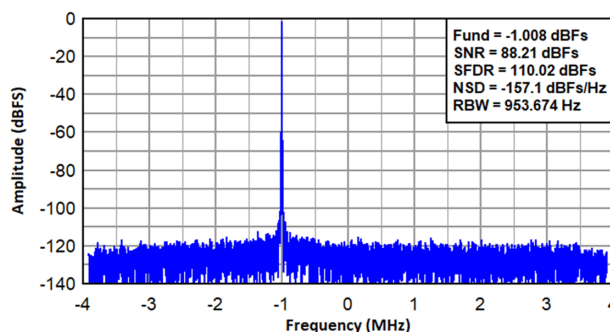


図 7. ADC3669 が 500MSPS でキャプチャした複素スペクトルで、デシメーション係数は 64 (FIN = 70MHz、FNCO = 71MHz)。

ADC3669 は、最大 32768 のデシメーション係数 (デシメーション) で狭帯域をキャプチャできます。この値は、高密度の RF 帯域や狭いチャネル間隔を使用するアプリケーションに役立ちます。このような高いファクターでデシメーションすると、関心のある信号を拡大し、事実上すべてのものをフィルタリングして除去できます。ADC3669 のような最新の ADC が実現するデシメーション ファクタの範囲を活用すると、不要なスプリアスを除外しやすくなるため、周波数計画でフレキシビリティを

高めることができます。図 8 に、8192 FFT ポイントを使用して計算した 16384 のデシメーション係数によるキャプチャを示します。この結果、分解能帯域幅は 3.726Hz になります。スプリアスが基本波から数千ヘルツ以内にある場合でも高いデシメーション レートで簡単にフィルタリングで除外できます

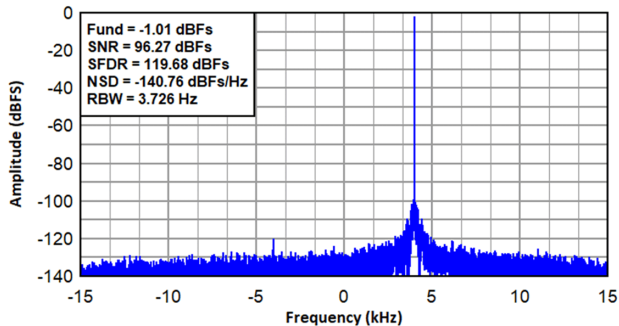


図 8. ADC3669 が 500MSPS でキャプチャした複素スペクトルで、デシメーション係数は 16384 ($F_{IN} = 70\text{MHz}$, $F_{NCO} = 69.996\text{MHz}$)。

NCO 周波数は入力信号より 4kHz 低いいため、ダウン変換された信号は正の周波数オフセットで現れます。この ADC は、このデシメーション モードと 500MSPS の動作を実現しているほか、プログラマブルな NCO (数値制御発振器) 周波数から 30.517kHz の範囲で信号をサンプリングできます。

まとめ

周波数計画は、ADC ベースのシステム設計にとって重要な要素であり、スプリアス管理、ダイナミックレンジの最適化、AAF 設計、および効率的なデータ処理などの課題に対処します。思慮深い周波数計画を事前に実装すると、ナイキストゾーンのオーバーラップやクロック スプリアス汚染などの一般的な落とし穴を回避すると同時に、スプリアス抑制とダイナミックレンジの改善、ADC デジタル インターフェイスまたはデータレートの削減、FPGA リソースの節約などの利点を享受できます。これらのトレードオフと、ADC デシメーションなどの機能を注意深く活用すると、多様なアプリケーションに適した、ソフトウェアの再構成可能な高性能レシーバシステムを

実現すると同時に、次期サンプリング ホールを回避することができます。

関連ウェブサイト

- [SLYT861](#) をチェックして、RF サンプリング データコンバーターでの高速周波数ホッピングのテクニックを学びましょう。Chase Wood による『RF サンプリング データコンバーター』における高速周波数ホッピングの調査。2024 年 10 月の Analog Design Journal に掲載。
- [TIPL4701](#) におけるサンプリングとデータレートの関係について理解。2017 年 8 月に出版された Jim Seton 著『高速データコンバータにおけるサンプリングとデータレート、デシメーション (DDC)、補間 (DUC)』
- 2024 年 5 月に Embedded Computing Design に掲載された Chase Wood 著の『Analyzing High-Bandwidth Spectrum Clusters』を読んで、高帯域幅のデシメーションの例についての洞察を得てください。
- [RF サンプリング周波数プランナー](#)、[アナログフィルタ](#)、[DDC カリキュレータ](#)を使用して、RF サンプリング周波数計画を最適化します。仕様の詳細については、[TI の ADC3669 データシート](#)をご覧ください。

重要なお知らせ:ここに記載されているテキサス・インスツルメンツ社および子会社の製品およびサービスの購入には、TI の販売に関する標準の使用許諾契約への同意が必要です。お客様には、ご注文の前に、TI 製品とサービスに関する完全な最新情報のご入手をお勧め致します。TI は、アプリケーションに対する援助、お客様のアプリケーションまたは製品の設計、ソフトウェアのパフォーマンス、または特許の侵害に対して一切責任を負いません。ここに記載されている他の会社の製品またはサービスに関する情報は、TI による同意、保証、または承認を意図するものではありません。

すべての商標は、それぞれの所有者に帰属します。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated