

# 高速 ADC アナログ入力フロント エンドの パッシブ マッチング手法

## Rob Reeder

Application Engineer  
High-Speed Converter Group

## Luke Allen

Application Engineer  
High-Speed Converter Group

### はじめに

高速 A/D コンバータ (ADC) フロントエンドの設計に関するメカニズムを理解することは、それ自体が手法であるように感じられることがあります。単にバランを配置して、バランの 2 次出力から ADC の入力に 2 本のトレース ラインを描くことは、高速アナログ レシーバのフロントエンド設計では推奨されません。バランは、帯域幅の寄生成分の影響を受けやすいだけでなく、他にも厄介な問題があります。この記事では、バランを使用したパッシブ アナログ入力設計を最大限に活用する方法を紹介します。この方法には、必要な帯域幅を達成するために、高コストのバランや高コストの減衰パッドを使用する必要がないという利点もあります。

### 適切なバランまたはトランスの選択

まず、DC カップリングが不要だと仮定します。つまり、DC 周波数ビンをサンプリングします。バランは追加の電源を必要と

しないので、全体的な消費電力を低減し、基板面積を縮小できるという利点があります。また、追加の電源を考慮する必要がないため、ADC 自体に到達する RF (無線周波数) シグナル チェーン全体のノイズがバランによって増加することはなく、信号対雑音比 (SNR) やノイズ スペクトル密度は低下しません。

図 1 に、テキサス・インスツルメンツの 16 ビット、デュアル チャネル **ADC3669** ADC を採用した同じアプリケーションで、2 つの異なるバランを使用した場合を示します。どちらのバランも帯域幅定格は同じですが、ADC の内部サンプル ネットワークからの異なる入力インピーダンスと、プリント基板 (PCB) トレースの寄生成分の組み合わせによって、応答は異なるものになります。どちらのバランでも「マッチング」を適用しないと、帯域幅が急速に減少します [1]。

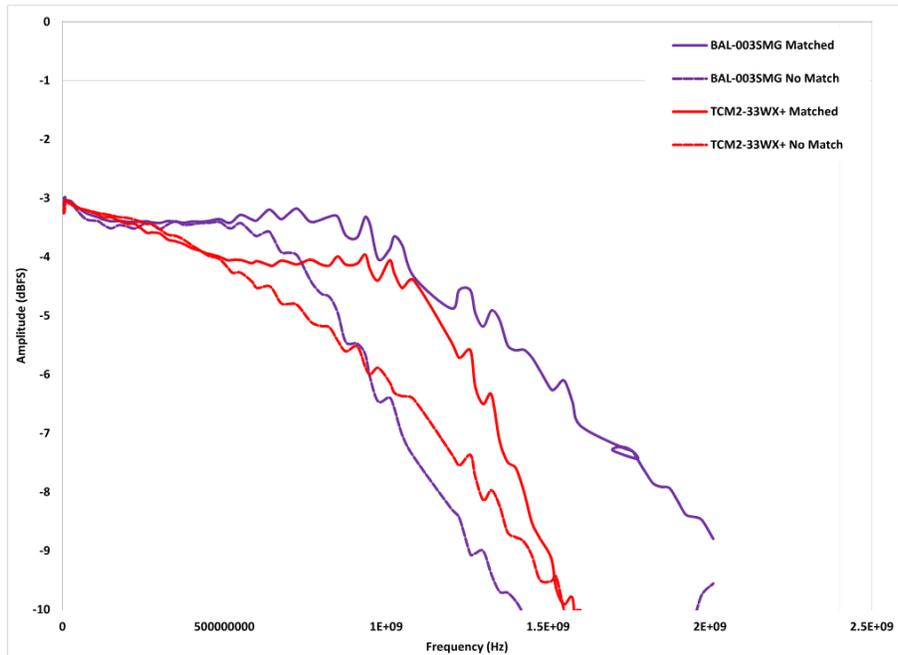


図1. ADC3669 とバランの帯域幅: マッチングあり (実線) とマッチングなし (破線) の比較

データシートに記載されているバランの PCB フットプリントとレイアウトに関する推奨事項を確認してください。これらの推奨事項に厳密に従うことをお勧めします。そうしないと、バランの応答が異なるものになります。バランのデータシート特性値の収集と S パラメータの測定はこのフットプリントを使用して行っており、これらの状況下で仕様値まででのみ動作します。特定の帯域幅におけるバランの位相不平衡特性を理解する際、バラン固有の位相不平衡特性が悪いほど、ADC に現れる偶数次歪み (2 次高調波歪み [HD2]) も悪化するという事に注意する必要があります。周波数プランニング アプリケーションで HD2 が重要である場合は、位相不平衡特性が良好なバランを選択することをお勧めします。使用可能な周波数

範囲全体で位相差の影響をどの程度受けるかは ADC によって異なるため、これに関して適切なガイダンスはありません。通常、アプリケーションの動作帯域幅に対する位相不平衡が 5 度以下のバランを選択するのが良い開始点となります。この程度の位相不平衡であれば、RF シグナル チェーンのラインナップにすでに存在する総偶数次歪みにはほとんど寄与しません [2]。

図 2 では、ADC3669 を使用した場合に、先ほどと同じ 2 つのバラン (マッチングを適用) の偶数次歪みへの影響を比較しています。3 次高調波歪み (HD3) は周波数全体にわたって比較的同じで、大きな差はありません。

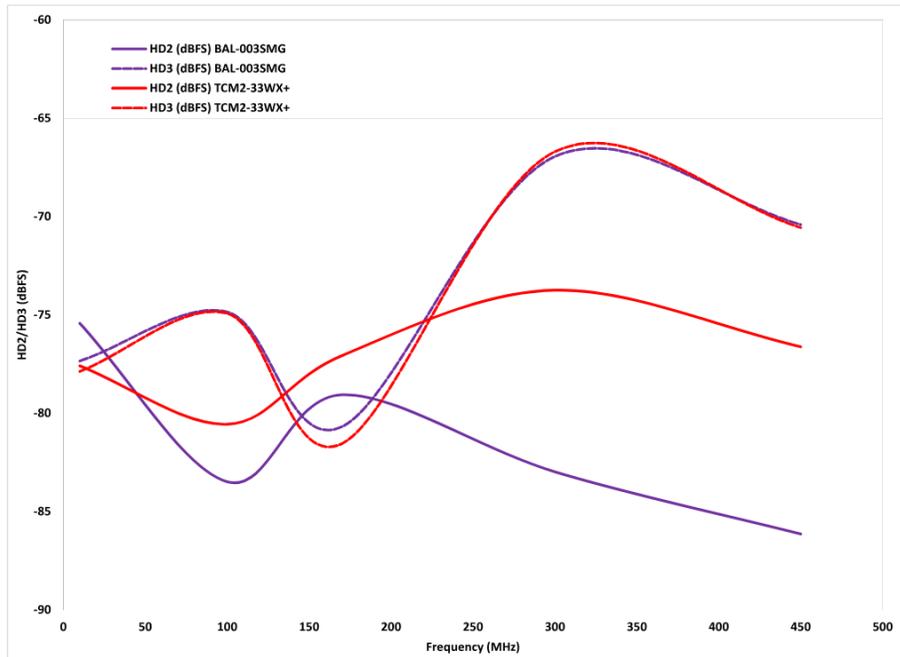


図2. ADC3669 における 2 つのバラン (HD2 と HD3) の比較: 高コストと低コスト

### 適切なバラン マッチング ネットワークの選択

長年にわたり、バラン マッチングをシミュレーションして完璧なものにする試みが多数行われてきました。何週間も何か月もかけてシミュレーションを実行し、PCB の寄生成分を理解しようとしても、PCB 設計の製造段階でマッチングがうまくいかないこともあります。その代わりに、図 3 に示すトポロジを使用した異なる設計プロセスで開始することをお勧めします。

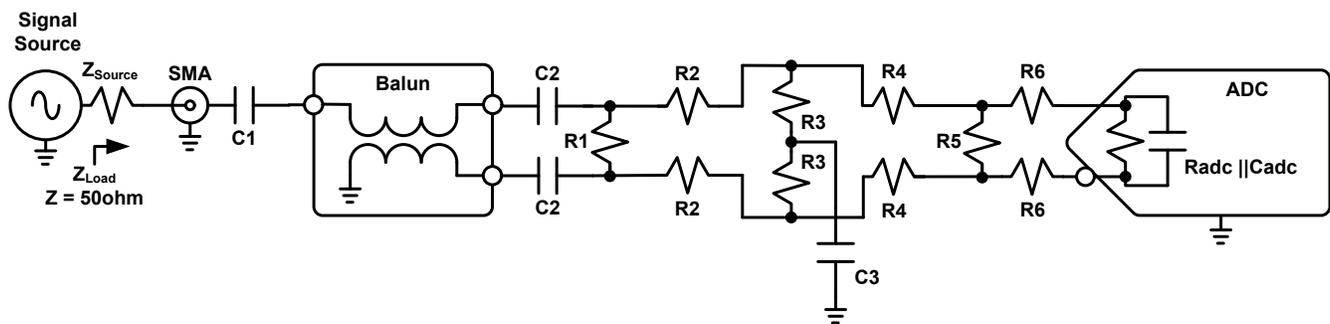


図3. 一般化されたパッシブ ネットワーク部品のブレースホルダー

この労力とトレードオフが実際に価値があるかどうかを疑問に思われる場合は、図 1 を参照することをお勧めします。

ADC の入力マッチング ネットワークにおける各部品の必要性と機能について説明します。

- C1、C2: これらの部品 (通常は 0.1 $\mu$ F) は、DC がバランまたはトランスに供給されないようにします。バランの設計によっては、グランド、DC、またはその両方に接続されているものもあり、バランの機能が悪化し、性能の低下につながる可能性があります。
- R1: この部品は、DC ブロッキング コンデンサの後、バランの出力付近でのバック終端を可能にします。トレースが十分に長い場合は、この部品が必要になることがあります。目的の帯域全体で完全なマッチングを達成できないとすると、不完全なマッチングが周波数範囲全体で前後に移動するときに蓄積される定在波に対処するために、バック終端が必要になる場合があります。
- R2、R3、R4: これらの部品は、さまざまなマッチング手法を使用できるようにします。バランと ADC のの問題を解決するため、いくつかの組み合わせを使用できます。最も広帯域のマッチングを達成するため、R2、R3、R4 は通常マッチング パッドとして構成されます。これは、バランと ADC の間の定在波を除去し、バランと ADC の両方に必要な「堅牢な」50 $\Omega$  のインピーダンスを実現するのに役立ちます。これらの部品は抵抗として表されますが、コンデンサまたはインダクタを使用することもできます。
- C3: このコンデンサ (通常は 0.1 $\mu$ F) は、R3 の中心点を接続し、AC 電流パスを可能にします。C3 を追加すると、ADC の入力全範囲よりも広い範囲を使用する場合に AC 電流を流すことができるため、この理由からも C3 の追加が推奨されます。C3 は R5 の位置に配置することもできます。
- R5: この部品は、ADC の入力付近でのバック終端を可能にします。必ずしも必要ではありません。R5 は R1 と同様

に機能しますが、逆側から蓄積する可能性のある定在波を除去するのに役立ちます。トレース接続の長さが 300mil 以上の場合は、通常 R1 または R5 が必要です。

- R6: これはキックバック部品です。通常は抵抗が使用されますが、場合によってインダクタまたは低 Q フェライトビーズを使用すると、ADC の内部サンプリング回路からアナログ入力ネットワークに戻る残留電荷のキックバックをスナバ処理するのに役立ちます。バッファなしの ADC を使用する場合は、これらの部品プレースホルダが不可欠です。

単にバランの出力から ADC の入力に 2 本のトレースを配線する予定の場合は、注意が必要です。S パラメータを収集し、設計をシミュレーションして検証しても、バランと ADC の組み合わせに経験がなければ、この手法ではコストがかさむ可能性があります。

## ADC3669 の使用

この例では、1.5GHz のアナログ サンプリング帯域幅で広帯域フロント エンド マッチング設計を実現するために、16 ビット、デュアル チャネルの **ADC3669** ADC を使用しています。また、Mini-Circuits 社の **TCM2-33WX+** バランを使用しています。このバランは、帯域幅が 3GHz で、マッチングが容易な高コストのバランに比べて挿入損失が小さいという特長があります。さらに、このバランの位相不平衡は 5 度未満と非常に良好で、周波数範囲が同じ他の低コストのバランよりも優れています。

**図 3** の一般化された回路を使用した場合、マッチングを定義するために必要な部品は純粋な抵抗ではありません。ここでは、抵抗 (R)、内部寄生容量 (C)、インダクタ (L) (R2、R3、R6) アプローチを使用します。**図 4** を参照してください。

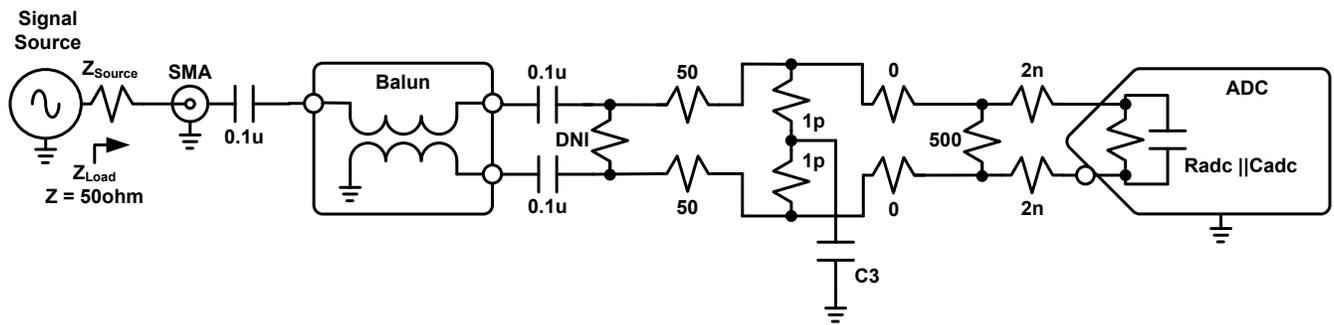


図4. 最終的なパッシブ ネットワーク マッチング

PCB の寄生成分は引き続き問題となるため、ボード上でいくつかの異なる反復をテストする必要があります。

バランと ADC の両方の S パラメータ セット (利用可能な場合) を取得し、気に入ったシミュレーション ソフトウェアを使用します。図 3 に示されているマッチング ネットワーク フォーマットと、R2、R3、R4 にこれら 2 つのアプローチのいずれかを使用します。

- 減衰パッド アプローチ (R2、R3、R4 はそれぞれ約 8.6Ω、140Ω、8.6Ω) から、3dB パッドが得られます。このアプローチの詳細については、Electronic Products の記事『Unraveling the Full-Scale Mysteries of your RF Converter's Analog Inputs』を参照してください。
- R2、R3、R4 に R、C、L を使用するアプローチは、L を最後の部品として使用して、ADC の C を共振除去するのに

役立ちます。このアプローチにより帯域幅が平坦化され、バランが定格帯域で動作できるようになります。ただし、このアプローチでは多少の反復が必要となります。

ここでの目標は、損失の大きい減衰パッドを使用しないことです。R、C、L アプローチを把握しやすくするため、図 5、図 6、および図 7 を参照してください。ネットワーク (図 4 を参照) で L、C、R をそれぞれ変化させ、最終的な帯域幅とネットワーク マッチングの定義にどのように寄与するかを示しています。

図 5 に、他の部品の値は同じにしたままで、L の値を変化させたときの帯域幅への影響を示します。L の値を大きくすると、帯域幅は徐々に減少します。これは、L 値が ADC の C に悪影響を及ぼすことを意味します。

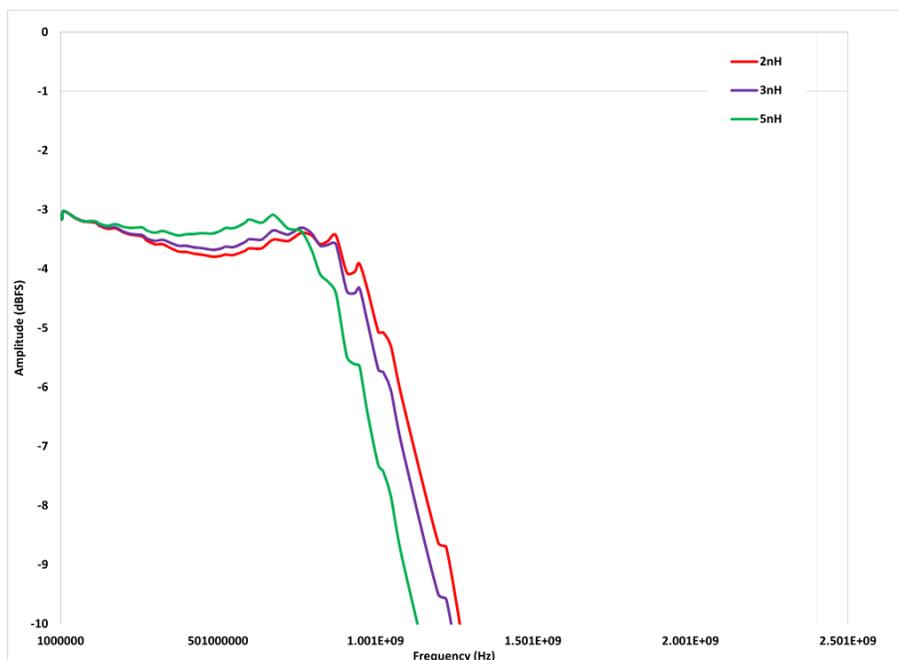


図 5.  $R4$  で  $L$  値を変化させた場合のパスバンドの平坦性応答

図 6 に、他の部品の値は同じにしたままで、 $C$  の値を変化させたときの帯域幅への影響を示します。 $C$  の値を小さくすると、帯域幅は徐々に改善しますが、帯域幅の平坦性には悪影響を及ぼします。これは、 $C$  値が、周波数に対するバランの

反射損失に影響を及ぼすことを意味します。これらのコンデンサは、周波数に対してバランの帯域幅を維持するのに役立ちます。

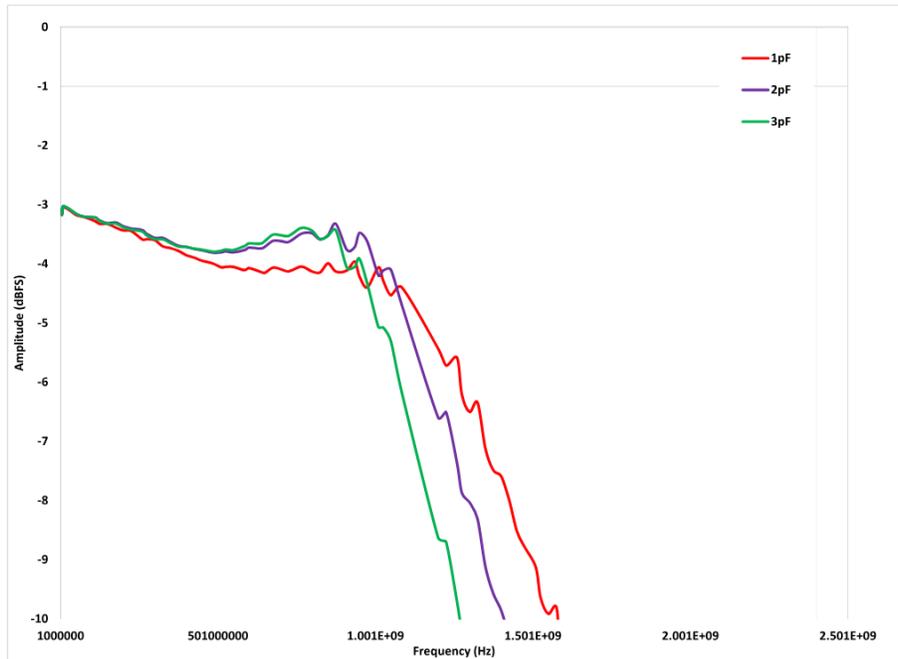


図 6.  $R3$  で  $C$  値を変化させた場合のパスバンドの平坦性応答

図 7 に、他の部品の値は同じにしたままで、 $R$  の値を変化させたときの帯域幅への影響を示します。 $R$  の値を大きくすると、帯域幅は徐々に改善しますが、帯域幅応答の平坦性やピークには悪影響を及ぼします。 $R$  の値の影響は  $L$  の影響と

ほぼ同じで、 balan と ADC のお互いに対するインピーダンス要件を維持します。

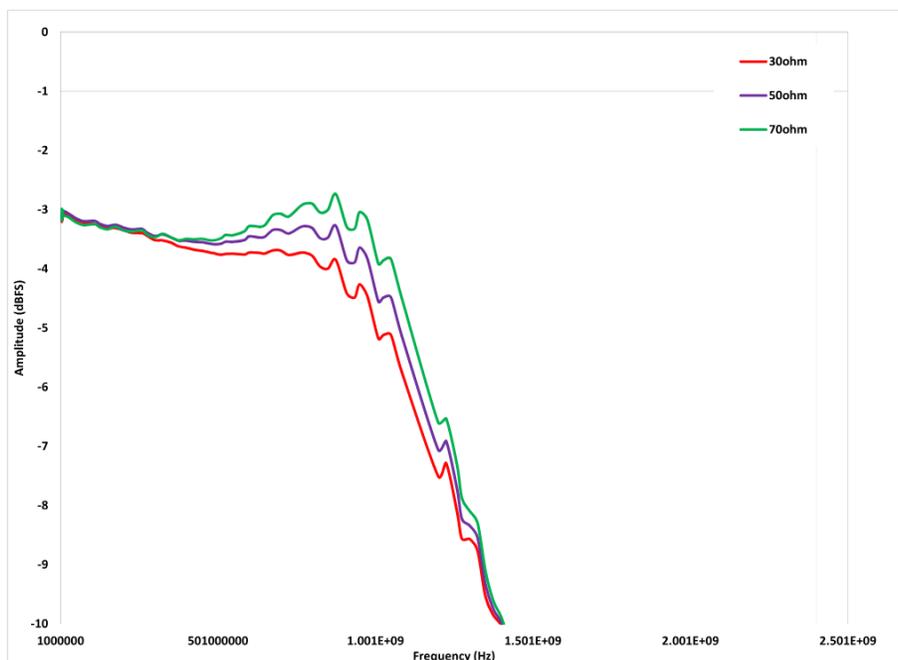


図7. R2 で R 値を変化させた場合のパスバンドの平坦性応答

R、C、L アプローチをシミュレーションするのが良い出発点となります。シミュレーションソフトウェアの「チューニング」機能を使用して、各部品ネットワークマッチングへの寄与を確認できます。良い開始値から始めると、反復してアプリケーションの要件に応じた最適なマッチングを達成する際に、値をどちらの方向に変化させれば良いかを判断しやすくなります。

マッチング設計の作業中に、コンバータのアプリケーション帯域幅全体にわたって AC 性能のスweepを行うと、性能の動

的な変動を見て、ADC で問題が発生していないことを確認できます。

図8に、ADC3669の帯域幅全体で測定されたAC性能(SNRとスプリアスフリーダイナミックレンジ[SFDR])を示します。先ほど説明した方法で、入力ネットワークを1.5GHzにマッチングさせています。

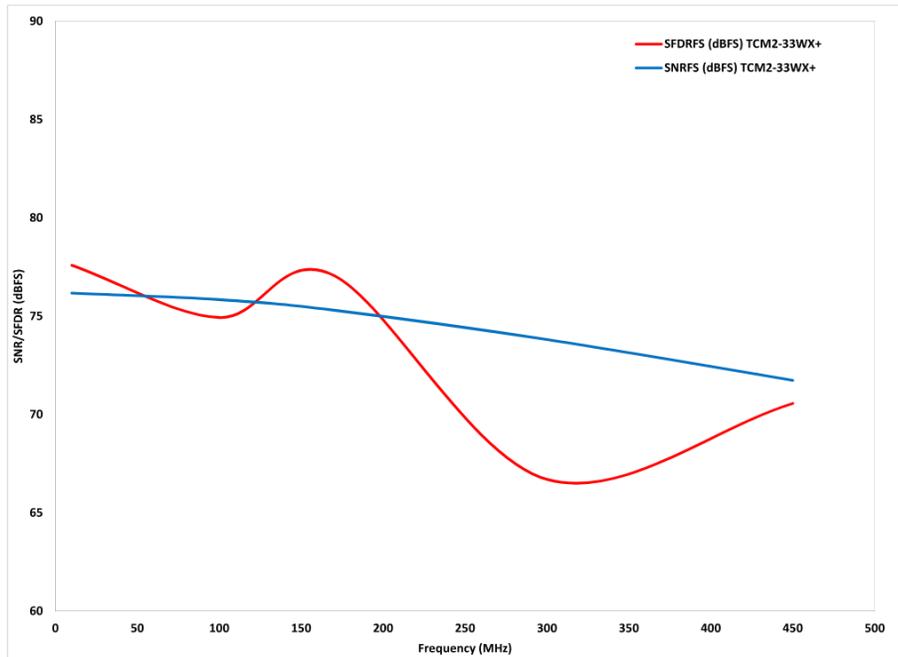


図 8. 最終的にマッチングされたネットワークにおける、AC 性能 (SNR/SFDR) と周波数の関係

## まとめ

GHz 領域でバランと ADC のマッチング ネットワークを設計する際、マッチングによって帯域幅が制限されないようにするには、以下の基本的な手順を使用します。

- 特定のアプリケーションの帯域幅よりも多少広い帯域幅を持つバランまたはトランスを選択します。
- 周波数アプリケーションで HD2 が重要な場合は、位相不平衡が 5 度以下のバランを選択します。
- バランまたはアンプと ADC を使用する場合、簡略化された入力ネットワークを使用すると、ほとんどのマッチング作業に必要な初期ブレースホルダが得られます。
- リストに記載されているすべての部品が必要とは限りませんが、シミュレーションですべての基板レイアウトと PCB

の寄生成分をキャプチャすることは不可能であるため、初期段階では有益となる場合があります。

- 帯域幅性能に影響する可能性のあるトレードオフについて理解するようにします。これらのトレードオフには、ADC の性能の直線性に影響するものもあります。

## 参考資料

1. Reeder, Rob. 2022 年。『[アクティブ型とパッシブ型の RF コンバータ フロント エンドの比較](#)』。Planet Analog、2022 年 1 月 24 日。
2. Reeder, Rob. 2022 年。『[高速 RF コンバータ フロント エンドアーキテクチャの評価](#)』Planet Analog、2022 年 4 月 7 日

**重要なお知らせ:**ここに記載されているテキサス・インスツルメンツ社および子会社の製品およびサービスの購入には、TI の販売に関する標準の使用許諾契約への同意が必要です。お客様には、ご注文の前に、TI 製品とサービスに関する完全な最新情報のご入手をお勧め致します。TI は、アプリケーションに対する援助、お客様のアプリケーションまたは製品の設計、ソフトウェアのパフォーマンス、または特許の侵害に対して一切責任を負いません。ここに記載されている他の会社の製品またはサービスに関する情報は、TI による同意、保証、または承認を意図するものではありません。

すべての商標は、それぞれの所有者に帰属します。

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2024, Texas Instruments Incorporated