

Technical Article

SEPIC の絶縁



John Betten

絶縁型の低電力出力にどのトポロジを使用すればよいかを検討するとき、最初に挙げられるのはおそらくフライバックです。フライバックは優れたトポロジで、低コスト、少ないコンポーネント数、出力の追加が簡単などの利点がありますが、欠点もいくつかあります。フライバックトランスの漏れインダクタンスに関連する電界効果トランジスタ (FET) と整流器のリングは、電磁干渉 (EMI) を発生させ、部品へのストレスを増大させて、効率を低下させます。さらに、複数の出力が存在する場合、特に負荷の変動が大きい場合は、適切に制御された電圧を得ることが難しくなる可能性があります。これらの問題点のいくつかを軽減するため、SEPIC (シングル エンド 1 次側インダクタ コンバータ) を絶縁するという別の方法もあります。この方法について解説します。

SEPIC は非絶縁トポロジです。ただし、フライバックと同様に、トランスの巻線を追加して絶縁型出力を作り出すのは簡単です。図 1 に示す概略回路図は、左側に単一の非絶縁型出力、右側に 2 つの追加の絶縁型出力を作り出す、標準的な SEPIC コンバータを示しています。1 つ目の絶縁巻線は、5V リニア レギュレータへの入力として、公称 6V の出力を供給します。2 つ目の絶縁型巻線は 1 つ目の巻線の上にスタックして、制御されていない 12V 出力を生成します。

V_{OUT1} のトランス巻線と絶縁巻線 (V_{OUT2} 、 V_{OUT3}) との間は密結合する必要があります。これらの巻線のエネルギーは 3 つの出力すべてに同時に転送されるからです。これらの巻線間の漏れインダクタンスは、電圧レギュレーションを劣化させるだけです。ただし、SEPIC の 1 次巻線と V_{OUT1} 巻線を密結合する必要はありません。コンデンサ C_{AC} は、昇圧 FET がオフになったとき V_{OUT1} へのリークエーエネルギー用の低インピーダンス パスを提供するため、FET にわずかなリングが発生します。SEPIC の 1 次巻線電圧波形は、フライバックよりもリングが大幅に少ないため、極端なクロスロード条件でスパイク ピーク検出が多く発生する場合は特に、出力電圧レギュレーションの改善に役立ちます。

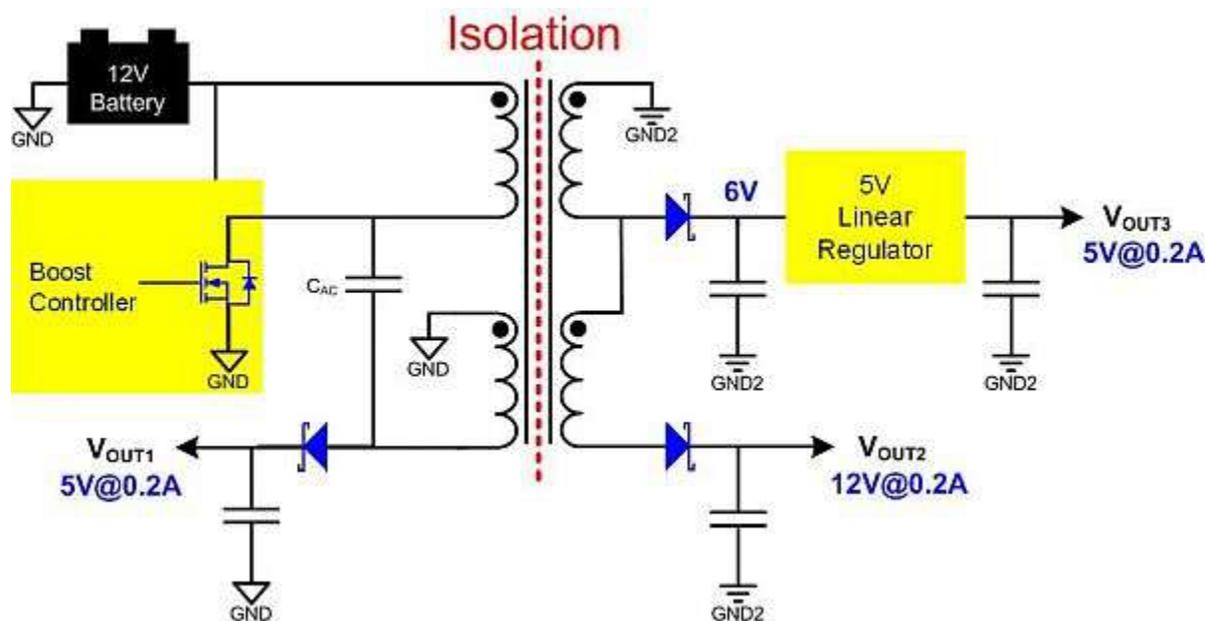


図 1. 追加の巻線を持つ SEPIC コンバータには、絶縁型出力があります

どの SEPIC でも同じですが、1 次側と V_{OUT1} との巻線比は 1:1 にする必要があります。ただし、他のすべての出力はこの巻線比に制限されていないため、必要な出力電圧が得られるように調整できます。この巻線比は、式 1 で簡単に計算できます。

$$\frac{N_x}{N_1} = \frac{V_{OUTx} + V_{diode x}}{V_{OUT1} + V_{diode 1}} \quad (1)$$

SEPIC とフライバックの FET 電圧リンギングの違いを、[図 2](#) に示します。フライバックへの変換を行う C_{AC} を取り除くだけで、SEPIC 回路からフライバック FET 電圧波形を得ることができます。FET のリンギングを除去することで、絶縁型出力に伝達される非結合エネルギーが大幅に低減され、レギュレーションが改善されます。



図 2. SEPIC FET の電圧リンギングはフライバックより小さいため、ストレスの低減と出力電圧レギュレーションの改善につながります

[図 4](#) のレギュレーション データを取得するために使用したテスト回路図を [図 3](#) に、実際のハードウェアの写真 [図 5](#) に示します。この設計では、 V_{OUT1} の制御された電圧に 1 次側フィードバックを使用します。これらの絶縁型出力は、トランスの密結合と小さなプリロードを組み合わせることで、妥当な電圧レギュレーションを行います。リニア レギュレータは 5V の絶縁型出力を一定の値に保持するので、重要なのは入力の最低値と最高値です。リニア レギュレータへの入力が高すぎると、出力電圧が低下する可能性があります。逆に、リニア レギュレータへの入力が高すぎると、過剰な電力が消費されます。

絶縁型出力のレギュレーション データは、ワースト ケースの最低および最高電圧が極端なクロスロード状態で発生することを示しています。絶縁巻線が最大負荷で、 V_{OUT1} が無負荷のとき、絶縁巻線の電圧が最低になります。絶縁巻線が無負荷で、 V_{OUT1} が最大負荷のとき、絶縁巻線の電圧が最高になります。テスト データに基づき、レギュレーションの $\pm 4\%$ 未満の変動を測定しました。これらの結果はすべての設計に当てはまるものではありませんが、類似の設計では $\pm 5\%$ の

電圧レギュレーションをある程度達成できる一方、フライバックは変動が少なくとも数 % 大きくなる可能性が高いことを示しています。

Brian King が **Power Tips #78** で説明したように、同期整流器を実装して、フライバックのクロスレギュレーションを大幅に改善することも可能です。ただし、このような改善には、よりコストの高い FET と追加の駆動回路を使用する必要があります。この同じ技法を絶縁型 SEPIC コンバータにも適用できますが、非絶縁型出力の整流器も同期整流器にする必要があります。同期 SEPIC を簡単に実装する方法については、以前の [テキサス・インスツルメンツのブログの投稿](#) で解説しました。

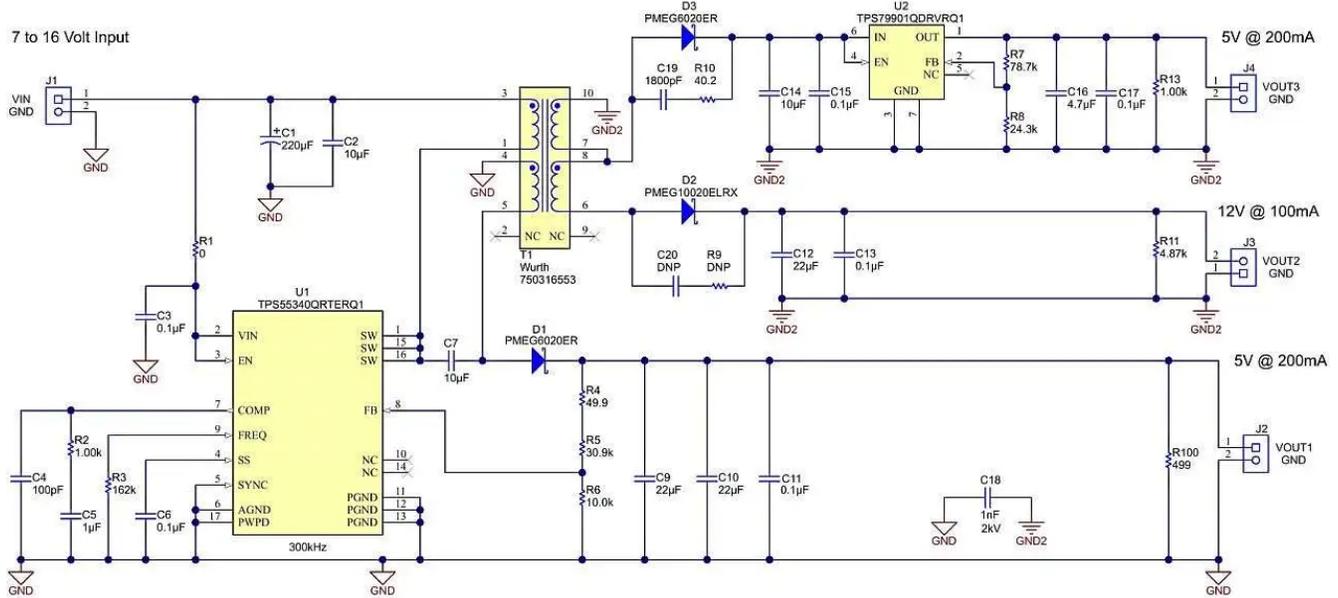


図 3. デュアル絶縁型出力を採用した実際の SEPIC 設計

Voltage Regulation Data								
VIN (V)	VOUT 5V #1 (V)	IOUT 5V #1 (mA)	LDO In (V)	LDO out (V)	IOUT LDO (mA)	VOUT 12V (V)	IOUT 12V (mA)	
No Load Conditions								
7	5.04	0	6.07	5.06	0	11.88	0	
12	5.04	0	6.08	5.06	0	11.88	0	
16	5.04	0	6.08	5.06	0	11.89	0	
Full Load Conditions								
7	5.04	200	5.96	5.06	200	11.78	100	
12	5.04	200	6.02	5.06	200	11.85	100	
16	5.04	200	6.03	5.06	200	11.86	100	
Cross Loading								
7	5.04	0	5.77	5.06	200	11.39	100	
7	5.04	200	6.23	5.06	0	12.14	0	
12	5.04	0	5.82	5.06	200	11.46	100	
12	5.04	200	6.24	5.06	0	12.13	0	
16	5.04	0	5.86	5.06	200	11.54	100	
16	5.04	200	6.24	5.06	0	12.12	0	
			6.005	High/Low Avg (V)			11.765	High/Low Avg (V)
			-3.91	Percent Low (%)			-3.19	Percent Low (%)
			3.91	Percent High (%)			3.19	Percent High (%)

図 4. 測定された電圧レギュレーションのデータ

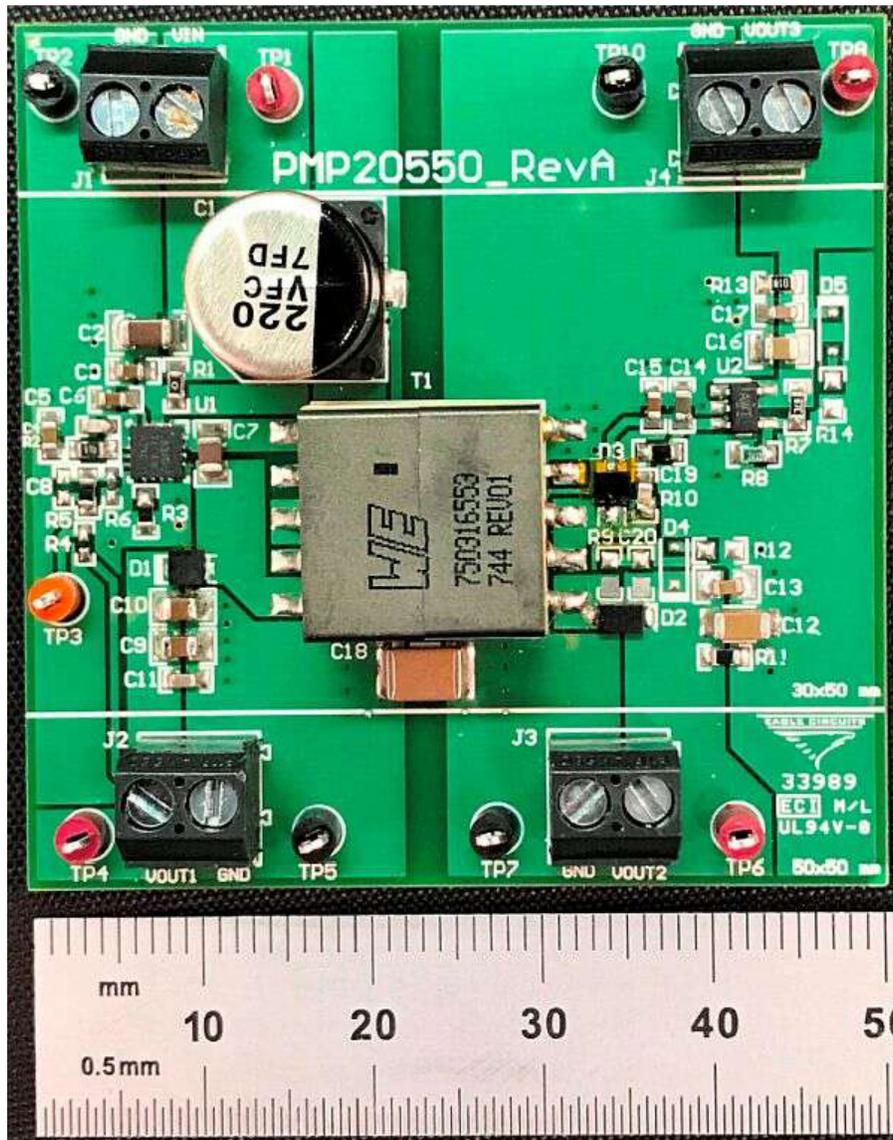


図 5. プロトタイプ回路のハードウェア

絶縁型 SEPIC コンバータは、絶縁型出力電圧を追加するとき最初に検討される選択肢ではないかもしれませんが、漏れインダクタンスに関連するリングングへの耐性がフライバックよりも高いため、出力電圧のレギュレーションを改善できます。これにより、追加のポストレギュレーションが不要になり、コストを削減できます。

さらに詳しい情報については、テキサス・インスツルメンツの Power House についての Power Tips をご覧ください。

関連記事

- [意外な事実:SEPIC は十分に活用されなくてもフライバックトポロジより高性能](#)
- [SEPIC/Cuk コンバータで使用できる 2 つ目の出力](#)

過去の EDM.com で公開された記事です。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated

重要なお知らせと免責事項

TI は、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス・デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated