

## Errata

**DLP® Products Advisory for the DLPR410 and DLPR910 Devices (英語)**

## 概要

AMD Xilinx は、以下のテキサス・インスツルメンツのデバイスのベース・デバイスとして使用される XCF16P 構成 PROM の製造を停止しました。2510442-0005、DLPR410YVA、DLPR410AYVA、DLPR410BYVA、DLPR910YVA、DLPR910AYVA。このドキュメントでは、テキサス・インスツルメンツの製品設計の更新とサポートについて詳しく説明します。

## 目次

1 対象製品.....	2
2 マスタ・シリアル・ペリフェラル・インターフェイスのフラッシュ構成方法.....	2
3 SPI フラッシュの構成方法.....	2
3.1 構成ガイド.....	2
3.2 FPGA ピン配置情報.....	2
3.3 SPI フラッシュ構成方法をサポートする設計の詳細.....	3
3.4 SPI フラッシュのレイアウト接続.....	4
3.5 承認済みの SPI PROM.....	5
4 一般的な質疑応答.....	5
5 改訂履歴.....	5

## 1 対象製品

AMD Xilinx は、以下のテキサス・インスツルメンツのデバイスのベース・デバイスとして使用される XCF16P 構成 PROM の製造を停止しました。

- 2510442-0005
- DLPR410YVA
- DLPR410AYVA
- DLPR410BYVA
- DLPR910YVA
- DLPR910AYVA

## 2 マスタ・シリアル・ペリフェラル・インターフェイスのフラッシュ構成方法

DLPC910 または DLPC410 コントローラを使用する製品設計は、Xilinx マスタ・シリアル・ペリフェラル・インターフェイス (SPI) フラッシュ構成方法を実装するために更新する必要があります。

## 3 SPI フラッシュの構成方法

構成のために DLPC910 および DLPC410 (Virtex-5 FPGA) を SPI フラッシュに接続する方法については、以下の AMD Xilinx の情報を参照してください。

### 3.1 構成ガイド

Xilinx Virtex-5 構成ガイド:

<https://docs.xilinx.com/v/u/en-US/ug191>

### 3.2 FPGA ピン配置情報

Xilinx Virtex-5 XC5VLX30FF676 FPGA ピン配置情報:

<http://www.xilinx.com/content/dam/xilinx/support/packagefiles/v5packages/5vlx30ff676.pkg.txt>

### 3.3 SPI フラッシュ構成方法をサポートする設計の詳細

DLPC910 および DLPC410 を使用したマスタ・シリアル・ペリフェラル・インターフェイス (SPI) フラッシュ構成をサポートするための設計の詳細は、以下のとおりです。

1. FPGA コントローラのマスタ・シリアル・ペリフェラル・インターフェイス・フラッシュ構成モード M[2..0] ピンは M[2:0] = 001 に変更する必要があります。  
 詳細については、『Xilinx Virtex-5 構成ガイド』UG191 の 62 ページを参照してください。
2. FPGA コントローラへの接続に選択した SPI フラッシュが使用する読み取りコマンドの種類を決定するには、FS[2:0] ピンを正しく接続する必要があります。次の表 (UG191-『Xilinx Virtex-5 構成ガイド』の表 2-8) に、利用可能な選択肢が記載されています。

**Table 2-8: Virtex-5 Device SPI Read Command Variant Select Table**

FS[2:0]	SPI Read Command	Comments
000	0xFF	
001	RCMD[7:0]	RCMD[7:0] on ADDR[7:0] are sampled by the INIT_B rising edge, along with M[2:0] and FS[2:0]. RCMD[7:0] can be used to support any SPI read commands not supported here. The timing requirements for FS[2:0] and RCMD[7:0] are the same as for M[2:0].
010	0x52	
011	Reserved	
100	0x55	
101	0x03	
110	0xE8	
111	0x0B	

FS2 = DLPC910 コントローラと DLPC410 コントローラのピン AB11

FS1 = DLPC910 コントローラと DLPC410 コントローラのピン AA13

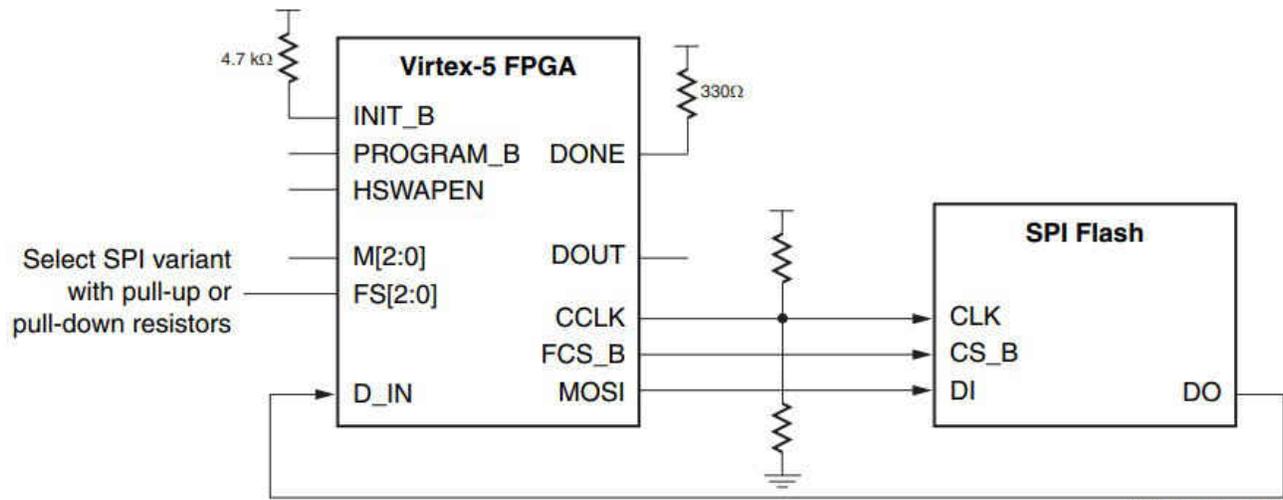
FS0 = DLPC910 コントローラと DLPC410 コントローラのピン AA14

### 3.4 SPI フラッシュのレイアウト接続

DLPC910 および DLPC410 コントローラは、以下の図に示す接続を使用して SPI フラッシュに接続する必要があります。

Virtex 5 JTAG インターフェイス経由でプログラミングできるように、SPI フラッシュ書き込み保護 (WP#) を High にプルアップする必要があります。SPI フラッシュが DLPC410 コントローラおよび DLPC910 コントローラとのシリアル通信を一時停止しないように、SPI フラッシュ・リセット (RESET#) またはホールド (HOLD#) を High にプルアップする必要があります。

SPI 構成フラッシュを DLPC410 コントローラおよび DLPC910 コントローラに接続する方法の詳細については、DLPLCRC910EVM および DLPLCRC410EVM の回路図を参照してください。



FCS\_B = DLPC910 コントローラと DLPC410 コントローラのピン AA10

MOSI = DLPC910 コントローラと DLPC410 コントローラのピン AA9

CCLK = DLPC910 コントローラと DLPC410 コントローラのピン J10

D\_IN = DLPC910 コントローラと DLPC410 コントローラのピン K11

### 3.5 承認済みの SPI PROM

Virtex-5 用に Xilinx が承認した SPI PROM のリストは、**Xilinx ISE Impact Tool Version 14.1** のデバイス・リストに掲載されています。

#### 注

PCB の再設計中は、既存のセキュア PROM (DLPR410、DLPR910) を設計にそのまま残し、構成 SPI フラッシュのレイアウト・サポートを追加するだけで済みます。

#### 3.5.1 Virtex-5 向けに AMD Xilinx が承認した SPI フラッシュの最新リスト

メーカー	部品番号
Adesto Technologies	AT45DB321E
ISSI	IS25LP128
Infineon	S25FL064P
Infineon	S25FL128
Infineon	S25FL128LAGMFM010
Infineon	S25FL129P

#### 3.5.2 Xilinx Support Forum (英語)

さらにサポートが必要な場合は、AMD Xilinx Support Forum <http://support.xilinx.com/> にお問い合わせください。

## 4 一般的な質疑応答

1. AMD Xilinx 承認済みの SPI PROM を使用できますか？

はい、このリストは、**Virtex-5** でサポートしている **SPI フラッシュの AMD Xilinx** によって提供されています。具体的な質問がある場合は、**AMD Xilinx** にお問い合わせください。

2. テキサス・インスツルメンツまたは販売特約店から購入しますか？

テキサス・インスツルメンツは **DLPC410**、**DLPC910** 向けの **SPI フラッシュ** を販売しません。

3. SPI フラッシュはどのようにプログラムされますか？

最終顧客は、**PCB アセンブリの前**、または**アセンブリ後の Xilinx ツール**を使用して、**SPI フラッシュ**をプログラムすることになります。テキサス・インスツルメンツは、以下の **TI.com** にファームウェア構成ファイルを投稿します。<https://www.ti.com/product/DLPR410> および <https://www.ti.com/product/DLPR910>。

4. DLPC410 と DLPC910 の各 PCB の再設計を開始するタイミングは？

テキサス・インスツルメンツは、**2023 年第 2 四半期**までに再設計された **PCB** の競争力を高め、テストすることをお勧めします。**PCB** を再設計する際には、既存のセキュア **PROM (DLPR410、DLPR910)** を設計にそのまま残し、構成 **SPI フラッシュ**のレイアウト・サポートを追加するだけで済みます。

## 5 改訂履歴

日付	リビジョン	注
February 2023	*	初版

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](https://www.ti.com) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2023, Texas Instruments Incorporated