

LMK04832 超低ノイズ、JESD204B準拠 クロック・ジッタ・クリーナ、デュアル・ループPLL内蔵

1 特長

- 最大クロック出力周波数: 3250MHz
- マルチモード: デュアルPLL、シングルPLL、クロック分配
- 超低ノイズ(2500MHz時):
 - 43fs RMSジッタ(12kHz~20MHz)
 - 49fs RMSジッタ(100Hz~20MHz)
 - 158dBc/Hzのノイズ・フロア
- 超低ノイズ(3200MHz時):
 - 49fs RMSジッタ(12kHz~20MHz)
 - 54fs RMSジッタ(100Hz~100MHz)
 - 156.5dBc/Hzのノイズ・フロア
- PLL2
 - PLL FOM: -230dBc/Hz
 - PLL 1/f: -128dBc/Hz
 - 位相検出速度: 最高320MHz
 - 2つの内蔵VCO: 2440~2580MHz および2945~3205MHz
- 最大14個の差動デバイス・クロック
 - CML, LVPECL, LCPECL, HSDS, LVDS、2xLVCMOSプログラマブル出力
- 最大1個のバッファ付きVCXO/XO出力
 - LVPECL, LVDS、2xLVCMOSプログラマブル
- 3.2GHzから3.13MHzのデバイス・クロックに対応
- 3.2GHzから391kHzのSYSREFに対応
- SYSREFクロックの25psステップ・アナログ遅延
- デバイス・クロックおよびSYSREFのデジタル遅延および動的デジタル遅延
- PLL1によるホールドオーバー・モード
- PLL1またはPLL2による0遅延
- +125°Cの接合部温度
- 105°CのPCB温度に対応(サーマル・パッドで測定)

2 アプリケーション

- 試験/測定機器
- レーダー
- マイクロ波バックホール
- データ・コンバータのクロック供給

3 概要

LMK04832は、業界最高水準の性能を誇る、JEDEC JESD204Bに準拠したクロック・コンディショナーであり、LMK0482xファミリの製品とピン互換性があります。

PLL2からの14のクロック出力を構成して、7つのJESD204Bコンバータ、あるいはデバイス・クロックおよびSYSREFクロックを使用するその他のロジック・デバイスを駆動できます。DCおよびAC結合によりSYSREFを生成することが可能です。JESD204Bアプリケーションに限らず、従来のクロッキング・システム向けに14の出力をそれぞれ高性能出力として個別に構成できます。

LMK04832は、SYSREFの生成またはリクロッキングの有無にかかわらず、デュアルPLL、シングルPLL、またはクロック分配モードで動作するように構成できます。PLL2は内蔵VCOでも外付けVCOでも動作します。

高性能である上に、電力と性能のトレードオフ、デュアルVCO、動的デジタル遅延、ホールドオーバーといった機能を備えたLMK04832は、柔軟性の高い高性能クロック・ツリー・ソリューションとして最適です。

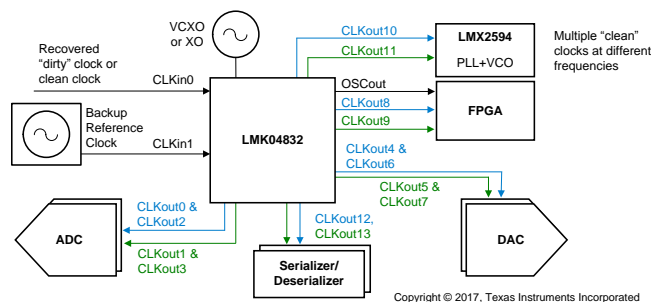
製品情報⁽¹⁾

型番	説明	本体サイズ(公称)
LMK04832NKDT LMK04832NKDR	WQFN (64)	9.00mm×9.00mm

(1) 利用可能なすべてのパッケージについては、このデータシートの末尾にある注文情報を参照してください。

(2) T=テープ、R=リール

概略回路図



目次

1	特長	1	5.1	デバイス・サポート	3
2	アプリケーション	1	5.2	コミュニティ・リソース	3
3	概要	1	5.3	商標	3
4	改訂履歴	2	5.4	静電気放電に関する注意事項	3
5	デバイスおよびドキュメントのサポート	3	5.5	Glossary	3
			6	メカニカル、パッケージ、および注文情報	3

4 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

2017年8月発行のものから更新

Page

•	特長: ジッタ、ノイズ・フロア、PLL性能、VCO範囲を更新	1
---	--------------------------------------	---

5 デバイスおよびドキュメントのサポート

5.1 デバイス・サポート

5.1.1 開発サポート

5.1.1.1 Clock Architect

部品の選択、ループ・フィルタ設計、シミュレーション。

オンラインClock Architectツールを使用するには、www.ti.com/clockarchitectを参照してください。

5.1.1.2 PLLatinum Sim

ループ・フィルタ設計およびシミュレーションをサポートします。シミュレーションはいずれもシングル・ループ用であり、デュアル・ループのシミュレーションを行うには、最初のPLLシミュレーションの結果を次のPLLシミュレーションのリファレンスとしてロードする必要があります。

PLLatinum Simツールをダウンロードするには、www.ti.com/tool/PLLATINUMSIM-SWを参照してください。

5.1.1.3 TICS Pro

EVMプログラミング・ソフトウェア。プログラミング用レジスタ・マップの作成や消費電流の推計にも使用できます。

TICS Proについては、www.ti.com/tool/TICSPRO-SWを参照してください。

5.2 コミュニティ・リソース

The following links connect to TI community resources. Linked contents are provided "AS IS" by the respective contributors. They do not constitute TI specifications and do not necessarily reflect TI's views; see TI's [Terms of Use](#).

TI E2E™オンライン・コミュニティ *TIのE2E (Engineer-to-Engineer)* コミュニティ。エンジニア間の共同作業を促進するために開設されたものです。e2e.ti.comでは、他のエンジニアに質問し、知識を共有し、アイデアを検討して、問題解決に役立てることができます。

設計サポート *TIの設計サポート* 役に立つE2Eフォーラムや、設計サポート・ツールをすばやく見つけることができます。技術サポート用の連絡先情報も参照できます。

5.3 商標

E2E is a trademark of Texas Instruments.

All other trademarks are the property of their respective owners.

5.4 静電気放電に関する注意事項



これらのデバイスは、限定的なESD (静電破壊) 保護機能を内蔵しています。保存時または取り扱い時は、MOSゲートに対する静電破壊を防止するために、リード線同士をショートさせておくか、デバイスを導電フォームに入れる必要があります。

5.5 Glossary

SLYZ022 — *TI Glossary*.

This glossary lists and explains terms, acronyms, and definitions.

6 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMK04832NKDR	Active	Production	WQFN (NKD) 64	2000 LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 85	K04832NKD
LMK04832NKDR.A	Active	Production	WQFN (NKD) 64	2000 LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 85	K04832NKD
LMK04832NKDT	Active	Production	WQFN (NKD) 64	250 SMALL T&R	Yes	SN	Level-3-260C-168 HR	-40 to 85	K04832NKD
LMK04832NKDT.A	Active	Production	WQFN (NKD) 64	250 SMALL T&R	Yes	SN	Level-3-260C-168 HR	-40 to 85	K04832NKD

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF LMK04832 :

- Space : [LMK04832-SP](#)

NOTE: Qualified Version Definitions:

- Space - Radiation tolerant, ceramic packaging and qualified for use in Space-based application

TAPE AND REEL INFORMATION



*All dimensions are nominal

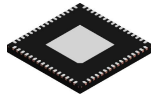
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LMK04832NKDR	WQFN	NKD	64	2000	330.0	16.4	9.3	9.3	1.3	12.0	16.0	Q2
LMK04832NKDT	WQFN	NKD	64	250	178.0	16.4	9.3	9.3	1.3	12.0	16.0	Q2

TAPE AND REEL BOX DIMENSIONS

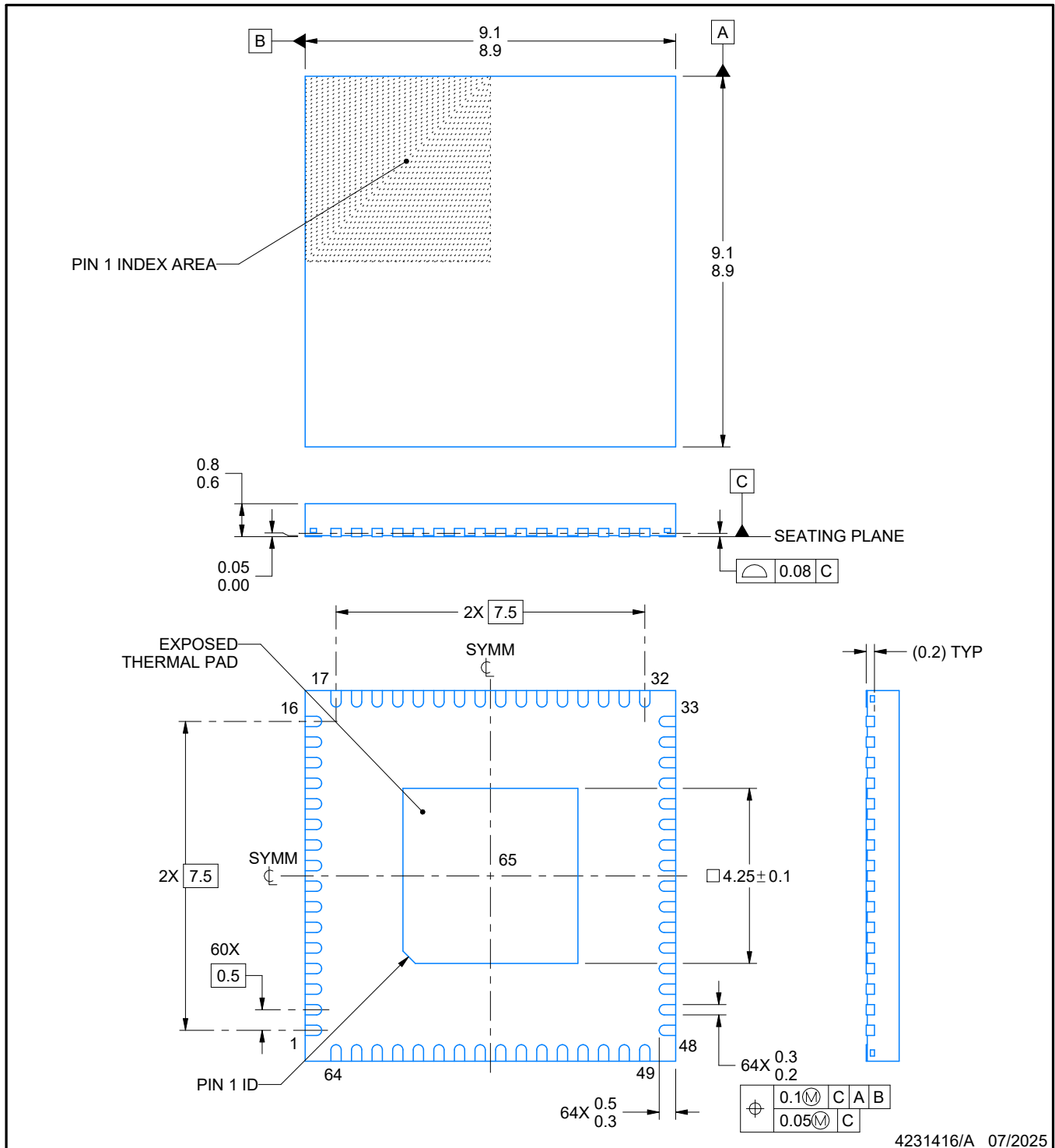


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LMK04832NKDR	WQFN	NKD	64	2000	356.0	356.0	36.0
LMK04832NKDT	WQFN	NKD	64	250	208.0	191.0	35.0

NKD0064B**PACKAGE OUTLINE****WQFN - 0.8 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD

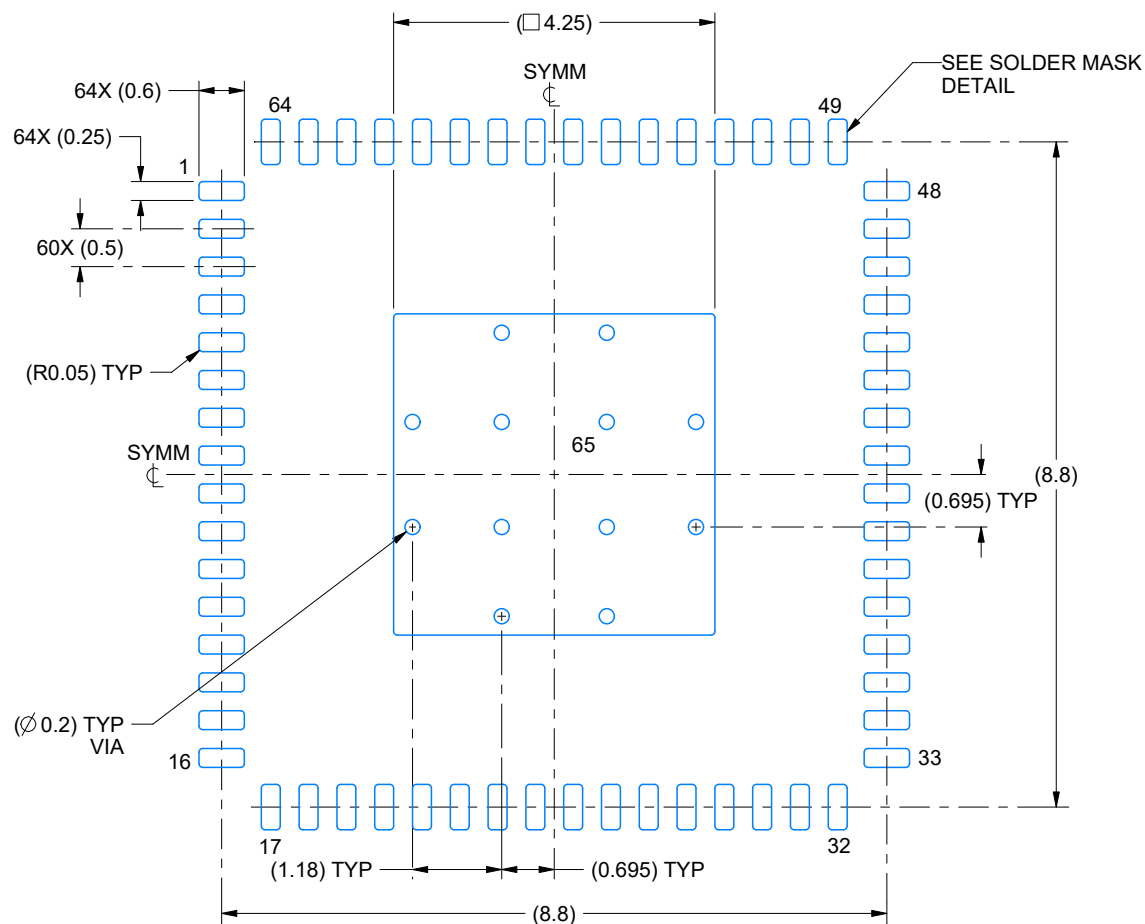
**NOTES:**

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

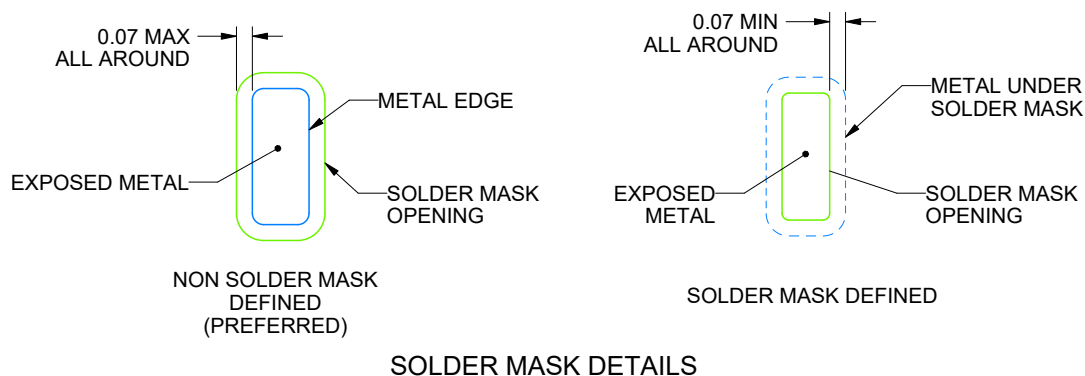
NKD0064B

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4231416/A 07/2025

NOTES: (continued)

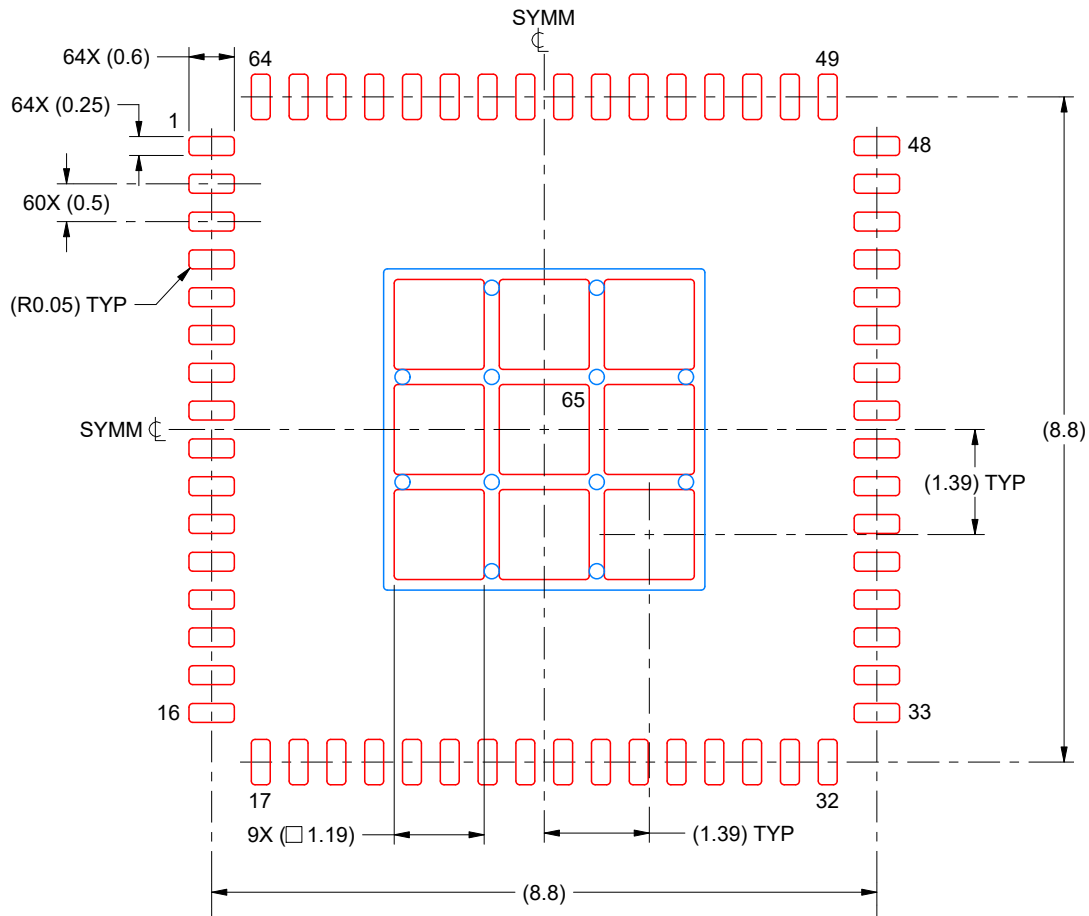
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

NKD0064B

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 10X

EXPOSED PAD 65
71% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4231416/A 07/2025

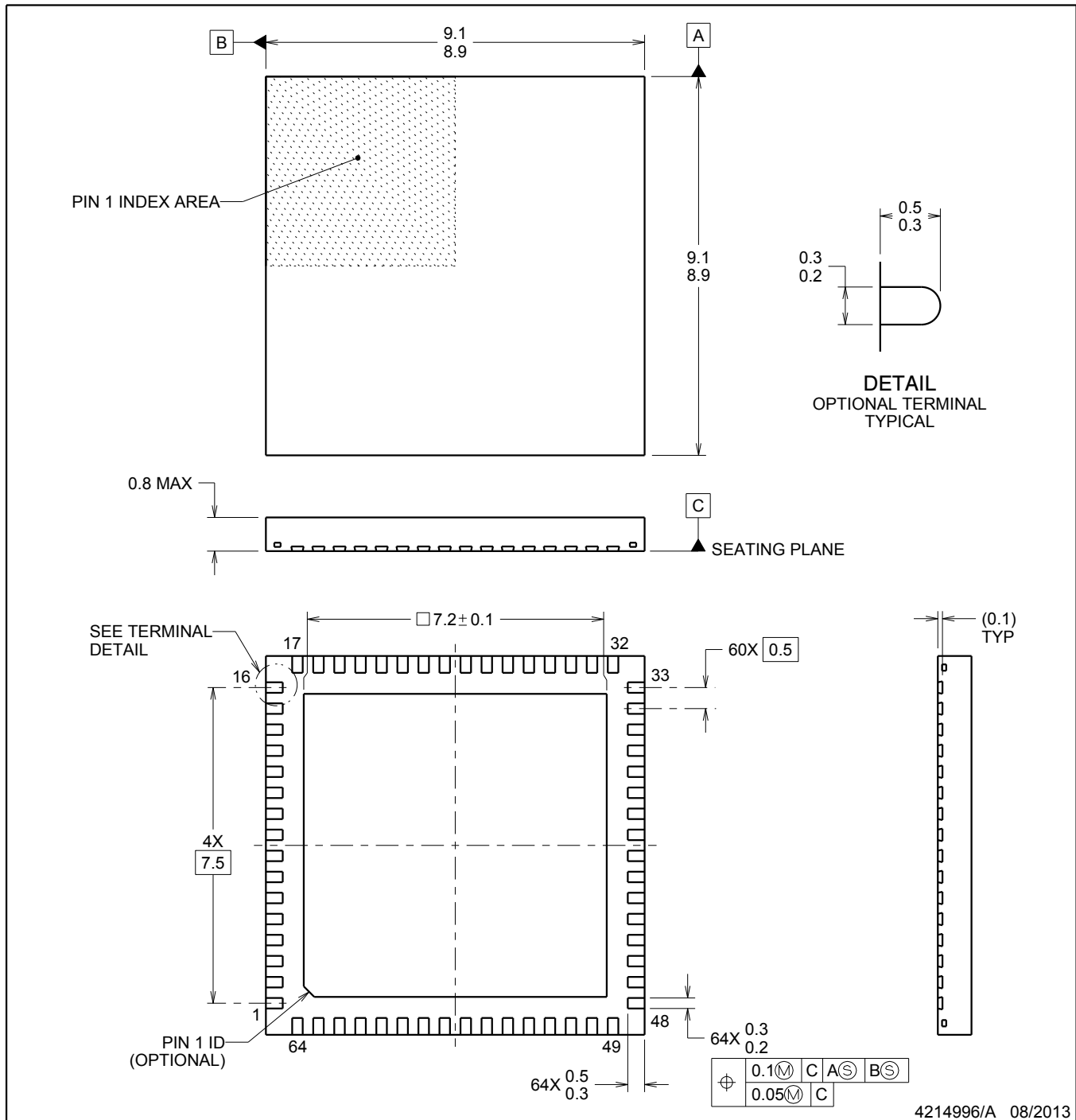
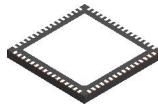
NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

NKD0064A

WQFN - 0.8 mm max height

WQFN



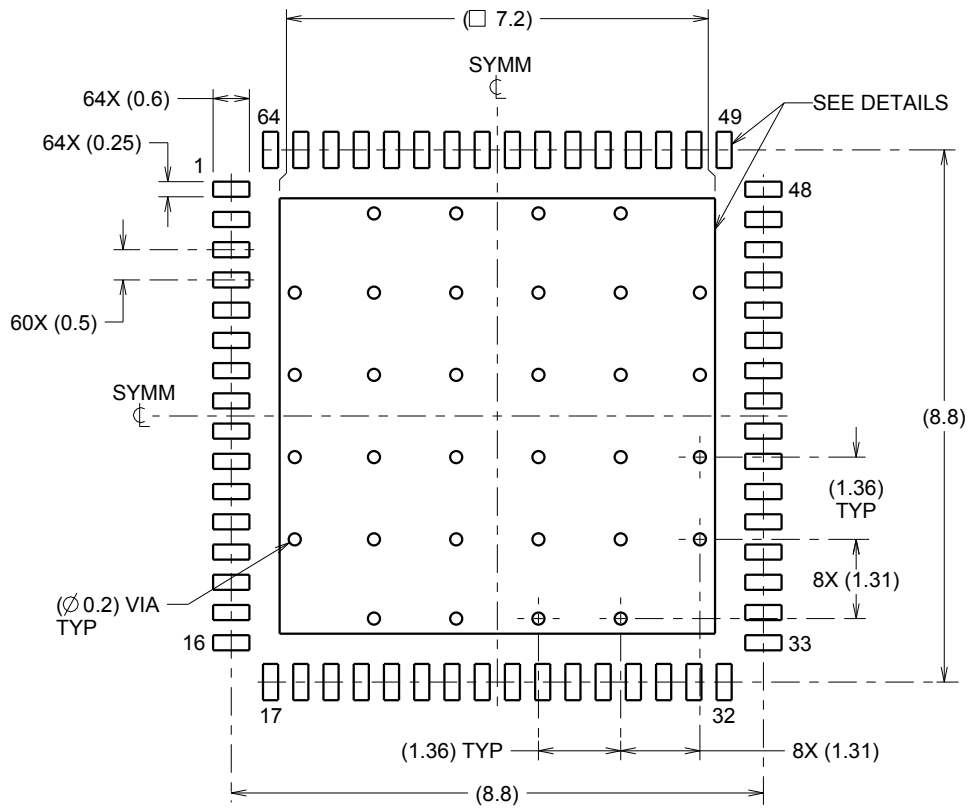
NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

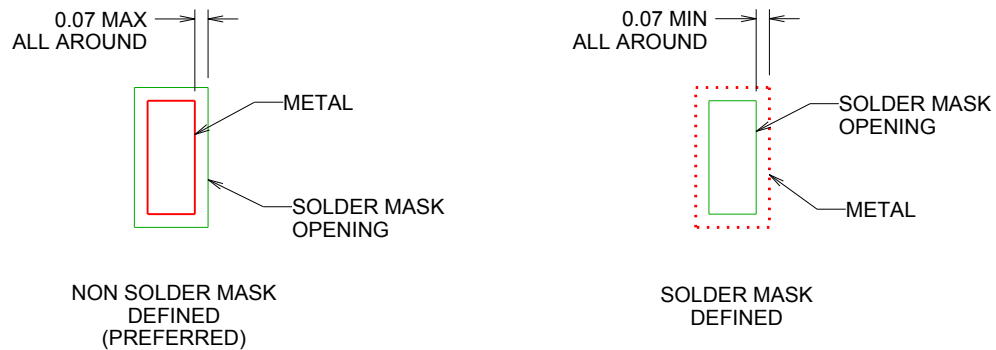
NKD0064A

WQFN - 0.8 mm max height

WQFN



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4214996/A 08/2013

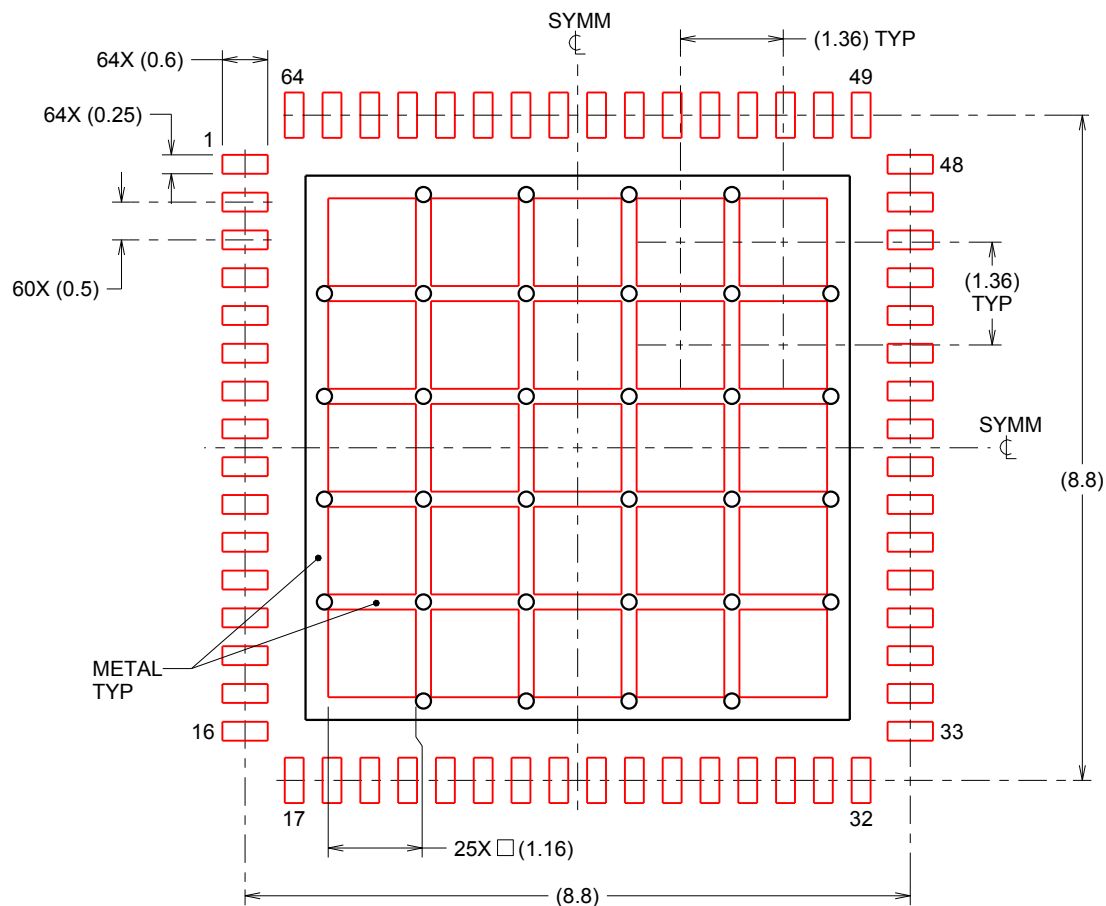
NOTES: (continued)

- This package is designed to be soldered to a thermal pad on the board. For more information, refer to QFN/SON PCB application note in literature No. SLUA271 (www.ti.com/lit/slue271).

NKD0064A

WQFN - 0.8 mm max height

WQFN



SOLDERPASTE EXAMPLE
BASED ON 0.125mm THICK STENCIL

EXPOSED PAD
65% PRINTED SOLDER COVERAGE BY AREA
SCALE:10X

4214996/A 08/2013

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月