

## Application Brief

# TI のプログラマブル ロジック デバイス (TPLD) での昇圧および降圧変換



Ian Graham

## 電圧レベル変換の概要

最新の電子機器は通常、異なる電圧レベルで動作する多くの部品を使用しています。これには、異なる世代の部品を組み込むこと、または性能や消費電力を最適化することを目的とする場合があります。たとえば、プロセッサは、センサの 3.3V 電源電圧に比べて、より低い 1.8V 電源電圧で動作できます。これにより、2 つのシステム間の通信が困難になります。

レベル シフタとも呼ばれる電圧トランスレータは、ある電圧レベルの入力と、他の電圧レベルの出力を行うよう設計されています。これにより、異なる電圧で動作するデバイス間の通信が可能になります。レベル シフタがないと、3.3V 出力のデバイスが、1.8V で動作するプロセッサに信号を送る場合、プロセッサに損傷を与える可能性があります。または、プロセッサが他のデバイスに信号を送信する場合、"High" を入力するためのスレッシュホールドに達しない可能性があります。昇圧変換とは、デバイスが低い入力電圧を高い電圧出力にシフトすることで、降圧変換とは、デバイスが高い入力電圧を低い電圧出力にシフトすることです。

ロジック デバイスはすでに、異なるデバイス間の通信にバッファとして使用されているので、または複数の信号を組み合わせる場合、ロジック デバイスにレベル シフト機能を持たせるのは自然な成り行きです。たとえば、TTL 電圧スレッシュホールドは、5V の電源電圧で動作するデバイスと 3.3V の電源電圧で動作するデバイスとの間で互換性を確保することを目的とした業界標準の通信レベルです。降圧変換の場合、一部のデバイスは電源電圧よりも高い電圧を受け入れる過電圧許容入力を持つよう設計されています。降圧変換については、オープンドレイン出力により、ユーザーは本デバイスの出力に対して電源電圧よりも低い電圧を供給できます。

電圧変換の詳細については、以下の包括的な概要をご参照ください。[『電圧レベル変換の基礎』](#)

TI のプログラマブル ロジック デバイス (TPLD) は昇圧と降圧の両方の変換をサポートしており、設計者は使い易さと組み込み易さを最大限に高めることができます。

## TPLD での昇圧変換

昇圧変換を可能にするため、すべての TPLD デバイスは入力ピンに対してオプションの低電圧デジタル入力モードを備えています。このモードでは、ピンの "High" および "Low" レベル入力スレッショルド値が大幅に低減されるため、TPLD の電圧範囲全体にわたって 1.8V のロジック スレッショルド デバイス並みに低い入力電圧とも互換性があり、かつ、TPLD はその電源電圧に期待される電圧レベルで出力を継続します。

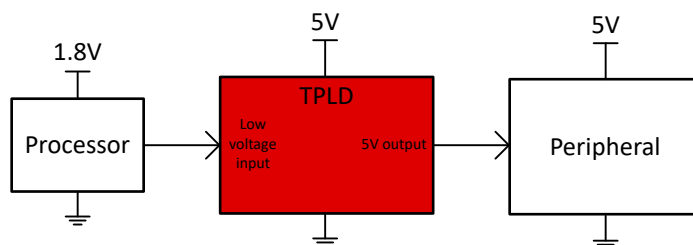


図 1. TPLD を使用した昇圧変換

InterConnect Studio でピンを低電圧デジタル入力モードにするには、図 2 に示すように、入力ピンを選択し、「Input Mode」(入力モード) ドロップダウンをクリックして、「Low Voltage Digital Input」(低電圧デジタル入力) を選択します。



図 2. 低電圧デジタル入力を示す ICS ピン設定

## TPLD での降圧変換

TPLD での降圧変換を可能にするため、すべての TPLD の出力ピンにはオプションのオープンドレインの NMOS 出力モードがあります。これにより、プルアップ抵抗経路で出力ラインに VCC より低い個別の電圧源を接続することができます。このピンが "Low" に駆動されるか、出力ラインが強制的に "Low" になるか、またはハイインピーダンスになり、出力ラインが個別の電圧源にプルアップされます。このようにして、ラインから任意の電圧を出力することができます。この出力タイプは、標準的なプッシュプル出力より低い速度に対応しています。この場合、レールは TPLD によって "High" に駆動されるのではなく、抵抗によってプルアップする必要があります。

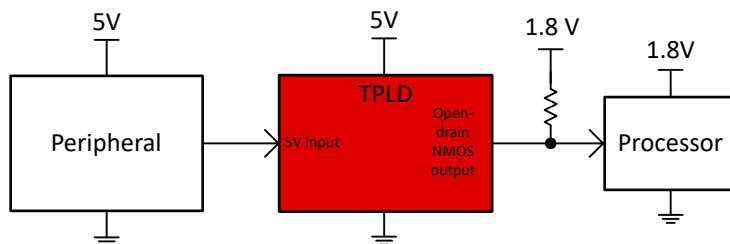


図 3. TPLD を使用した降圧変換

ICS で出力ピンをオープンドレイン NMOS モードにするには、図 4 に示すように、出力ピンを選択し、「Output Mode」(出力モード) のドロップダウンをクリックして、「Open Drain NMOS」(オープンドレイン NMOS) を選択します。

  
pin0 (IO1 Pin:2)

PIN ②	
Name	pin0
Label	
Output Mode	Open Drain NMOS
Output Strength	1X
Enable As GPI Reset	<input type="checkbox"/>
Pin Type	Digital Output
Pull	Pull Down
Pull Up/Down Resistor Value	Floating
Add Simulated Load to Output	<input type="checkbox"/>
Device Pin Allocated	Any(IO1/2)

図 4. オープンドレイン出力の ICS ピン

産業界が低電圧を目指す傾向が強まっている現状で、TPLD デバイスを採用すると、設計者はロジックとレベルトランスレータを設計段階から単一のデバイスに組み込むことができます。その結果、BOM (部品表) の簡素化とソリューションサイズの小型化が可能になります。TPLD の詳細については、[TPLD 製品ページ](#)をご覧ください。また、[TI E2E™ ロジック サポート フォーラム](#)でエンジニアに質問してください。

## 商標

すべての商標は、それぞれの所有者に帰属します。

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月