

Application Note

Sitara™ プロセッサ電源供給回路: 実装と分析



Sitara MPU

概要

配電ネットワーク (PDN) の目的は、主にシステム上のアクティブ デバイスにクリーンで信頼性の高い電力を供給することです。プリント回路基板 (PCB) は、システム レベルの PDN 供給ネットワークの重要なコンポーネントです。そのため、高性能マイクロプロセッサでは、PCB 電源分配ネットワークの最適設計が最も重要です。このアプリケーション レポートには、テキサス インストルメンツの Sitara™ マイクロプロセッサ ファミリー用プリント基板 (PCB) 電力供給ネットワーク (PDN) を設計するための実装ガイドラインと推奨事項が記載されています。

目次

1 はじめに.....	2
1.1 本書で使用されている略語.....	2
2 PCB スタックアップのガイドライン.....	3
3 PDN の物理レイアウト最適化.....	5
4 スタティック PDN 解析 (IR ドロップ最適化).....	8
5 PCB PDN の動的解析.....	10
5.1 Z _{TARGET} を満たすようにデカップリング コンデンサを選択する.....	11
6 PDN のチェックリスト.....	13
7 実装例と PDN ターゲット.....	14
7.1 AM570x.....	14
7.2 AM571x.....	16
7.3 AM572x.....	19
7.4 AM574x.....	22
7.5 AM65xx/DRA80xM.....	25
7.6 AM62xx.....	28
7.7 AM64xx.....	29
7.8 AM62Ax.....	32
7.9 AM62Px.....	35
7.10 AM62Lx.....	38
8 改訂履歴.....	40

図の一覧

図 2-1. PCB で層の割り当てを最適化することで、ループのインダクタンスを最小化します.....	3
図 2-2. 高密度相互接続ビアを使用したスタックアップの例.....	4
図 2-3. メッキしたスルー ホール (PTH) ビアを利用したスタックアップの例.....	4
図 3-1. ESL と ESR を使用する「実際の」コンデンサの特性.....	5
図 3-2. コンデンサの標準的なインピーダンス プロファイル.....	6
図 3-3. 接地ガード バンドを使用したパワーネットの「Co-Planar」シールドの例.....	6
図 3-4. コンデンサの実装形状.....	7
図 4-1. シートの抵抗性と抵抗の描写.....	8
図 4-2. PCB IR ドロップ バジエット.....	8
図 4-3. センスラインの配置.....	9
図 4-4. 許容される電力入力電圧の差.....	9
図 5-1. 一般的な電源供給回路 (PDN) の部品.....	10
図 5-2. PCB 部品のデカップリング周波数範囲.....	10
図 5-3. コンデンサの配置例.....	12
図 7-1. AM62P PCB のスタックアップ.....	35

☒ 7-2. AM62P PCB のインピーダンス.....	36
☒ 7-3. AM62L PCB のスタックアップ.....	38
☒ 7-4. AM62L PCB のインピーダンス.....	38

表の一覧

表 1-1. 略称.....	2
表 7-1. AM570x PDN ターゲットとデカップリングの例.....	15
表 7-2. AM571x PDN ターゲットとデカップリングの例.....	18
表 7-3. AM572x PDN ターゲットとデカップリングの例.....	21
表 7-4. AM574x PDN ターゲットとデカップリングの例.....	24
表 7-5. AM65xx/DRA80xM PDN ターゲットとデカップリングの例.....	27
表 7-6. AM62xx PDN ターゲットとデカップリングの例.....	29
表 7-7. AM64xx PDN ターゲットとデカップリングの例.....	30
表 7-8. AM62Ax PDN ターゲットとデカップリングの例.....	34
表 7-9. AM62Px PDN ターゲットとデカップリングの例.....	37
表 7-10. AM62Lx PDN ターゲットとデカップリングの例.....	39

商標

Sitara™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

1 はじめに

このアプリケーション レポートには、テキサス インストルメンツの **Sitara** マイクロプロセッサ ファミリー用プリント基板 (PCB) 電力供給ネットワーク (PDN) を設計するための実装ガイドラインと推奨事項が記載されています。このアプリケーション レポートの特長:

- PCB PDN 設計の方法論について説明します
- 一般的な PCB PDN 設計の推奨事項および要件を示します
- これらの設計要件の背景にある根拠について説明します
- 特定のプロセッサの PDN 要件を確実に満たすために、PCB 設計者が実装できる提案と方法を示します。
- Sitara クラス マイクロプロセッサの PDN ターゲットを提供します

1.1 本書で使用されている略語

表 1-1. 略称

略称	説明
AC	交流
BGA	ボール グリッド アレイ
DC	直流 (スタティック)
Df	正接損失
Dk	誘電率
EDA	電子設計オートメーション
EM	エレクトロマイグレーション
ESL	実効直列インダクタンス
ESR	等価直列抵抗
FDTIM	周波数ドメインのターゲット インピーダンス方式
HDI	高密度インターコネクト (埋め込みビア / ブラインドビアなど)
IR	電流 (I) x 抵抗 (R) の積
PCB	プリント基板
PDN	電源分配ネットワーク:
PM-IC/PMIC	パワー マネージメント集積回路
PTH	メッキしたスルー ホール
RLC	抵抗、インダクタンス、静電容量
SMPS	スイッチ モード電源

表 1-1. 略称 (続き)

略称	説明
SMT	表面実装技術
SRF	自己共振周波数
VIP	パッド内のビア
VRM	電圧レギュレータ モジュール

注

TI は顧客ボードについて、これに反するような条項が存在していても、明示的、暗黙的、法定にかかわらず、商用性や特定目的への適合性への暗黙的な保証も含め、一切の責任を負いません。本書に記載されているデータは、ガイドラインとしてのみ意図されています。

2 PCB スタックアップのガイドライン

PCB のスタックアップ (または層の割り当て) は、電力分配方式の最適な性能を確保するために重要な要素です。パワーインテグリティ性能を向上させるために最適化された PCB スタックアップは、以下の推奨事項に従って実現できます。

- 電源プレーンとグランドプレーンのペアと「アイランド」は互いに近接して結合する必要があります。プレーン間に形成される容量を使用して、電源をデカップリングできます。可能な限り、リターン電流に対する連続的なリターンパスを提供するために、電源プレーンとグランドプレーンを固体にします。
- 電源プレーンとグランドプレーンのペアの間に薄い誘電体を使用します。容量はプレーン ペアの分離に反比例するため、分離距離 (誘電体の厚さ) を最小化すると、容量を最大化できます。
- 電源プレーンとグランドプレーンのペアは、PCB の上面と底面にできる限り近づけて配置します (図 2-1 を参照)。これにより、デカップリング コンデンサ、ビア、および電源/グランドプレーン ペアの拡散ループ インダクタンスの関連ループ インダクタンスを最小限に抑えることができます。

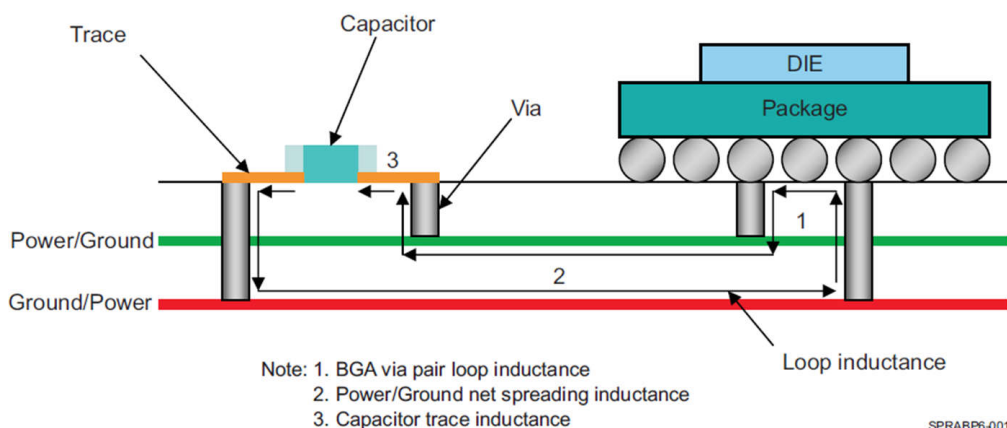


図 2-1. PCB で層の割り当てを最適化することで、ループのインダクタンスを最小化します

PCB 層構成への電源プレーンとグラウンドプレーンの配置 (層の割り当てで決定) は、上記のように、電力電流パスの寄生インダクタンスに大きな影響を及ぼします。このため、PCB PDN 設計サイクルの初期段階では層の順序を考慮することを推奨します。以下の例に示すように、優先度の高い電源をスタックアップの最上位半分、優先度の低い電源をスタックアップの下半分に配置することを推奨します。図 2-2 および 図 2-3 に、パワー ディストリビューション性能を考慮して設計された代表的な PCB スタックアップの例を示します。デバイス固有のスタックアップ例については、セクション 8 を参照してください。

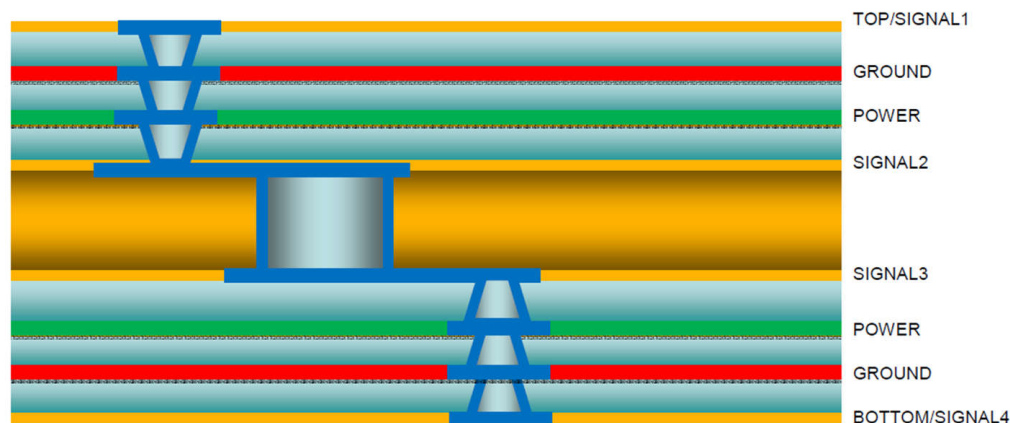


図 2-2. 高密度相互接続ビアを使用したスタックアップの例

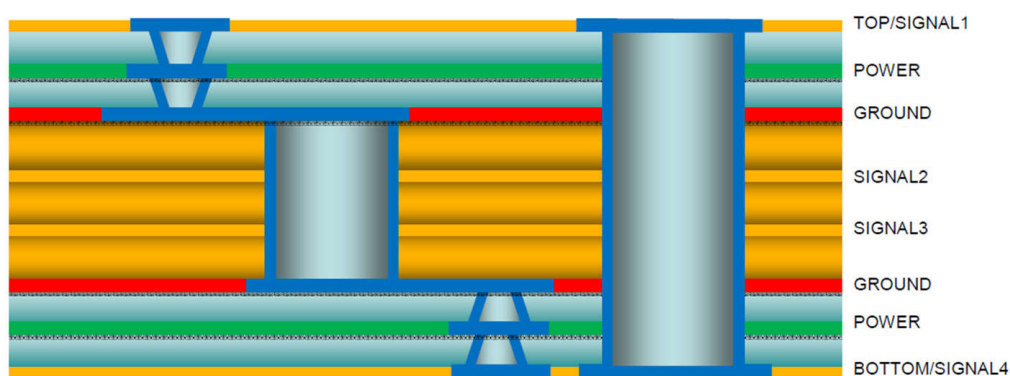


図 2-3. メッキしたスルーホール (PTH) ビアを利用したスタックアップの例

3 PDN の物理レイアウト最適化

PCB PDN 設計に実装する必要がある重要な要件は、以下のとおりです。

- 部品間の外部電源配線の配線はできるだけ広くする必要があります。パターンが広い場合、DC 抵抗が低下し、その結果静的 IR 電圧降下が低減されます。また、ループ インダクタンスが小さく、静電容量が大きいことも実現します。
- 可能な限り、部品のピンと関連するビアについて 1:1 (またはそれ以上) の比率を達成するようにします。複数のコンデンサの間でビアを共有しないでください。
- デカップリング コンデンサと関連するビアは、プロセッサ ボールのできるだけ近くに配置する必要があります。
- シミュレーションにより各遷移ビアの最大電流容量を評価し、部品の接続に必要な適切なビアの数を決定する必要があります。これにより、ビア インターコネクト ネットワークの電流容量が、各コンポーネントのニーズに十分に対応できるようになります。VIA インターコネクト、または同じネットワークが十分な電流を供給できない場合、これを「via starvation」と呼びます。
- TI は、製造の前に、静的および動的 IR 降下解析 (セクション 4 と セクション 5 で説明) をすべて新しい PCB 設計に対して実行することを強く推奨します。これらの分析を使用して、システム コンポーネントの IR 電圧降下要件を満たすために必要なビアの数と幾何学的トレース幅寸法を評価する必要があります。
- 内部層 (信号配線と電源プレーンの両方) では可能な限り、PDN レイアウトのために広いパターンと銅面積の充填を推奨します。このドキュメントの前のセクションで説明したように、電源回路をプレーンに配線することで、プレーン間静電容量が増加し、PDN の高周波性能が向上します。
- インダクタンスへの影響を最小限に抑えて、デカップリング コンデンサを取り付ける必要があります。コンデンサは、静電容量だけでなく、インダクタンスと抵抗の特性も持っています。図 3-1 に、実際のコンデンサの寄生モデルを示します。実際のコンデンサは、実効直列抵抗 (ESR) と実効直列インダクタンス (ESL) を持つ RLC 回路として扱う必要があります。



図 3-1. ESL と ESR を使用する「実際の」コンデンサの特性

この直列モデルのインピーダンスの大きさを、式 1 に示します。

$$|Z| = \sqrt{ESR^2 + \left(wESL - \frac{1}{wC} \right)^2}$$

where
 $w = 2\pi f$

(1)

自己共振周波数 55MHz を使用する標準的なコンデンサの共振周波数応答を、図 3-2 に示します。式 1 に示すように、コンデンサのインピーダンスは、直列抵抗とリアクティブ容量およびインダクタンスの組み合わせです。

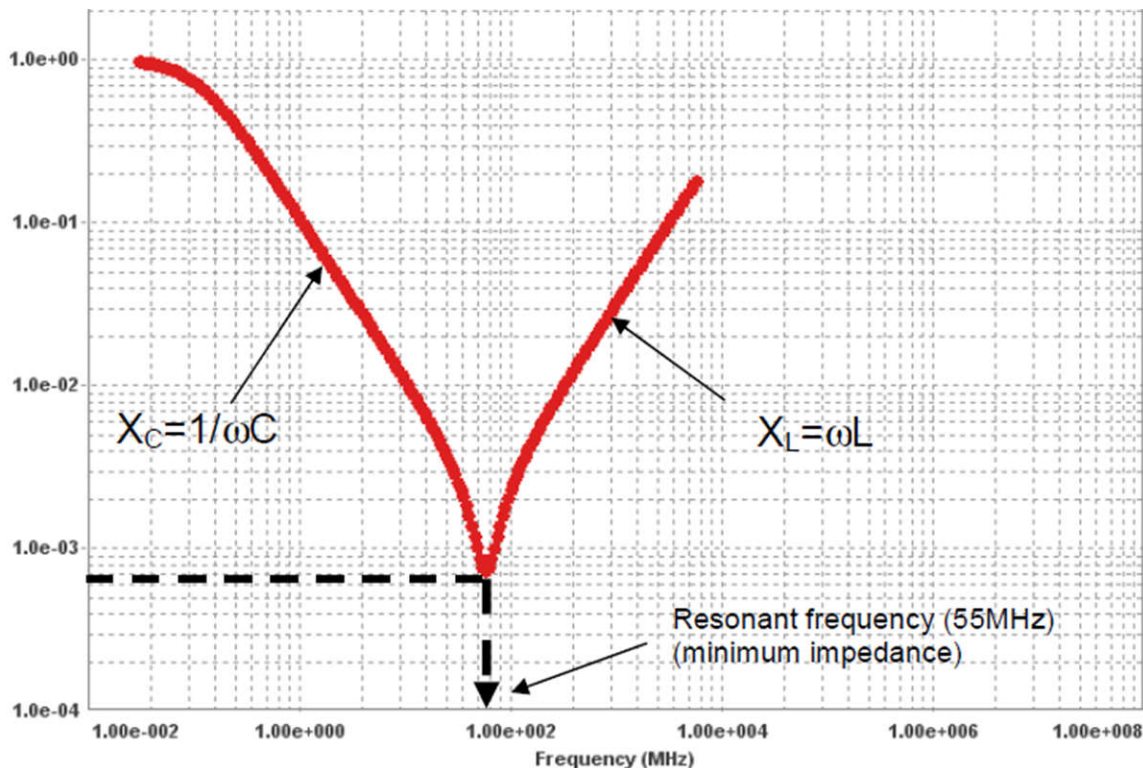


図 3-2. コンデンサの標準的なインピーダンス プロファイル

- 適切な場合は、「共平面」シールドを使用して、PCB 上でのさまざまな電源ネットのカップリングを避けるようにしてください。図 3-3 に、2 つの異なる電源回路 (VDD_MPU_IVA および VDD_CORE) の同一平面シールドの例を示します。

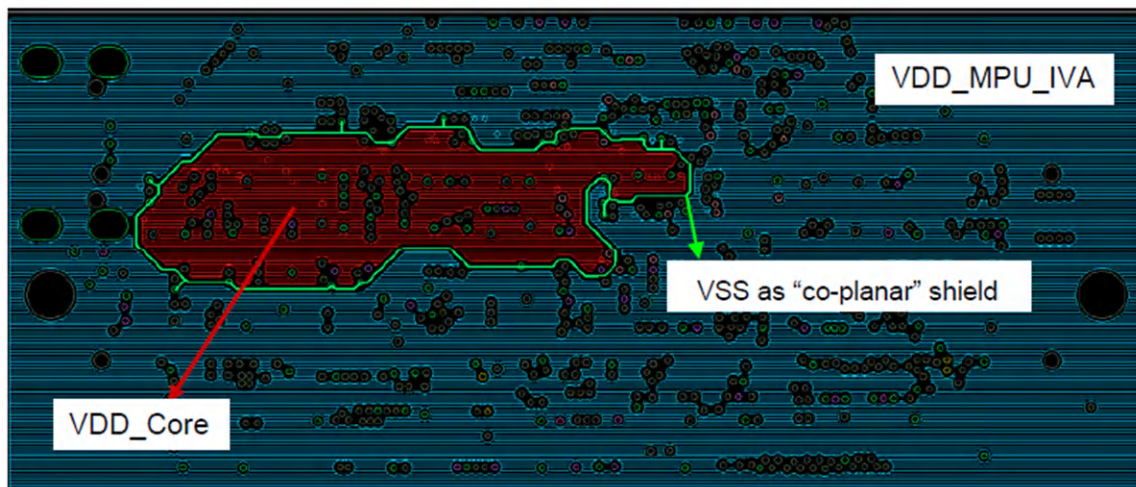


図 3-3. 接地ガードバンドを使用したパワーネットの「Co-Planar」シールドの例

コンデンサは直列インダクタンスと抵抗の両方を備えており、これらのコンデンサの有効性に影響を与えるため、電源分配ネットワークに配置する際に以下の推奨事項を採用することが重要です。可能な限り、取り付けインダクタンスと抵抗を最小限に抑えるような形状でコンデンサを取り付けてください。コンデンサの実装インダクタンスと抵抗には、パッドのインダクタンスと抵抗、パターン、および関連するビアが含まれます。

コンデンサを接続するために使用するパターンの長さは、実装の寄生インダクタンスと抵抗に大きな影響を与えます。このトレースは、できる限り短く、幅広くする必要があります。可能な限り、半田パッドのランディングの近くにビアを配置してトレースを最小限にします。コンデンサのランドの側面にビアを配置するか、ビアの数を 2 倍にすることで、実装をさらに改善することができます。PCB の製造プロセスで許容され、コスト効率の優れた場合は、ビア インパッド (VIP) 形状を強く推奨します。

寄生影響を低減するために、最も一般的なビア配置の形状を以下に示します。

1. ビア インパッド (VIP)
2. デュアル オフセットビア
3. 単一オフセットビア
4. トレース経由での Pad (ショート)
5. トレースを介してパッド (ロング)

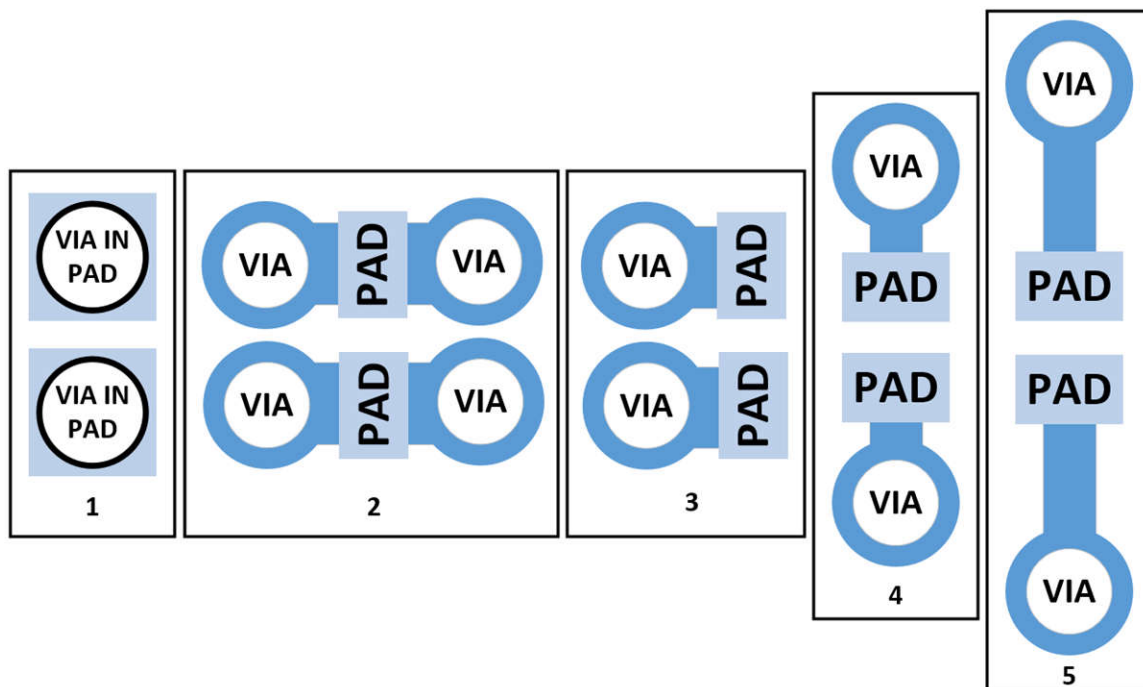


図 3-4. コンデンサの実装形状

PCB 上のコンデンサの配置に関連するインダクタンスと抵抗の実装に加えて、デカップリング コンデンサの有効性は、負荷に対してコンデンサが認識する拡散インダクタンスと抵抗にも依存します。拡散インダクタンスと抵抗は、PCB スタックアップでの層の割り当てに大きく依存します (図 2-1 を参照)。

4 スタティック PDN 解析 (IR ドロップ最適化)

チップ、パッケージ、ボード システム内のあらゆるレベルで IR 電圧降下が発生する可能性があるため、信頼性の高い電力を回路に供給することは常に重要です。関連する電源から離れた場所にある部品は、特に IR 電圧降下の影響を受けやすくなります。また、バッテリー電力に依存する設計では、許容できない電力損失を避けるために、電圧降下をさらに最小限に抑える必要があります。シミュレーションによる DC 評価を早期に実施すると、利用可能な電源エントリポイント、層のスタックアップ方法、必要な電流を流すために必要な銅量の推定など、パワー ディストリビューションの基礎を判断しやすくなります。

The resistance R_s of a plane conductor for a unit length and unit width is called the **surface resistivity** (ohms per square).

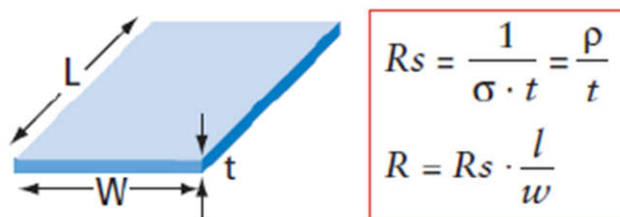


図 4-1. シートの抵抗性と抵抗の描写

オームの法則 ($V = IR$) は導通電流と電圧降下を関係させ、DC では、関係係数は導体の抵抗を表す定数です。導体も、その抵抗により電力を消費します。電圧降下と消費電力はどちらも、導体の抵抗に比例します。静的 IR または DC 解析/設計手法は、デバイスが適切に機能するように、アプリケーション プロセッサ デバイスの電源およびグランド パッドにおける電圧降下 (DC 動作条件の下) が公称電圧の規定値の範囲内に収まるように、電力分配回路を設計することで構成されています。PCB レベルの静的 IR 降下バジェットは、パワー マネージメント デバイス (PMIC/BGA /SMPS) のピン/パッドと、パワー マネージメント デバイスから電力を供給されているアプリケーション プロセッサ デバイスの VRM ボールとの間で定義されます (図 4-2 を参照)。

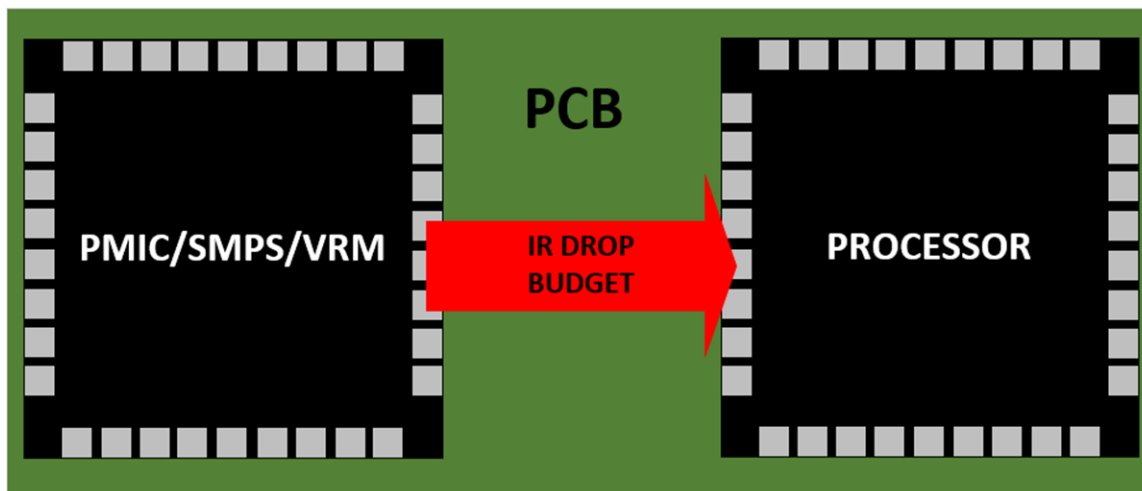


図 4-2. PCB IR ドロップ バジェット

デバイスを適切に機能させるために許容される合計システム レベル マージンを与えられて、デバイスの BGA で許容される電圧変動は通常、公称電圧の 2.5% で規定されています。¹ リモートセンス機能を実装するデバイスの場合、パワー マネージメント デバイスのフィードバック/センスラインを、関連するプロセッサ電源ボールのできるだけ近くに配置し (図 4-3 を参照)、最大電流負荷における $\leq 5\text{mV}$ の電源入力電圧差を、共通電源レールに接続されているすべてのボールにわたって維持することが要件です。この 5mV の最大値は、リモート検出点と関連する電源入力との間に存在する可能性のある電圧差を表します (図 4-4 を参照)。

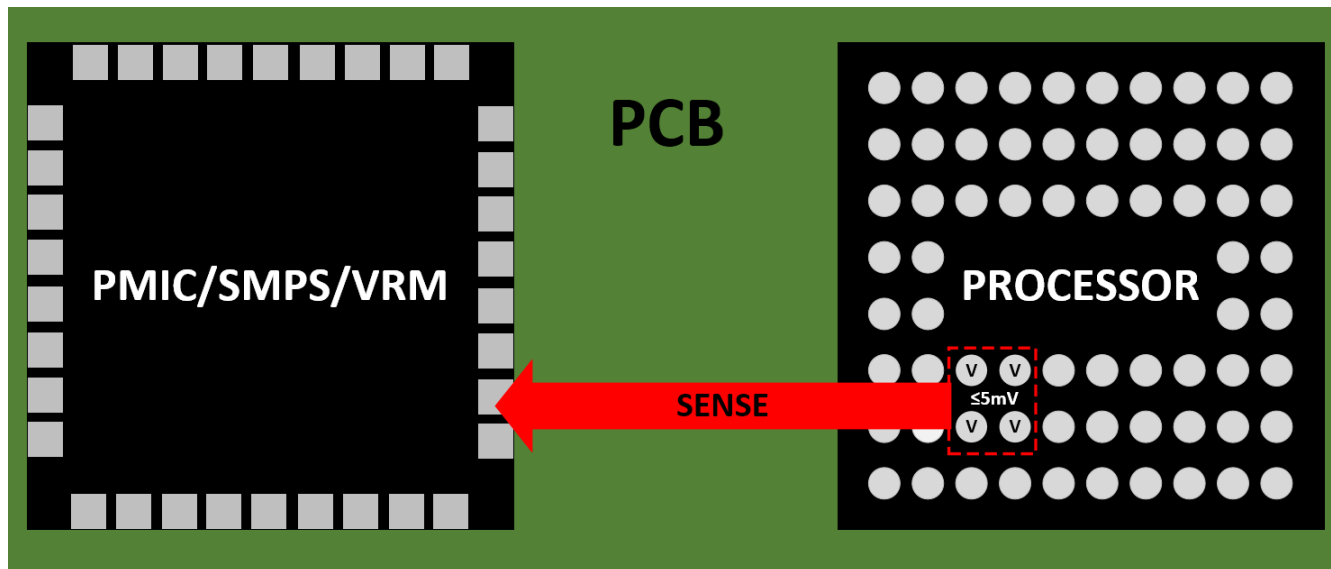


図 4-3. センスラインの配置

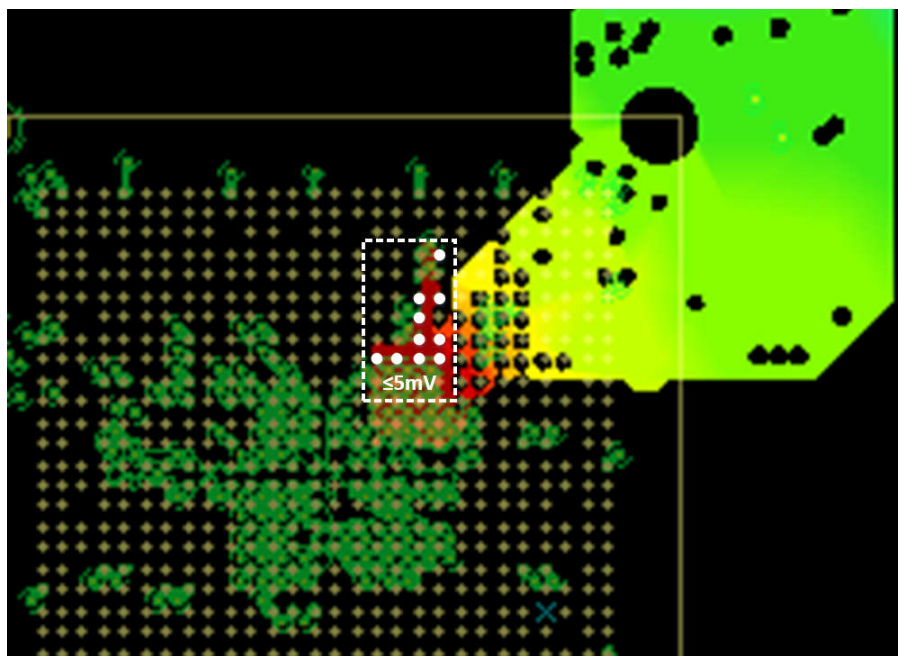


図 4-4. 許容される電力入力電圧の差

¹ これは一般的な推奨事項であり、お使いのプロセッサには適用されない場合があります。プロセッサの要件については、デバイスのデータシートを参照してください。

5 PCB PDN の動的解析

PDN の典型的な要素は 図 5-1 で示されている。薄酸化膜デカップリング コンデンサを使用したチップレベルの電力分配を示します。プレーンと中周波数のデカップリング コンデンサを使用したパッケージレベルの電力分配、プレーンを使用した基板レベル (PCB など) の電力分配、低周波数のセラミックおよびバルク デカップリング コンデンサ、電圧レギュレータ モジュール (VRM)。

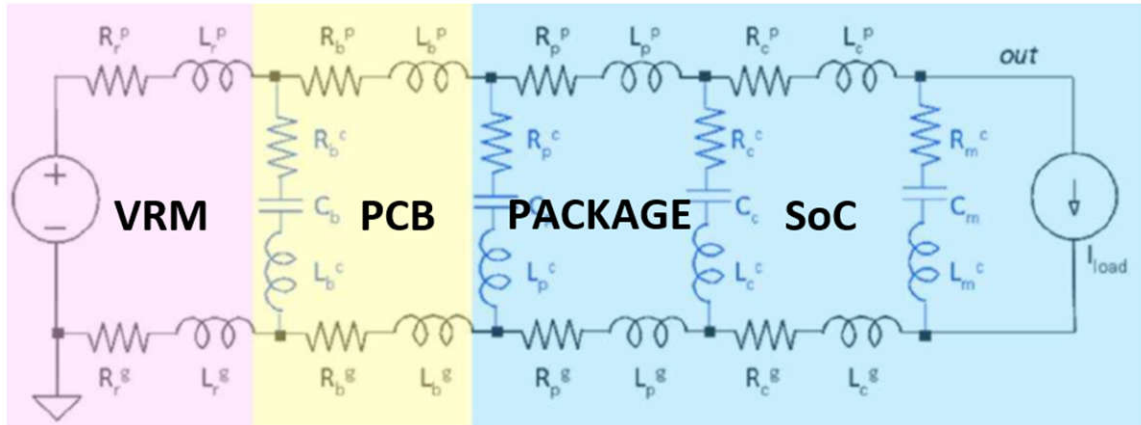


図 5-1. 一般的な電源供給回路 (PDN) の部品

これらの素子でカバーされる周波数範囲を 図 5-2 に示します。高性能を実現するために PCB PDN を最適化することが主な目的であるため、この方法論は、設計段階の初期段階で PCB 設計者が制御できる領域を中心に開発されています。

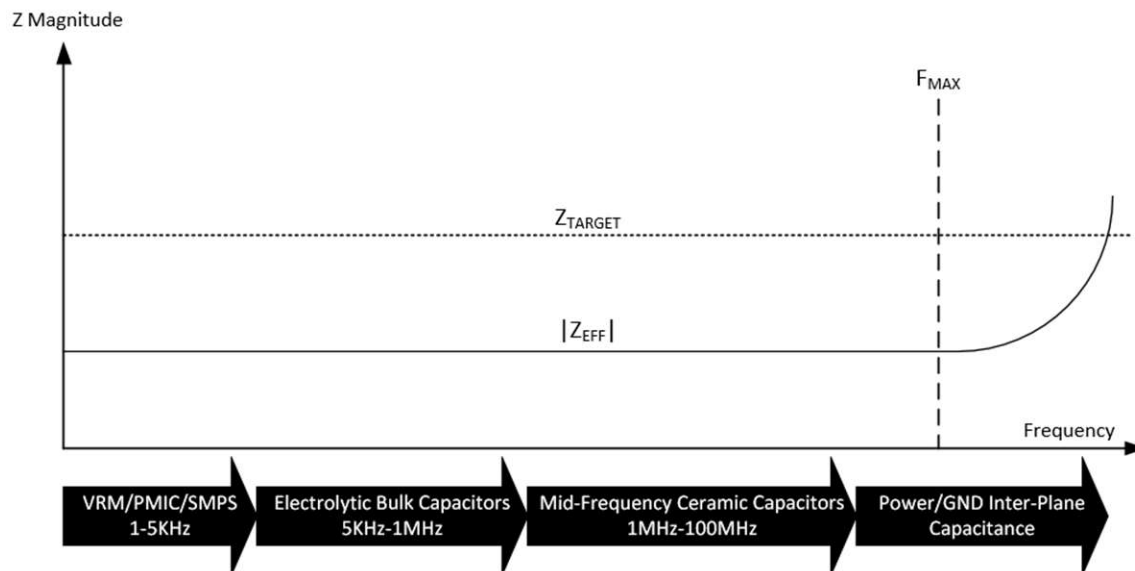


図 5-2. PCB 部品のデカップリング周波数範囲

VRM/PMIC/SMPS (または単に電圧レギュレータ デバイス) は PDN の最初の主要コンポーネントである。この機能は、その出力電圧を監視し、供給される電流の量を調整して、電圧を一定に維持します。ほとんどの一般的な電圧レギュレータでは、ミリ秒からマイクロ秒単位でこの調整を行います。これらのデバイスは、DC から数 kHz までのすべての周波数で (レギュレータの動的応答時間に応じて) 出力電圧を維持するのが効果的です。この範囲を超える周波数で発生するすべての過渡イベントについて、電圧レギュレータが新しいレベルの要求に応答できるようになるまでの時間遅延があります。この間、レールには電圧ドロップが発生します。電力供給ネットワークには、電圧レギュレータ モジュールからプロセッサへの経路に関連するインピーダンス (Z_{PDN}) があります。特定の電源レールで観測されるノイズ (電圧リップル) の大きさは、そのレールに関連するインピーダンス (Z_{PDN}) と過渡電流 ($I_{TRANSIENT}$) に比例します。

オームの法則に基づき、

$$V_{\text{RIPPLE}} = I_{\text{TRANSIENT}} \times Z_{\text{PDN}} \quad (2)$$

通常、過渡電流はアプリケーション固有であり、特定のスイッチング シナリオで決定されます。ボード設計者は、インダクタンスを小さくするか、静電容量を最大化して Z_{PDN} を小さくすることで、電圧リップルを最小限に抑えることができます。電圧リップル ノイズがプロセッサの仕様内に確実に収まるように、 Z_{PDN} は、ターゲット インピーダンス (Z_{TARGET}) と呼ばれる特定のインピーダンスを満たすように設計する必要があります。電力供給システムの動作を記述するために周波数領域のターゲット インピーダンス法 (FDTIM) を用いることが広く受け入れられている。

FDTIM の主要な概念は、検討中の電源レールの目標インピーダンス Z_{TARGET} (式 3 を参照) を決定することです。電力供給システムの信頼性の高い動作を実現するには、そのインピーダンス スペクトルを DC から FMAX までの周波数で目標値よりも低く維持する必要があります (図 5-2 を参照)。FMAX は、寄生平面拡散インダクタンスとパッケージ インダクタンスの支配により、適切な数のデカップリング コンデンサを追加しても、電源レールのインピーダンス $|Z_{\text{EFF}}|$ は目標インピーダンス (Z_{TARGET}) 未満になりません。

$$Z_{\text{TARGET}} = \frac{\text{Voltage Rail} \times \% \text{Ripple}}{0.5 \times I_{\text{Max}}} \quad (3)$$

5.1 Z_{TARGET} を満たすようにデカップリング コンデンサを選択する

関心のある周波数範囲全体にわたってパワー インテグリティを維持するために、電力分配回路は電圧レギュレータ モジュール (VRM/SMPS)、オンボードのディスクリート バルク電解およびセラミック デカップリング コンデンサ、およびプレーン間容量 (基板スタックアップ内の電源グランド サンドイッチからの容量) に依存しています。1 次分析のために、パワー マネージメント集積回路 (PMIC) の VRM を、直列接続された抵抗とインダクタとしてモデル化できます。PMIC は、通常、低周波数 (最大 500kHz – 1MHz) で動作するもので、インピーダンスが低く、プロセッサの瞬間的な要件に対応することができます。したがって、VRM の ESR 値と ESL 値は非常に低くなります。低周波数を超えると、VRM インピーダンスは主に誘導性なので、デバイスの過渡電流要件を満たすことができません。バルクおよびセラミックのディスクリート デカップリング コンデンサは、VRM が誘導性になる時点から、必要な低インピーダンスを実現する必要があります。バルクおよび中周波数のデカップリング コンデンサ (1MHz–70MHz、コンデンサの ESL と ESR に応じて) の有効性は、その配置 (ループ インダクタンスによる)、値、タイプによって制限されます。コンデンサの配置例については、図 5-3 を参照してください。ループ インダクタンスを最小限に抑えるため、中周波数コンデンサをプロセッサの直下 (PCB の底面) に配置しています。

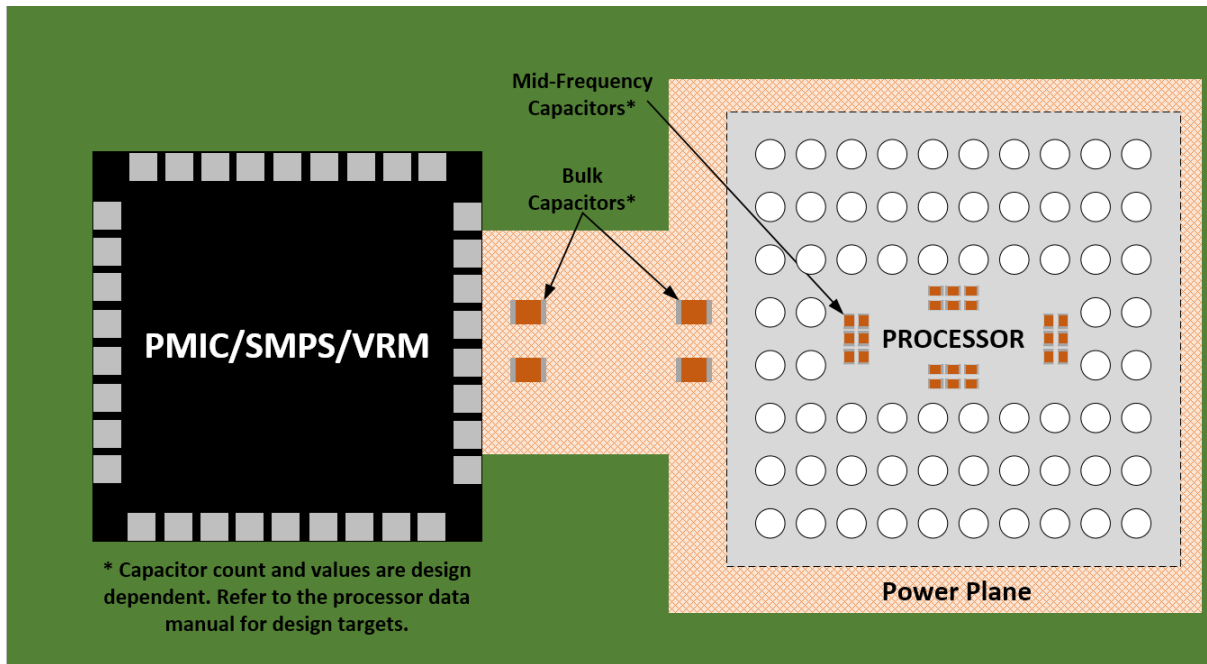


図 5-3. コンデンサの配置例

バルク コンデンサは、基板への電源入り口の近くに配置する必要があります。デカップリング コンデンサは、VRM 周波数を超える必要な値、および中周波数コンデンサが有効になる周波数まで、PDN インピーダンスを維持します。中周波数 SMT コンデンサは、10 ~ 150MHz 範囲で有用です。これらのコンデンサは主にセラミック コンデンサで、いくつかの誘電体タイプ (NPO、X7R、X5R、Y5V) と、いくつかのサイズ (1206、0805、0603、0402 など) で供給されます。中周波数コンデンサはバルク コンデンサよりはるかに小さく、トランジスタ回路の近くに配置できます。セラミック コンデンサが小さいので、ESR と ESL が小さく、バルク コンデンサよりも静電容量が小さいため、共振周波数が高くなり、共振時のインピーダンスが小さくなります。したがって、高い周波数ではセラミック コンデンサを使用することができます。標準的な中周波数コンデンサの容量は 1nF~100 nF、ESR は 10~100mΩ の範囲、ESL は 0.5nH ~ 1nH の範囲です。

「ループ インダクタンス」の概念は、配電網のデカップリング コンデンサの有効性を定量化するための有用な指標です。デカップリング コンデンサの配置に関連する「ループ インダクタンス」を計算するには、式 4 を使用できます。

$$L_{\text{eff}} = \frac{\text{Imaginary}(Z(\text{Power, GND pads of decap}))}{2 \times \pi \times \text{Frequency}} \quad (4)$$

ここで、 L_{eff} は実効ループ インダクタンス、 Z (電力、デカップリング コンデンサの GND パッド) は、対応するデカップリング コンデンサの電源パッドとグラウンド パッドの間で定義されるポートの Z パラメータを表します。周波数は、 Z パラメータ応答の「フラット」領域 (通常は 50MHz ~ 70MHz 範囲) で選択する必要があります。

6 PDN のチェックリスト

このリストには、PCB を設計する際に考慮すべきすべてのパラメータおよび変数が含まれているわけではありませんが、PDN 最適化された PCB 設計では、以下のガイドラインが実装されます。

- 電源プレーンとグランド プレーンのペア (別名「アイランド」) は、互いに近接して結合する必要があります。プレーン間に形成される容量を使って、高い周波数で電源をデカップリングできます。
- 可能な限り、電源プレーンとグランド プレーンはソリッドにし、リターン電流に対する連続的なリターン パスとなるためです。
- 電源プレーンとグランド プレーンのペアの間には、薄い誘電体の厚さを使用します。容量はプレーン ペアの分離に反比例するため、分離距離を最小化する (誘電体の厚さなど) ことで、結果として生じる容量が最大化されます。
- PCB スタックアップ内の電源プレーンとグランド プレーンの配置 (層の割り当てで決定) は、電力電流パスの寄生インダクタンスに大きな影響を及ぼします。このため、PCB PDN 設計サイクルの初期段階ではレイヤの順序を考慮することを推奨します。つまり、優先度の高い電源をスタックアップの上半分に、優先度の低い電源をスタックアップの下半分に配置することを推奨します。これにより、デカップリング コンデンサとそれに関連するビアに起因するループ インダクタンスを最小化できます。
- 部品間の外部電源配線の配線はできるだけ広くする必要があります。パターンが広い場合、DC 抵抗が低下し、その結果静的 IR 電圧降下が低減されます。
- 可能な限り、部品のピンと関連するビアについて 1:1 (またはそれ以上) の比率を達成するようにします。複数のコンデンサの間でビアを共有しないでください。
- デカップリング コンデンサとそれに関連するビアは、プロセッサ ボールのできるだけ近くに配置する必要があります。この目的のために、プロセッサの真下のスペースを確保してください。
- 短く幅広い表面パターンを使用して、コンデンサパッドを以下のプレーンに接続することを推奨します。
- インダクタンス/抵抗を低減するため、直径の大きなビアを使用することを推奨します。
- 電源/グランド プレーンには 1oz ~ 2oz の銅重量が推奨され、PCB の熱の拡散を促進して、プロセッサの接合部温度を下げることができます。さらに、電源/グランド プレーンをプロセッサが実装されている PCB 表面に隣接して配置することを推奨します。
- VRM をプロセッサにできるだけ近づけ、かつ PCB の同じ側に配置してください。パワー マネージメント IC (PMIC) を VRM として実装する場合、最大電流レールまでの距離を最小化するように電源を調整する必要があります。

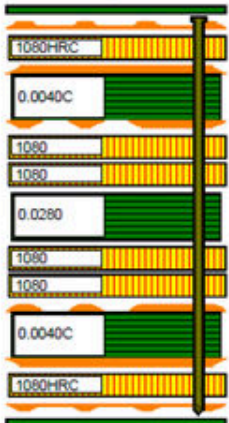
7 実装例と PDN ターゲット

このセクションでは、デバイス固有の PDN ターゲットと、これらのターゲットを満たす実装例を示します。

注







本書に示すデカップリング コンデンサの数やコンデンサの値は、PCB 設計固有であり、PCB シミュレーションの代わりに使用するべきではありません。任意の設計が、提供された PDN のターゲットを満たしていることを確認するのは PCB 設計者の責任です。

7.1 AM570x

Layer	Calc Thickness	Primary Stack	Description	Dk / Df
Layer - 1	0.0005 0.0020		Taiyo 4000-MP 1/4oz Sig (Std Plt)	4.70 / 0.0330
Layer - 2	0.0033 0.0012		370H 1oz P/G	4.03 / 0.0210
Layer - 3	0.0041 0.0006		370H 1/2oz Mix	4.54 / 0.0190
	0.0054		1080 370H	4.17 / 0.0210
	0.0280		0.0280 370H	4.30 / 0.0180
	0.0055		1080 370H	4.16 / 0.0210
Layer - 4	0.0006 0.0041		0.0040C 1/2oz Mix	4.54 / 0.0190
Layer - 5	0.0012 0.0032		1080HRC 370H	4.05 / 0.0210
Layer - 6	0.0020 0.0005		1/4oz Sig (Std Plt) Taiyo 4000-MP	4.70 / 0.0330

Materials: Isola 370H High-Tg FR4

Requirement	Req. Thickness	Tol +	Tol -	Calc Thick
Incl. Plating & Mask	0.0620	0.0062	0.0062	0.0622
Incl. Mask over Laminate	0.0580	0.0058	0.0058	0.0582
Incl. Plating	0.0610	0.0061	0.0061	0.0612
After Lamination	0.0576	0.0029	0.0029	0.0578
Over Laminate	0.0570	0.0057	0.0057	0.0572

Impedance Type	Layer	Design	Actual	Pitch	Plane	Target	Tol (ohms)	Predict
1  Surface MS	L1	0.0050	0.0050	-	-	50	5	49.89
	-	-	-	-	L2			
2  EC Microstrip	L1	0.00480	0.0046	0.0110	-	90	9	90.71
	-	0.00480	0.0046	-	L2			
3  EC Microstrip	L1	0.00440	0.0042	0.0140	-	100	10	100.04
	-	0.00440	0.0042	-	L2			
4  Stripline	L3	0.00525	0.0054	-	L2	50	5	50.01
	-	-	-	-	L5			
5  EC Stripline	L3	0.00450	0.0045	0.0140	L2	100	10	100.18
	-	0.00450	0.0045	-	L5			
6  EC Stripline	L3	0.0050	0.0050	0.0110	L2	90	9.0	89.67
	-	0.0050	0.0050	-	L5			














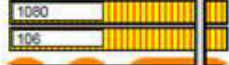



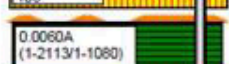
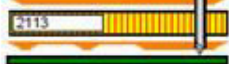


Impedance Type	Layer	Design	Actual	Pitch	Plane	Target	Tol (ohms)	Predict
 Stripline	L4	0.00525	0.0054	-	L2	50	5	50.03
	-	-	-	-	L5			
 EC Stripline	L4	0.00450	0.0045	0.0140	L2	100	10	100.22
	-	0.00450	0.0045	-	L5			
 EC Stripline	L4	0.0050	0.0050	0.0110	L2	90	9	89.71
	-	0.0050	0.0050	-	L5			
 EC Microstrip	L6	0.00440	0.0041	0.0140	L5	100	10	99.6
	-	0.00440	0.0041	-	-			
 EC Microstrip	L6	0.00480	0.0046	0.0110	L5	90	9	89.44
	-	0.00480	0.0046	-	-			
 Surface MS	L6	0.0050	0.0048	-	L5	50	5	49.88
	-	-	-	-	-			

表 7-1. AM570x PDN ターゲットとデカップリングの例

電源 名 ⁽¹⁰⁾	静的 PDN ターゲット	ダイナミック PDN ターゲット			電源ごとのデカップリング コンデンサの数 ^{(1) (2) (3) (4) (5) (6) (9)}							
		Dec 容量 最大 LL (nH) ^{(6) (8)}	最大 インピーダンス (mΩ)	対象 周波数 (MHz)	100 nF	220 nF	470 nF	1 μF	2.2 μF	4.7 μF	10 μF	22 μF
	最大 R _{eff} (mΩ) ⁽⁷⁾											
VDD_CORE	18	2	57	≦ 20			5	4			1	
VDD_DSP	22	2.5	54	≦ 20			6	5			2	
VDDS_DDR1	10	2.5	200	≦ 100			12	1			1	
CAP_VBBLDO_DSP	該当なし	6	該当なし	該当なし				1				
CAP_VBBLDO_GPU	該当なし	6	該当なし	該当なし				1				
CAP_VBBDLO_IVA	該当なし	6	該当なし	該当なし				1				
CAP_VBBLDO_MPU	該当なし	6	該当なし	該当なし				1				
CAP_VDDRAM_CORE1	該当なし	6	該当なし	該当なし				1				
CAP_VDDRAM_CORE2	該当なし	6	該当なし	該当なし				1				
CAP_VDDRAM_CORE3	該当なし	6	該当なし	該当なし				1				
CAP_VDDRAM_CORE4	該当なし	6	該当なし	該当なし				1				
CAP_VDDRAM_DSP	該当なし	6	該当なし	該当なし				1				
CAP_VDDRAM_GPU	該当なし	6	該当なし	該当なし				1				
CAP_VDDRAM_IVA	該当なし	6	該当なし	該当なし				1				
CAP_VDDRAM_MPU	該当なし	6	該当なし	該当なし				1				

- (1) ピークツーピークのノイズ値の詳細については、個々のデバイスのデータ マニュアルの「推奨動作条件」表を参照してください。
- (2) ESL は可能な限り低くし、0.5nH を超えないようにする必要があります。
- (3) 電源供給ネットワーク (PDN) のインピーダンス特性は、デバイス固有のデータ マニュアルの「仕様」の章にある「推奨動作条件」表に基づいて、デバイスの動作 (異なる周波数で動作する) に対して定義されています。
- (4) 静的電圧降下要件により、PMIC または外部 SMPS とプロセッサ電源ボールとの間で許容される最大 PCB 抵抗が駆動されます。
- (5) 外部 SMPS (power IC) フィードバック検出機能がプロセッサ電源ボールの近くに配置されていると仮定します。
- (6) 高周波 (30MHz–70MHz) PCB デカップリング コンデンサ。
- (7) VRM/SMPS/PMIC からプロセッサへの最大 R_{eff}。
- (8) デカップリング コンデンサの最大ループ インダクタンス。
- (9) デカップリング コンデンサの数と値は、ベースラインに関する推奨事項としてのみ提供しています。TI は、すべてのプロセッサ PDN 要件を満たすために、製造前にすべての PCB 設計をシミュレーションすることを推奨します。
- (10) 付け合わせレールは、各メンバー レールのすべての要件を満たす必要があります。

7.2 AM571x

Layer	Calc Thickness	Primary Stack	Description	Dk / Df
Layer - 1	0.0005 0.0017 0.0037		Taiyo 4000-BN 1/4oz Mix (Std Plt) 370H	4.71 / 0.0330 4.34 / 0.0210
Layer - 2	0.0012 0.0060		1oz P/G 370H	4.33 / 0.0210
Layer - 3	0.0006 0.0048		1/2oz Mix 370H	4.06 / 0.0210
Layer - 4	0.0006 0.0041		1/2oz P/G 370H	4.54 / 0.0190
Layer - 5	0.0006 0.0048		1/2oz Mix 370H	4.06 / 0.0210
Layer - 6	0.0006 0.0041		1/2oz P/G 370H	4.54 / 0.0190
Layer - 7	0.0006 0.0048		1/2oz Mix 370H	4.06 / 0.0210
Layer - 8	0.0006 0.0030		1/2oz P/G 370H	4.57 / 0.0190
Layer - 9	0.0006 0.0048		1/2oz P/G 370H	4.06 / 0.0210
Layer - 10	0.0006 0.0041		1/2oz Mix 370H	4.54 / 0.0190
Layer - 11	0.0006 0.0048		1/2oz P/G 370H	4.06 / 0.0210
Layer - 12	0.0006 0.0041		1/2oz Mix 370H	4.54 / 0.0190
Layer - 13	0.0006 0.0048		1/2oz P/G 370H	4.06 / 0.0210
Layer - 14	0.0006 0.0060		1/2oz Mix 370H	4.33 / 0.0210
Layer - 15	0.0012 0.0037		1oz P/G 370H	4.34 / 0.0210
Layer - 16	0.0017 0.0005		1/4oz Mix (Std Plt) Taiyo 4000-BN	4.71 / 0.0330
















Materials: Isola 370H High-Tg FR4

Requirement	Req. Thickness	Tol +	Tol -	Calc Thick
Incl. Plating & Mask	0.0800	0.0080	0.0080	0.0816
Incl. Mask over Laminate	0.0766	0.0077	0.0077	0.0782
Incl. Plating	0.0790	0.0079	0.0079	0.0806

Requirement	Req. Thickness	Tol +	Tol -	Calc Thick
After Lamination	0.0762	0.0038	0.0038	0.0778
Over Laminate	0.0756	0.0076	0.0076	0.0772

Job Comment

Sim to pn 516581 Rev F and 517391A

Impedance Type	Layer	Design	Actual	Pitch	Plane	Target	Tol (ohms)	Predict
 Surface MS	L1	0.00550	0.0055	-	-	50	5	49.83
	-	-	-	-	L2			
 EC Microstrip	L1	0.00470	0.0047	0.0100	-	90	9	89.73
	-	0.00470	0.0047	-	L2			
 EC Microstrip	L1	0.0040	0.0040	0.0105	-	100	10	99.29
	-	0.0040	0.0040	-	L2			
 Stripline	L3	0.00450	0.0045	-	L2	50	5	50.71
	-	-	-	-	L4			
 EC Stripline	L3	0.0050	0.0050	0.0120	L2	90	9.0	90.96
	-	0.0050	0.0050	-	L4			
 EC Stripline	L3	0.00370	0.0037	0.0090	L2	100	10	100.20
	-	0.00370	0.0037	-	L4			
 Stripline	L5	0.00370	0.0037	-	L4	50	5	49.84
	-	-	-	-	L6			
 EC Stripline	L5	0.00360	0.0036	0.0120	L4	100	10.0	98.59
	-	0.00360	0.0036	-	L6			
 Stripline	L7	0.00370	0.0037	-	L6	50	5	49.84
	-	-	-	-	L8			
 EC Stripline	L7	0.00360	0.0036	0.0120	L6	100	10.0	98.59
	-	0.00360	0.0036	-	L8			
 Stripline	L10	0.00370	0.0037	-	L9	50	5	49.84
	-	-	-	-	L11			
 EC Stripline	L10	0.00360	0.0036	0.0120	L9	100	10.0	98.59
	-	0.00360	0.0036	-	L11			
 Stripline	L12	0.00370	0.0037	-	L11	50	5	49.84
	-	-	-	-	L13			
 EC Stripline	L12	0.00360	0.0036	0.0120	L11	100	10.0	98.59
	-	0.00360	0.0036	-	L13			
 Stripline	L14	0.00450	0.0045	-	L13	50	5	50.71
	-	-	-	-	L15			








Impedance Type	Layer	Design	Actual	Pitch	Plane	Target	Tol (ohms)	Predict
 EC Stripline	L14	0.00370	0.0037	0.0090	L13	100	10	100.20
	-	0.00370	0.0037	-	L15			
 Surface MS	L16	0.00550	0.0055	-	L15	50	5	49.84
	-	-	-	-	-			
 EC Microstrip	L16	0.00470	0.0047	0.0100	L15	90	9	89.73
	-	0.00470	0.0047	-	-			
 EC Microstrip	L16	0.0040	0.0040	0.0105	L15	100	10	99.29
	-	0.0040	0.0040	-	-			
 EC Microstrip	L1	0.00350	0.0035	0.0120	-	110	11.0	109.02
	-	0.00350	0.0035	-	L2			
 EC Microstrip	L1	0.00560	0.0056	0.0120	-	87	8.7	86.46
	-	0.00560	0.0056	-	L2			
 EC Microstrip	L16	0.00560	0.0056	0.0120	L15	87	8.7	86.46
	-	0.00560	0.0056	-	-			

表 7-2. AM571x PDN ターゲットとデカップリングの例

電源 名 ⁽¹⁰⁾	静的 PDN ターゲット	ダイナミック PDN ターゲット			電源ごとのデカップリング コンデンサの数 ^{(1) (2) (3) (4) (5) (6) (9)}							
	最大 R_{eff} (m Ω) ⁽⁷⁾	Dec 容量 最大 LL (nH) ^{(6) (8)}	最大 インピーダンス (m Ω)	対象 周波数 (MHz)	100 nF	220 nF	470 nF	1 μ F	2.2 μ F	4.7 μ F	10 μ F	22 μ F
VDD_CORE	27	2	87	≤ 50	6	1	1	1	1	1		
VDD_MPU	10	2	57	≤ 20	8	1	1	1	1	1		1
VDD_DSP VDD_GPU VDD_IVA	13	2.5	54	≤ 20	8	1	1	1	1	1	1	1
VDDS_DDR1	10	2.5	200	≤ 100	8	4		2		2		1
CAP_VBBLDO_DSP	該当なし	6	該当なし	該当なし				1				
CAP_VBBLDO_GPU	該当なし	6	該当なし	該当なし				1				
CAP_VBBDLO_IVA	該当なし	6	該当なし	該当なし				1				
CAP_VBBLDO_MPU	該当なし	6	該当なし	該当なし				1				
CAP_VDDRAM_CORE1	該当なし	6	該当なし	該当なし				1				
CAP_VDDRAM_CORE3	該当なし	6	該当なし	該当なし				1				
CAP_VDDRAM_CORE4	該当なし	6	該当なし	該当なし				1				
CAP_VDDRAM_DSP	該当なし	6	該当なし	該当なし				1				
CAP_VDDRAM_GPU	該当なし	6	該当なし	該当なし				1				
CAP_VDDRAM_IVA	該当なし	6	該当なし	該当なし				1				
CAP_VDDRAM_MPU	該当なし	6	該当なし	該当なし				1				

- (1) ピークツーピークのノイズ値の詳細については、個々のデバイスのデータ マニュアルの「推奨動作条件」表を参照してください。
- (2) ESL は可能な限り低くし、0.5nH を超えないようにする必要があります。
- (3) 電源供給ネットワーク (PDN) のインピーダンス特性は、デバイス固有のデータ マニュアルの「仕様」の章にある「推奨動作条件」表に基づいて、デバイスの動作 (異なる周波数で動作する) に対して定義されています。
- (4) 静的電圧降下要件により、PMIC または外部 SMPS とプロセッサ電源ボールとの間で許容される最大 PCB 抵抗が駆動されます。
- (5) 外部 SMPS (POWER IC) フィードバック検出機能がプロセッサ電源ボールの近くに配置されていると仮定します。
- (6) 高周波 (30MHz–70MHz) PCB デカップリング コンデンサ。
- (7) VRM/SMPS/PMIC からプロセッサへの最大 R_{eff} 。
- (8) デカップリング コンデンサの最大ループ インダクタンス。
- (9) デカップリング コンデンサの数と値は、ベースラインに関する推奨事項としてのみ提供しています。TI は、すべてのプロセッサ PDN 要件を満たすために、製造前にすべての PCB 設計をシミュレーションすることを推奨します。
- (10) 付け合わせレールは、各メンバー レールのすべての要件を満たす必要があります。

7.3 AM572x

Layer	Calc Thickness	Primary Stack	Description	Dk / Df
Layer - 1	0.0005 0.0017		Taiyo 4000-BN 1/4oz Mix (Std Plt)	4.71 / 0.0330
	0.0039	106	370H	3.95 / 0.0210
Layer - 2	0.0025 0.0060	0.0060A (1-2113/1-1080)	2oz P/G 370H	4.33 / 0.0210
Layer - 3	0.0006 0.0047	106 1080	1/2oz Mix 370H	4.07 / 0.0210
Layer - 4	0.0006 0.0035	0.0035A (1-2113)	1/2oz P/G 370H	4.40 / 0.0210
Layer - 5	0.0006 0.0039	106 106	1/2oz Mix 370H	3.95 / 0.0210
Layer - 6	0.0006 0.0035	0.0035A (1-2113)	1/2oz P/G 370H	4.40 / 0.0210
Layer - 7	0.0006 0.0040	106 106	1/2oz Mix 370H	3.94 / 0.0210
Layer - 8	0.0006 0.0030	0.0030 (1-2113)	1/2oz P/G 370H	4.57 / 0.0190
Layer - 9	0.0006 0.0040	106 106	1/2oz P/G 370H	3.94 / 0.0210
Layer - 10	0.0006 0.0035	0.0035A (1-2113)	1/2oz Mix 370H	4.40 / 0.0210
Layer - 11	0.0006 0.0040	106 106	1/2oz P/G 370H	3.94 / 0.0210
Layer - 12	0.0006 0.0035	0.0035A (1-2113)	1/2oz Mix 370H	4.40 / 0.0210
Layer - 13	0.0006 0.0048	1080 106	1/2oz P/G 370H	4.06 / 0.0210
Layer - 14	0.0006 0.0060	0.0060A (1-2113/1-1080)	1/2oz Mix 370H	4.33 / 0.0210
Layer - 15	0.0025 0.0039	106 106	2oz P/G 370H	3.95 / 0.0210
Layer - 16	0.0017 0.0005		1/4oz Mix (Std Plt) Taiyo 4000-BN	4.71 / 0.0330

Materials: Isola 370H High-Tg FR4

Requirement	Req. Thickness	Tol +	Tol -	Calc Thick
Incl. Plating & Mask	0.0800	0.0080	0.0080	0.0788
Incl. Mask over Laminate	0.0766	0.0077	0.0077	0.0754
Incl. Plating	0.0790	0.0079	0.0079	0.0778
After Lamination	0.0762	0.0038	0.0038	0.0750
Over Laminate	0.0756	0.0076	0.0076	0.0744
















Impedance Type	Layer	Design	Actual	Pitch	Plane	Target	Tol (ohms)	Predict
 Surface MS	L1	0.0050	0.0060	-	-	50	5	51.11
	-	-	-	-	L2			
 EC Microstrip	L1	0.00440	0.0052	0.0105	-	90	9	90.68
	-	0.00440	0.0052	-	L2			
 EC Microstrip	L1	0.00380	0.0048	0.0120	-	100	10	99.26
	-	0.00380	0.0048	-	L2			
 Stripline	L3	0.00450	0.0045	-	L2	50	5	50.37
	-	-	-	-	L4			
 EC Stripline	L3	0.0050	0.0050	0.0120	L2	90	9	90.45
	-	0.0050	0.0050	-	L4			
 Stripline	L5	0.0040	0.0033	-	L4	50	5	48.65
	-	-	-	-	L6			
 Stripline	L7	0.00330	0.0033	-	L6	50	5	48.96
	-	-	-	-	L8			
 Stripline	L10	0.00330	0.0033	-	L9	50	5	48.96
	-	-	-	-	L11			
 Stripline	L12	0.0040	0.0033	-	L11	50	5	48.96
	-	-	-	-	L13			
 Stripline	L14	0.00450	0.0045	-	L13	50	5	50.71
	-	-	-	-	L15			
 Surface MS	L16	0.0050	0.0060	-	L15	50	5	51.11
	-	-	-	-	-			
 EC Microstrip	L16	0.00350	0.0044	0.0105	L15	100	10	99.49
	-	0.00350	0.0044	-	-			
 EC Microstrip	L1	0.00380	0.0038	0.0120	-			110.77
	-	0.00380	0.0038	-	L2			
 EC Microstrip	L1	0.0060	0.0060	0.0120	-			87.59
	-	0.0060	0.0060	-	L2			
 EC Microstrip	L16	0.0060	0.0060	0.0120	L15			87.60
	-	0.0060	0.0060	-	-			

表 7-3. AM572x PDN ターゲットとデカップリングの例

電源 名 ⁽¹⁰⁾	静的 PDN ターゲット	ダイナミック PDN ターゲット			電源ごとのデカップリング コンデンサの数 ^{(1) (2) (3) (4) (5) (6) (9)}							
	最大 R_{eff} (mΩ) ⁽⁷⁾	Dec 容量 最大 LL (nH) ^{(6) (8)}	最大 インピーダンス (mΩ)	対象 周波数 (MHz)	100 nF	220 nF	470 nF	1 μF	2.2 μF	4.7 μF	10 μF	22 μF
VDD_CORE	27	2	87	≤ 50	6	1	1	1	1	1		
VDD_MPU	10	2	57	≤ 20	12	2	2	3	1	1		1
VDD_DSPEVE	13	2.5	54	≤ 20	8	1	1	2	1	1	1	
VDD_IVA	48	2	800	≤ 100	5		1			1		
VDD_GPU	18	2.5	207	≤ 50	6	1	1	1	1	1		
VDDS_DDR1	10	2.5	200	≤ 100	8	4		2		2		1
VDDS_DDR2	10	2.5	200	≤ 100	8	4		2		2		1
CAP_VBBLDO_DSPEVE	該当なし	6	該当なし	該当なし				1				
CAP_VBBLDO_GPU	該当なし	6	該当なし	該当なし				1				
CAP_VBBDLO_IVA	該当なし	6	該当なし	該当なし				1				
CAP_VBBLDO_MPU	該当なし	6	該当なし	該当なし				1				
CAP_VDDRAM_CORE1	該当なし	6	該当なし	該当なし				1				
CAP_VDDRAM_CORE2	該当なし	6	該当なし	該当なし				1				
CAP_VDDRAM_CORE3	該当なし	6	該当なし	該当なし				1				
CAP_VDDRAM_CORE4	該当なし	6	該当なし	該当なし				1				
CAP_VDDRAM_CORE5	該当なし	6	該当なし	該当なし				1				
CAP_VDDRAM_DSPEVE1	該当なし	6	該当なし	該当なし				1				
CAP_VDDRAM_DSPEVE2	該当なし	6	該当なし	該当なし				1				
CAP_VDDRAM_GPU	該当なし	6	該当なし	該当なし				1				
CAP_VDDRAM_IVA	該当なし	6	該当なし	該当なし				1				
CAP_VDDRAM_MPU1	該当なし	6	該当なし	該当なし				1				
CAP_VDDRAM_MPU2	該当なし	6	該当なし	該当なし								

- (1) ピークツーピークのノイズ値の詳細については、個々のデバイスのデータ マニュアルの「推奨動作条件」表を参照してください。
- (2) ESL は可能な限り低くし、0.5nH を超えないようにする必要があります。
- (3) 電源供給ネットワーク (PDN) のインピーダンス特性は、デバイス固有のデータ マニュアルの「仕様」の章にある「推奨動作条件」表に基づいて、デバイスの動作 (異なる周波数で動作する) に対して定義されています。
- (4) 静的電圧降下要件により、PMIC または外部 SMPS とプロセッサ電源ボールとの間で許容される最大 PCB 抵抗が駆動されます。
- (5) 外部 SMPS (POWER IC) フィードバック検出機能がプロセッサ電源ボールの近くに配置されていると仮定します。
- (6) 高周波 (30MHz–70MHz) PCB デカップリング コンデンサ。
- (7) VRM/SMPS/PMIC からプロセッサへの最大 R_{eff} 。
- (8) デカップリング コンデンサの最大ループ インダクタンス。
- (9) デカップリング コンデンサの数と値は、ベースラインに関する推奨事項としてのみ提供しています。TI は、すべてのプロセッサ PDN 要件を満たすために、製造前にすべての PCB 設計をシミュレーションすることを推奨します。
- (10) 付け合わせレールは、各メンバー レールのすべての要件を満たす必要があります。

7.4 AM574x

Layer	Cust Thickness	Calc Thickness	Primary Stack	Description	Dk / Df
Layer - 1		0.0005 0.0017		Taiyo 4000 LD1 1/4oz Sig (Std Plt)	3.50 / 0.0019
Layer - 2		0.0033 0.0012	1080HRC	370H 1oz P/G	4.03 / 0.0210
Layer - 3		0.0060 0.0006	0.0060 (1-1652)	370H 1/2oz Sig	4.43 / 0.0200
Layer - 4		0.0044	106 1080	370H 1/2oz P/G	4.12 / 0.0210
Layer - 5		0.0006 0.0041	0.0040C (1-2116)	370H 1/2oz Sig	4.54 / 0.0190
Layer - 6		0.0044	106 1080	370H 1/2oz P/G	4.12 / 0.0210
Layer - 7		0.0006 0.0041	0.0040C (1-2116)	370H 1/2oz Sig	4.54 / 0.0190
Layer - 8		0.0044	106 1080	370H 1/2oz P/G	4.12 / 0.0210
Layer - 9		0.0006 0.0030	0.0030 (1-2113)	370H 1/2oz P/G	4.57 / 0.0190
Layer - 10		0.0006 0.0041	1080 106	370H 1/2oz Sig	4.12 / 0.0210
Layer - 11		0.0006 0.0044	0.0040C (1-2116)	370H 1/2oz P/G	4.54 / 0.0190
Layer - 12		0.0044	1080 106	370H 1/2oz Sig	4.12 / 0.0210
Layer - 13		0.0006 0.0041	0.0040C (1-2116)	370H 1/2oz P/G	4.54 / 0.0190
Layer - 14		0.0006 0.0044	1080 106	370H 1/2oz Sig	4.12 / 0.0210
Layer - 15		0.0060 0.0012	0.0060 (1-1652)	370H 1oz P/G	4.43 / 0.0200
Layer - 16		0.0033 0.0017 0.0005	1080HRC	370H 1/4oz Sig (Std Plt) Taiyo 4000 LD1	4.03 / 0.0210 3.50 / 0.0019

Requirement	Req. Thickness	Tol +	Tol -	Calc Thick
Incl. Plating & Mask	0.0800	0.0080	0.0080	0.0784
Incl. Mask over Laminate	0.0766	0.0077	0.0077	0.0750
Incl. Plating	0.0790	0.0079	0.0079	0.0774
After Lamination	0.0762	0.0038	0.0038	0.0746
















Impedance Type	Layer	Design	Actual	Plotted	Pitch	Plane	Target	Tol (ohms)	Predict
1  Surface MS	L1	0.00520	0.0052	0.00558	-	-	50	5	49.67
	-	-	-	-	-	L2			
2  EC Microstrip	L1	0.00390	0.0039	0.00428	0.0105	-	100	10	99.86
	-	0.00390	0.0039	0.00428	-	L2			
3  EC Microstrip	L1	0.00540	0.0054	0.00578	0.0120	-	87	8.7	87.08
	-	0.00540	0.0054	0.00578	-	L2			
4  Stripline	L3	0.00430	0.0043	0.0048	-	L2	50	5	50.09
	-	-	-	-	-	L4			
5  EC Stripline	L3	0.00350	0.0035	0.0040	0.0090	L2	100	10	100.69
	-	0.00350	0.0035	0.0040	-	L4			
6  Stripline	L5	0.00350	0.0035	0.0040	-	L4	50	5	50.05
	-	-	-	-	-	L6			
7  Stripline	L7	0.00350	0.0035	0.0040	-	L6	50	5	50.05
	-	-	-	-	-	L8			
8  Stripline	L10	0.00350	0.0035	0.0040	-	L9	50	5	50.05
	-	-	-	-	-	L11			
9  Stripline	L12	0.00350	0.0035	0.0040	-	L11	50	5	50.05
	-	-	-	-	-	L13			
10  EC Stripline	L12	0.00340	0.0034	0.0039	0.0120	L11	100	10	99.46
	-	0.00340	0.0034	0.0039	-	L13			
11  Stripline	L14	0.00430	0.0043	0.0048	-	L13	50	5	50.09
	-	-	-	-	-	L15			
12  EC Stripline	L14	0.00350	0.0035	0.0040	0.0090	L13	100	10	100.69
	-	0.00350	0.0035	0.0040	-	L15			
13  Surface MS	L16	0.00520	0.0052	0.00558	-	L15	50	5	49.67
	-	-	-	-	-	-			
14  EC Microstrip	L16	0.00390	0.0039	0.00428	0.0105	L15	100	10	99.86
	-	0.00390	0.0039	0.00428	-	-			
15  EC Microstrip	L16	0.00540	0.0054	0.00578	0.0120	L15	87	8.7	87.08
	-	0.00540	0.0054	0.00578	-	-			

表 7-4. AM574x PDN ターゲットとデカップリングの例

電源 名 ⁽¹⁰⁾	静的 PDN ターゲット	ダイナミック PDN ターゲット			電源ごとのデカップリング コンデンサの数 ^{(1) (2) (3) (4) (5) (9)}							
	最大 R_{eff} (mΩ) ⁽⁷⁾	Dec 容量 最大 LL (nH) ^{(6) (8)}	最大 インピーダンス (mΩ)	対象 周波数 (MHz)	100 nF	220 nF	470 nF	1 μF	2.2 μF	4.7 μF	10 μF	22 μF
VDD_MPU	18	2	57	≤ 20	2		4	5			2	
VDD_DSPEVE	22	1.6	40	≤ 30	2		4	5			2	
VDD_CORE	32	1.6	43	≤ 30			5	4			1	
VDD_GPU	22	2.1	48	≤ 30	2		4	3			1	
VDD_IVA	48	2.1	179	≤ 30	2		2	2			1	
VDDS_DDR1	18	1.5	130	≤ 100			8	1			1	
VDDS_DDR2	18	1.5	130	≤ 100			8	1			1	
CAP_VBBLDO_DSPEVE	該当なし	6	該当なし	該当なし				1				
CAP_VBBLDO_GPU	該当なし	6	該当なし	該当なし				1				
CAP_VBBDLO_IVA	該当なし	6	該当なし	該当なし				1				
CAP_VBBLDO_MPU	該当なし	6	該当なし	該当なし				1				
CAP_VDDRAM_CORE1	該当なし	6	該当なし	該当なし				1				
CAP_VDDRAM_CORE2	該当なし	6	該当なし	該当なし				1				
CAP_VDDRAM_CORE3	該当なし	6	該当なし	該当なし				1				
CAP_VDDRAM_CORE4	該当なし	6	該当なし	該当なし				1				
CAP_VDDRAM_CORE5	該当なし	6	該当なし	該当なし				1				
CAP_VDDRAM_DSPEVE1	該当なし	6	該当なし	該当なし				1				
CAP_VDDRAM_DSPEVE2	該当なし	6	該当なし	該当なし				1				
CAP_VDDRAM_GPU	該当なし	6	該当なし	該当なし				1				
CAP_VDDRAM_IVA	該当なし	6	該当なし	該当なし				1				
CAP_VDDRAM_MPU1	該当なし	6	該当なし	該当なし				1				
CAP_VDDRAM_MPU2	該当なし	6	該当なし	該当なし				1				

- (1) ピークツーピークのノイズ値の詳細については、個々のデバイスのデータ マニュアルの「推奨動作条件」表を参照してください。
- (2) ESL は可能な限り低くし、0.5nH を超えないようにする必要があります。
- (3) 電源供給ネットワーク (PDN) のインピーダンス特性は、デバイス固有のデータ マニュアルの「仕様」の章にある「推奨動作条件」表に基づいて、デバイスの動作 (異なる周波数で動作する) に対して定義されています。
- (4) 静的電圧降下要件により、PMIC または外部 SMPS とプロセッサ電源ボールとの間で許容される最大 PCB 抵抗が駆動されます。
- (5) 外部 SMPS (POWER IC) フィードバック検出機能がプロセッサ電源ボールの近くに配置されていると仮定します。
- (6) 高周波 (30MHz–70MHz) PCB デカップリング コンデンサ。
- (7) SMPS/PMIC からプロセッサへの最大 R_{eff} 。
- (8) デカップリング コンデンサの最大ループ インダクタンス。
- (9) デカップリング コンデンサの数と値は、ベースラインに関する推奨事項としてのみ提供されており、特定の PCB 設計に基づいています。TI は、すべてのプロセッサ PDN 要件を満たすために、製造前にすべての PCB 設計をシミュレーションすることを推奨します。
- (10) 付け合わせレールは、各メンバー レールのすべての要件を満たす必要があります。

7.5 AM65xx/DRA80xM

























Lay #	Thick (in)	Picture	Type Dk Df	Description	Drill Picture
0.0006/0.0013			4.5 0.019	Soldermask	
1	0.0020		F / S	0.5oz w/plating	
	0.0032		3.10 0.0059	fill	
2	0.0013		P	1oz	
	0.0040		3.34 0.0060	core	
3	0.0013		S	1oz	
	0.0035		3.42 0.0060	fill	
4	0.0013		P	1oz	
	0.0040		3.34 0.0060	core	
5	0.0013		S	1oz	
	0.0035		3.43 0.0060	fill	
6	0.0013		S	1oz	
	0.0050		3.36 0.0060	core	
7	0.0013		S	1oz	
	0.0095		3.41 0.0060	fill	
8	0.0013		S	1oz	
	0.0050		3.36 0.0060	core	
9	0.0013		P	1oz	
	0.0035		3.42 0.0060	fill	
10	0.0013		S	1oz	
	0.0040		3.34 0.0060	core	
11	0.0013		P	1oz	
	0.0035		3.42 0.0060	fill	
12	0.0013		S	1oz	
	0.0040		3.34 0.0060	core	
13	0.0013		P	1oz	
	0.0032		3.10 0.0059	fill	
14	0.0020		F / S	0.5oz w/plating	
0.0006/0.0013			4.5 0.019	Soldermask	
0.0760	Total thickness (in) Over mask on plated copper				
0.0720	After lamination thickness (in)				
0.0734	Over laminate thickness (in) (with soldermask)				
0.0754	Customer Requirement (in)				
+/-0.0075	Customer Tolerance (in)				

Notes and Recommendations:

Trace widths measured at base of trace

All dimensions in inches (unless otherwise noted)

Impedance Constraint Information (I)

Imp #	Impedance Type		Affect Lyr (1)	(2)	Cust L/W	Line Width (1)	(2)	CenterToCenter (1)	(2)	Ref Plane Top	Bot	Targ ohms	Tol ohms	Predicted ohms@2GHz
1	EC CPW MS		1	None	0.0105	0.0112	0.1	0.0155	0.06925	None	4	85	8.5	85.73
2	EC MS		1	None	0.0062	0.0062	0.0062	0.0115		None	2	80	8	79.89
3	EC MS		1	None	0.0041	0.0041	0.0041	0.0085		None	2	90	9	89.50
4	EC MS		1	None	0.0042	0.0042	0.0042	0.0116		None	2	100	10	99.65
5	Surf MS		1	None	0.0082	0.0082				None	2	40	4	41.01
6	Surf MS		1	None	0.0052	0.0052				None	2	50	5	51.29
7	EC SL		3	None	0.0043	0.0043	0.0043	0.0087		4	2	80	8	79.81
8	Stripline		3	None	0.005	0.005				4	2	40	4	40.60
9	Stripline		3	None	0.0033	0.0033				4	2	50	5	49.63
10	EC SL		5	None	0.0035	0.0035	0.0035	0.0085		6	4	90	9	88.81
11	Stripline		5	None	0.005	0.005				6	4	40	4	40.39
12	Stripline		5	None	0.0033	0.0033				6	4	50	5	49.41
13	EC SL		10	None	0.0043	0.0043	0.0043	0.0087		9	11	80	8	79.75
14	Stripline		10	None	0.005	0.005				9	11	40	4	40.56
15	Stripline		10	None	0.0033	0.0033				9	11	50	5	49.59
16	EC SL		12	None	0.0043	0.0043	0.0043	0.0087		11	13	80	8	79.88
17	EC SL		12	None	0.003	0.003	0.003	0.0109		11	13	100	10	100.52
18	Stripline		12	None	0.005	0.005				11	13	40	4	40.64
19	Stripline		12	None	0.0033	0.0033				11	13	50	5	49.68
20	EC MS		14	None	0.0062	0.0062	0.0062	0.0115		None	13	80	8	80.12
21	EC MS		14	None	0.0041	0.0041	0.0041	0.0085		None	13	90	9	89.70
22	EC MS		14	None	0.0042	0.0042	0.0042	0.0116		None	13	100	10	99.92
23	Surf MS		14	None	0.0082	0.0082				None	13	40	4	41.19
24	Surf MS		14	None	0.0052	0.0052				None	13	50	5	51.49

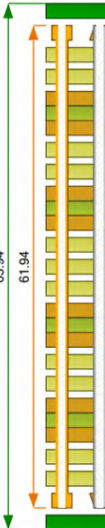
Trace widths measured at base of trace
All dimensions in inches (unless otherwise noted)

表 7-5. AM65xx/DRA80xM PDN ターゲットとデカップリングの例

電源名 ⁽¹⁾	対象周波数 (MHz)	電源ごとのデカップリング コンデンサの数 ^{(2) (3) (4)}				
		0.01μF	0.1μF	1μF	2.2μF	10μF
VDD_CORE	≤ 25		23	12		4
VDD_MPU0 VDD_MPU1	≤ 25		11	4		4
VDD_MCU	≤ 25		3	1		2
VDD_DLL_MMC0 VDD_DLL_MMC1	≤ 25		2			
VDD_WKUP0 VDD_WKUP1	≤ 25		4			
CAP_VDDAR_WKUP	該当なし			1		
CAP_VDDAR_MPU1_1	該当なし			1		
CAP_VDDAR_MPU1_0	該当なし			1		
CAP_VDDAR_MPU0_1	該当なし			1		
CAP_VDDAR_MPU0_0	該当なし			1		
CAP_VDDAR_MCU	該当なし			1		
CAP_VDDAR_CORE4	該当なし			1		
CAP_VDDAR_CORE3	該当なし			1		
CAP_VDDAR_CORE2	該当なし			1		
CAP_VDDAR_CORE1	該当なし			1		
CAP_VDDAR_CORE0	該当なし			1		
CAP_VDDSHV_SDIO CAP_VDDA_1P8_SDIO CAP_VDDA_1P8_IOLDO1 CAP_VDDA_1P8_IOLDO0	該当なし	使用事例によって異なります。 デバイス固有のデータシートを参照してください。				
CAP_VDDA_1P8_IOLDO_WKUP	該当なし				1	
CAP_VDD_WKUP	該当なし			1		

- (1) 付け合わせレールは、各メンバー レールのすべての要件を満たす必要があります。
- (2) ここに示すデカップリング コンデンサの数と値は、ベースラインに関する推奨事項としてのみ示しており、特定の PCB 設計に基づいています。TI は、すべてのプロセッサ PDN 要件を満たすために、製造前にすべての PCB 設計をシミュレーションすることを推奨します。
- (3) ピークツーピークのノイズ値の詳細については、個々のデバイスのデータ シートの「推奨動作条件」表を参照してください。
- (4) ESL は可能な限り低くし、0.5nH を超えないようにする必要があります。

7.6 AM62xx

Layer	Stack up	Description	Processed Thickness	Isolation Distance (Summed)	Copper Coverage	εr	Impedance ID	Supplier Description	Tg	
1		Taiyo PSR 4000 HFX DI-GREEN	1.000			3.500		PSR 4000		
		Copper Foil 12 microns	1.850		100.000		1, 2, 3, 4, 5, 6, 7	HI-Q Foil		
		Iteq IT180A Prepreg 106 RC71-NEW	1.779	3.558		3.790		IPC-4101E / 99/ 101/ 126	170.000	
		Iteq IT180A Prepreg 106 RC71-NEW	1.779	-		3.790		IPC-4101E / 99/ 101/ 126	170.000	
2			1.260		60.000					
		Iteq IT180A 4 mil core 1/1	4.000	4.000		4.400		IPC-4101E / 99/ 101/ 126	170.000	
3			1.260		46.000		8, 9, 10, 11, 12			
		Iteq IT180A Prepreg 2113 RC58-NEW	3.298	6.597		4.130		IPC-4101E / 99/ 101/ 126	170.000	
4			Iteq IT180A Prepreg 2113 RC58-NEW	3.298	-		4.130		IPC-4101E / 99/ 101/ 126	170.000
			1.260		60.000					
5			Iteq IT180A 5 mil core 1/1	5.000	5.000		4.210		IPC-4101E / 99/ 101/ 126	170.000
			1.260		57.000					
6			Iteq IT180A Prepreg 106 RC71-NEW	1.817	9.823		3.790		IPC-4101E / 99/ 101/ 126	170.000
			Iteq IT180A Prepreg 7628 RC43-NEW	6.190	-		4.450		IPC-4101E / 99/ 101/ 126	170.000
			Iteq IT180A Prepreg 106 RC71-NEW	1.817	-		3.790		IPC-4101E / 99/ 101/ 126	170.000
			1.260		51.000					
7			Iteq IT180A 5 mil core 1/1	5.000	5.000		4.210		IPC-4101E / 99/ 101/ 126	170.000
			1.260		61.000					
8			Iteq IT180A Prepreg 2113 RC58-NEW	3.311	6.622		4.130		IPC-4101E / 99/ 101/ 126	170.000
			Iteq IT180A Prepreg 2113 RC58-NEW	3.311	-		4.130		IPC-4101E / 99/ 101/ 126	170.000
			1.260		47.000		13, 14, 15, 16, 17			
			Iteq IT180A 4 mil core 1/1	4.000	4.000		4.400		IPC-4101E / 99/ 101/ 126	170.000
9			1.260		60.000					
			Iteq IT180A Prepreg 106 RC71-NEW	1.779	3.558		3.790		IPC-4101E / 99/ 101/ 126	170.000
10			Iteq IT180A Prepreg 106 RC71-NEW	1.779	-		3.790		IPC-4101E / 99/ 101/ 126	170.000
			Copper Foil 12 microns	1.850		100.000		18, 19, 20, 21, 22, 23	HI-Q Foil	
			Taiyo PSR 4000 HFX DI-GREEN	1.000			3.500		PSR 4000	

Impedance ID	Impedance Signal Layer	Structure Name	Ref. Plane 1 in Layer	Ref. Plane 2 in Layer	Lower Trace Width (W1)	Trace Separation (S1)	Ground Strip Separation (D1)	Target Impedance	Calculated Impedance	Tol (+/- %)
1	1	Coated Microstrip 1B	2	0	9.050	0.000	0.000	40.000	40.030	10.000
2	1	Coated Microstrip 1B	2	0	5.800	0.000	0.000	50.000	50.540	10.000
3	1	Edge Coupled Coated Microstrip 1B	2	0	4.250	7.150	0.000	100.000	101.270	10.000
4	1	Edge Coupled Coated Microstrip 1B	2	0	4.200	4.400	0.000	90.000	91.560	10.000
5	1	Edge Coupled Coated Microstrip 1B	2	0	6.020	4.800	0.000	80.000	81.230	10.000
6	1	Edge Coupled Coated Microstrip 2B	3	0	4.100	5.750	0.000	120.000	118.350	10.000
7	1	Coated Coplanar Strips With Lower Ground 2B	3	0	16.000	0.000	14.000	50.000	49.090	10.000
8	3	Offset Stripline 1B1A	2	4	5.800	0.000	0.000	40.000	39.930	10.000
9	3	Edge Coupled Offset Stripline 1B1A	2	4	3.200	7.500	0.000	100.000	98.350	10.000
10	3	Edge Coupled Offset Stripline 1B1A	2	4	3.700	6.000	0.000	90.000	89.870	10.000
11	3	Edge Coupled Offset Stripline 1B1A	2	4	4.200	4.300	0.000	80.000	80.240	10.000
12	3	Offset Stripline 1B1A	2	4	3.600	0.000	0.000	50.000	49.920	10.000
13	8	Offset Stripline 1B1A	7	9	5.800	0.000	0.000	40.000	39.930	10.000
14	8	Edge Coupled Offset Stripline 1B1A	7	9	3.200	7.500	0.000	100.000	98.350	10.000
15	8	Edge Coupled Offset Stripline 1B1A	7	9	3.700	6.000	0.000	90.000	89.870	10.000
16	8	Edge Coupled Offset Stripline 1B1A	7	9	4.200	4.300	0.000	80.000	80.240	10.000
17	8	Offset Stripline 1B1A	7	9	3.600	0.000	0.000	50.000	49.920	10.000
18	10	Coated Microstrip 1B	9	0	9.050	0.000	0.000	40.000	40.030	10.000
19	10	Coated Microstrip 1B	9	0	5.800	0.000	0.000	50.000	50.540	10.000
20	10	Edge Coupled Coated Microstrip 1B	9	0	4.250	7.150	0.000	100.000	101.270	10.000
21	10	Edge Coupled Coated Microstrip 1B	9	0	4.200	4.400	0.000	90.000	91.560	10.000
22	10	Edge Coupled Coated Microstrip 1B	9	0	6.020	4.800	0.000	80.000	81.230	10.000
23	10	Edge Coupled Coated Microstrip 2B	8	0	4.100	5.750	0.000	120.000	118.350	10.000

表 7-6. AM62xx PDN ターゲットとデカップリングの例

電源名 (10) (11)	静的 PDN ターゲット	ダイナミック PDN ターゲット			電源あたりのデカップリング コンデンサの数 (1) (2) (3) (4) (5) (6) (9)			
	最大 R _{eff} (mΩ) (7)	対象周波数 (MHz)	デカップリ ングコンデ ンサ最大 LL (nH) (6) (8)	Z _{TARGET} (mΩ)	0.1μF	1μF	4.7μF	10μF
VDD_CORE	23	≤ 1	1.5	23	17	1	1	1
		1-20		31				
		20-50		35				
VDDS_DDR	詳細については、『AM62x DDR 基板の設計およびレイアウトのガイドライン』を参照してください。							

- ピークツーピークのノイズ値の詳細については、個々のデバイスのデータ マニュアルの「推奨動作条件」表を参照してください。
- コンデンサパッドから SoC BGA へのループ ESL (固有デカップリング ESL を除く) は、可能な限り低くし、1.5nH を超えないようにする必要があります。
- 電源供給ネットワーク (PDN) のインピーダンス特性は、デバイス固有のプロセッサ データ マニュアルの「仕様」の章にある「推奨動作条件」表に基づいて、デバイス アクティビティ (異なる周波数で動作する) に対して定義されています。
- 静的電圧降下要件により、PMIC または外部 SMPS とプロセッサ電源ボールとの間で許容される最大 PCB 抵抗が駆動されます。
- これは、外部 SMPS (Power IC) フィードバック センスがプロセッサ電源ボールのすぐ近くに配置されていると想定しています。
- 高周波 (30Mhz ~ 70MHz) PCB デカップリング コンデンサ。
- VRM/SMPS/PMIC からプロセッサへの最大 R_{eff}。
- プロセッサ BGA の下に配置した場合のデカップリング コンデンサの最大ループ インダクタンス。
- ここに示すデカップリング コンデンサの数と値は、ベースラインに関する推奨事項としてのみ示しており、特定の PCB 設計に基づいています。TI は、すべてのプロセッサ PDN 要件を満たすために、製造前にすべての PCB 設計をシミュレーションすることを推奨します。
- 付け合わせレールは、各メンバー レールのすべての要件を満たす必要があります。
- 低負荷過渡のため、この表に記載されていないレールは TI ではシミュレーションされていません。詳細については、これらのレールの実装例については、デバイス固有の EVM レイアウトを参照してください。

7.7 AM64xx

Layer	Stack up	Description	Type	Processed Thickness	Isolation Distance (Summed)	Copper Coverage	εr	Impedance ID
1		Taiyo PSR 4000BN GREEN	SolderMask	2.000			3.900	
		Copper Foil 12 microns	Copper	1.850		100.000		1, 2, 3, 4, 5, 6
		Iteq IT180A Prepreg 106 RC71.5	Dielectric	1.848	3.696		3.790	
		Iteq IT180A Prepreg 106 RC71.5	Dielectric	1.848	-		3.790	
2		Iteq IT180A 4 mil core 1/1	FR4	1.260		60.000		
		Iteq IT180A 4 mil core 1/1	FR4	4.000	4.000		4.400	
		Iteq IT180A 4 mil core 1/1	FR4	1.260		30.000		7, 8, 9, 10, 11
		Iteq IT180A 4 mil core 1/1	FR4	1.260		60.000		
3		Iteq IT180A Prepreg 2113 RC58	Dielectric	3.322	6.644		4.130	
		Iteq IT180A Prepreg 2113 RC58	Dielectric	3.322	-		4.130	
		Iteq IT180A Prepreg 2113 RC58	Dielectric	3.322		60.000		
		Iteq IT180A Prepreg 2113 RC58	Dielectric	3.322		60.000		
4		Iteq IT180A 5 mil core 1/1	FR4	5.000	5.000		4.210	
		Iteq IT180A 5 mil core 1/1	FR4	1.260		60.000		
		Iteq IT180A 5 mil core 1/1	FR4	1.260		60.000		
		Iteq IT180A 5 mil core 1/1	FR4	1.260		60.000		
5		Iteq IT180A Prepreg 2113 RC58	Dielectric	3.586	9.047		4.130	
		Iteq IT180A Prepreg 2113 RC58	Dielectric	3.586	-		4.130	
		Iteq IT180A Prepreg 2113 RC58	Dielectric	3.586		60.000		
		Iteq IT180A Prepreg 2113 RC58	Dielectric	3.586		60.000		
6		Iteq IT180A 5 mil core 1/1	FR4	5.000	5.000		4.210	
		Iteq IT180A 5 mil core 1/1	FR4	1.260		54.000		
		Iteq IT180A 5 mil core 1/1	FR4	1.260		56.000		
		Iteq IT180A 5 mil core 1/1	FR4	1.260		56.000		
7		Iteq IT180A Prepreg 2113 RC58	Dielectric	3.297	6.594		4.130	
		Iteq IT180A Prepreg 2113 RC58	Dielectric	3.297	-		4.130	
		Iteq IT180A Prepreg 2113 RC58	Dielectric	3.297		60.000		
		Iteq IT180A Prepreg 2113 RC58	Dielectric	3.297		60.000		
8		Iteq IT180A 4 mil core 1/1	FR4	4.000	4.000		4.400	
		Iteq IT180A 4 mil core 1/1	FR4	1.260		30.000		12, 13, 14, 15, 16
		Iteq IT180A 4 mil core 1/1	FR4	1.260		60.000		
		Iteq IT180A 4 mil core 1/1	FR4	1.260		60.000		
9		Iteq IT180A Prepreg 106 RC71.5	Dielectric	1.848	3.696		3.790	
		Iteq IT180A Prepreg 106 RC71.5	Dielectric	1.848	-		3.790	
		Iteq IT180A Prepreg 106 RC71.5	Dielectric	1.848		100.000		
		Iteq IT180A Prepreg 106 RC71.5	Dielectric	1.848		100.000		
10		Copper Foil 12 microns	Copper	1.850		100.000		17, 18, 19, 20, 21, 22
		Taiyo PSR 4000BN GREEN	SolderMask	2.000			3.900	
		Taiyo PSR 4000BN GREEN	SolderMask	2.000			3.900	
		Taiyo PSR 4000BN GREEN	SolderMask	2.000			3.900	

Copper Thickness = 13.779 | Dielectric Thickness = 47.677 | Solder Mask Thickness = 4.000 | Stack Up Thickness = 61.456 | Stack Up Thickness with Soldermask = 65.456

Impedance ID	Impedance Signal Layer	Structure Name	Ref. Plane 1 in Layer	Ref. Plane 2 in Layer	Lower Trace Width (W1)	Trace Separation (S1)	Ground Strip Separation (D1)	Calculated Impedance	Target Impedance	Tol (+/- %)
1	1	Coated Microstrip 1B	2	0	5.800	0.000	0.000	50.040	50.000	10.000
2	1	Coated Microstrip 1B	2	0	9.050	0.000	0.000	40.010	40.000	10.000
3	1	Edge Coupled Coated Microstrip 1B	2	0	4.200	4.400	0.000	89.900	90.000	10.000
4	1	Edge Coupled Coated Microstrip 1B	2	0	4.250	7.150	0.000	100.000	100.000	10.000
5	1	Edge Coupled Coated Microstrip 1B	2	0	6.020	4.800	0.000	80.140	80.000	10.000
6	1	Edge Coupled Coated Microstrip 1B	4	0	4.100	5.750	0.000	119.080	120.000	10.000
7	3	Edge Coupled Offset Stripline 1B1A	2	4	3.700	6.000	0.000	89.920	90.000	10.000
8	3	Offset Stripline 1B1A	2	4	3.600	0.000	0.000	49.980	50.000	10.000
9	3	Edge Coupled Offset Stripline 1B1A	2	4	4.200	4.300	0.000	80.280	80.000	10.000
10	3	Edge Coupled Offset Stripline 1B1A	2	4	3.200	7.500	0.000	98.410	100.000	10.000
11	3	Offset Stripline 1B1A	2	4	5.800	0.000	0.000	39.980	40.000	10.000
12	8	Edge Coupled Offset Stripline 1B1A	7	9	3.700	6.000	0.000	89.920	90.000	10.000
13	8	Offset Stripline 1B1A	7	9	3.600	0.000	0.000	49.980	50.000	10.000
14	8	Edge Coupled Offset Stripline 1B1A	7	9	4.200	4.300	0.000	80.280	80.000	10.000
15	8	Edge Coupled Offset Stripline 1B1A	7	9	3.200	7.500	0.000	98.410	100.000	10.000
16	8	Offset Stripline 1B1A	7	9	5.800	0.000	0.000	39.980	40.000	10.000
17	10	Edge Coupled Coated Microstrip 1B	9	0	4.200	4.400	0.000	89.900	90.000	10.000
18	10	Coated Microstrip 1B	9	0	5.800	0.000	0.000	50.040	50.000	10.000
19	10	Coated Microstrip 1B	9	0	9.050	0.000	0.000	40.010	40.000	10.000
20	10	Edge Coupled Coated Microstrip 1B	7	0	4.100	5.750	0.000	119.080	120.000	10.000
21	10	Edge Coupled Coated Microstrip 1B	9	0	4.250	7.150	0.000	100.000	100.000	10.000
22	10	Edge Coupled Coated Microstrip 1B	9	0	6.020	4.800	0.000	80.140	80.000	10.000




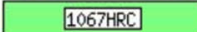


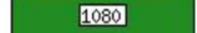


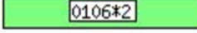


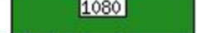


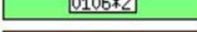


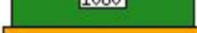

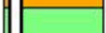
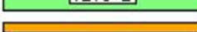



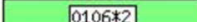


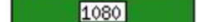


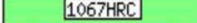





表 7-7. AM64xx PDN ターゲットとデカップリングの例

電源名 (10) (11)	静的 PDN ターゲット	ダイナミック PDN ターゲット			電源あたりのデカップリング コンデンサの数 (1) (2) (3) (4) (5) (6) (9)			
	最大 R _{eff} (mΩ) (7)	対象周波数 (MHz)	デカップリ ングコンデ ンサ最大 LL (nH) (6) (8)	Z _{TARGET} (mΩ)	0.1μF	1μF	4.7μF	10μF
VDD_CORE	23	≤ 1	1.5	10	11	1	1	1
		1-20		34				
		20-50		35				
VDDS_DDR	詳細については、『AM64x/AM243x DDR 基板の設計およびレイアウトのガイドライン』を参照してください。							

- ピークツーピークのノイズ値の詳細については、個々のデバイスのデータ マニュアルの「推奨動作条件」表を参照してください。
- コンデンサパッドから SoC BGA へのループ ESL (固有デカップリング ESL を除く) は、可能な限り低くし、1.5nH を超えないようにする必要があります。
- 電源供給ネットワーク (PDN) のインピーダンス特性は、デバイス固有のプロセッサ データ マニュアルの「仕様」の章にある「推奨動作条件」表に基づいて、デバイス アクティビティ (異なる周波数で動作する) に対して定義されています。
- 静的電圧降下要件により、PMIC または外部 SMPS とプロセッサ電源ボールとの間で許容される最大 PCB 抵抗が駆動されます。
- これは、外部 SMPS (Power IC) フィードバック センスがプロセッサ電源ボールのすぐ近くに配置されていると想定しています。
- 高周波 (30Mhz ~ 70MHz) PCB デカップリング コンデンサ。
- VRM/SMPS/PMIC からプロセッサへの最大 R_{eff} 。
- プロセッサ BGA の下に配置した場合のデカップリング コンデンサの最大ループ インダクタンス。
- ここに示すデカップリング コンデンサの数と値は、ベースラインに関する推奨事項としてのみ示しており、特定の PCB 設計に基づいています。TI は、すべてのプロセッサ PDN 要件を満たすために、製造前にすべての PCB 設計をシミュレーションすることを推奨します。

10. 付け合わせレールは、各メンバー レールのすべての要件を満たす必要があります。
11. 低負荷過渡のため、この表に記載されていないレールは TI ではシミュレーションされていません。詳細については、これらのレールの実装例については、デバイス固有の EVM レイアウトを参照してください。


























7.8 AM62Ax

Lay #	Thick (in)	Picture	Type Dk Df	Description	Drill Picture
0.0006/0.0013			4.5 0.019	Soldermask	
1	0.0020		F/S/LPHE	0.5oz w/plating	
	0.0030		2.91 0.0058	fill	
2	0.0006		P/RTF5P	0.5oz	
	0.0030		3.14 0.0059	core	
3	0.0006		M/RTF5P	0.5oz	
	0.0044		2.93 0.0058	fill	
4	0.0006		P/RTF5P	0.5oz	
	0.0030		3.14 0.0059	core	
5	0.0006		M/RTF5P	0.5oz	
	0.0044		2.93 0.0058	fill	
6	0.0006		P/RTF5P	0.5oz	
	0.0030		3.14 0.0059	core	
7	0.0006		P/RTF5P	0.5oz	
	0.0045		2.92 0.0058	fill	
8	0.0006		P/RTF5P	0.5oz	
	0.0030		3.14 0.0059	core	
9	0.0006		P/RTF5P	0.5oz	
	0.0044		2.93 0.0058	fill	
10	0.0006		M/RTF5P	0.5oz	
	0.0030		3.14 0.0059	core	
11	0.0006		P/RTF5P	0.5oz	
	0.0030		2.91 0.0058	fill	
12	0.0020		F/S/LPHE	0.5oz w/plating	
0.0006/0.0013			4.5 0.019	Soldermask	
0.0486	Total thickness (in) Over plated copper				
0.0458	After lamination thickness (in)				
0.0472	Over laminate thickness (in) (with soldermask)				
0.0490	Customer Requirement (in)				
+/-0.0049	Customer Tolerance (in)				

Notes and Recommendations:

1. Assume copper usage: 75% for GND layer, 60% for Mix layer.
2. In order to meet impedance, suggest to use 3mil core instead of 4mil core, L1-2&L12-11 Pre-preg is about 2.95mil(1x 1067 PP)
The final board thickness is 49mil exclude solder mask.
3. Suggest to relax tolerance to +/-5ohm for 400HM impedance.
4. Suggest to relax tolerance to +/-5ohm for 330HM impedance.
5. For "L10 33E single ended(6.3mils for 33E SE)"
--> We need adjust 6.3mil to 8mil to meet 33ohm+/-5ohm.
6. For "L10 66E differential(5.5mil/6.3mil for 66E differential)"
--> We need adjust 5.5mil/6.3mil to 7.4mil/4.4mil to meet 66ohm+/-10%.
7. For "L3 66E single ended(3 mils for 66E SE)"
--> 3mil line can not be adjusted to more thin.
the impedance value only meet 57ohm.
8. For "L3 133E differential(3mils/6.5mil for 133E differential)"
--> 3mil line can not be adjusted to more thin.
the impedance value only meet 110ohm.

Impedance Constraint Information (I)

Imp #	Impedance Type		Affect Lyr		Cust L/W	Line Width		Spacing		Ref Plane		Targ ohms	Tol ohms	Predicted ohms@2GHz
			(1)	(2)		(1)	(2)	(1)	(2)	Top	Bot			
1	EC MS		1	None	0.004	0.004	0.004	0.0043		None	2	90	9	89.38
2	EC MS		1	None	0.0035	0.0035	0.0035	0.0055		None	2	100	10	99.52
3	Surf MS		1	None	0.0055	0.0055				None	2	50	5	49.28
4	EC SL		3	None	0.005	0.005	0.005	0.004		4	2	80	8	81.17
5	EC SL		3	None	0.004	0.004	0.004	0.004		4	2	90	9	90.86
6	EC SL		3	None	0.0035	0.0035	0.0035	0.005		4	2	100	10	99.70
7	EC SL		3	None	0.003	0.003	0.003	0.0065		4	2	133	13.3	109.88
8	Stripline		3	None	0.0055	0.0058				4	2	40	5	40.04
9	Stripline		3	None	0.004	0.004				4	2	50	5	49.33
10	Stripline		3	None	0.003	0.003				4	2	66	6.6	56.75
11	EC SL		5	None	0.005	0.005	0.005	0.004		6	4	80	8	81.17
12	EC SL		5	None	0.004	0.004	0.004	0.004		6	4	90	9	90.86
13	EC SL		5	None	0.0035	0.0035	0.0035	0.005		6	4	100	10	99.70
14	Stripline		5	None	0.0055	0.0058				6	4	40	5	40.04
15	Stripline		5	None	0.004	0.004				6	4	50	5	49.33
16	EC SL		10	None	0.0055	0.0074	0.0074	0.0044		9	11	66	6.6	65.37
17	EC SL		10	None	0.005	0.005	0.005	0.004		9	11	80	8	81.17
18	EC SL		10	None	0.004	0.004	0.004	0.004		9	11	90	9	90.86
19	EC SL		10	None	0.0035	0.0035	0.0035	0.005		9	11	100	10	99.70
20	Stripline		10	None	0.0063	0.008				9	11	33	5	32.59
21	Stripline		10	None	0.0055	0.0058				9	11	40	5	40.04
22	Stripline		10	None	0.004	0.004				9	11	50	5	49.33
23	EC MS		12	None	0.004	0.004	0.004	0.0043		None	11	90	9	89.38
24	EC MS		12	None	0.0035	0.0035	0.0035	0.0055		None	11	100	10	99.52
25	Surf MS		12	None	0.0055	0.0055				None	11	50	5	49.28

Trace widths measured at base of trace
All dimensions in inches (unless otherwise noted)

表 7-8. AM62Ax PDN ターゲットとデカップリングの例

電源名 (10) (11)	静的 PDN ターゲット	ダイナミック PDN ターゲット			電源あたりのデカップリング コンデンサの 数 (1) (2)(3) (4) (5) (6) (9)		
	最大 R_{eff} (mΩ) (7)	対象周波数 (MHz)	デカップリン グコンデン サ最大 LL (nH) (6) (8)	Z_{TARGET} (mΩ)	0.1μF	1μF	2.2μF
VDD_CORE	6.8	≤ 1	1.5	6	4	9	1
		1-20		11			
		20-50		22			
VDDS_DDR	詳細については、『AM62Ax DDR 基板の設計およびレイアウトのガイドライン』を参照してください。						

- ピークツーピークのノイズ値の詳細については、個々のデバイスのデータ マニュアルの「推奨動作条件」表を参照してください。
- コンデンサパッドから SoC BGA へのループ ESL (固有デカップリング ESL を除く) は、可能な限り低くし、1.5nH を超えないようにする必要があります。
- 電源供給ネットワーク (PDN) のインピーダンス特性は、デバイス固有のプロセッサ データ マニュアルの「仕様」の章にある「推奨動作条件」表に基づいて、デバイス アクティビティ (異なる周波数で動作する) に対して定義されています。
- 静的電圧降下要件により、PMIC または外部 SMPS とプロセッサ電源ボールとの間で許容される最大 PCB 抵抗が駆動されます。
- これは、外部 SMPS (Power IC) フィードバック センスがプロセッサ電源ボールのすぐ近くに配置されていると想定しています。
- 高周波 (30MHz ~ 70MHz) PCB デカップリング コンデンサ。
- VRM/SMPS/PMIC からプロセッサへの最大 R_{eff} 。
- プロセッサ BGA の下に配置した場合のデカップリング コンデンサの最大ループ インダクタンス。
- ここに示すデカップリング コンデンサの数と値は、ベースラインに関する推奨事項としてのみ示しており、特定の PCB 設計に基づいています。TI は、すべてのプロセッサ PDN 要件を満たすために、製造前にすべての PCB 設計をシミュレーションすることを推奨します。
- 付け合わせルールは、各メンバー ルールのすべての要件を満たす必要があります。
- 低負荷過渡のため、この表に記載されていないルールは TI ではシミュレーションされていません。詳細については、これらのルールの実装例については、デバイス固有の EVM レイアウトを参照してください。

7.9 AM62Px

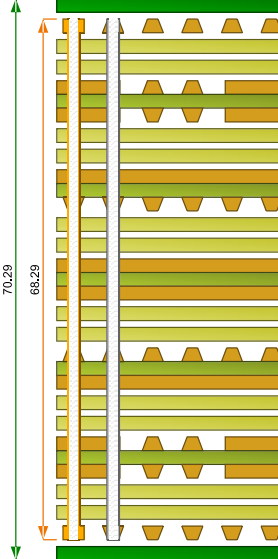
Layer	Stack up	Description	Processed Thickness	Isolation Distance (Summed)	Copper Coverage	εr	Loss Tangent	Impedance ID		
1		Taiyo PSR 4000 HFX D1-GREEN	1,000			3,500	0,0270			
		Copper Foil 12 microns	1,850		100,000			1, 2, 3, 4, 5, 6, 7, 8		
Iteq IT180A Prepreg 106 RC71-NEW		1,779	3,558		3,790	0,0150				
Iteq IT180A Prepreg 106 RC71-NEW		1,779	-		3,790	0,0150				
2			1,260		60,000					
		Iteq IT180A 4 mil core 1/1	4,000	4,000		4,400	0,0150		9, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19	
3			1,260		50,000					
		Iteq IT180A Prepreg 1080 RC65-NEW	2,471	5,718		3,860	0,0160			
4			3,247	-		4,130	0,0160			
		Iteq IT180A 5 mil core 1/1	1,260		60,000					
5			5,000	5,000		4,210	0,0150		20, 21, 22, 23, 24, 25, 26, 27	
			1,260		60,000					
6			2,526	5,844		3,860	0,0160			
		Iteq IT180A Prepreg 2113 RC58-NEW	3,318	-		4,130	0,0160			
7			1,260		60,000					
		Iteq IT180A 4 mil core 1/1	4,000	4,000		4,400	0,0150			
8			1,260		60,000					
		Iteq IT180A Prepreg 2113 RC58-NEW	3,318	5,844		4,130	0,0160			
9			2,526	-		3,860	0,0160			
		Iteq IT180A 5 mil core 1/1	1,260		60,000				28, 29, 30, 31, 32, 33, 34, 35	
10			5,000	5,000		4,210	0,0150			
			1,260		60,000					
11			Iteq IT180A Prepreg 2113 RC58-NEW	3,104	5,466		4,130	0,0160		
		Iteq IT180A Prepreg 1080 RC65-NEW	2,362	-		3,860	0,0160			
12		Iteq IT180A 4 mil core 1/1	1,260		30,000				36, 37, 38, 39, 40, 41, 42, 43, 44, 45, 46	
		4,000	4,000		4,400	0,0150				
			1,260		60,000					
	Iteq IT180A Prepreg 106 RC71-NEW	1,779	3,558		3,790	0,0150				
		Iteq IT180A Prepreg 106 RC71-NEW	1,779	-		3,790	0,0150			
	Copper Foil 12 microns	1,850		100,000			47, 48, 49, 50, 51, 52, 53, 54			
		Taiyo PSR 4000 HFX D1-GREEN	1,000			3,500	0,0270			
Copper Thickness = 16.299 Dielectric Thickness = 51.988 Solder Mask Thickness = 2.000 Stack Up Thickness = 68.287 Stack Up Thickness with Soldermask = 70.287										

図 7-1. AM62P PCB のスタックアップ

Impedance ID	Impedance Signal Layer	Structure Name	Ref. Plane 1 Layer	Ref. Plane 2 Layer	Lower Trace Width (W1)	Trace Separation (S1)	Ground Strip Separation (D1)	Calculated Impedance	Calculated Target Impedance	Calculated Target (%)
1	1	Coated Microstrip 1B	2	0	5,900	0,000	0,000	50,130	50,000	10,000
2	1	Edge Coupled Coated Microstrip 1B	2	0	4,100	6,200	0,000	99,940	100,000	10,000
3	1	Edge Coupled Coated Microstrip 2B	3	0	4,000	5,500	0,000	119,710	120,000	10,000
4	1	Coated Microstrip 1B	2	0	12,500	0,000	0,000	32,930	33,000	10,000
5	1	Coated Microstrip 1B	2	0	9,000	0,000	0,000	40,160	40,000	10,000
6	1	Edge Coupled Coated Microstrip 1B	2	0	9,100	4,500	0,000	66,170	66,000	10,000
7	1	Edge Coupled Coated Microstrip 2B	3	0	4,000	7,800	0,000	133,220	133,000	10,000
8	1	Edge Coupled Coated Microstrip 1B	2	0	6,000	4,500	0,000	80,200	80,000	10,000
9	3	Offset Stripline 1B2A	2	4	8,000	0,000	0,000	32,610	33,000	10,000
10	3	Offset Stripline 1B2A	2	4	3,500	0,000	0,000	49,870	50,000	10,000
11	3	Edge Coupled Offset Stripline 1B2A	2	4	4,300	4,500	0,000	80,400	80,000	10,000
12	3	Edge Coupled Offset Stripline 1B2A	2	4	3,200	8,000	0,000	99,070	100,000	10,000
13	3	Edge Coupled Offset Stripline 1B2A	2	4	6,600	4,500	0,000	65,900	66,000	10,000
14	3	Edge Coupled Offset Stripline 1B2A	2	4	3,700	4,500	0,000	85,450	85,000	10,000
15	3	Edge Coupled Offset Stripline 1B2A	2	4	3,600	5,800	0,000	90,450	90,000	10,000
16	3	Offset Stripline 1B2A	2	4	5,700	0,000	0,000	39,530	40,000	10,000
17	3	Offset Stripline 1B2A	2	4	3,000	0,000	0,000	53,120	66,000	10,000
18	3	Edge Coupled Offset Stripline 1B2A	2	4	3,000	16,000	0,000	105,990	133,000	10,000
19	3	Edge Coupled Offset Stripline 1B2A	2	4	6,600	4,500	0,000	65,900	66,000	10,000
20	5	Offset Stripline 1B2A	4	6	4,250	0,000	0,000	49,850	50,000	10,000
21	5	Offset Stripline 1B2A	4	6	9,150	0,000	0,000	33,350	33,000	10,000
22	5	Edge Coupled Offset Stripline 1B2A	4	6	3,500	6,300	0,000	98,360	100,000	10,000
23	5	Edge Coupled Offset Stripline 1B2A	4	6	8,300	6,166	0,000	66,030	66,000	10,000
24	5	Offset Stripline 1B2A	4	6	6,600	0,000	0,000	40,230	40,000	10,000
25	5	Edge Coupled Offset Stripline 1B2A	4	6	4,500	4,500	0,000	83,590	85,000	10,000
26	5	Edge Coupled Offset Stripline 1B2A	4	6	5,200	4,500	0,000	78,770	80,000	10,000
27	5	Edge Coupled Offset Stripline 1B2A	4	6	4,000	4,700	0,000	88,320	90,000	10,000
28	8	Edge Coupled Offset Stripline 1B2A	7	9	3,500	6,300	0,000	98,360	100,000	10,000
29	8	Offset Stripline 1B2A	7	9	4,250	0,000	0,000	49,850	50,000	10,000
30	8	Offset Stripline 1B2A	7	9	9,150	0,000	0,000	33,350	33,000	10,000
31	8	Edge Coupled Offset Stripline 1B2A	7	9	4,500	4,500	0,000	83,590	85,000	10,000
32	8	Edge Coupled Offset Stripline 1B2A	7	9	8,300	6,166	0,000	66,030	66,000	10,000
33	8	Offset Stripline 1B2A	7	9	6,600	0,000	0,000	40,230	40,000	10,000
34	8	Edge Coupled Offset Stripline 1B2A	7	9	4,000	4,700	0,000	88,320	90,000	10,000
35	8	Edge Coupled Offset Stripline 1B2A	7	9	5,200	4,500	0,000	78,770	80,000	10,000
36	10	Offset Stripline 1B2A	9	11	3,500	0,000	0,000	49,870	50,000	10,000
37	10	Edge Coupled Offset Stripline 1B2A	9	11	6,600	4,500	0,000	65,900	66,000	10,000
38	10	Edge Coupled Offset Stripline 1B2A	9	11	4,300	4,500	0,000	80,400	80,000	10,000
39	10	Offset Stripline 1B2A	9	11	8,000	0,000	0,000	32,610	33,000	10,000
40	10	Offset Stripline 1B2A	9	11	5,700	0,000	0,000	39,530	40,000	10,000
41	10	Edge Coupled Offset Stripline 1B2A	9	11	3,700	4,500	0,000	85,450	85,000	10,000
42	10	Edge Coupled Offset Stripline 1B2A	9	11	3,200	8,000	0,000	99,070	100,000	10,000
43	10	Edge Coupled Offset Stripline 1B2A	9	11	6,600	4,500	0,000	65,900	66,000	10,000
44	10	Offset Stripline 1B2A	9	11	3,000	0,000	0,000	53,120	66,000	10,000
45	10	Edge Coupled Offset Stripline 1B2A	9	11	3,600	5,800	0,000	90,450	90,000	10,000
46	10	Edge Coupled Offset Stripline 1B2A	9	11	3,000	16,000	0,000	105,990	133,000	10,000
47	12	Edge Coupled Coated Microstrip 1B	11	0	4,100	6,200	0,000	99,940	100,000	10,000
48	12	Coated Microstrip 1B	11	0	5,900	0,000	0,000	50,130	50,000	10,000
49	12	Coated Microstrip 1B	11	0	12,500	0,000	0,000	32,930	33,000	10,000
50	12	Coated Microstrip 1B	11	0	9,000	0,000	0,000	40,160	40,000	10,000
51	12	Edge Coupled Coated Microstrip 2B	10	0	4,000	5,500	0,000	119,710	120,000	10,000
52	12	Edge Coupled Coated Microstrip 2B	10	0	4,000	7,800	0,000	133,220	133,000	10,000
53	12	Edge Coupled Coated Microstrip 1B	11	0	6,000	4,500	0,000	80,200	80,000	10,000
54	12	Edge Coupled Coated Microstrip 1B	11	0	9,100	4,500	0,000	66,170	66,000	10,000

図 7-2. AM62P PCB のインピーダンス

表 7-9. AM62Px PDN ターゲットとデカップリングの例

電源名 (10)(11)	静的 PDN ターゲット	ダイナミック PDN ターゲット			電源ごとのデカップリング コンデンサの数 (1) (2) (3) (4) (5) (6) (9)			
	最大 R _{eff} (mΩ) (7)	対象周波数 (MHz)	デカップリ ングコンデ ンサ最大 LL (nH) (6)(8)	Z _{TARGET} (mΩ)	0.1μF	1μF	2.2μF	10μF
VDD_CORE	3	≤ 1	1.5	12	5	16	1	2
		1-20		20				
		20-50		40				
VDDS_DDR	詳細については、『AM62Px DDR 基板の設計およびレイアウトのガイドライン』を参照してください。							

- ピークツーピークのノイズ値の詳細については、個々のデバイスのデータ マニュアルの「推奨動作条件」表を参照してください。
- コンデンサパッドから SoC BGA へのループ ESL (固有デカップリング ESL を除く) は、可能な限り低くし、1.5nH を超えないようにする必要があります。
- 電源供給ネットワーク (PDN) のインピーダンス特性は、デバイス固有のプロセッサ データ マニュアルの「仕様」の章にある「推奨動作条件」表に基づいて、デバイス アクティビティ (異なる周波数で動作する) に対して定義されています。
- 静的電圧降下要件により、PMIC または外部 SMPS とプロセッサ電源ボールとの間で許容される最大 PCB 抵抗が駆動されます。
- これは、外部 SMPS (Power IC) フィードバック センスがプロセッサ電源ボールのすぐ近くに配置されていると想定しています。
- 高周波 (30MHz ~ 70MHz) PCB デカップリング コンデンサ。
- VRM/SMPS/PMIC からプロセッサへの最大 R_{eff} 。
- プロセッサ BGA の下に配置した場合のデカップリング コンデンサの最大ループ インダクタンス。
- ここに示すデカップリング コンデンサの数と値は、ベースラインに関する推奨事項としてのみ示しており、特定の PCB 設計に基づいています。TI は、すべてのプロセッサ PDN 要件を満たすために、製造前にすべての PCB 設計をシミュレーションすることを推奨します。
- 付け合わせレールは、各メンバー レールのすべての要件を満たす必要があります。
- 低負荷過渡のため、この表に記載されていないレールは TI ではシミュレーションされていません。詳細については、これらのレールの実装例については、デバイス固有の EVM レイアウトを参照してください。

7.10 AM62Lx

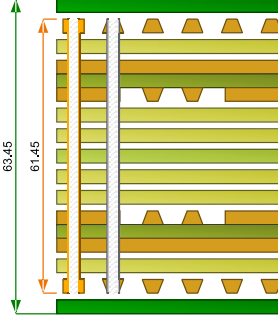
Layer	Stack up	Description	Processed Thickness	Isolation Distance (Summed)	Copper Coverage	εr	Loss Tangent	Impedance ID		
1		Taiyo PSR 4000 HFX DI-GREEN	1,000			3,500	0,0270			
		Copper Foil 12 microns	1,850		100,000			1, 2, 3, 4, 5, 6, 7		
		Iteq IT180A Prepreg 2113 RC58-NEW	3,387	3,387		4,130	0,0150			
2		Iteq IT180A 3 mil core 1/1	1,260		60,000					
3		Iteq IT180A Prepreg 1080 RC65-NEW	3,000	3,000		3,930	0,0150			
		Iteq IT180A Prepreg 2113 RC58-NEW	1,260		30,000			8, 9, 10, 11, 12		
4		Iteq IT180A Prepreg 1080 RC65-NEW	2,580	39,940		3,860	0,0150			
		Iteq IT180A Prepreg 2113 RC58-NEW	3,390	-		4,130	0,0150			
		Iteq IT180A 28 mil core H/H	28,000	-		4,530	0,0150			
		Iteq IT180A Prepreg 2113 RC58-NEW	3,390	-		4,130	0,0150			
		Iteq IT180A Prepreg 1080 RC65-NEW	2,580	-		3,860	0,0150			
5		Iteq IT180A 3 mil core 1/1	1,260		30,000					
		Iteq IT180A 3 mil core 1/1	3,000	3,000		3,930	0,0150			
		Iteq IT180A Prepreg 2113 RC58-NEW	1,260		60,000					
6		Iteq IT180A Prepreg 2113 RC58-NEW	3,387	3,387		4,130	0,0150			
		Copper Foil 12 microns	1,850		100,000			13, 14, 15, 16, 17, 18, 19		
		Taiyo PSR 4000 HFX DI-GREEN	1,000			3,500	0,0270			
Copper Thickness = 8.740 Dielectric Thickness = 52.713 Solder Mask Thickness = 2.000 Stack Up Thickness = 61.453 Stack Up Thickness with Soldermask = 63.453										

図 7-3. AM62L PCB のスタックアップ

Impedance ID	Impedance Signal Layer	Structure Name	Ref. Plane 1 Layer	Ref. Plane 2 Layer	Lower Trace Width (W1)	Lower Trace Width (W1)	Trace Separation (S1)	Ground Strip Separation (D1)	Calculated Impedance	Calculated Target Impedance	Tol (+/- %)
1	1	Coated Microstrip 1B	2	0	8.000	7.000	0.000	0.000	40.160	40.000	10.000
2	1	Coated Microstrip 1B	2	0	5.200	4.200	0.000	0.000	50.070	50.000	10.000
3	1	Edge Coupled Coated Microstrip 1B	2	0	7.800	6.800	4.000	0.000	66.220	66.000	10.000
4	1	Coated Microstrip 1B	2	0	11.100	10.100	0.000	0.000	33.090	33.000	10.000
5	1	Edge Coupled Coated Microstrip 1B	2	0	3.500	2.500	5.800	0.000	99.890	100.000	10.000
6	1	Edge Coupled Coated Microstrip 1B	2	0	5.400	4.400	4.500	0.000	80.030	80.000	10.000
7	1	Edge Coupled Coated Microstrip 1B	2	0	4.000	3.000	4.500	0.000	89.900	90.000	10.000
8	3	Edge Coupled Offset Stripline 1B1A	2	4	4.000	3.000	4.500	0.000	80.260	80.000	10.000
9	3	Offset Stripline 1B1A	2	4	3.700	2.700	0.000	0.000	50.130	50.000	10.000
10	3	Offset Stripline 1B1A	2	4	6.000	5.000	0.000	0.000	40.140	40.000	10.000
11	3	Edge Coupled Offset Stripline 1B1A	2	4	3.200	2.200	10.000	0.000	99.160	100.000	10.000
12	3	Edge Coupled Offset Stripline 1B1A	2	4	3.500	2.500	6.250	0.000	89.860	90.000	10.000
13	6	Coated Microstrip 1B	5	0	8.000	7.000	0.000	0.000	40.160	40.000	10.000
14	6	Coated Microstrip 1B	5	0	11.100	10.100	0.000	0.000	33.090	33.000	10.000
15	6	Coated Microstrip 1B	5	0	5.200	4.200	0.000	0.000	50.070	50.000	10.000
16	6	Edge Coupled Coated Microstrip 1B	5	0	7.800	6.800	4.000	0.000	66.220	66.000	10.000
17	6	Edge Coupled Coated Microstrip 1B	5	0	4.000	3.000	4.500	0.000	89.900	90.000	10.000
18	6	Edge Coupled Coated Microstrip 1B	5	0	3.500	2.500	5.800	0.000	99.890	100.000	10.000
19	6	Edge Coupled Coated Microstrip 1B	5	0	5.400	4.400	4.500	0.000	80.030	80.000	10.000

図 7-4. AM62L PCB のインピーダンス

表 7-10. AM62Lx PDN ターゲットとデカップリングの例

電源名 (9)(10)	静的 PDN ターゲット	ダイナミック PDN ターゲット			電源ごとのデカップリング コンデンサの数 (1) (2) (3) (4) (5) (8)				
	最大 R _{eff} (mΩ) (6)	対象周波数 (MHz)	デカップリン グコンデン サ最大 LL (nH) (5)(7)	Z _{TARGET} (mΩ)	0.1μF	1μF	2.2μF	4.7μF	10μF
	VDD_CORE	5	≤ 1	1.5	19	4	12	1	1
		1-20	32						
		20-50	65						
VDDS_DDR	詳細については、『AM62Lx DDR 基板の設計およびレイアウトのガイドライン』を参照してください。								

- ピークツーピークのノイズ値の詳細については、個々のデバイスのデータ マニュアルの「推奨動作条件」表を参照してください。
- コンデンサパッドから SoC BGA へのループ ESL (固有デカップリング ESL を除く) は、可能な限り低くし、1.5nH を超えないようにする必要があります。
- 電源供給ネットワーク (PDN) のインピーダンス特性は、デバイス固有のプロセッサ データ マニュアルの「仕様」の章にある「推奨動作条件」表に基づいて、デバイス アクティビティ (異なる周波数で動作する) に対して定義されています。
- 静的電圧降下要件により、PMIC または外部 SMPS とプロセッサ電源ボールとの間で許容される最大 PCB 抵抗が駆動されます。
- 高周波 (30Mhz ~ 70MHz) PCB デカップリング コンデンサ。
- VRM/SMPS/PMIC からプロセッサへの最大 R_{eff} 。
- プロセッサ BGA の下に配置した場合のデカップリング コンデンサの最大ループ インダクタンス。
- ここに示すデカップリング コンデンサの数と値は、ベースラインに関する推奨事項としてのみ示しており、特定の PCB 設計に基づいています。TI は、すべてのプロセッサ PDN 要件を満たすために、製造前にすべての PCB 設計をシミュレーションすることを推奨します。
- 付け合わせルールは、各メンバー ルールのすべての要件を満たす必要があります。
- 低負荷過渡のため、この表に記載されていないルールは TI ではシミュレーションされていません。詳細については、これらのルールの実装例については、デバイス固有の EVM レイアウトを参照してください。

8 改訂履歴

Changes from Revision G (August 2023) to Revision H (October 2025)	Page
• セクション 7.9 と AM62L の PDN ターゲットを追加.....	35
• セクション 7.10 と AM62L の PDN ターゲットを追加.....	38

Changes from NOVEMBER 1, 2022 to FEBRUARY 29, 2024 (from Revision F (November 2022) to Revision G (February 2024))	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新。.....	2
• AM62xx セクションを更新。.....	28
• セクション 7.7 を更新。.....	29
• セクション 7.8 を追加。.....	32

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月