

Application Note

高速パラレル インターフェイス用の基板設計およびシミュレーションのガイドライン



Sitara MPU Hardware Applications

概要

このアプリケーション ノートには、高速パラレル インターフェイスを想定したボード設計とシミュレーションに適用できるガイドラインが記載されています。

目次

1 はじめに.....	2
2 基板の設計およびレイアウトのガイドライン.....	2
2.1 一般的な基板設計ガイダンス.....	2
2.2 信号インテグリティに関する追加の基板設計ガイドライン.....	2
2.3 設計例.....	4
3 ボード設計シミュレーション.....	4
3.1 ボード モデルの抽出.....	4
3.2 シミュレーションの設定.....	5
4 まとめ.....	6
5 参考資料.....	6

商標

すべての商標は、それぞれの所有者に帰属します。

1 はじめに

このドキュメントには、高速パラレル インターフェイスの基板設計およびシミュレーションに適用可能な情報が含まれています。これらのインターフェイスには、LVCMOS I/O バッファを採用したインターフェイスが含まれます。対応データレートについては、デバイス固有のデータ マニュアルを参照してください。これには、オクタル シリアル ペリフェラル インターフェイス (OSPI)、縮小ギガビット メディア非依存インターフェイス (RGMII) などのインターフェイスが含まれます。これらのインターフェイスは通常、それぞれのデバイスに LVCMOS (低電圧相補型金属酸化膜半導体) IO バッファを使用して実装されます。高速パラレル インターフェイスの仕様は、RGMII EIA/JESD 8-6 1995 などの JEDEC 規格に準拠しています。

2 基板の設計およびレイアウトのガイドライン

2.1 一般的な基板設計ガイダンス

良好な信号性能を確認するために、以下の一般的なボード設計ガイドラインに従う必要があります：

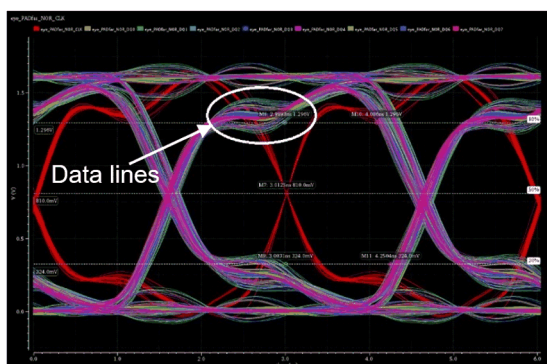
- すべての信号にグランド リファレンス (両側に強く推奨) が必要です。
- 信号基準プレーン内でプレーンの分割が交差しないようにします。
- デカップリング コンデンサと電源ピンをつなぐ配線は、実装上可能な範囲でできるだけ太くすることが推奨されます。
- インピーダンスを整合させて、シンボル間干渉 (ISI) を最小限に抑えます。
- ストローブやクロックなどの高感度信号を分離し、適切な PCB スタックアップを使用することで、クロストークを最小化します。
- 信号が層やリファレンス プレーンを切り替える際にはスティッチング ビアを追加し、リターン パスの不連続を回避します。
- 適切な絶縁とデカップリング コンデンサの適切な使用により、リファレンス電圧ノイズを最小限に抑えます。
- 信号配線のスタブ長は可能な限り短くします。
- クロックおよびストローブ配線には追加の間隔を設け、クロストークを最小化します。
- 全ての信号線やバイパス/デカップリング コンデンサは、共通のグランド (GND) 基準を持つようにします。
- タイミング制約を評価するときは、マイクロストリップとストリップライン ネットの伝搬遅延の違いを考慮します。
- ビアからビアへの結合は、PCB レベルのクロストークの重要な部分になる可能性があります。ビアの寸法とピッチが重要です。高速インターフェイスの場合、GND シールド ビアを検討します。このビア結合は、データ信号をプロセッサに最も近い層に配線することを推奨する要因の一つです。
- ビア スタブは信号の完全性に影響を与えます。ビアのバックドリルは信号の完全性を改善でき、場合によっては必須となります。

2.2 信号インテグリティに関する追加の基板設計ガイドライン

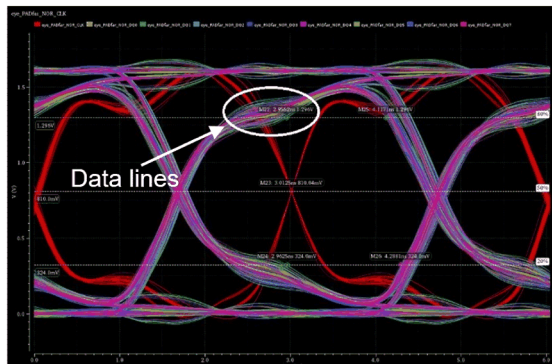
- 信号インテグリティにはいくつかの要因が関与しており、これはシステム レベルでの最適化が求められる課題です。
- 信号品質を固定するためのさまざまなオプションがあります。推奨されるオプションは、「[信号品質オプション](#)」にリストされています。

表 2-1. 信号品質オプション

オプション	推奨事項	これはどのように役立ちますか？
A	直列終端を追加します	反射を低減し、信号品質の向上に役立ちます。
B	負荷コンデンサを追加します	反射を減らすのに役立ちます。両端にバランス用コンデンサを配置することで、全体の反射が減少します。
C	パターン長を長くする	信号がまだ遷移中の間に、逆位相の反射が入射信号に影響を及ぼさないようにします。
D	駆動能力を高め、A、B、C を組み合わせます	立ち上がり/立ち下がりが改善され、A、B、C の組み合わせにより反射を低減することでアイ パターン全体も向上します。

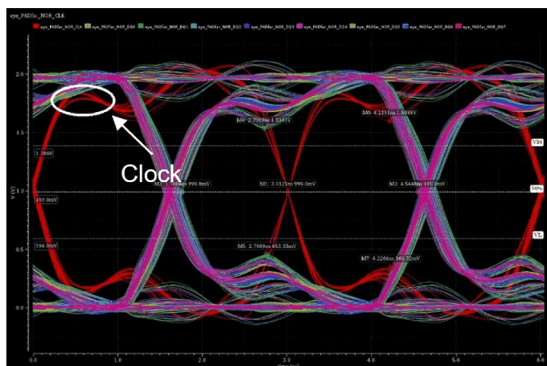


Before

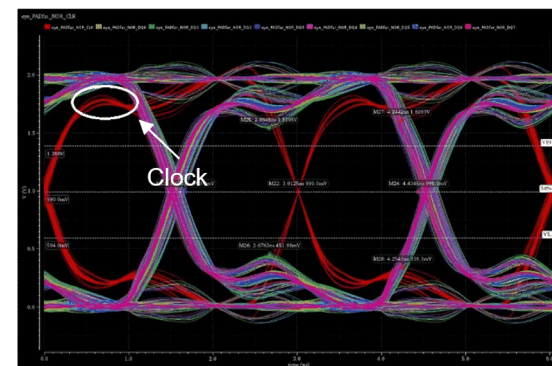


After

図 2-1. データラインに直列終端を追加

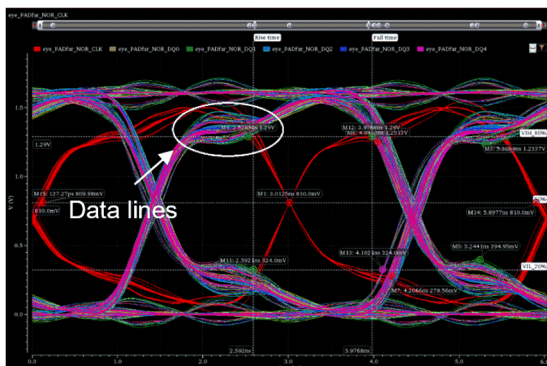


Before

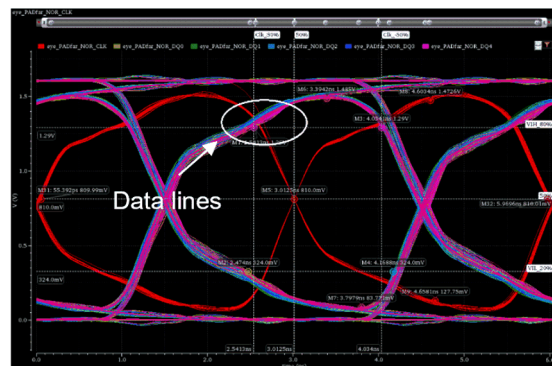


After

図 2-2. クロックに負荷コンデンサを追加



Before



After

図 2-3. データライン上で A と B を組み合わせ

2.3 設計例

このセクションでは、基板設計が信号品質を向上させるための指針を示します：

Cload は、ペリフェラル (パッケージ、IO など) の総負荷容量を表します。

Cload が約 2pF の場合：

オプション 1: パターン長は非常に短く (約 0.5 ~ 0.6 インチ) 保ち、パターンの中央に小さな抵抗 (10Ω または 22Ω を使用) を挿入してください。

オプション 2: パターン長を 0.5 インチまで短縮できず、パターン長が 1 インチから 5 インチの範囲にある場合は、以下のオプションを試してください。

- オプション 1 のようにパターンの中央に抵抗を挿入する場合
- PHY BGA 付近に小さな集中容量コンデンサ (1pF、2pF、3pF などの異なる値を使用) を追加します。

オプション 3: オプション 1 および 2 が実現できない場合、パターン長を PHY 仕様で許容される最大値 (6 インチ) まで延長します。さらに、オプション 2b と同様の小容量コンデンサを追加することも可能です。

これらは、信号品質の向上に役立つ可能性があることに注意してください。オプション 1 は全体的に最良の信号品質を提供すると期待されますが、どのオプションが特定のシステムに最も適しているかは、顧客がシミュレーションと評価を行う必要があります。

3 ボード設計シミュレーション

3.1 ボード モデルの抽出

以下に示すボード レベル抽出ガイドラインは、あらゆる EDA 抽出ツールで利用できるように意図されており、特定のツールに依存するものではありません。s パラメータの抽出が完了した直後に、[セクション 3.2](#) に記載されている手順に従います。IBIS シミュレーションを実行する前に、次の手順で設計をチェックする必要があります。

- 信号抽出の場合、2.5D 抽出で十分です。
- 正確な層厚および材料特性を確認するために、基板のスタックアップを確認します。
- 基板レイアウトを抽出前にカットする場合 (シミュレーション時間を短縮するため)、信号および電源ネットから少なくとも 0.25 インチ離れた位置にカット境界を設定します。
- さらにシミュレーションには、ベンダーから一般的に提供されている S パラメータまたは RLC パッケージ モデルを使用します。

3.1.1 IBIS モデル シミュレーション

このセクションでは、これらの高速パラレル インターフェイスを検証する方法について概説します。IBIS モデルおよび抽出された PCB モデルを用いたチャネル シミュレーションでは、ターゲットとするデータ攻撃ビットパターンを適用し、信号波形やアイ ダイアグラムを生成します。これらの結果は、デバイス データシートで規定されているセットアップ/ ホールド時間、スルーレート、クロックの High/Low などに適合しているか確認する必要があります。信号が VIH/VIL の電圧レベルを超えて戻るリング バックについても、追加チェックが必要です。

3.2 シミュレーションの設定

以下の手順で IBIS シミュレーションをセットアップします：

- ボード上の信号の S パラメータ ファイルを抽出します。
- 3D 抽出ツールは推奨できますが、実行時間の制限により実行できません。ランタイムの制限が懸念される場合は、ボード信号に 2.5D 抽出ツールを使用することが許可されます。
- 製品ページの TI.com で SoC IBIS モデルを入手します。
- PHY ベンダからデバイスの IBIS モデルを取得します。この IBIS モデルには、デバイス用のパッケージおよび RLC モデルを含める必要があります。
- 任意のシミュレータに示されているように、シミュレーション ネットリストを作成します。
- SoC IBIS モデル、ボード モデル、デバイス IBIS モデルを設定します。
- シミュレーションするプロセス、電圧、温度のコーナーを形成します。
- IBIS モデルでサポートされるすべてのプロセス、電圧、温度にわたってシミュレーションを行うことが推奨されます：
 - 標準値
 - 最小値
 - 最大値
- 波形解析ツールでシミュレーション結果を確認し、データシートの規格に基づいた合否判定を行って品質を評価します。

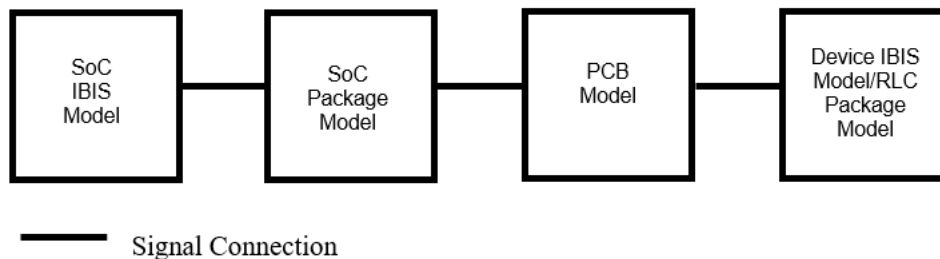


図 3-1. 標準的なシステム レベル シミュレーションの設定

4 まとめ

このアプリケーションレポートでは、高速パラレル インターフェースを正常に動作させるための PCB の設計計画、配線、およびシミュレーション方法について説明します。前述したように、お客様は、これらのオプション(または使用した他のオプション)が特定のシステムに最適であるかをシミュレーションし、評価する必要があります。

5 参考資料

1. テキサス インストルメンツ [AM62Px eMMC HS400 基板の設計およびシミュレーションのガイドライン](#) アプリケーション ノート。
2. 縮小ギガビット メディア非依存インターフェース (RGMII) - EIA/JESD 8-6 1995。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月