

Application Note

高速 FPD-Link™ SerDes 同軸チャネル向け高度なレイアウト最適化ガイドライン



Harvey Chen, Fei Meng

概要

車載アプリケーションでは、増大する帯域幅の需要に対応するため、ビデオ シリアルライザ/ デシリアルライザ (SerDes)、マルチギガビット イーサネット、USB3.x、DisplayPort (DP) などの高速信号インターフェイスがますます導入されています。これらのインターフェイスの単一リンク データ レートは、マルチギガビットまたは数十ギガビット毎秒に達する可能性があります。

信号整合性 (SI) は、信頼性の高い高速信号伝送において極めて重要です。反射、インピーダンスの不一致、クロストーク、または信号の減衰によって引き起こされる波形歪みは、データ破損や通信障害を引き起こす可能性があるからです。堅牢性を確保するため、これらのインターフェイスは、高速チャネル全体にわたって最大性能を維持するために、反射損失 (S11) と挿入損失 (S21) を含む厳格な S パラメータ要件を定義しています。

例えば、TI の最新 FPD-Link SerDes は、単一の同軸ケーブル経由で最大 13.5Gbps のデータレートをサポートし、4K+ 解像度のディスプレイに対応可能です。FPD-Link™ インターフェイスの合計チャネルは、プリント基板 (PCB)、受動部品、コネクタ、ケーブルで構成されています。これらの中で、PCB レイアウト設計は信号の整合性維持において重要な役割を果たします。主要な設計上の考慮事項には、制御されたパターンインピーダンス、戦略的なコンポーネント配置とビア配置、アンチパッドのサイズ設定、パラサイト容量の低減などが含まれます。

このアプリケーション ノートでは、FPD-Link 同軸チャネル設計を例として取り上げ、PCB チャネル設計要件と PCB S パラメータの最適化に役立つ具体的なレイアウト設計のガイドラインに焦点を当てています。

目次

1 S パラメータ定義.....	3
1.1 挿入損失 (S21).....	3
1.2 反射損失 (S11).....	3
2 FPD-Link™ シリアルライザ ボディの高速信号設計の例.....	4
2.1 設計例の概要.....	4
2.2 高速 FPD-Link レイアウト設計の重要なポイント.....	5
3 反射損失に影響を与える要因と最適化ガイドライン.....	6
3.1 伝送ラインのインピーダンスの影響.....	6
3.2 AC カップリング コンデンサ ランディングパッドの影響と最適化.....	7
3.3 スルーホール コネクタのフットプリントの影響と最適化.....	9
3.4 一般的な信号ビアの影響と最適化.....	13
3.5 ESD ダイオードの寄生容量の影響と最適化.....	15
4 まとめ.....	18

図の一覧

図 1-1. S パラメータ モデル - S11 および S21.....	3
図 2-1. シリアルライザ PCB 上の FPD-Link™ チャネル構造.....	4
図 2-2. FPD-Link™ シリアルライザ チャネルの PCB 3D モデル.....	4
図 3-1. インピーダンス計算の伝送ライン モデル.....	6
図 3-2. ランディングパッドおよびアンチパッドのシミュレーション モデル.....	7
図 3-3. 異なるアンチパッド サイズにおける反射損失 (S11).....	8
図 3-4. さまざまなアンチパッド サイズでの TDR インピーダンス.....	8

図 3-5. スルーホール コネクタ信号ビアのシミュレーション モデル.....	9
図 3-6. 異なるコネクタ ビア アンチパッド サイズにおける反射損失 (S11).....	10
図 3-7. 異なるコネクタ ビア アンチパッド サイズにおける TDR インピーダンス.....	10
図 3-8. 異なるグラウンド ビア間隔での反射損失 (S11).....	11
図 3-9. さまざまなグラウンド ビア間隔での TDR インピーダンス.....	11
図 3-10. パッド スタック構造。パッド スタックありとなしの比較.....	12
図 3-11. 反射損失 (S11)。NFP の有無による比較.....	12
図 3-12. NFP ありとなしの TDR インピーダンス比較.....	13
図 3-13. 汎用信号ビアのシミュレーション モデル.....	14
図 3-14. 反射損失 (S11)。異なるビア アンチパッド サイズとグラウンド ビア間隔.....	14
図 3-15. さまざまなアンチパッド サイズとグラウンド ビア間隔による TDR インピーダンス.....	15
図 3-16. 異なる ESD ダイオード容量での反射損失 (S11).....	16
図 3-17. ESD ダイオード付近の狭いパターンあり/なしのシミュレーション モデル.....	17
図 3-18. 反射損失 (S11): ESD ダイオード付近の狭パターンの場合とない場合.....	17

商標

FPD-Link™ is a trademark of Texas Instruments.

Ansys® is a registered trademark of ANSYS, Inc.

すべての商標は、それぞれの所有者に帰属します。

1 S パラメータ定義

S パラメータ (散乱パラメータ) は、特定の周波数におけるネットワークの電氣的動作を完全に記述する一連の値です。S パラメータは、あるポートに入射した電力波に対する、別のポートから反射または透過された電力波の比率を定量化します。S パラメータは、RF および高速デジタル部品およびシステムの特性評価に広く使用されます。図 1-1 は、S11 および S21 を含む簡易化された S パラメータ モデルを示しています。

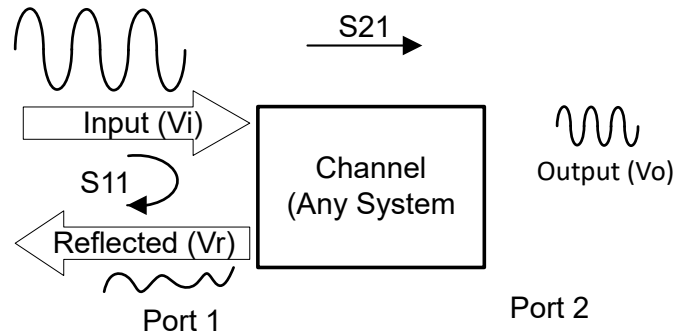


図 1-1. S パラメータ モデル - S11 および S21

1.1 挿入損失 (S21)

挿入損失 (S21) は次のとおりです。

- 伝送路に挿入された部品 (例: ケーブル、コネクタ、PCB パターン) によって引き起こされる信号電力の減衰を定量化します。
- 通常はデシベル (dB) で表されます。

$$S21(\text{dB}) = 20 \times \log_{10} \left(\frac{V_{\text{output}}}{V_{\text{input}}} \right) \quad (1)$$

- 絶対値が大きいほど信号の劣化が大きくなり、データ スループットが低下して通信エラーの原因となります。
- 主な寄与要因: 伝送ライン抵抗、PCB 誘電損失、インピーダンスの不整合、部品の吸収または部品の散乱。

1.2 反射損失 (S11)

次のリストは、反射損失 (S11) を示しています。

- 伝送パス内のインピーダンスの不整合に起因する反射電力を測定します。
- 電力はデシベル (dB) で表されます。

$$S11(\text{dB}) = 20 \times \log_{10} \left(\frac{V_{\text{reflected}}}{V_{\text{input}}} \right) \quad (2)$$

- 絶対値が大きいほど、インピーダンス整合が良好であり、反射電力が低くなります。

注

このアプリケーション ノートの主な焦点は、パターン インピーダンスを最大化して反射損失 (S11) 性能を強化することです。挿入損失 (S21) は、パターン長を短縮するか、低損失の誘電体を採用することにより、最小限に抑えることができます。対照的に、S11 は管理がより困難であり、S11 には信号経路全体にわたる厳密なインピーダンス制御が求められます。インピーダンス制御は、設計の成功の鍵となります。この制御は、S11 を直接向上させるだけでなく、反射とエネルギー損失を軽減することで、間接的に S21 を最適化するからです。

2 FPD-Link™ シリアルライザ ボディの高速信号設計の例

2.1 設計例の概要

このセクションでは、FPD-Link シリアルライザをベースとする設計例を示します。シリアルライザは、単一の同軸チャンネルを介してリモート ディスプレイに動画データを送信するために使用されます。データ転送速度は最大 **13.5Gbps** で、**4K** ディスプレイの表示をサポートします。以降のすべての分析およびシミュレーションは、この例に基づいています。図 2-1 に、シリアルライザ PCB 上の FPD-Link チャンネル全体の構造を示します。図 2-2 は、FPD-Link シリアルライザ チャンネルの対応する PCB 3D モデルです。

主な設計仕様:

- **PCB スタックアップ:** この例は、標準的な FR-4 材料 (誘電率 $Dk = 4.3$ 、損失率 $Df = 0.02$) を使用した 6 層のスタックアップ構造を基にしています。
- **主要な構成部品:** FPD-Link シリアルライザ チャンネルの全体には、IC ピン、シングルエンド伝送線路、ESD ダイオード、AC カップリング コンデンサ、シグナル ビア、およびスルーホール同軸コネクタが含まれます。
- **臨界周波数ポイント:** FPD-Link のライン レートは最大 **10.8GHz** および **13.5GHz** まで対応し、**4K+** 解像度のディスプレイをサポートします。注目すべき周波数はライン レートの半分であり、具体的には **5.4GHz** と **6.75GHz** です。

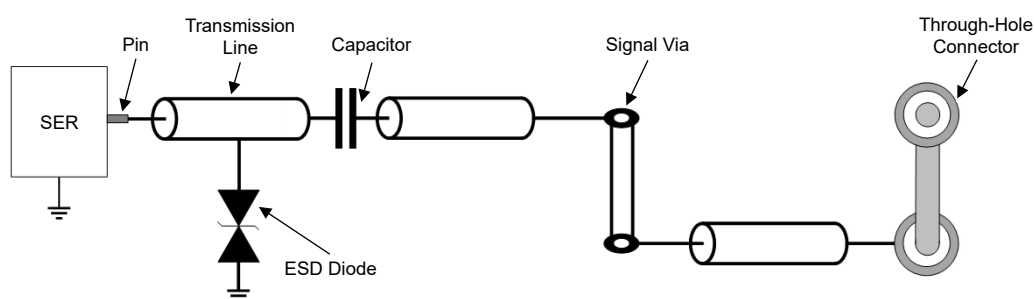


図 2-1. シリアルライザ PCB 上の FPD-Link™ チャンネル構造

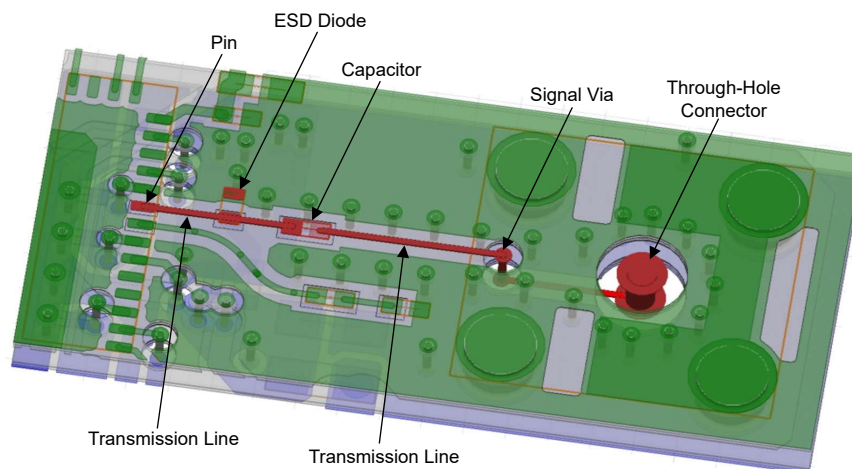


図 2-2. FPD-Link™ シリアルライザ チャンネルの PCB 3D モデル

2.2 高速 FPD-Link レイアウト設計の重要なポイント

高速信号設計においては、最大の信号インテグリティを実現するために適切な PCB レイアウトが必要です。一般的なガイドラインは、信号反射、減衰、クロストークの管理に重点を置いています。

- 反射の制御：
 - インピーダンスの不連続性 (ビア、コネクタ、パターン幅の変化など) に起因
 - 信号反射による反射損失の低下 (S11)
 - 信号路全体で、一貫した 50Ω のシングルエンド インピーダンスを維持する必要があります
- 減衰制御：
 - PCB 基板内の導体抵抗および誘電損失に起因します
 - 減衰は信号の振幅および立ち上がりの鋭さを低下させ、挿入損失 (S21) を劣化させます
 - 減衰を最小限に抑えるために、低損失誘電体の PCB 材料を使用するか、パターン長を短くします
- クロストーク制御：
 - 隣接する信号パターン間の電磁結合によって発生します
 - クロストークは、ノイズ、タイミング ジッタ、ロジック誤差を引き起こします
 - 高速パターン間の間隔を広げ、グラウンド シールドを追加してクロストークを最小限に抑えます

反射制御は最も困難な要素であるため、本アプリケーション ノートでは、重要な要因および設計変数を分析して、最適化し、シミュレーションを通じて反射特性の改善を図ります。これにより、設計者はコンデンサのランド パッド、ESD ダイオードの寄生容量、信号ビア、およびスルーホール コネクタによって引き起こされる反射損失の劣化に対処できます。最適化の重要なポイントは、次のリストで強調表示されています：

- 伝送ライン インピーダンスの制御：
 - $\pm 5\%$ のインピーダンス制御を伴う 50Ω シングルエンド パターンを維持します
 - リファレンス プレーンが高速パターンの上または下にあることを確認します
 - スタブを避けるために、高速パターンはトップ層またはボトム層にマイクロストリップ構造で配線します
- 部品レベルでのインピーダンス制御を以下に示します：
 - AC カップリング コンデンサのランディング パッド
 - ESD ダイオードのランディング パッドと固有の寄生静電容量
 - スルーホール コネクタのフットプリント
- スルーホール信号ビアのインピーダンス制御：
 - 信号ビア数を最小限に抑え、ビア スタブを排除します
 - インピーダンスの不連続性を最小化するために、アンチパッド経由で信号を最適化し、グラウンド遷移ビアを追加します

要約すると、高速 SerDes 配線の主な原理はインピーダンスに十分に制御されています。これを実現するには、配線がビアを介して層を変更したり、ESD ダイオードやコンデンサを通過したりする場合でも、信号路全体で一貫した 50Ω のインピーダンス特性を維持する必要があります。

次のセクションでは、これらすべての最適化キーポイントを詳細に分析します。PCB の S パラメータを最適化するために、設計モデル、反射損失および時間領域反射測定 (TDR)、インピーダンスのシミュレーション結果、実践的なレイアウト設計の推奨事項が提供されます。

3 反射損失に影響を与える要因と最適化ガイドライン

このセクションでは、高速 FPD-Link レイアウト設計における最適化の重要ポイントについて詳しく説明し、設計モデルおよびシミュレーション結果に基づいて、それぞれのポイントに対応する最適化の推奨事項を提示します。

3.1 伝送ラインのインピーダンスの影響

図 3-1 に、設計例で使用した伝送ラインのモデルを示します。PCB の伝送線路のインピーダンスは、パターン幅、パターン厚、サブストレートの高さ、パターンと銅箔間のクリアランス、PCB 誘電率 (Dk)、および配線上のコーティングの相互関係によって決まります。

- パターン幅: パターン幅が広くなると、信号パターンとリファレンスプレーン間の容量結合が増加し、インピーダンスが低下します。
- パターンの厚さ: パターンが厚いほど、リファレンスプレーンとの容量性結合が増加し、インピーダンスがわずかに低下します。
- サブストレートの高さ: 誘電体層が薄くなる (つまり、信号トレースとリファレンスプレーン間の距離が短くなる) と、容量結合が強まり、インピーダンスは低下します。
- パターン間の間隔 (グラウンド ストリップ間隔): パターンと隣接する銅箔とのクリアランスが狭くなると、隣接する銅箔へのフリンジ容量結合が増加します。その結果、寄生容量は大きくなりますが、インピーダンスは低下します。
- PCB 誘電率 (Dk): 誘電率が高くなると、パターンとリファレンスプレーン間の容量が増加し、その結果、インピーダンスが低下します。
- 半田マスクと半田コーティング: 半田マスク半田とコーティングは、信号トレースに誘電体層を追加します。これにより、トレース付近の実効誘電率 (Dk) が増加し、インピーダンスが低下します。

整合性のある 50Ω 伝送ラインのインピーダンスを得る場合:

- 信号路全体でパターン幅と間隔が均一であることを確認してください。
- PCB 製造においては、エッチング係数の影響により、エッチングされた銅のパターンには歪みや不規則な長方形断面面が生じます。結果として得られるプロファイルは台形波です。この設計例では、パターン上部の幅は 5.3mil、下部の幅は 6.3mil です。これらの形状寸法を PCB 製造装置のプロセス能力に合わせます。

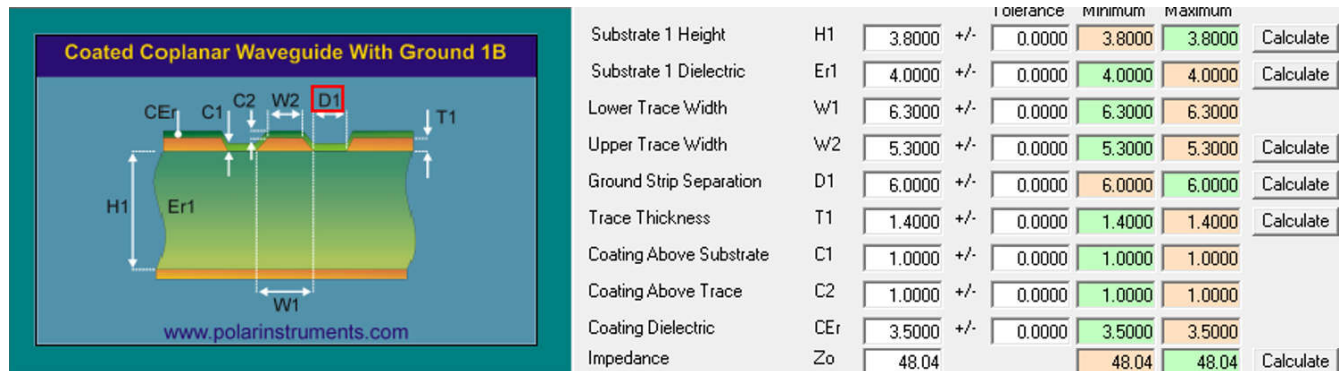


図 3-1. インピーダンス計算の伝送ライン モデル

伝送ラインのインピーダンスに関する主な推奨事項:

- 最大インピーダンスのパラメータを算出するために、インピーダンス計算ツールを使用します
- パターン間の間隔を近い位置に配置すると、インピーダンスが 2Ω~3Ω 低減されます。間隔の影響を考慮します
- トレース上での半田マスクはインピーダンスを 2Ω~3Ω 低減するため、半田マスクの影響を考慮します
- 製造した PCB のインピーダンス制御を 50Ω±5% 以内で維持します

3.2 AC カップリング コンデンサ ランディングパッドの影響と最適化

コンデンサのランディングパッドは、パターンインピーダンスを大幅に低下させる可能性があります。パターンが AC カップリングコンデンサを通過する場合、一般的に表面実装パッドのサイズは信号パターンよりも大きくなります。パターン形状の急激な変化は、パッドと隣接するリファレンスプレーン間に追加の寄生容量を生じさせ、インピーダンスの連続性を劣化させます。

3.2.1 低減の方針: アンチパッドの実装

パッドによるインピーダンスの偏差を補正するため、隣接する参照層 (例: レイヤ 2) のグランディングパッドの下にランドカットアウト (アンチパッド) を作成します。これにより、パッドはより遠いレイヤ (例えばレイヤ 3) を参照するようになり、実質的に誘電体の厚さを増加させ、インピーダンスを上昇させて、より大きなパッドの容量効果を相殺します。

アンチパッドのサイズについては、慎重に考慮する必要があります。大きすぎたり小さすぎたりするアンチパッドは、電磁場を乱し、パターンとリファレンスプレーン間の信号結合に影響を及ぼす可能性があります。これにより、信号インピーダンスにも影響が及ぶ可能性があります。

最適なアンチパッドのサイズは、誘電体の厚さ、パターン幅、パッドの寸法など、さまざまな要因に依存します。シミュレーションツール (Ansys® HFSS など) を使用してパッド効果を分析し、可能な限り最適なアンチパッドのサイズを決定します。

3.2.2 Ansys®HFSS によるシミュレーション結果

以下のシミュレーション結果は、本設計例におけるアンチパッドのサイズが反射損失およびインピーダンスの連続性に与える影響を評価したものです:

- 図 3-2: ランディングパッドとアンチパッド構造のシミュレーションモデル。
- 図 3-3: 異なるアンチパッドサイズにおける反射損失 (S11) のシミュレーション結果。
- 図 3-4: アンチパッドのサイズが異なる場合の TDR インピーダンスシミュレーション結果。

主な所見:

- アンチパッドなし (赤い曲線) の場合、インピーダンスのばらつきが最大となり、反射損失 (S11) が大きく劣化します。
- アンチパッドのサイズが異なると、インピーダンスの変化と反射損失 (S11) 性能も異なります。
- この設計例では、ランドパッドの 1.4 倍の幅を持つアンチパッドサイズが、最良の反射損失 (S11) 性能を実現します。

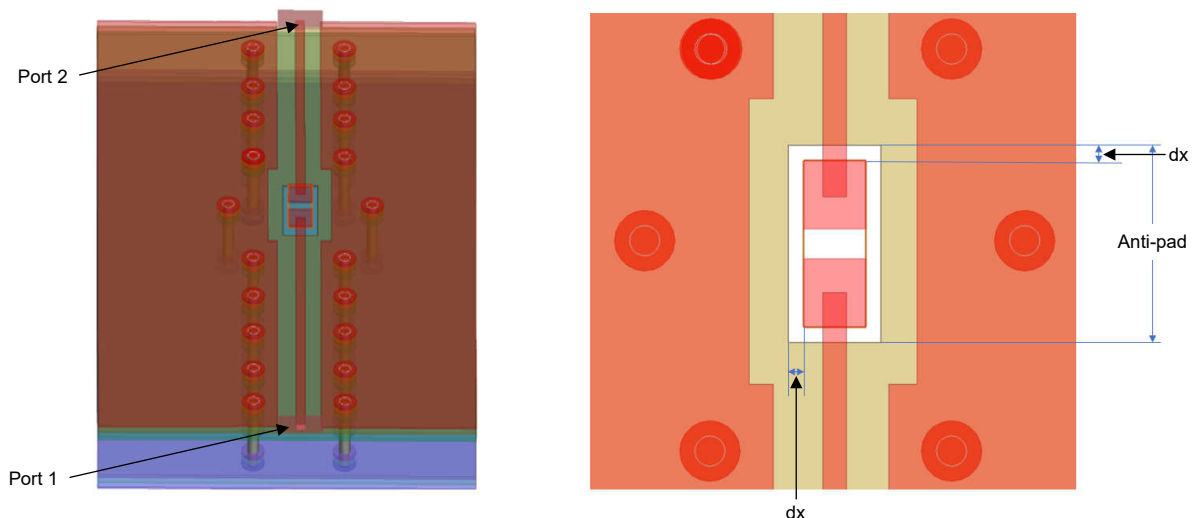


図 3-2. ランディングパッドおよびアンチパッドのシミュレーションモデル

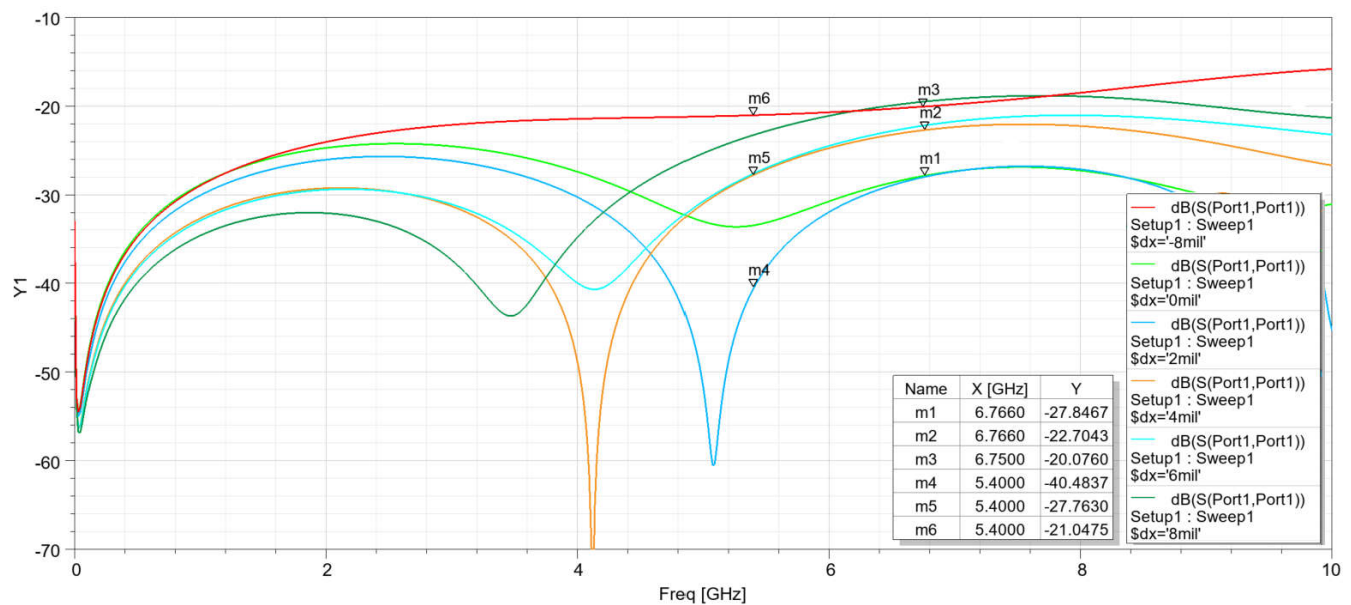


図 3-3. 異なるアンチパッド サイズにおける反射損失 (S11)

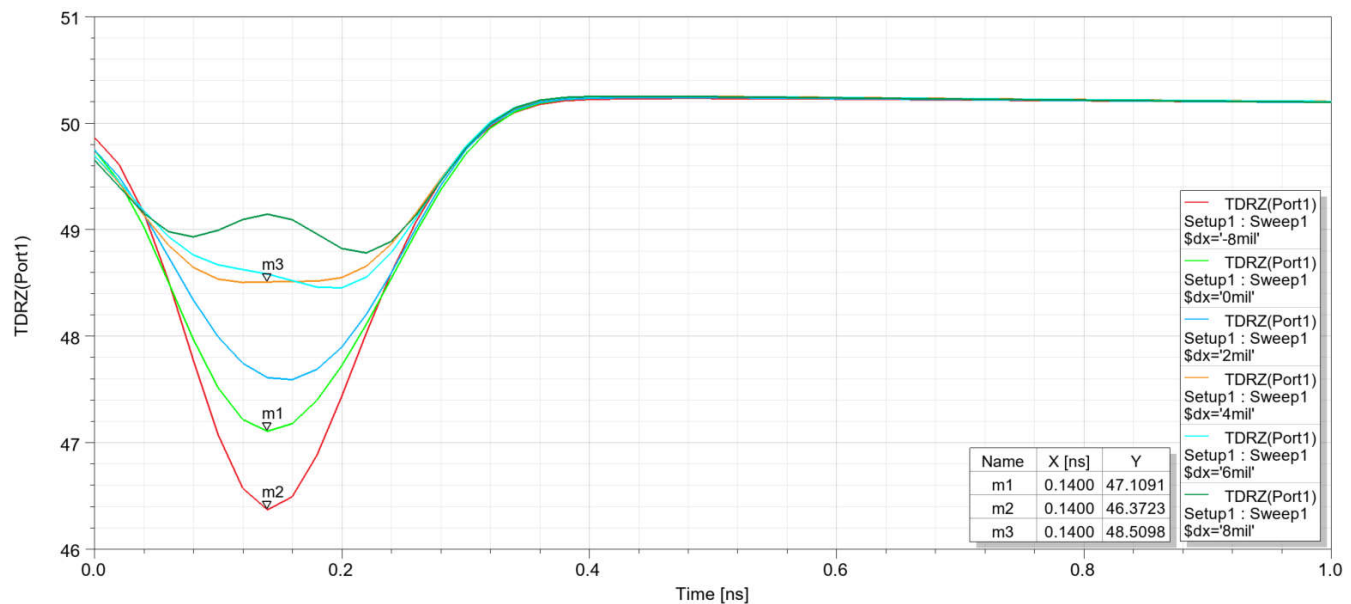


図 3-4. さまざまなアンチパッド サイズでの TDR インピーダンス

AC カップリング コンデンサのランディング パッドに関する主な推奨事項:

- マッチした 50Ω の高速パターン幅よりもランド パッドのサイズが大きい場合 (例: IC ピン、AC カップリング コンデンサ、ESD ダイオード、ラインフォルト抵抗など)、部品の下にアンチパッドを配置します。
- アンチパッドのサイズは特定の PCB スタックアップに依存するため、適切なアンチパッド サイズを決定するには高速シミュレーションを行うことが推奨されます。
- 可能であれば、高速パターン幅が最大の部品パッドサイズ (例: 0402 パッド サイズ) に一致するような PCB スタックアップを選択します。このアプローチでは、部品下のアンチパッドが不要になるため、最良のインピーダンス連続性を実現するのに役立ちます。

3.3 スルーホール コネクタのフットプリントの影響と最適化

良好な反射損失性能を得るためには、コネクタのフットプリントが信号反射を最小化する上で重要です。設計者は、基板スタックアップに基づいてコネクタのフットプリントをシミュレーションすることが強く推奨されます。

3.3.1 スルーホール コネクタビアのアンチパッドの影響

スルーホール コネクタ信号ビアの周囲のグラウンド クリアランス (ビア アンチパッド) は、ビアの寄生容量やリターン電流経路に影響を与えるため、パターン インピーダンスに大きな影響を及ぼす可能性があります。大きなアンチパッドは信号ビアとグラウンド プレーン間の寄生容量を低減し、インピーダンスを増加させます。一方、小さなアンチパッドはインピーダンスを低下させます。インピーダンスの非連続性を最小化するには、適切なアンチパッドのサイズが重要です。

3.3.1.1 Ansys®HFSS によるシミュレーション結果

このセクションでは、Ansys HFSS を使用したシミュレーション結果を示します。

- [図 3-5](#): スルーホール コネクタ信号ビアのシミュレーション モデル
- [図 3-7](#): コネクタ ビアのアンチパッド サイズが異なる場合の反射損失 (S11) シミュレーションの結果
- [図 3-7](#): 異なるコネクタ ビア アンチパッド サイズにおける TDR インピーダンスのシミュレーション結果

過剰なアンチパッドのサイズと不十分なサイズのどちらも、信号インピーダンスに著しい低下または増加を引き起こし、反射損失が劣化するという結果を招きます。

この設計例では、アンチパッドの直径が 42mil であり、インピーダンスの変動が減少し、反射損失特性が向上します。

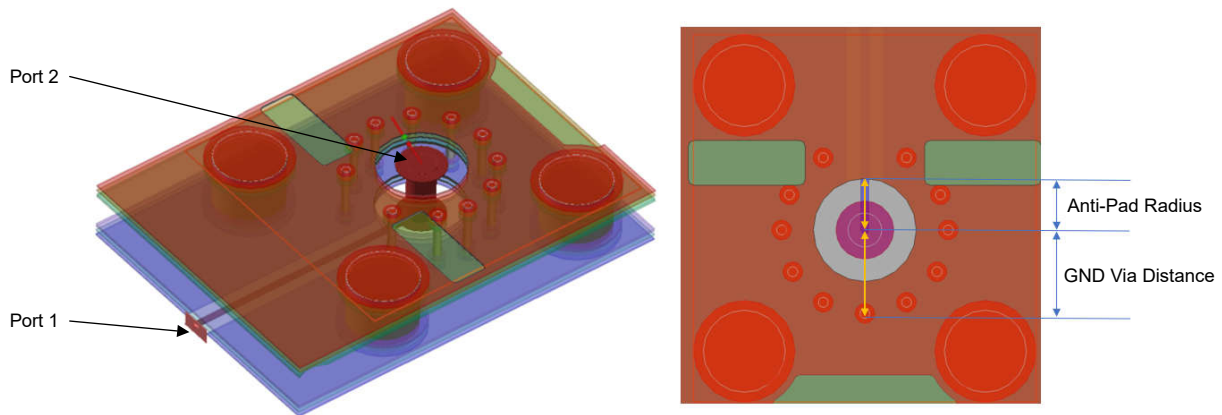


図 3-5. スルーホール コネクタ信号ビアのシミュレーション モデル

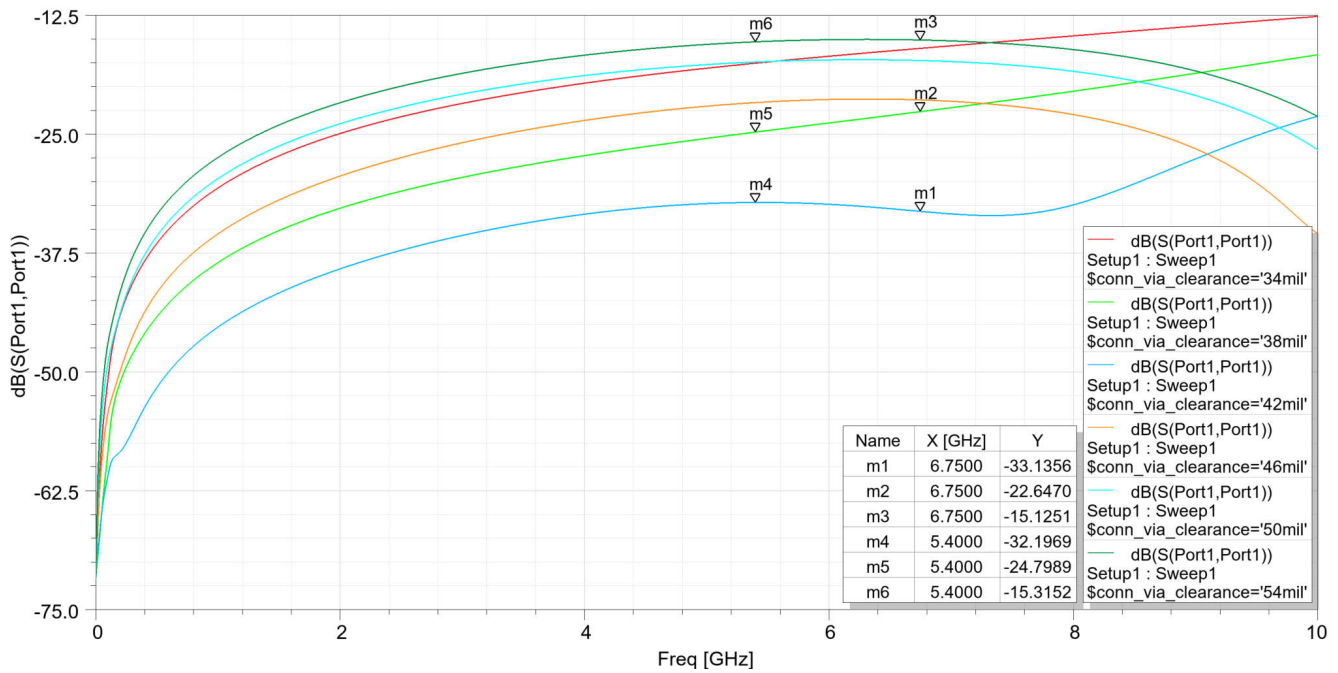


図 3-6. 異なるコネクタ ビア アンチパッド サイズにおける反射損失 (S11)

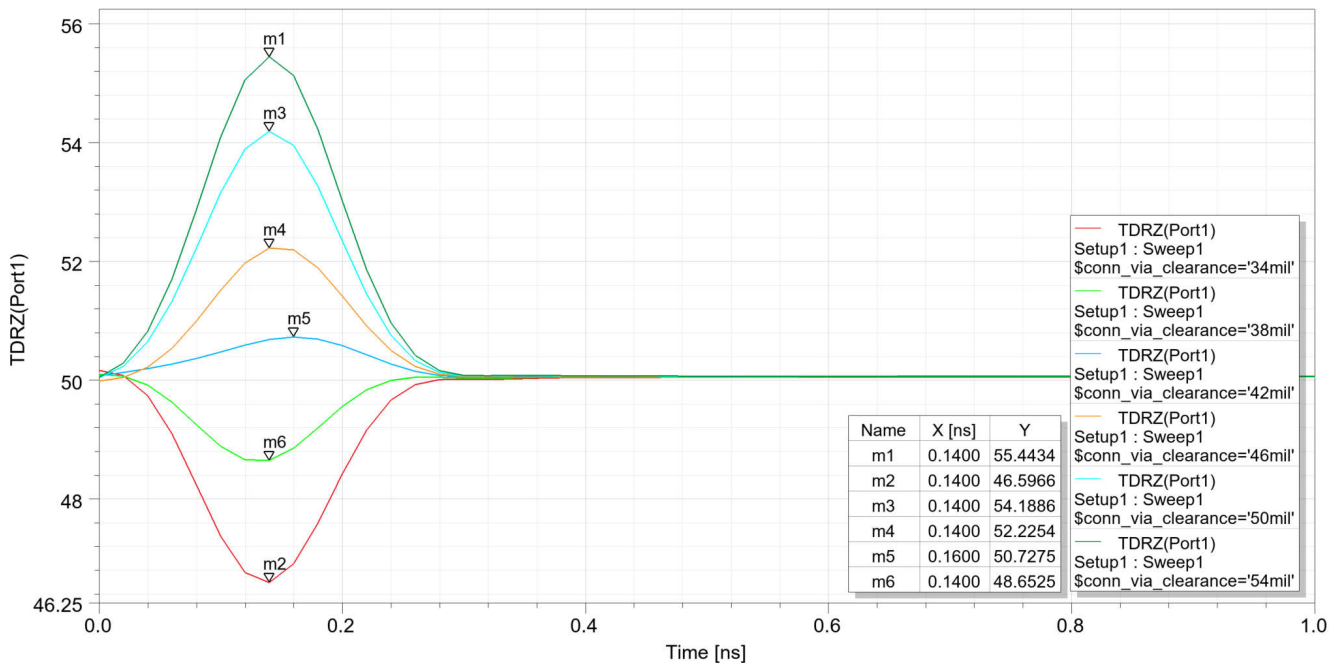


図 3-7. 異なるコネクタ ビア アンチパッド サイズにおける TDR インピーダンス

3.3.2 周囲のグランドビアの影響

TI は、信号ビアの周囲にグランドビアを円形に追加することを推奨しています。これは、グランドビアの間隔がインピーダンスの安定性に直接影響を与えるためです。グランドビアを近く配置することでリターン電流経路が短くなり、ループインダクタンスを最小化してインピーダンスを安定させます。間隔を広げると、インダクタンスが大きくなり、高周波性能が低下します。

3.3.2.1 シミュレーション結果 (周囲のグラウンドビアの影響)

このセクションでは、周囲のグラウンドビアによる影響を受けたシミュレーション結果を示します：

- 図 3-8: 反射損失 (S11) (グラウンドビア間隔が異なる場合)
- 図 3-9: 異なるグラウンドビア間隔における TDR インピーダンスのシミュレーション結果

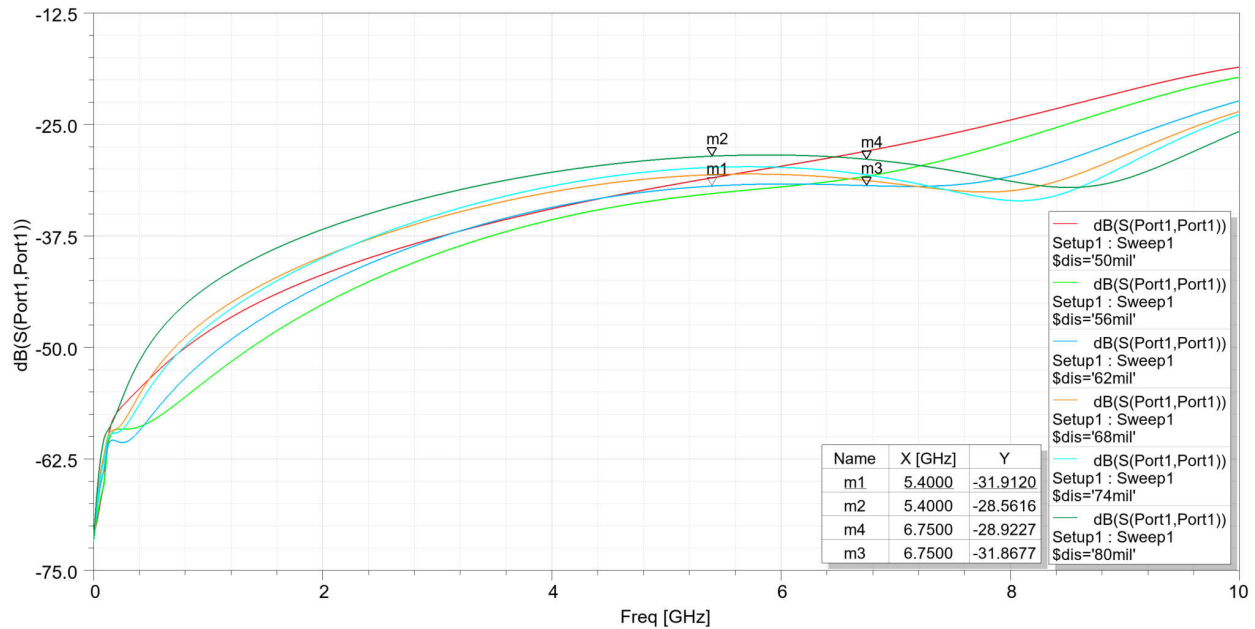


図 3-8. 異なるグラウンドビア間隔での反射損失 (S11)

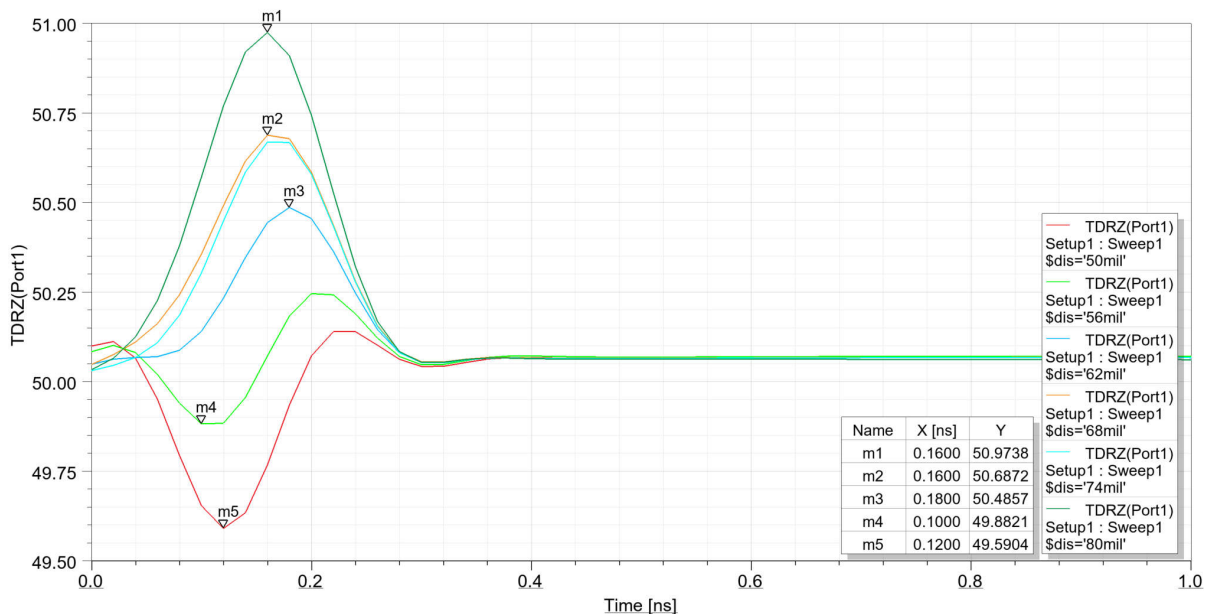


図 3-9. さまざまなグラウンドビア間隔での TDR インピーダンス

図 3-6 から図 3-9 のシミュレーション結果は、アンチパッドサイズが容量に直接影響するため、コネクタ信号ビアのインピーダンス制御において支配的な要因であることを示しています。しかし、グラウンドビア間隔もインピーダンス管理に重要であり、無視することはできません。

3.3.3 非機能性パッドの影響

未接続ビアレイヤ上の非機能性パッド (NFP) は、高速 PCB 設計において見落とされがちですが、NFP は重大な信号の整合性リスクを引き起こします。NFP によって寄生容量 (レイヤあたり 0.1pF~0.3pF) とスタブが追加され、インピーダンスが低減され、反射損失が低下します。

3.3.3.1 シミュレーション結果 (非機能性パッドの衝撃)

このセクションでは、非機能パッドの衝撃に関するシミュレーション結果を説明します：

- 図 3-10: 中間層に NFP を含む場合と含まない場合のパッド スタック構造
- 図 3-11: NFP の有無にかかわらず、反射損失 (S11) が発生
- 図 3-12: NFP あり/なしの TDR インピーダンス シミュレーション結果

NFP は反射損失性能に重大な影響を与えるため、開発者は接続されていない層の非機能性パッドを削除することを推奨しています。

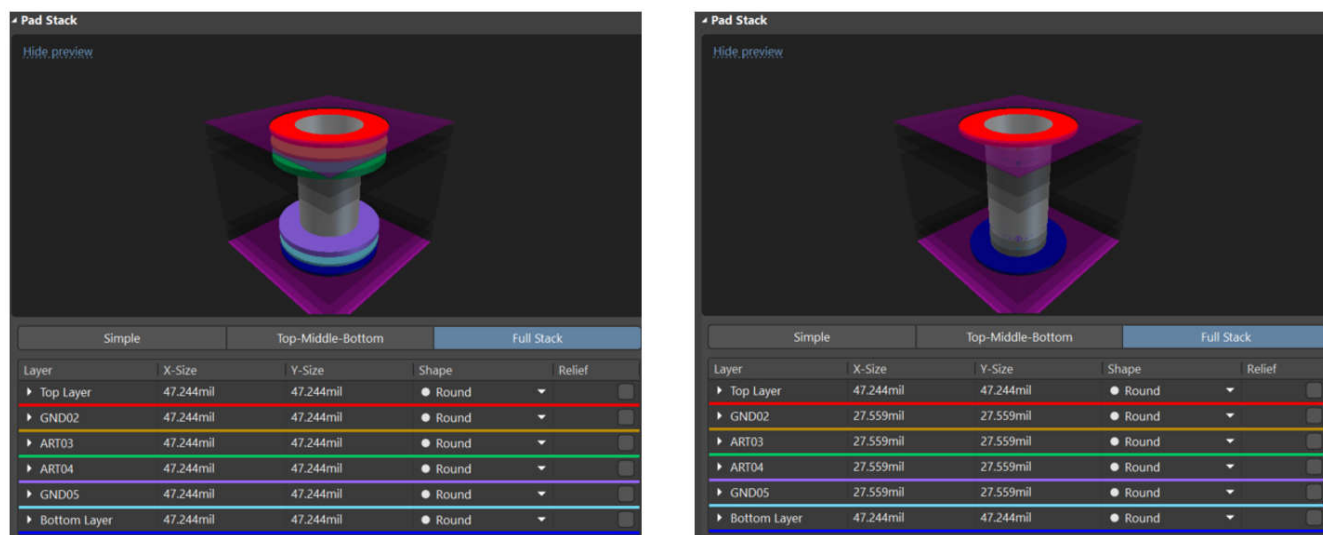


図 3-10. パッド スタック構造。パッド スタックありとなしの比較

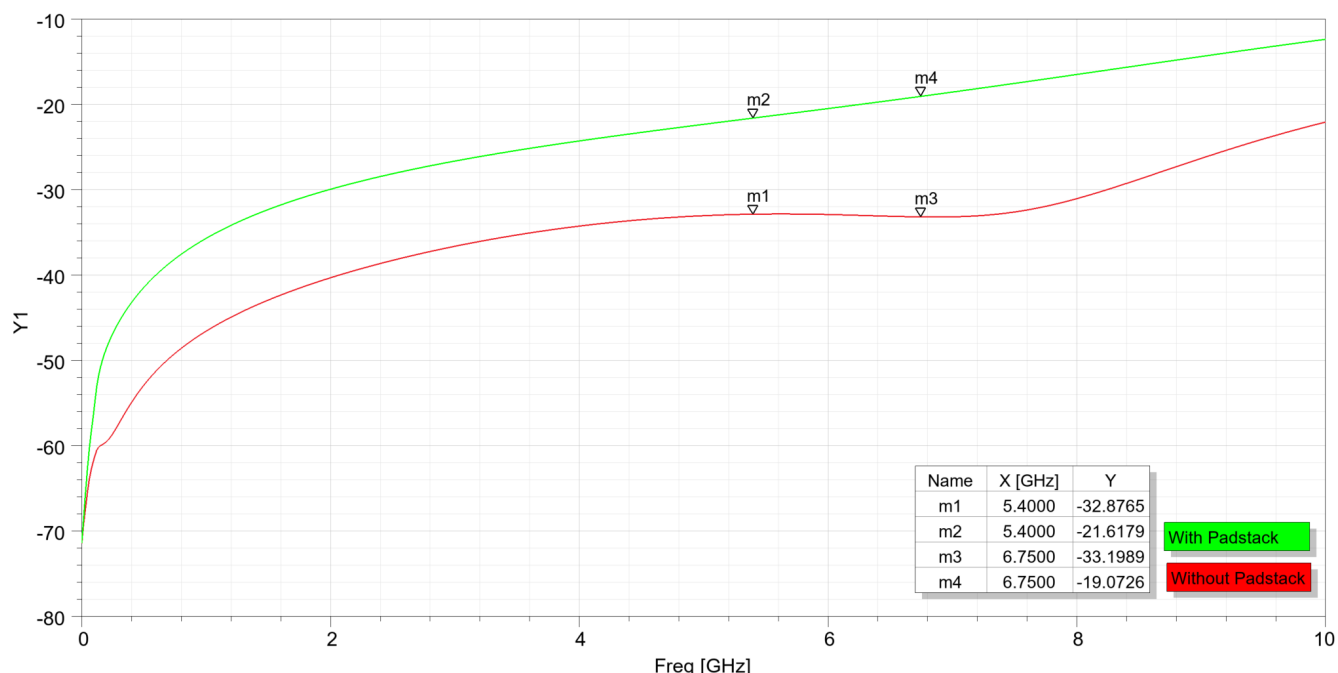


図 3-11. 反射損失 (S11)。NFP の有無による比較

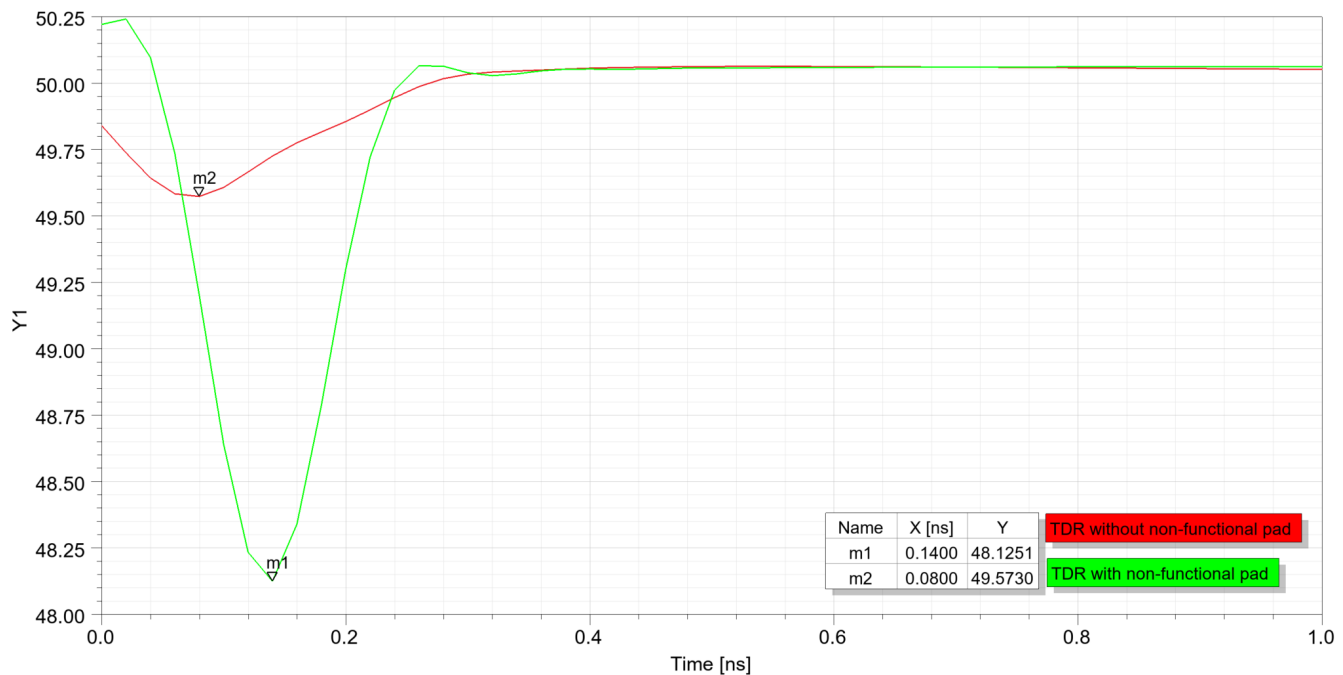


図 3-12. NFP ありとなしの TDR インピーダンス比較

スルーホール コネクタのフットプリントに関する主要な推奨事項:

- 開発者は、基板のスタックアップに基づいてコネクタのフットプリントをシミュレーションすることを強く推奨しています。
- コネクタ信号のインピーダンス制御において、アンチパッドのサイズが主要な要因となります。したがって、設計において細心の注意を要します。
- 周囲のグラウンドビアを追加すると、グラウンドビアの間隔もインピーダンスに影響を与える可能性があるため、考慮する必要があります。
- 未使用のレイヤの NFP を取り外します。
- コネクタ ベンダのフットプリントの推奨事項に従います。

3.4 一般的な信号ビアの影響と最適化

一般的な信号ビアは、[セクション 3.3](#) で分析されたコネクタ信号と似ています。両方のビアは、インピーダンスの連続性を維持するために、寄生容量およびインダクタンスを管理できるよう、アンチパッド サイズとグラウンド ビア間隔の最適化が必要です。[図 3-13](#) は、一般的な信号ビアのシミュレーション モデルを示しており、可変アンチパッド クリアランスを持つ隣接グラウンド プレーンと、4 ビア四象限構成に配置された対称的なグラウンド ビアを含みます。

3.4.1 シミュレーション結果

このセクションでは、インパクトと最適化により、汎用信号のシミュレーション結果を提供します:

- [図 3-14](#) は、アンチパッド半径 (18~26 mil) とグラウンド ビア間隔 (26~42 mil) における反射損失 (S11) 性能を比較しています。
- [図 3-15](#) は、異なるビア アンチパッド サイズとグラウンド ビアのピッチを参考として、TDR インピーダンス プロファイルを示しています。

この具体的な設計例では、可能な最良の組み合わせは 18mil のアンチパッドと 26mil のグラウンド ビア間隔であり、6.75GHz で S11 < -30dB を達成できます。この高リスクな組み合わせでは、大型のアンチパッド (26mil) と広い間隔 (42mil) により、6.75GHz で S11 の劣化が 14.7dB に達しています。

一般的な信号ビアの主な推奨事項は次のとおりです:

- 信号ビアの周囲に 4 つのビアからなる四分円配置を実装し、帰還電流経路を実装しています。
- シミュレーションに基づいて、アンチパッド サイズとグラウンド ビアの間隔の最良の組み合わせを選択します。
- 使用されていないレイヤの非機能パッド (NFP) を取り外します。

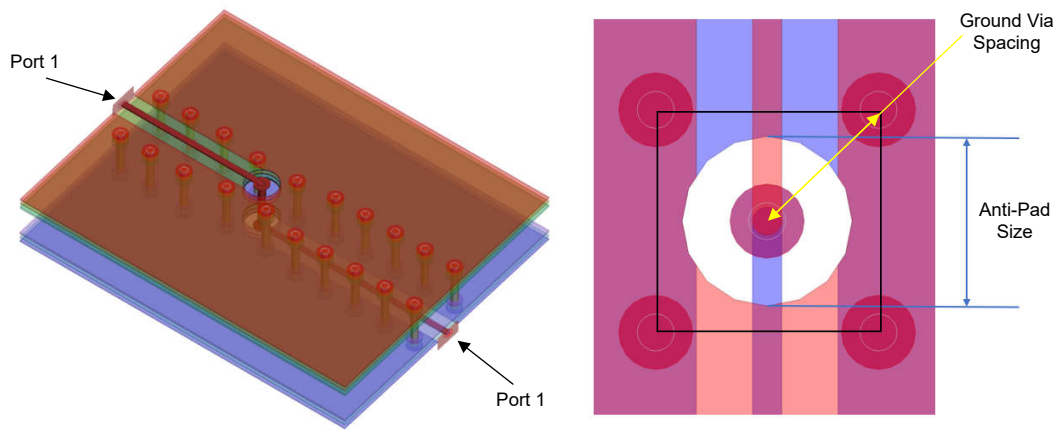


図 3-13. 汎用信号ビアのシミュレーション モデル

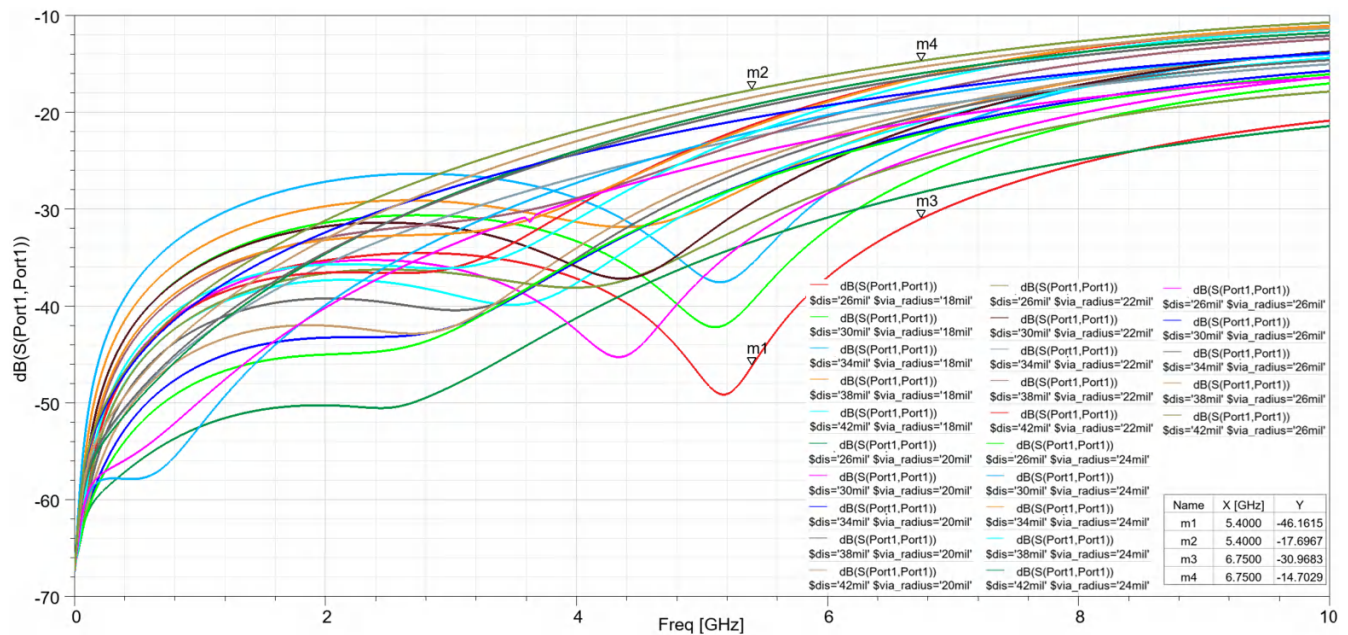


図 3-14. 反射損失 (S11)。異なるビア アンチパッド サイズとグラウンド ビア間隔

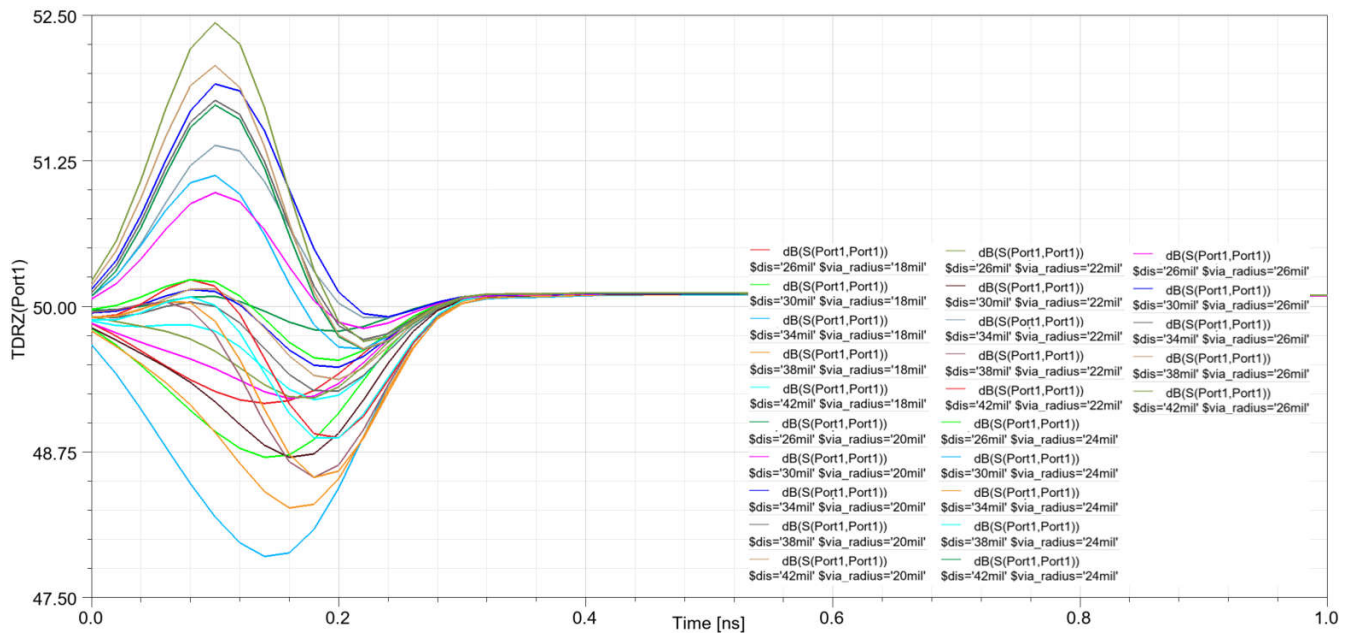


図 3-15. さまざまなアンチパッド サイズとグラウンド ビア間隔による TDR インピーダンス

3.5 ESD ダイオードの寄生容量の影響と最適化

ESD ダイオード固有の寄生容量は、高速アプリケーションで信号のインテグリティを大幅に低下させる可能性があります。例えば、0.2pF の寄生容量は、6.75GHz における反射損失 (S11) に次のような影響を及ぼします:

1. 容量性リアクタンスの計算を、式 3 に示します。

$$Z_c = \frac{1}{j\omega C} = -j \frac{1}{2\pi f C} = -j \frac{1}{2\pi \times 6.75\text{GHz} \times 0.2\text{pF}} = -118j\Omega \quad (3)$$

2. 式 4 に、50Ω 伝送ラインでの並列インピーダンスを示します。

$$Z_{\text{parallel}} = \frac{50 \times (-118j)}{50 - 118j} \quad (4)$$

3. 式 5 は、反射損失の劣化です。

$$\text{Return loss (dB)} = 20\log_{10} \left| \frac{Z_{\text{parallel}} - 50}{Z_{\text{parallel}} + 50} \right| = -13.7\text{dB} \quad (5)$$

元の反射損失が 6.75GHz で -30dB (高速インターフェイスの場合一般的) であると仮定すると、0.2pF 容量による劣化は約 16.3dB です。

図 3-16 に示すように、ESD ダイオードの容量が増加するにつれて、PCB チャネル全体の反射損失 (S11) は徐々に悪化します。

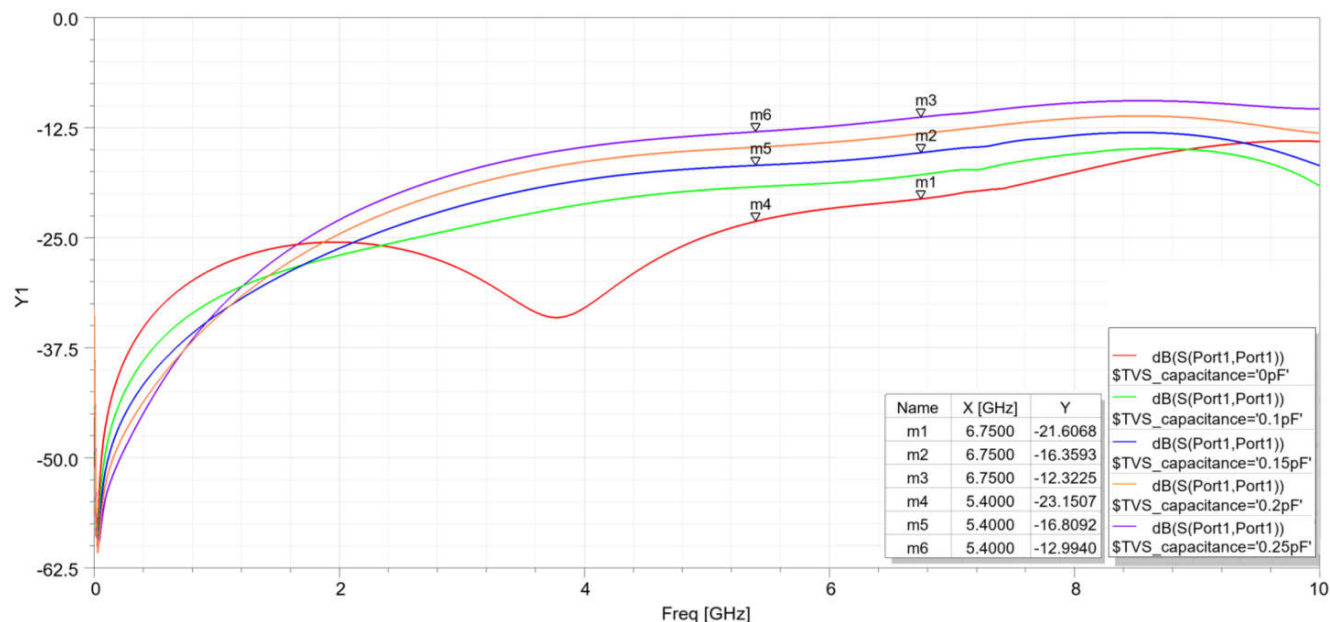


図 3-16. 異なる ESD ダイオード容量での反射損失 (S11)

ESD ダイオードの固有寄生容量および ESD ダイオードのランディング パッドによる寄生容量は、インピーダンスと反射損失の性能に深刻な影響を及ぼします。そのため、この容量の影響を補償する必要があります。

- ESD ダイオードの下にアンチパッドを使用することは、寄生容量を補償する有効な手段となり得ます。
- アンチパッドでは静電容量を補償するのに十分ではない場合：
 - より深いグラウンド層を参照するようにするために、複数の層にアンチパッドを作成します。例えば、レイヤ 2 とレイヤ 3 にアンチパッドを作成し、信号がレイヤ 4 を参照するようにします。これにより誘電体の厚みが増し、インピーダンスが高くなって容量の影響を打ち消すことができます。
 - 静電容量を補償するため、ESD ダイオード付近のパターンはわずかに狭くなります。狭められたパターンはより高いインダクタンスを生み出し、元の寄生容量をインダクタ–コンデンサ–インダクタ (L-C-L) の T コイル モデルに変換します。これにより、容量によって引き起こされるインピーダンス低下を効果的に補償できます。

図 3-17 は、ESD ダイオード付近のパターンをわずかに狭め、寄生容量の影響を補償するためにアンチパッドを大きくした例です。

図 3-18 は、狭められたパターン設計と元の配線設計 (ESD ダイオードの寄生容量 = 0.2pF) の間で、PCB チャネル全体の反射損失 (S11) を比較しています。最適化後、PCB チャネル全体 (IC ピンからコネクタ ビアまで) の反射損失は、6.75GHz で 3dB、5.4GHz で 4dB 改善されます。

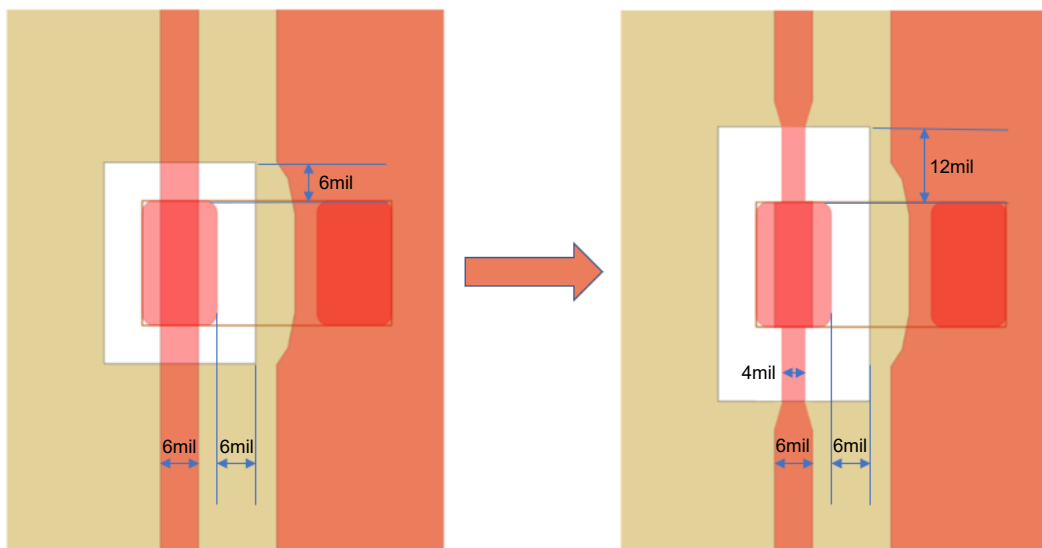


図 3-17. ESD ダイオード付近の狭いパターンありなしのシミュレーション モデル

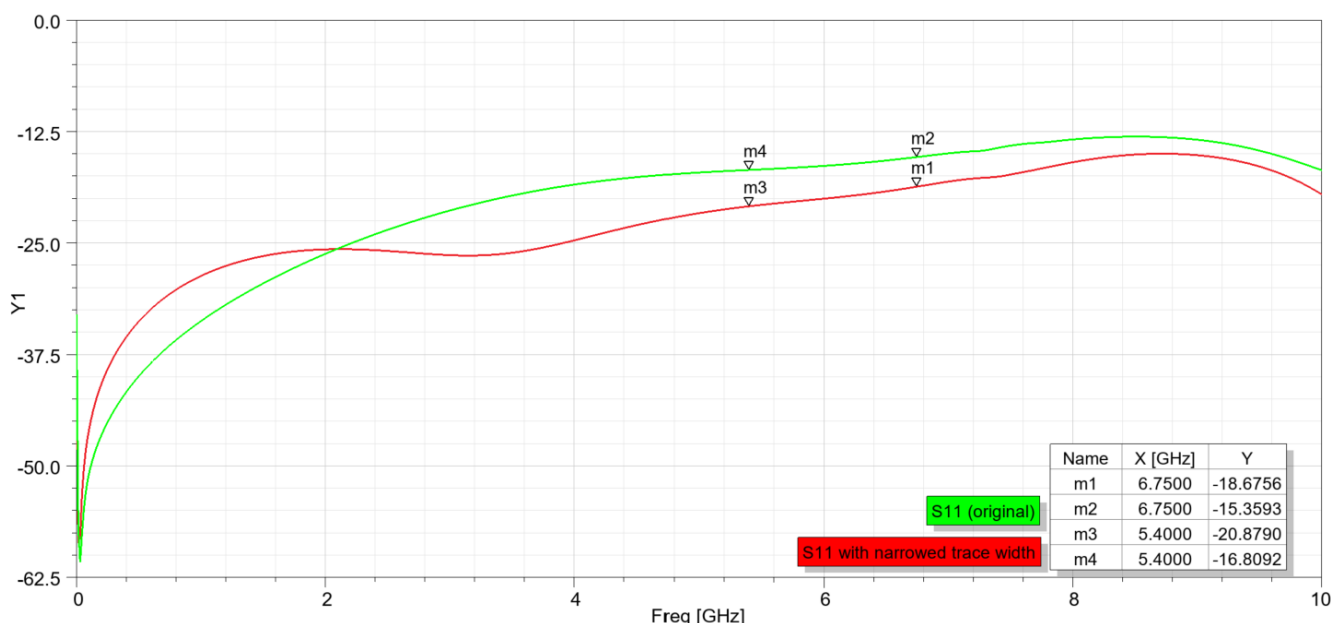


図 3-18. 反射損失 (S11): ESD ダイオード付近の狭パターンの場合とない場合

ESD ダイオードの主な推奨事項:

- ESD ダイオードの容量値を可能な限り低く ($\leq 0.2\text{pF}$) 抑えます。寄生容量が大きくなると、反射損失と挿入損失の両方の性能が低下します。
- PCB レイアウト設計において、ESD ダイオード下に単層または多層のグラウンド カットアウト (アンチパッド) を追加したり、ESD ダイオード付近のパターン幅を狭めるなどの補償技術を使用して、容量の影響を補償します。
- ESD ダイオードを高速パターンに直接配置し、スタブを避けるようにします。
- ESD ダイオードは、使用事例によって配置します。バッテリー短絡試験を必要とするシステムでは、ESD ダイオードを AC カップリング コンデンサのチップ側に配置できます。バッテリー短絡試験を必要としないシステムでは、より良い ESD 性能と信号インテグリティを得るために、ESD ダイオードをコネクタ側のできるだけ近くに配置できます。
- 補正手法を検証するためのシミュレーションの実行を強くお勧めします。

4 まとめ

このアプリケーション ノートでは、伝送ラインのインピーダンス、AC 結合コンデンサのランディング パッドの形状、ESD ダイオードの寄生容量、コネクタのフットプリント、S パラメータの性能に及ぼす信号ビアの構造など、重要な要因が及ぼす影響を分析しています。アンチパッド設計、グランド ビア間隔の最適化、非機能パッドの除去、ESD ダイオード容量の補償の手法などの最適化手法も提案されています。

注

この記事で紹介するシミュレーション結果とパラメータの選択は、この特定の設計例にのみ適用できます。新しい設計においては、エンジニアは各 PCB スタックアップおよびレイアウトに合わせた専用のシミュレーションを実施し、堅牢性と目標のチャネル仕様への準拠を確保する必要があります。

これらの設計ガイドラインと最適化戦略は、車載 SerDes アプリケーションに限定されるものではなく、他の高速ドメインにも適用可能です。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適したテキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているテキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかるテキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated