



概要

MSPM0 C シリーズ マイコン (MCU) 製品ラインアップはセンシング、測定、および制御のアプリケーション用に、幅広い超低消費電力低コスト 32 ビット MCU と統合型アナログ / デジタル ペリフェラルを提供します。このアプリケーション ノートでは、MSPM0 C シリーズ (MCU) を使用したハードウェア開発に必要な情報について説明しています。これには、電源、リセット回路、クロック、デバッグ接続、主要なアナログ ペリフェラル、通信インターフェイス、GPIO、および基板レイアウトのガイダンスに関する詳細なハードウェア設計情報が含まれます。

目次

1 MSPM0C ハードウェア設計チェックリスト	3
2 MSPM0C デバイスの電源	4
2.1 デジタル電源.....	4
2.2 アナログ電源.....	4
2.3 電源および電圧リファレンスを内蔵.....	6
2.4 電源に推奨されるデカップリング回路.....	6
3 リセットおよび電源スーパーバイザ	7
3.1 デジタル電源.....	7
3.2 電源スーパーバイザ.....	7
4 クロック システム	9
4.1 内部発振器.....	9
4.2 外部発振器および外部クロック入力.....	9
4.3 外部クロック出力 (CLK_OUT).....	11
4.4 周波数クロック カウンタ (FCC).....	12
5 デバッグ	14
5.1 デバッグ ポートのピンとピン配置.....	14
5.2 標準 JTAG コネクタを使用したデバッグ ポート接続.....	14
6 主要なアナログペリフェラル	17
6.1 ADC 設計の検討事項.....	17
6.2 COMP と DAC の設計上の検討事項.....	17
7 主要なデジタル ペリフェラル	19
7.1 タイマリソースと設計の検討事項.....	19
7.2 UART と LIN のリソースと設計の検討事項.....	19
7.3 I2C と SPI 設計の検討事項.....	22
8 GPIO	24
8.1 GPIO 出力のスイッチング速度と負荷容量.....	24
8.2 GPIO 電流シンクおよびソース.....	24
8.3 オープンドレイン GPIO により、レベル シフタなしで 5V 通信を実現.....	25
8.4 レベル シフタなしで 1.8V デバイスと通信する.....	25
8.5 未使用ピンの接続.....	26
9 レイアウト ガイド	27
9.1 電源レイアウト.....	27
9.2 グランド レイアウトに関する検討事項.....	27
9.3 トレース、ビア、その他の PCB コンポーネント.....	28
9.4 基板層の選択方法と推奨されるスタックアップ.....	29
10 ブートローダー	30

11 まとめ.....	30
12 参考資料.....	30
13 改訂履歴.....	30

図の一覧

図 1-1. MSPM0C の代表的なアプリケーション回路.....	4
図 2-1. VREF 回路.....	6
図 2-2. 電源デカップリング回路.....	6
図 3-1. NRST 推奨回路.....	7
図 3-2. POR / BOR と電源電圧 (VDD) の関係.....	8
図 4-1. MSPM0C シリーズ LFOSC.....	9
図 4-2. MSPM0C1105 および MSPM0C1106 の LFXT 回路.....	10
図 4-3. MSPM0C1103 および MSPM0C1104 の外部クロック入力 LFCLK_IN.....	10
図 4-4. MSPM0C1105 および MSPM0C1106 の HFXT 回路.....	10
図 4-5. MSPM0C1103 および MSPM0C1104 の外部クロック入力 HFCLK_IN.....	11
図 4-6. MSPM0C1103 および MSPM0C1104 の外部クロック出力.....	11
図 4-7. MSPM0C1105 および MSPM0C1106 の外部クロック出力.....	12
図 4-8. MSPM0C1103 および MSPM0C1104 の周波数クロック カウンタのブロック図.....	12
図 4-9. MSPM0C1105 および MSPM0C1106 の周波数クロック カウンタのブロック図.....	13
図 5-1. ホストからターゲット デバイスへの接続.....	14
図 5-2. MSPM0C SWD 内部プル.....	14
図 5-3. JTAG および MSPM0C 接続.....	14
図 5-4. XDS110 プローブの高レベル ブロック図.....	15
図 5-5. LP-MSPM0C1104 のプローブ.....	15
図 5-6. LP-MSPM0C1106 のプローブ.....	16
図 6-1. ADC 入力ネットワーク.....	17
図 6-2. MSPM0C1105 および MSPM0C1106 コンパレータのブロック図.....	18
図 7-1. 標準的な LIN TLIN1021A トランシーバ.....	21
図 7-2. MSPM0C を使用した代表的な LIN アプリケーション (コマンド).....	21
図 7-3. MSPM0C を使用した代表的な LIN アプリケーション (レスポンド).....	22
図 7-4. 異なる SPI 構成に対する外部接続.....	22
図 7-5. 代表的な I2C バス接続.....	23
図 8-1. 推奨される ODIO 回路.....	25
図 8-2. 1.8V デバイスで推奨される通信回路.....	25
図 9-1. 推奨される電源レイアウト.....	27
図 9-2. デジタル グランドとアナログ グランド、および共通領域.....	28
図 9-3. トレースを直角に曲げる不適切な方法と適切な方法.....	28
図 9-4. アナログ信号と高周波信号の不適切なクロストレースと適切なクロストレース.....	29
図 9-5. 4 層 PCB スタックアップの例.....	29

表の一覧

表 1-1. MSPM0C ハードウェア設計チェックリスト.....	3
表 5-1. MSPM0C デバッグ ポート.....	14
表 7-1. TIMx インスタンスの構成.....	19
表 7-2. UART の機能.....	20
表 7-3. MSPM0C UART 仕様.....	20
表 7-4. MSPM0C I2C の特性.....	23
表 8-1. MSPM0C1103 および MSPM0C1104 の GPIO スイッチング特性.....	24
表 8-2. MSPM0C1105 および MSPM0C1106 の GPIO スイッチング特性.....	24
表 8-3. MSPM0C GPIO 絶対最大定格.....	24
表 8-4. 未使用ピンの接続.....	26

商標

すべての商標は、それぞれの所有者に帰属します。

1 MSPM0C ハードウェア設計チェック リスト

表 1-1 に、MSPM0C ハードウェア設計プロセス中にチェックする必要がある主な信号を示します。詳細については、以下のセクションを参照してください。

表 1-1. MSPM0C ハードウェア設計チェック リスト

ピン (1)	説明	要件
VDD	正の電源ピン	VDD と VSS の間に 10 μ F と 100nF のコンデンサを配置し、これらの部品を VDD と VSS の近くに配置します。
VSS	負の電源ピン	
NRST	リセットピン	10nF のプルダウン コンデンサを使用して、47k Ω の外付けプルアップ抵抗を接続します。
VREF+(2)	外部リファレンス入力用の電圧リファレンス電源	VREF+ と VREF- を使用して ADC などのアナログ ベリフェラル用の外部電圧リファレンスを取り込む場合、デカップリング コンデンサを VREF+ から
VREF-(2)	外部リファレンス入力用の電圧リファレンスグラウンド電源	VREF- / GND に、外部リファレンスソースに基づく容量で配置する必要があります。外部電圧リファレンスを使用しない場合は、オープンのままにしても問題ありません。
SWCLK	デバッグ プローブからのシリアル ワイヤ クロック	VSS への内部プルダウン、外部部品は不要。
SWDIO	双方向 (共有) シリアル ワイヤ データ	VDD への内部プルアップ、外部部品は不要。
PA0, PA1	オープンドレイン I/O	出力 HIGH にはプルアップ抵抗が必要です
PA18(2)	デフォルトの BSL 起動ピン	リセット後に BSL モードに移行しないようにプルダウンを維持します。(BSL 起動ピンは再マッピング可能です。)
PAx (PA0, PA1 を除く)	汎用 I/O	対応するピン機能を GPIO (PINCMx.PF = 0x1) に設定し、未使用のピンが Low を出力するように、または未使用のピンが内部プルアップまたはプルダウン抵抗付き入力になるように構成します。

- (1) 汎用 I/O と共有されている機能を持つ未使用ピンについては、[セクション 8.5](#) に従ってください。
- (2) 外部リファレンス入力をサポートしているのは、MSPM0C1105 と MSPM0C1106 のみであり、MSPM0C1103 と MSPM0C1104 は内部リファレンスのみをサポートしています。デフォルトの BSL 起動ピンがあるのは、MSPM0C1105 と MSPM0C1106 のみであり、MSPM0C1103 および MSPM0C1104 にはデフォルトの BSL 起動ピンがありません。

テキサス インストルメンツでは、10 μ F と 0.1nF の低 ESR セラミック デカップリング コンデンサを組み合わせ、VDD および VSS ピンに接続することを推奨しています。より値の大きいコンデンサを使用することもできますが、電源レールの立ち上がり時間に影響を及ぼす可能性があります。デカップリング コンデンサは、デカップリングするピンのできるだけ近く (数 mm 以内) に配置する必要があります。

NRST リセットピンは、外部の 47k Ω プルアップ抵抗を 10nF のプルダウン コンデンサに接続するために必要です。

外部水晶振動子をサポートする MSPM0C1105 および MSPM0C1106 では、外部水晶振動子を使用するときに、水晶発振器ピン用の外部バイパス コンデンサが必要です。

5V 許容のオープンドレイン (ODIO) の場合、高出力にはプルアップ抵抗が必要です。この抵抗は、ODIO を使用する場合、Inter-Integrated Circuit (I2C) およびユニバーサル非同期レシーバ/トランスミッタ (UART) 機能に必要です。

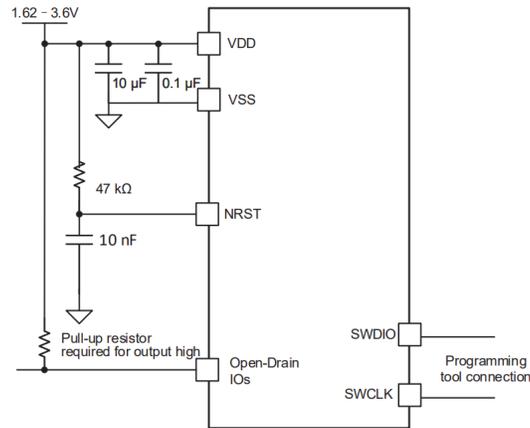


図 1-1. MSPM0C の代表的なアプリケーション回路

2 MSPM0C デバイスの電源

VDD および VSS 接続経路でデバイスに電力が供給されます。このデバイスは、1.62V ~ 3.6V の電源電圧での動作をサポートしており、1.62V の電源で開始できます。パワー マネージメント ユニット (PMU) は、デバイスのレギュレーション済みコア電源を生成し、外部電源の監視を行います。また、PMU や他のアナログ パリフェラルで使用されるバンドギャップ電圧リファレンスも内蔵しています。VDD は、IO 電源 (VDDIO) とアナログ電源 (VDDA) を供給するために直接使用されます。VDDIO と VDDA は内部で VDD に接続されているため、追加の電源ピンは必要ありません (詳細については、デバイス固有のデータシートを参照してください)。

2.1 デジタル電源

コア レギュレータ

デバイス コアに電力を供給するための 1.35V 電源レールを生成する低ドロップアウトリニア電圧レギュレータが内蔵されています。コアレギュレータは、シャットダウンを除くすべての電力モードでアクティブです。他のすべての電力モード (動作、スリープ、停止、スタンバイ) では、各モードの最大負荷電流をサポートするようにレギュレータのドライブ強度が自動的に構成されます。これにより、低消費電力モード使用時のレギュレータの静止電流が減少し、低消費電力性能が向上します。

2.2 アナログ電源

アナログ マルチプレクサ VBOOST

COMP をサポートする MSPM0C1105 と MSPM0C1106 では、PMU の VBOOST 回路が内部 VBOOST 電源を生成し、これが COMP のアナログ マルチプレクサで使用されます。VBOOST 回路により、外部電源電圧 (VDD) 範囲全体で一貫したアナログ マルチプレクサ性能を実現できます。

VBOOST のイネーブル / ディスエーブル

MSPM0C1105 と MSPM0C1106 では、SYSCTL が次のパラメータに基づいて VBOOST 回路のイネーブル要求を自動的に管理します。

1. COMP パリフェラル PWREN の設定。
2. イネーブルになっている任意の COMP のモード設定 (FAST モードと ULP モード)。
3. SYSCTL の GENCLKCFG レジスタの ANACPUMPCFG 制御ビット。

VBOOST は、SYSRST の後でデフォルトでディスエーブルになります。COMP を使用する前に、アプリケーション ソフトウェアで VBOOST 回路をイネーブルにしてください。アプリケーション ソフトウェアによって COMP がイネーブルになると、SYSCTL は VBOOST 回路もイネーブルにしてアナログ パリフェラルをサポートできるようにします。

VBOOST 回路には、ディスエーブル状態からイネーブル状態に遷移するためのスタートアップ時間要件 (標準値 12 μ s) があります。COMP の起動時間が VBOOST の起動時間よりも短い場合、VBOOST の起動時間を考慮してペリフェラルの起動時間が延長されます。

バンドギャップ電圧リファレンス

PMU は、温度および電源電圧に対して安定したバンドギャップ電圧リファレンスを提供します。この基準電圧は、以下のような内部機能にデバイスが使用します。

- ブラウンアウトリセット回路のスレッシュホールドの駆動。
- コアレギュレータのサポート。
- オンチップアナログペリフェラル向けのオンチップ VREF レベルの駆動。

バンドギャップリファレンスは、RUN、SLEEP、STOP モードでイネーブルになります。バンドギャップ電圧は、スタンバイでサンプリングされたモードで動作することで消費電力を低減し、シャットダウンモードでは無効化されています。

SYSCTL はバンドギャップ状態を自動的に管理し、ユーザー設定は不要です。

2.3 電源および電圧リファレンスを内蔵

MSPM0C ファミリー用の VREF モジュールは、さまざまなオンボード アナログ パリフェラルで利用できる共有電圧リファレンス モジュールです。

VREF モジュールの主な特長は次のとおりです。

- ユーザー選択可能な 1.4V および 2.5V の内部リファレンス。
- VREF+ および VREF- デバイス ピンでの外部リファレンスの受信をサポート。
- サンプル / ホールド モードは、スタンバイ動作モードまでの VREF 動作をサポートします。
- ADC、COMP の内部リファレンスをサポート。

MCU に外部基準電圧を供給する場合、基準ピンのデカップリング コンデンサを、電圧源に基づく値で接続することを、テキサス・インスツルメンツは推奨します (図 2-1 を参照)。

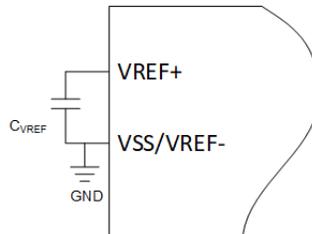


図 2-1. VREF 回路

2.4 電源に推奨されるデカップリング回路

10 μ F と 100nF の低 ESR セラミック デカップリング コンデンサの組み合わせを DVCC ピンに接続することが推奨されます (図 2-2 を参照)。より値の大きいコンデンサを使用することもできますが、電源レールの立ち上がり時間に影響を及ぼす可能性があります。デカップリング コンデンサは、デカップリングするピンのできるだけ近く (数 mm 以内) に配置する必要があります。

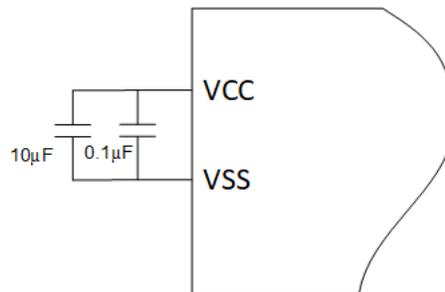


図 2-2. 電源デカップリング回路

3 リセットおよび電源スーパーバイザ

3.1 デジタル電源

このデバイスには 5 つのリセット レベルがあります。

- パワーオンリセット (POR)
- 電圧低下リセット (BOR)
- ブートリセット (BOOTRST)
- システムリセット (SYSRST)
- CPUリセット (CPURST)

リセット レベル間の関係の詳細については、『[MSPM0 C シリーズ 24MHz マイコン テクニカル リファレンス マニュアル](#)』を参照してください。

コールド スタート後、NRST ピンは NRST モードに設定されます。デバイスが正常に起動するには、NRST ピンが HIGH である必要があります。NRST には内部プルアップ抵抗はありません。外部回路 (DVCC へのプルアップ抵抗またはリセット制御回路) は、デバイスを起動するために NRST をアクティブに HIGH にする必要があります。手動リセットには、コンデンサとオープン ボタンが必要です (図 3-1 を参照)。デバイスが起動した後、持続時間が 1 秒未満の NRST の LOW パルスにより、BOOTRST がトリガされます。NRST の LOW パルスが 1 秒を超えて保持されると、POR がトリガされます。

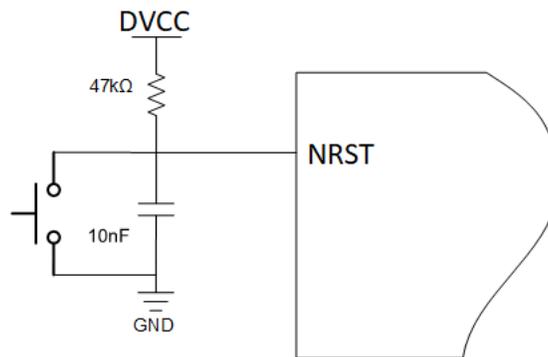


図 3-1. NRST 推奨回路

3.2 電源スーパーバイザ

3.2.1 パワーオンリセット (POR) モニタ

パワーオンリセット (POR) モニタは外部電源 (VDD) を監視し、SYSCTL に対する POR 違反をアサートまたはデアサートします。コールド パワーアップ時には、VDD が POR+ を通過するまでデバイスは POR 状態に保持されます。VDD が POR+ に合格すると、POR 状態が解放され、バンドギャップ リファレンスと BOR モニタ回路が開始されます。VDD が POR レベルを下回ると、POR 違反がアサートされ、デバイスは再度 POR リセット状態に保持されます。

POR モニタは、VDD がデバイスの正常な動作をサポートするのに十分なレベルに達したことを示していません。代わりに、これはブートプロセスの最初のステップであり、電源電圧がバンドギャップ リファレンスと BOR 回路の電源オンに十分であるかどうかを判定するために使用されます。これを使用して、デバイスが正常に動作するのに十分なレベルに電源が達しているかどうかを判定します。POR モニタはシャットダウンを含むすべての電力モードでアクティブであり、ディスエーブルすることはできません。POR トリガ波形を[セクション 3.2.3](#) に示します。

3.2.2 ブラウンアウトリセット (BOR) モニタ

ブラウンアウトリセット (BOR) モニタは外部電源 (VDD) を監視し、SYSCTL に対する BOR 違反をアサートまたはデアサートします。BOR 回路の主な役割は、コア レギュレータを含む内部回路が正常に動作できるように、外部電源を十分に高く維持することです。BOR スレッショルド基準電圧は、内部バンドギャップ回路から得られます。スレッショルドはプログラム可能で、常に POR スレッショルドよりも高くなります。コールド スタート時に、VDD が POR+ スレッショルドを超えると、バンドギャップ リファレンスと BOR 回路が開始されます。その後、VDD が BOR0+ スレッショルドを通過するまで、デ

バイスは BOR 状態に保持されます。VDD が BOR0+ を通過すると、BOR モニタはデバイスを解放してブートプロセスを続行し、PMU を開始します。BOR トリガ波形を [セクション 3.2.3](#) に示します。

3.2.3 電源変更時の POR および BOR 動作

電源電圧 (VDD) が POR- を下回ると、デバイス全体の状態がクリアされます。BOR0- スレッショルドを下回っていない VDD の小さな変動は BOR 違反を引き起こさず、デバイスは引き続き動作します。BOR0 以外の BORx スレッショルド (BOR1 ~ BOR3 など) の動作は、BOR0 の場合と同じですが、BOR 回路は BOR リセットを直ちにトリガするのではなく、割り込みを生成するように構成されています。

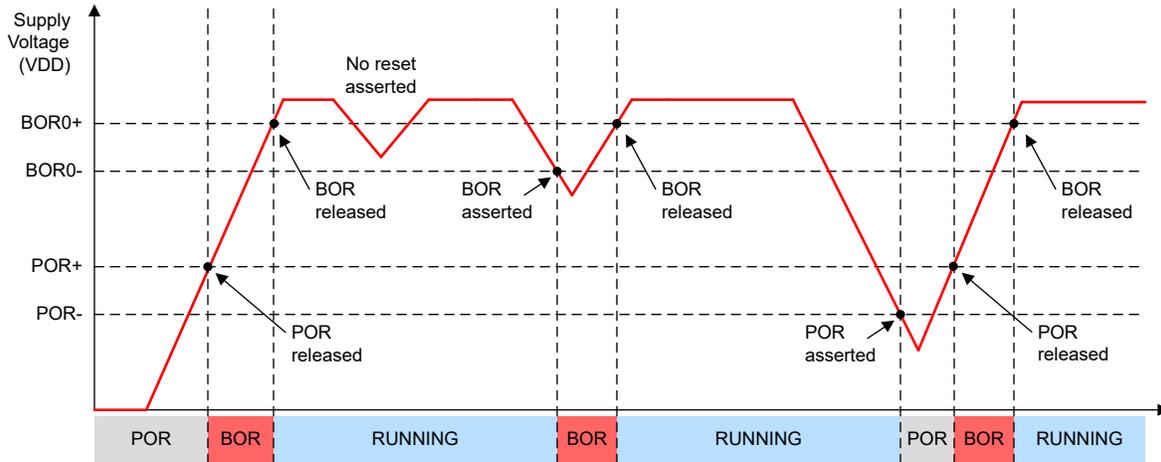


図 3-2. POR / BOR と電源電圧 (VDD) の関係

4 クロック システム

MSPM0C シリーズのクロック システムには、内部発振器、クロック モニタ、クロック選択および制御ロジックが含まれています。IO ピンに提供される基準周期またはパルスに対する高速クロックの周波数のチェックやキャリブレーションのために、周波数クロック カウンタも備えています。このセクションでは、さまざまな MSPM0C ファミリー デバイスのクロック リソースと、外部信号またはデバイスとの相互作用について説明します。MSPM0C1105 と MSPM0C1106 は外部発振器をサポートしていますが、MSPM0C1103 と MSPM0C1104 はサポートしていません。

4.1 内部発振器

4.1.1 内部低周波数発振器 (LFOSC)

LFOSC はオンチップの低消費電力発振器であり、32.768kHz の周波数に工場調整されています。LFOSC はシステムの低消費電力化に役立つ低周波数クロックを提供します。LFOSC は、低い温度範囲で使用する場合、より高い精度を実現できます。詳細については、デバイス固有のデータシートを参照してください。

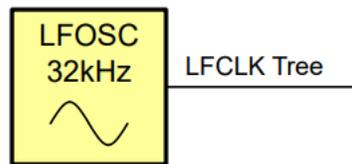


図 4-1. MSPM0C シリーズ LFOSC

4.1.2 内部システム発振器 (SYSOSC)

SYSOSC はオンチップの高精度で構成可能な発振器であり、工場出荷時に調整済みの周波数を備えています。MSPM0C1103 と MSPM0C1104 では、ベース周波数は 24MHz で、低周波数は 4MHz です。MSPM0C1105 と MSPM0C1106 では、ベース周波数は 32MHz で、低周波数は 4MHz です。SYSOSC は、コードの実行と処理性能のために CPU を高速で動作させるための高周波クロックを提供します。

SYSOSC 周波数補正ループ

SYSOSC アプリケーション全体の精度は、内部 ROOSC 抵抗の使用と温度によって決まります。MSPM0C1103 と MSPM0C1104 では、FCL モードの SYSOSC 回路の誤差は 25°C で $\pm 1.2\%$ 、0°C ~ 85°C で $-1.6\% \sim 1.4\%$ 、-40°C ~ 125°C で $-2\% \sim 1.4\%$ です。MSPM0C1105 と MSPM0C1106 では、FCL モードの SYSOSC 回路の誤差は -40°C ~ 125°C で $\pm 1.5\%$ です。

4.2 外部発振器および外部クロック入力

MSPM0C1103、MSPM0C1104、MSPM0C1105、MSPM0C1106 はすべて、LFCLK_IN ピンと HFCLK_IN ピンによる外部デジタル クロック入力の使用をサポートしています。また、MSPM0C1105 と MSPM0C1106 は、デバイスと温度の間でクロック精度をさらに向上させる必要のあるアプリケーション向けに、外部発振器をサポートしています。LFXT は LFOSC を置き換え、HFXT は SYSOSC を置き換えることができます。

4.2.1 低周波数水晶発振器 (LFXT)

MSPM0C1105 と MSPM0C1106 は、LFXT 機能をサポートしています。LFXT は超低消費電力の水晶発振器で、標準の 32.768kHz ウォッチ クリスタルの駆動をサポートしています。LFXT を使用するには、LFXIN ピンと LFXOUT ピンの間にウォッチ クリスタルを実装します。LFXIN ピンと LFXOUT ピンの両方に負荷コンデンサを配置して、回路グランド (VSS) に接続します。使用する水晶振動子の仕様に従って、水晶負荷コンデンサのサイズを変更します。プログラマブルなドライブ強度メカニズムにより、さまざまな種類の水晶振動子がサポートされています。レイアウトに関する推奨事項については、[レイアウトガイド](#) を参照してください。

4.2.4 HFCLK_IN (デジタル クロック)

MSPM0C1103 と MSPM0C1104 では、標準周波数 4 ~ 24MHz のデジタル クロックをデバイスに供給して、HFCLK ソースとして使用できます。MSPM0C1105 と MSPM0C1106 では、標準周波数 4 ~ 32MHz のデジタル クロックをデバイスに供給して、HFXT の代わりに HFCLK ソースとして使用できます。HFCLK_IN と HFXT は 相互排他 (ミューテックス) であり、同時に有効にすることはできません。

HFCLK_IN は、デジタル 方形波 CMOS クロック入力と互換性があり、推奨される標準デューティ サイクルは 50% です。

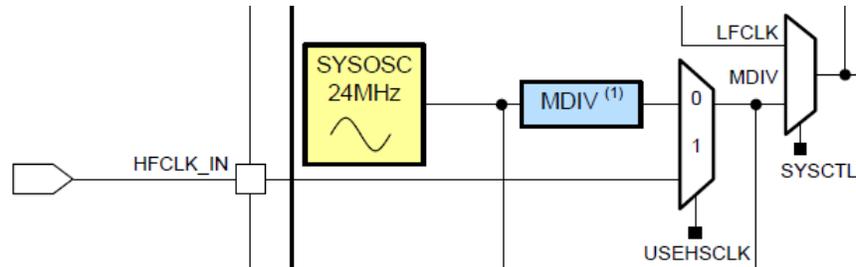


図 4-5. MSPM0C1103 および MSPM0C1104 の外部クロック入力 HFCLK_IN

4.3 外部クロック出力 (CLK_OUT)

デバイスから外部回路、または周波数クロック カウンタにデジタル クロックを供給するためのクロック出力ユニットが用意されています。この機能は、クロック ソースを持たない外部 ADC などの外部回路へのクロック供給に役立ちます。クロック出力ユニットには、選択可能なソースの柔軟なセットがあり、プログラマブル デバイダが含まれています。

MSPM0C1103 または MSPM0C1104 の CLK_OUT

MSPM0C1103 と MSPM0C1104 には、CLK_OUT に利用可能なクロック ソースがあります。

- SYSOSC
- ULPCLK
- LFCLK

選択したクロック ソースは、ピンまたは周波数クロック カウンタに出力する前に 2、4、6、8、10、12、14、または 16 で分周されます。

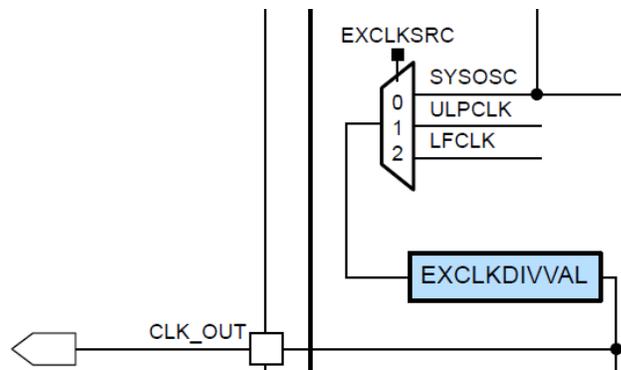


図 4-6. MSPM0C1103 および MSPM0C1104 の外部クロック出力

MSPM0C1105 および MSPM0C1106 の CLK_OUT

MSPM0C1105 と MSPM0C1106 には、CLK_OUT に利用可能なソースがあります。

- SYSOSC
- ULPCLK
- LFCLK
- HFCLK
- MFPCLK

選択したクロック ソースは、ピンまたは周波数クロック カウンタに出力する前に 2、4、6、8、10、12、14、または 16 で分周されます。

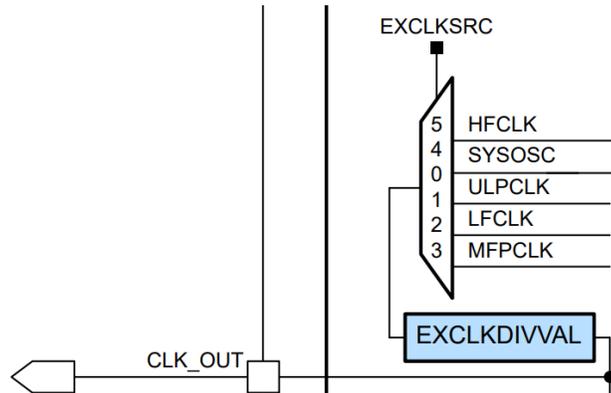


図 4-7. MSPM0C1105 および MSPM0C1106 の外部クロック出力

4.4 周波数クロック カウンタ (FCC)

周波数クロック カウンタ (FCC) を使用すると、デバイス上の各種発振器とクロックのテストとキャリブレーションを柔軟にインシステムで実施できます。FCC は、(2 次基準ソースから派生した) 既知の固定トリガ期間内に、選択したソース クロックで観測されるクロック周期の数をカウントし、ソース クロックの周波数を推定します。

MSPM0C1103 および MSPM0C1104 の FCC

MSPM0C1103 および MSPM0C1104 のアプリケーション ソフトウェアは、FCC を使用して、以下の発振器とクロックの周波数を測定できます。

- MCLK
- SYSOSC
- CLK_OUT
- 外部 FCC 入力 (FCC_IN)

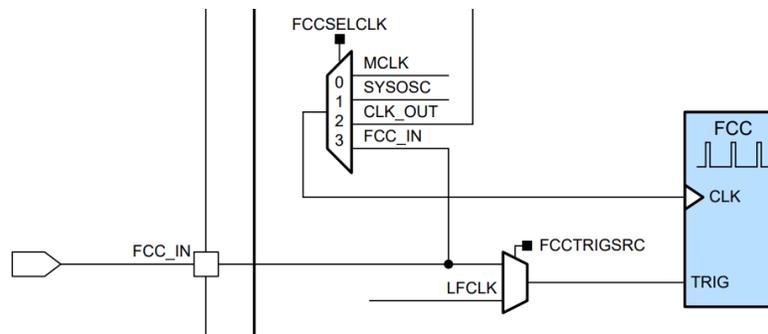


図 4-8. MSPM0C1103 および MSPM0C1104 の周波数クロック カウンタのブロック図

MSPM0C1105 および MSPM0C1106 の FCC

MSPM0C1105 および MSPM0C1106 のアプリケーション ソフトウェアは、FCC を使用して、以下の発振器とクロックの周波数を測定できます。

- MCLK
- SYSOSC
- CLK_OUT
- HFCLK
- 外部 FCC 入力 (FCC_IN)

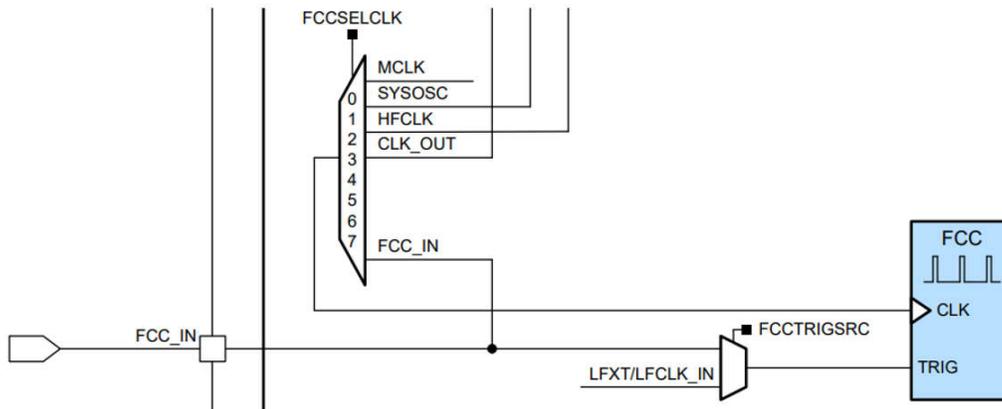


図 4-9. MSPM0C1105 および MSPM0C1106 の周波数クロック カウンタのブロック図

注

外部 FCC 入力 (FCC_IN 機能) は FCC クロック ソースまたは FCC トリガ入力として使用できますが、同じ FCC キャプチャ中に FCC 入力を両方の機能に使用することはできません。FCC 入力は、FCC クロック ソースまたは FCC トリガとして構成する必要があります。

5 デバッグ

デバッグ サブシステム (DEBUGSS) は、シリアルワイヤ デバッグ (SWD) の 2 線式物理インターフェイスを、デバイス内の複数のデバッグ機能に接続します。MSPM0C デバイスは、プロセッサの実行、デバイスの状態、電力状態 (EnergyTrace テクノロジーを使用) のデバッグをサポートしています。

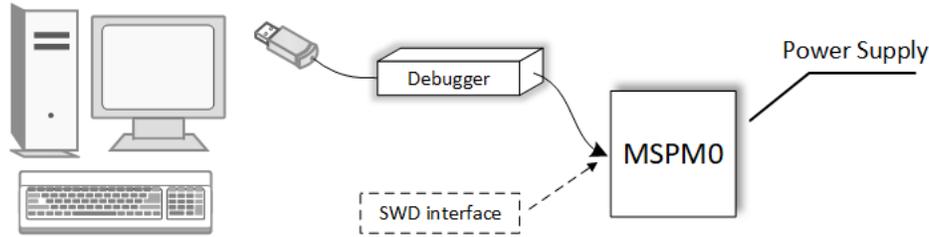


図 5-1. ホストからターゲット デバイスへの接続

5.1 デバッグ ポートのピンとピン配置

デバッグ ポートには、内部プルダウン抵抗とプルアップ抵抗を備えた (表 5-1 を参照) SWCLK と SWDIO が含まれています (図 5-2 を参照)。MSPM0L MCU ファミリーは、さまざまなピン数のさまざまなパッケージで提供されています。詳細については、デバイス固有のデータシートを参照してください。

表 5-1. MSPM0C デバッグ ポート

デバイス信号	方向	SWD の機能
SWCLK	入力	デバッグ プロブからのシリアルワイヤ クロック
SWDIO	入力 / 出力	双方向 (共有) シリアルワイヤ データ

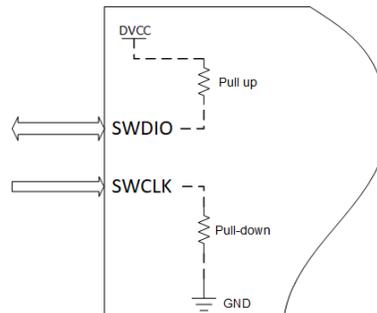


図 5-2. MSPM0C SWD 内部プル

5.2 標準 JTAG コネクタを使用したデバッグ ポート接続

図 5-3 に、MSPM0C ファミリー MCU SWD デバッグ ポートと標準 JTAG インターフェイスの接続を示します。

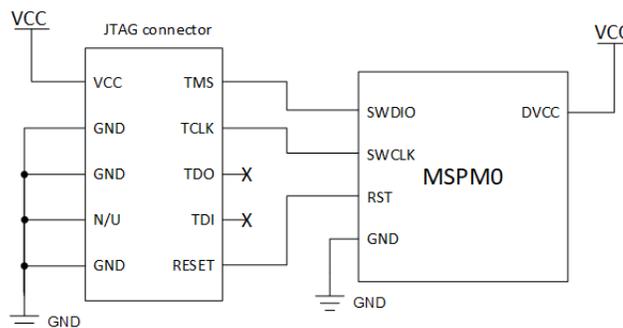


図 5-3. JTAG および MSPM0C 接続

MSPM0C デバイスの場合、XDS110 を使用してデバッグ / ダウンロード機能を実装できます。ここに XDS110 の内容を示し、ハードウェアのインストール手順を示します。

5.2.1 標準 XDS110

標準 XDS110 は、tj.com から購入できます。図 5-4 に、XDS110 プロブの主要な機能領域とインターフェイスの概略図を示します。

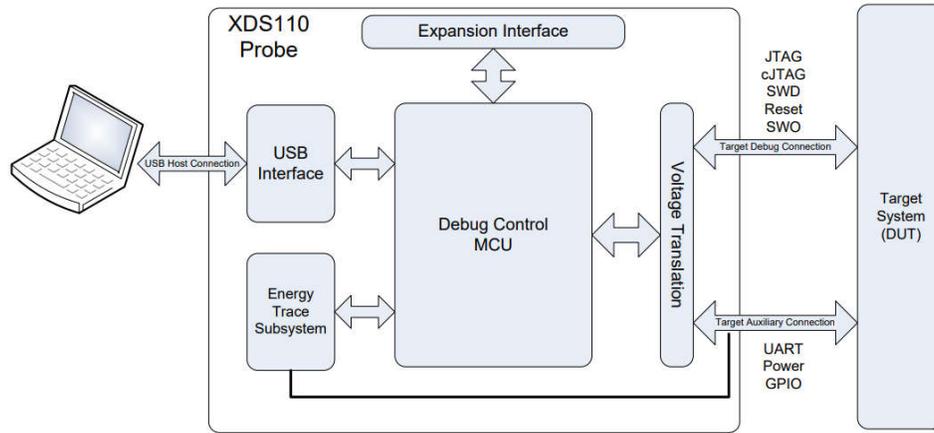


図 5-4. XDS110 プロブの高レベルブロック図

標準 XDS110 の詳細については、『[XDS110 デバッグプロブ ユーザーガイド](#)』を参照してください。

5.2.2 Lite XDS110 (MSPM0 LaunchPad™ キット)

MSPM0 LaunchPad キットには、XDS110 (Lite) 回路が含まれています。このデバッガを使用して、ファームウェアを MSPM0 デバイスにダウンロードすることもできます。図 5-5 に、LP-MSPM0C1104 の 2.54mm プロブを示します。また、図 5-6 に、LP-MSPM0C1106 の 2.54mm プロブと 10 ピンプロブを示します。

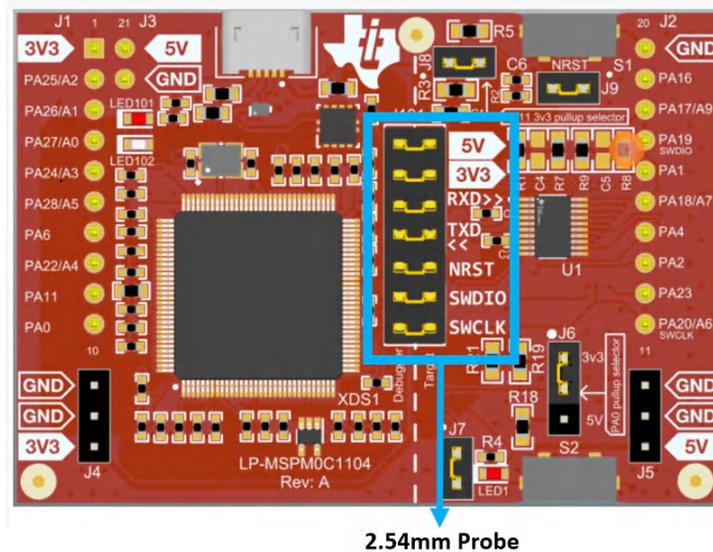


図 5-5. LP-MSPM0C1104 のプロブ

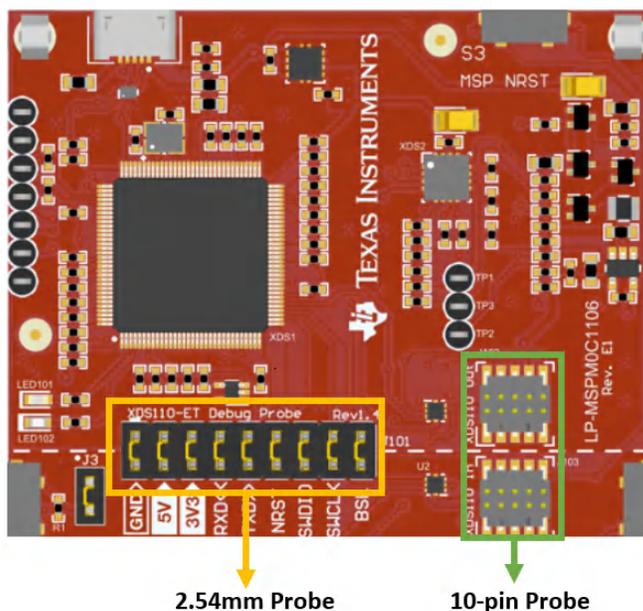


図 5-6. LP-MSPM0C1106 のプローブ

2.54mm プローブ:このポートは SWD プロトコルをサポートし、5V または 3.3V の電源を内蔵しています。SWDIO SWCLK 3V3 GND をボードに接続し、ファームウェアを MSPM0C デバイスにダウンロードできます。LP-MSPM0C1106 の 2.54mm プローブは、EnergyTrace テクノロジーもサポートしており、消費電力をリアルタイムで正確に測定できます。EnergyTrace テクノロジーの詳細については、[EnergyTrace テクノロジー ツール ページ](#) を参照してください。

10 ピン プローブ:LP-MSPM0C1106 では、このポートは JTAG および SWD プロトコルをサポートしており、3.3V 電源を内蔵しています。10 ピン ケーブルを使用してボードと XDS110 を接続し、ファームウェアを MSPM0C デバイスにダウンロードできます。

注

- 標準 XDS110 はデバッグ ポートのレベル シフトをサポートしており、XDS110 は 3.3V のプローブ レベルのみをサポートしています。
- テキサス・インスツルメンツでは、MSPM0C MCU 以外の他のデバイスへの電力供給に XDS110 を使用することを推奨していません。XDS110 には、電流駆動能力が制限された LDO が内蔵されています。
- XDS110 2.54mm プローブは JTAG プロトコルをサポートしていません。
- XDS110 10 ピン プローブは EnergyTrace テクノロジーをサポートしていません。

6 主要なアナログペリフェラル

MSPM0C シリーズ MCU は、高性能アナログ ペリフェラル リソースを搭載しており、チップ内で基本的なアナログ シグナル コンディショニング機能を実現できます。MSPM0C アナログ ペリフェラルの性能を最大限に活用するには、ハードウェア設計でいくつかの検討事項を考慮する必要があります。このセクションでは、多くの代表的なアナログ回路構成に関するアナログ設計上の考慮事項について説明します。

6.1 ADC 設計の検討事項

MSPM0C1103 と MSPM0C1104 には 12 ビット、最大 1.5Msps の A/D コンバータ (ADC)、MSPM0C1105 と MSPM0C1106 には 12 ビット、最大 1.6Msps の ADC が搭載されています。この ADC は、12、10、8 ビットの高速な A/D 変換をサポートしています。この ADC は、12 ビットの逐次比較型コア、サンプリング / 変換モード制御、最大 4 個の独立した変換 / 制御バッファを実装しています。

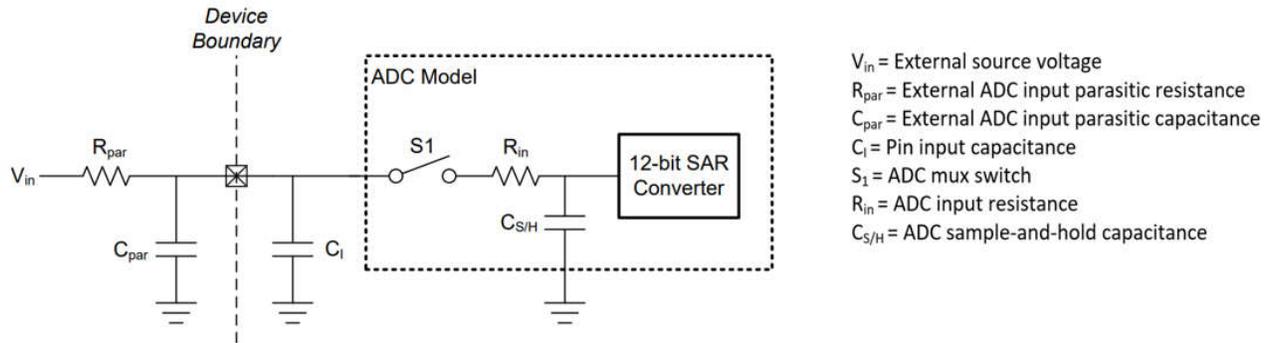


図 6-1. ADC 入力ネットワーク

希望の変換速度を達成し、高い精度を維持するには、ハードウェア設計で適切なサンプリング時間を設定します。サンプリング (サンプル アンド ホールド) 時間は、デジタル変換前に信号をサンプリングする時間を決定します。サンプル時間中は、内部スイッチにより入力コンデンサが充電されます。コンデンサを完全に充電するために必要な時間は、ADC 入力ピンに接続されている外部アナログ フロント エンド (AFE) に依存します。図 6-1 に MSPM0C MCU の代表的な ADC モデルを示します。 R_{in} と $C_{S/H}$ の値は、デバイス固有のデータシートから取得できます。AFE 駆動能力を理解し、信号のサンプリングに必要な最小サンプリング時間を計算してください。 R_{par} と R_{in} の抵抗は t_{sample} に影響を及ぼします。式 1 は、 n ビットおよび固定セトリング誤差変換の最小サンプル時間 t_{sample} の安全な値を計算するために使用できます。

$$t_{sample} \geq (\ln(2^n / \text{Settling error}) - \ln((C_{par} + C_i) / C_{S/H})) \times ((R_{par} + R_{in}) \times C_{S/H} + R_{par} \times (C_{par} + C_i)) \quad (1)$$

6.2 COMP と DAC の設計上の検討事項

MSPM0C1105 と MSPM0C1106 はコンパレータ モジュール (COMP) をサポートしています。これは、汎用コンパレータ機能を備えたアナログ電圧コンパレータです。MSPM0C1103 と MSPM0C1104 は COMP モジュールをサポートしていないことにご注意ください。このコンパレータ モジュールには内部および外部入力が含まれており、これらの構造を使用してアナログ信号を柔軟に処理できます。また、内部温度センサを COMP 入力として直接使用することができます。図 6-2 に、MSPM0C1105 および MSPM0C1106 のコンパレータ ブロック図を示します。

Comparator

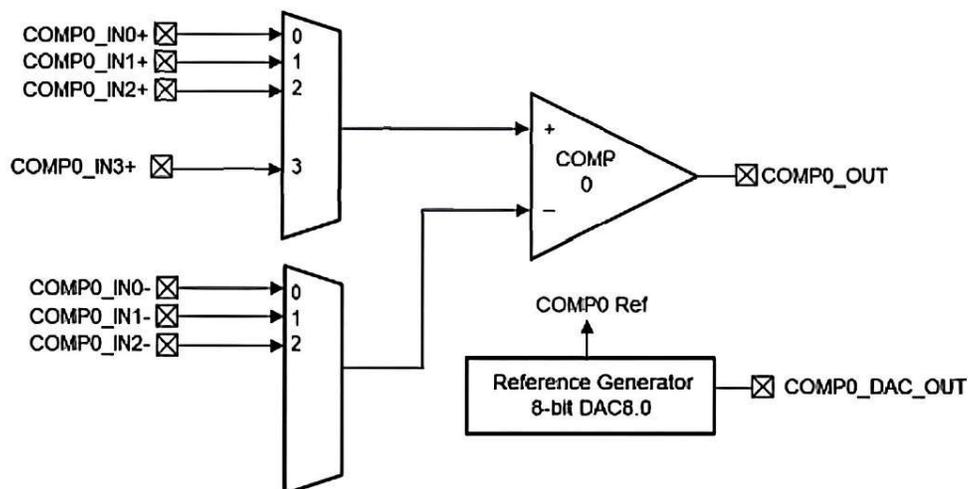


図 6-2. MSPM0C1105 および MSPM0C1106 コンパレータのブロック図

MSPM0C1105 および MSPM0C1106 では、8 ビット DAC を使用して COMP のリファレンス電圧を生成でき、デバイスピン (PA11) に出力することもできます。DAC の出力をデバイスピンに出力したい場合、以下のようなレジスタ設定が必要です。

- COMP の PWREN レジスタの ENABLE ビットを 1h に設定して、COMP の電力を有効にします
- COMP の CTL1 レジスタの DACOUTEN ビットを 1h に設定して、ピンへの DAC 出力機能を有効にします
- GENCLKCFG レジスタの ANACPUMPCFG ビットを 2h に設定して、VBOOST を常に有効にします

ただし、8 ビットの DAC 出力の駆動能力は弱いいため、DACOUT を使用して外部抵抗負荷を駆動することはできません。

7 主要なデジタル ペリフェラル

MSPM0C シリーズ MCU には、タイマ、UART、LIN、I2C、シリアル ペリフェラル インターフェイス (SPI) などのデジタル ペリフェラル リソースが含まれており、豊富な通信機能を提供します。MSPM0C デジタル ペリフェラルを最大限に活用するには、ハードウェア設計でいくつかの検討事項を考慮する必要があります。このセクションでは、多くの代表的なデジタル ペリフェラル構成に関する設計上の考慮事項について説明します。

7.1 タイマ リソースと設計の検討事項

タイマは、どの MCU でも最も基本的で重要なモジュールの 1 つであり、このリソースはすべてのアプリケーションで使用されています。タスクの定期的な処理、遅延、デバイス駆動用の PWM 波形の出力、外部パルスの幅と周波数の検出、波形出力のシミュレーションなどに使用できます。

MSPM0C シリーズ MCU には、汎用タイマ (TIMG) と高度制御タイマ (TIMA) が搭載されています。入力信号のエッジと期間の測定 (キャプチャ モード) や、PWM 信号のような出力波形の生成 (比較モード出力) など、さまざまな機能に使用できます。表 7-1 に、各タイマのさまざまな機能と構成の概要を示します。

表 7-1. TIMx インスタンスの構成

インスタンス	パワードメイン	カウンタ分解能	プリスケアラ	レポートカウンタ	CCP チャネル	位相負荷	シャドウ負荷	パイプライン CC	デッドバンド	フォールトハンドラ	QEI
TIMG0	PD0	16 ビット	8 ビット	-	2	-	-	-	-	-	-
TIMG1	PD0	16 ビット	8 ビット	-	2	-	-	-	-	-	-
TIMG2	PD0	16 ビット	8 ビット	-	2	-	-	-	-	-	-
TIMG3	PD0	16 ビット	8 ビット	-	2	-	-	-	-	-	-
TIMG4	PD0	16 ビット	8 ビット	-	2	-	あり	あり	-	-	-
TIMG5	PD0	16 ビット	8 ビット	-	2	-	あり	あり	-	-	-
TIMG6	PD1	16 ビット	8 ビット	-	2	-	あり	あり	-	-	-
TIMG7	PD1	16 ビット	8 ビット	-	2	-	あり	あり	-	-	-
TIMG8	PD0	16 ビット	8 ビット	-	2	-	-	-	-	-	あり
TIMG9	PD0	16 ビット	8 ビット	-	2	-	-	-	-	-	あり
TIMG10	PD1	16 ビット	8 ビット	-	2	-	-	-	-	-	あり
TIMG11	PD1	16 ビット	8 ビット	-	2	-	-	-	-	-	あり
TIMG12	PD1	32 ビット	-	-	2	-	-	あり	-	-	-
TIMG13	PD0	32 ビット	-	-	2	-	-	あり	-	-	-
TIMG14	PD1	16 ビット	8 ビット	-	4	-	-	-	-	-	-
TIMA0	PD1	16 ビット	8 ビット	あり	4/2	あり	あり	あり	あり	あり	-
TIMA1	PD1	16 ビット	8 ビット	あり	2/2	あり	あり	あり	あり	あり	-

- デバイス固有のデータシートを参照して、どの TIMG インスタンスおよび TIMA インスタンスがデバイスで使用可能なのか確認します
- デバイス固有のテクニカル リファレンス マニュアルで、各 TIMG インスタンスと各 TIMA インスタンスで利用可能な機能を確認します

7.2 UART と LIN のリソースと設計の検討事項

MSPM0C シリーズ MCU には、ユニバーサル非同期送受信機 (UART) が搭載されています。MSPM0C1103 と MSPM0C1104 は UART0 のみをサポートし、MSPM0C1105 と MSPM0C1106 は UART0、UART1、UART2 をサポートしています。表 7-2 に示すように、UART0 は LIN、DALI、IrDA、ISO7816 マンチェスター符号化機能をサポートしています。

表 7-2. UART の機能

UART の機能	UART0 (拡張)	UART1、UART2 (メイン)
停止およびスタンバイ モードでアクティブ	あり	あり
送信 FIFO と受信 FIFO を分離	あり	あり
ハードウェア フロー制御をサポート	あり	あり
9 ビット構成をサポート	あり	あり
LIN モードをサポート	あり	-
DALI をサポート	あり	-
IrDA をサポート	あり	-
ISO7816 スマート カードをサポート	あり	-
マンチェスター符号化をサポート	あり	-

表 7-3. MSPM0C UART 仕様

パラメータ		テスト条件	最小値	標準値	最大値	単位
f _{UART}	UART 入力クロック周波数	MSPM0C1103、MSPM0C1104			24	MHz
		MSPM0C1105、MSPM0C1106			32	
f _{BITCLK}	BITCLK クロック周波数 (MBaud のボー レートに 等しい)	MSPM0C1103、MSPM0C1104			3	MHz
		MSPM0C1105、MSPM0C1106			4	
t _{SP}	入力フィルタにより抑制さ れるスパイクのパルス持続 時間	AGFSELx = 0	MSPM0C1103、 MSPM0C1104	11	35	ns
			MSPM0C1105、 MSPM0C1106	6		
		AGFSELx = 1		14	35	ns
		AGFSELx = 2		22	60	ns
		AGFSELx = 3		35	90	ns

MSPM0C1103 および MSPM0C1104 UART モジュールは、最大 3MHz のボーレートをサポートできます。MSPM0C1105 および MSPM0C1106 UART モジュールは、最大 4MHz のボーレートをサポートできます。これらのボーレートは、ほぼすべての UART アプリケーションをサポートできます。

ローカル相互接続ネットワーク (LIN) は一般的に使用される低速ネットワーク インターフェイスで、複数のリモートレスポンス ノードと通信するコマンド ノードで構成されています。通信に必要なのは 1 本のワイヤのみであり、一般的に車両の配線ハーネスに含まれています。

TLIN1021A-Q1 のトランスミッタは最大 20kbps のデータレートをサポートしています。本トランシーバは、TXD ピン経由で LIN バスの状態を制御し、オープンドレインの RXD 出力ピンでバスの状態を報告します。このデバイスは、電磁放射 (EME) を低減するために電流制限付き波形整形ドライバを備えています。

TLIN1021A-Q1 は、広い入力電圧動作範囲の 12V アプリケーションに対応するように設計されています。このデバイスは低消費電力スリープ モードと、wake over LIN、WAKE ピン、EN ピンによる低消費電力モードからのウェークアップをサポートしています。このデバイスを使用すると、ノードに存在する可能性がある各種電源を TLIN1021A-Q1 の INH 出力ピンで選択的に有効にすることで、バッテリーの消費電流をシステム レベルで低減できます。図 7-1 に、テキサス・インスツルメンツ TLIN1021A LIN トランシーバを使用して実装されている代表的なインターフェイスを示します。

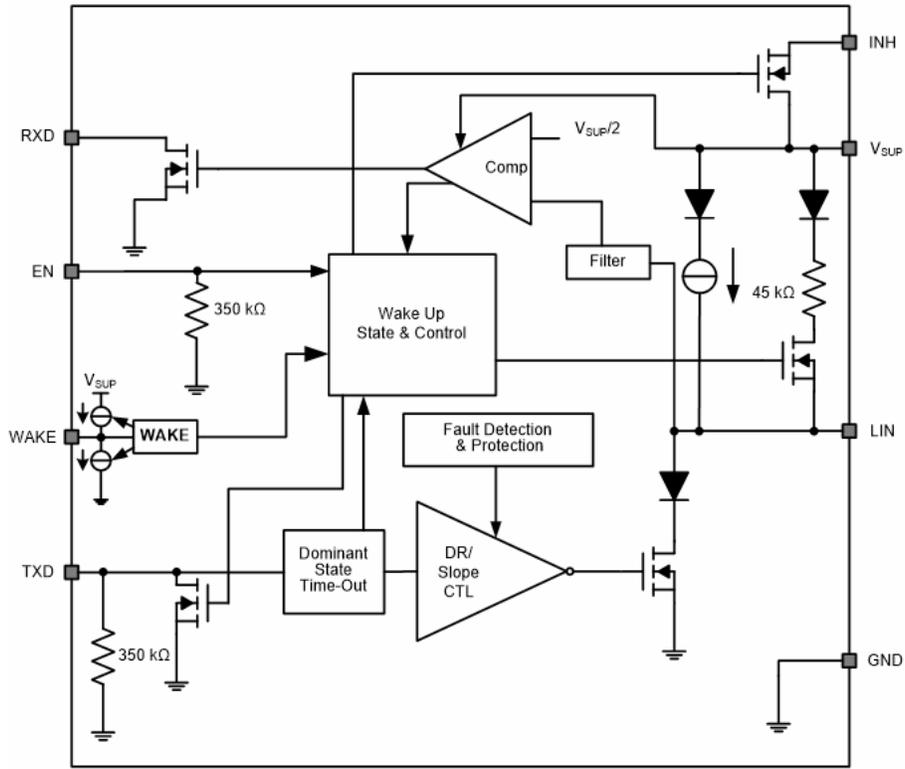


図 7-1. 標準的な LIN TLIN1021A トランシーバ

通信に必要なのは 1 本のワイヤのみであり、一般的に車両の配線ハーネスに含まれています。図 7-2 と 図 7-3 に、テキサス インストルメンツの TLIN1021A LIN トランシーバを使用して実装されている代表的なインターフェイスを示します。詳細は、デバイス固有の TLIN1021 データシートを参照してください。

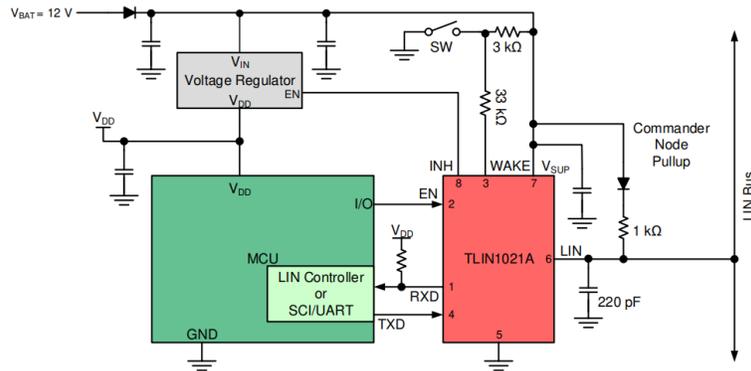


図 7-2. MSPM0C を使用した代表的な LIN アプリケーション (コマンド)

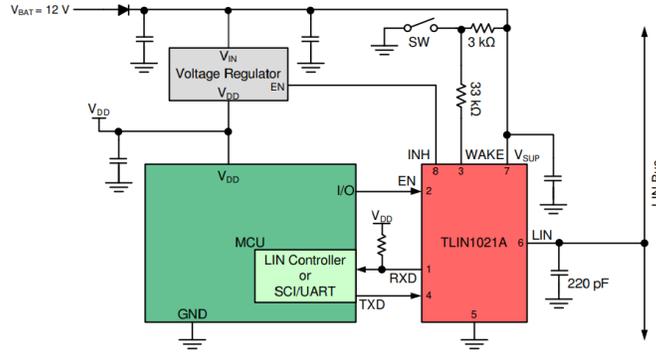


図 7-3. MSPM0C を使用した代表的な LIN アプリケーション (レスポнда)

7.3 I2C と SPI 設計の検討事項

SPI と I2C の各プロトコルは、MCU とセンサ間のデータ交換など、デバイスまたはボード間の通信に広く使用されています。MSPM0C1103 と MSPM0C1104 には最大 12MHz の高速 SPI が搭載され、MSPM0C1105 と MSPM0C1106 には最大 16MHz の高速 SPI が搭載されています。SPI は、3 線式、4 線式、チップ セレクト、コマンド モードをサポートしています。要件に基づいてシステムを設計するには、図 7-4 を参照してください。

一部の SPI ペリフェラル デバイスは、PICO (ペリフェラル入力コントローラ出力) を高ロジックに維持する必要があります。この場合、PICO ピンにプルアップ抵抗を追加します。

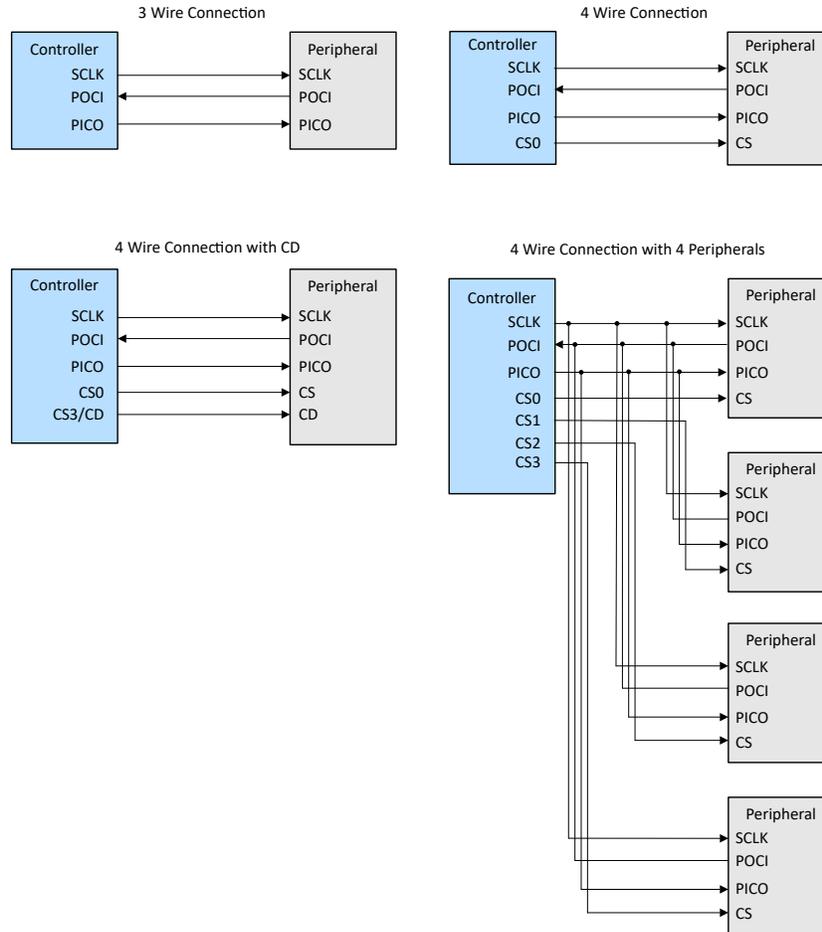


図 7-4. 異なる SPI 構成に対する外部接続

I2C バスの場合、MSPM0C デバイスは **表 7-4** に示すように、標準、高速、および高速プラス モードをサポートします。

I2C バスを使用する場合は、外部プルアップ抵抗が必要です。これらの抵抗の値は I2C の速度に依存します。テキサス インストルメンツでは、高速プラス モードをサポートするために 2.2k を推奨します。消費電力に関するシステムでは、大きな抵抗値を使用できます。ODIO (**セクション 8** を参照) を使用して、5V デバイスとの通信を実装できます。

表 7-4. MSPM0C I2C の特性

パラメータ	テスト条件	スタンダード モード		ファースト モード		ファースト モード プラス		単位	
		最小値	最大値	最小値	最大値	最小値	最大値		
f _{I2C}	I2C 入力クロック周波数	パワー ドメイン 0 の I2C	MSPM0C1103、MSPM0C1104		24		24		MHz
			MSPM0C1105、MSPM0C1106		2 32		8 32 20 32		
f _{SCL}	SCL クロック周波数	100K		400K		1M		Hz	
t _{HD,STA}	(リポート) スタート ホールド時間	4		0.6		0.26		us	
t _{LOW}	SCL クロックの Low 期間	4.7		1.3		0.5		us	
t _{HIGH}	SCL クロックの High 期間	4		0.6		0.26		us	
t _{SU,STA}	リポート スタート セットアップ時間	4.7		0.6		0.26		us	
t _{HD,DATA}	データ ホールド時間	0		0		0		us	
t _{SU,DATA}	データ セットアップ時間	250		100		50		us	
t _{SU,STOP}	ストップ セットアップ時間	4		0.6		0.26		us	
t _{BUF}	STOP 条件と START 条件の間のバス フリー時間	4.7		1.3		0.5		us	
t _{VD,DATA}	データ有効時間	3.45		0.9		0.45		us	
t _{VD,ACK}	データ有効アクリッジ時間	3.45		0.9		0.45		us	

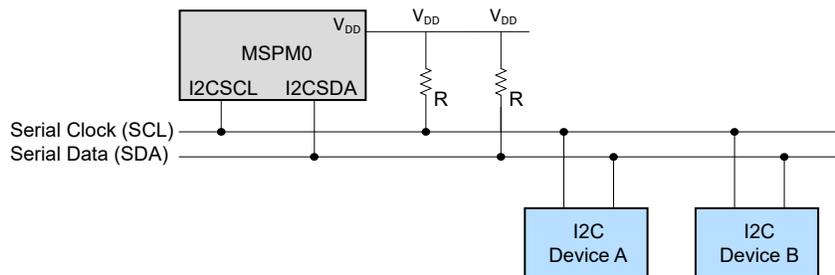


図 7-5. 代表的な I2C バス接続

8 GPIO

MSPM0C シリーズ MCU は、標準駆動 I/O (SDIO)、5V 許容のオープンドレイン I/O (ODIO) を搭載しています。ユーザーは、実際の要件に基づいて適切な I/O タイプを柔軟に選択できます。また、ハードウェア設計では、以下の特性を考慮する必要があります。

8.1 GPIO 出力のスウィッチング速度と負荷容量

GPIO を I/O として使用する場合、正しい動作を検証するために設計上の検討事項を考慮する必要があります。負荷容量が大きくなると、I/O ピンの立ち上がり / 立ち下がり時間が長くなります。この容量には、ピンの寄生容量 ($C_i = 5\text{pF}$ (標準値)) と基板のパターンの影響が含まれます。I/O 特性は、デバイス固有のデータシートに記載されています。表 8-1 に MSPM0C1103 と MSPM0C1104 の I/O 出力周波数特性を示します。また、MSPM0C1105 および MSPM0C1106 の I/O 出力周波数特性も示します。

表 8-1. MSPM0C1103 および MSPM0C1104 の GPIO スウィッチング特性

パラメータ		テスト条件		最小値	標準値	最大値	単位
f_{\max}	ポート出力周波数	SDIO	$VDD \geq 1.71\text{V}$, $C_L = 20\text{pF}$			24	MHz
		ODIO	$VDD \geq 1.71\text{V}$, FM^* , $C_L = 20\text{pF} \sim 100\text{pF}$			1	
t_r , t_f	出力立ち上がり / 立ち下がり時間	ODIO を除くすべての出力ポート	$VDD \geq 1.71\text{V}$			$0.3 \cdot f_{\max}$	s
t_f	出力立ち下がり時間	ODIO	$VDD \geq 1.71\text{V}$, FM^* , $C_L = 20\text{pF} \sim 100\text{pF}$	$20 \times VDD / 5.5$		120	ns

表 8-2. MSPM0C1105 および MSPM0C1106 の GPIO スウィッチング特性

パラメータ		テスト条件		最小値	標準値	最大値	単位
f_{\max}	ポート出力周波数	SDIO	$VDD \geq 1.71\text{V}$, $CL = 20\text{pF}$			16	MHz
			$VDD \geq 2.7\text{V}$, $CL = 20\text{pF}$			32	
		ODIO	$VDD \geq 1.71\text{V}$, FM^+ , $CL = 20\text{pF} \sim 100\text{pF}$			1	
t_r , t_f	出力立ち上がり / 立ち下がり時間	SDIO	$VDD \geq 1.71\text{V}$, $CL = 20\text{pF}$			3.5	ns
		SDIO	$VDD \geq 2.7\text{V}$, $CL = 20\text{pF}$			6.6	ns
t_f	出力立ち下がり時間	ODIO	$VDD \geq 1.71\text{V}$, FM^+ , $CL = 20\text{pF} \sim 100\text{pF}$			120	ns

注

- 出力電圧は、指定されたトグル周波数で 10% 以上、90% V_{CC} に達します。
- オープンドレイン I/O の出力立ち上がり時間は、プルアップ抵抗と負荷容量によって決まります。

8.2 GPIO 電流シンクおよびソース

表 8-3. MSPM0C GPIO 絶対最大定格

		最小値	公称値	最大値	単位
VDD	電源電圧	1.62		3.6	V
C_{VDD}	VDD と VSS の間に配置されたコンデンサ		10		μF
I_{VDD}	VDD ピンの電流	MSPM0C1103、 MSPM0C1104	$-40^\circ\text{C} \leq T_a \leq 85^\circ\text{C}$	80	mA
			MSPM0C1105、 MSPM0C1106	$-40^\circ\text{C} \leq T_j \leq 130^\circ\text{C}$	
		$-40^\circ\text{C} \leq T_j \leq 85^\circ\text{C}$	80		
I_{IO}	SDIO ピンの電流			6	mA
	ODIO ピンの電流			20	mA
T_A	周囲温度、S パージョン	-40		125	$^\circ\text{C}$
T_J	最大接合部温度、S パージョン			130	$^\circ\text{C}$

表 8-3. MSPM0C GPIO 絶対最大定格 (続き)

			最小値	公称値	最大値	単位
f _{MCLK}	MCLK、CPUCLK、 ULPCLK 周波数	MSPM0C1103、 MSPM0C1104	0 フラッシュ待機状態あり		24	MHz
		MSPM0C1105、 MSPM0C1106	0 フラッシュ待機状態あり		24	
			1 フラッシュ待機状態あり		32	

注

- I/O の合計電流は、I_{VDD} の最大値未満である必要があります。
- ODIO には固定ピンのパッチが適用されています。デバイスのデータシートを参照してください。

SDIO は最大電流 6mA (標準値) のシンクまたはソースが可能で、標準的な LED を駆動するのに十分です。合計結合電流は I_{VDD} 未満である必要があります。

8.3 オープンドレイン GPIO により、レベル シフトなしで 5V 通信を実現

ODIO は 5V 入力に対応しています。ODIO はオープンドレインであるため、ピンが HIGH に出力できるようにするには、外部プルアップ抵抗が必要です。この I/O は、さまざまな電圧レベルの UART または I2C インターフェイスに使用できます。電流を制限するには、ピンとプルアップ抵抗の間に直列抵抗を配置し、R_{SERIES} を 250Ω 以上にする必要があります。図 8-1 に示すように、テキサス インストルメンツは 270Ω を推奨します。プルアップ抵抗の値は、出力周波数によって異なります (セクション 7.3 を参照)。

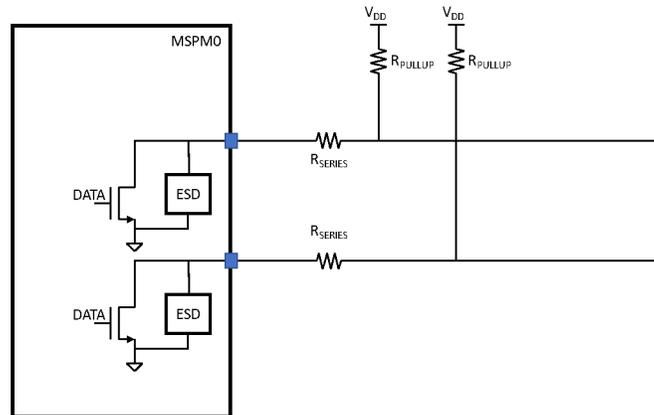


図 8-1. 推奨される ODIO 回路

8.4 レベル シフトなしで 1.8V デバイスと通信する

MSPM0C シリーズのデバイスは、3.3V のロジックレベルを使用します (ODIO を除く)。外部レベル シフト デバイスなしで 1.8V デバイスと通信できるように、図 8-2 に 1.8V デバイスとインターフェイスするための推奨回路を示します。

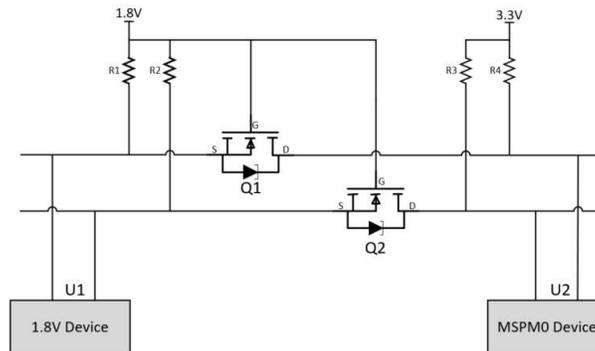


図 8-2. 1.8V デバイスで推奨される通信回路

この回路では 2 個の MOSFET を使用しています。VGS をチェックし、低い RDS(on) で MOSFET が完全にオンになることを確認します。1.8V デバイスの場合、MOSFET の VGS を 1.8V 未満にしてください。ただし、VGS が非常に低い MOSFET は使用しないでください。この場合、MOSFET は非常に小さな電圧でオンになり (MCU ロジックは 0 と判定)、通信ロジック エラーが発生します。

U1 出力、U2 入力

1. U1 出力が 1.8V HIGH の場合、Q1 VGS が 0 付近となるため、Q1 はオフになり、U2 は R4 で 3.3V HIGH と表示されます。
2. U1 出力が LOW の場合、Q1 VGS が 1.8V 付近となるため、Q1 はオンになり、U2 は LOW と表示されます。

U1 入力、U2 出力

1. U2 出力が 3.3V HIGH の場合、U1 が R1 で 1.8V を維持するため、Q1 はオフになり、U1 は 1.8V HIGH と表示されます。
2. U2 出力が LOW の場合、最初は U1 が R1 で 1.8V を維持しますが、MOSFET のダイオードが U1 を 0.7V にプルダウンします (ダイオードの電圧降下)。これにより VGS がターンオン電圧よりも高くなり、Q1 がオンになり、U1 は LOW と表示されます。

8.5 未使用ピンの接続

すべてのマイコンはさまざまなアプリケーション向けに設計されており、多くの場合、特定のアプリケーションでは MCU リソースの 100% を使用していません。

EMC 性能を向上させるため、未使用のクロック、カウンタ、I/O をフリーまたはフローティングのままにしないでください。たとえば、I/O を 0 または 1 に設定し (未使用の I/O ピンのプルアップまたはプルダウン)、未使用の機能を無効にします。

表 8-4. 未使用ピンの接続

ピン	潜在的な	コメント
PAX	オープン	対応するピン機能を GPIO (PINCMx.PF = 0x1) に設定し、未使用のピンが Low を出力するように、または未使用のピンが内部プルアップまたはプルダウン抵抗付き入力になるように構成します。
NRST	VDD	NRST はアクティブ "Low" のリセット信号であり、VCC にプルアップして HIGH に維持する必要があります。そうしないと、デバイスを起動できません。

注

- リークエージを低減するため、I/O をアナログ入力として構成するか、プッシュプルとして構成し、0 に設定することを推奨します。
- リセット後に BSL モードに移行しないように、BSL 起動ピンをプルダウンする必要があります。

9 レイアウトガイド

9.1 電源レイアウト

図 9-1 に、電源レイアウトの代表的な部品配置と配線を示します。MSPM0C 部品に合わせて適切に変更する必要があります。オプションとして、VCC および MCU VDD ピンと直列にフィルタ インダクタを接続できます。このインダクタを使用して、DC / DC のスイッチング ノイズ周波数をフィルタリングします。この値については、DC / DC ベンダのデータシートを参照してください。MSPM0C デバイスのデータシートに掲載されている C1、C2、C3 の値とレイアウト。

注

- 最小の容量は、MCU VDD ピンにできるだけ近い値 ($C1 < C2 < C3$) に維持します。
- すべてのトレースは、ビアなしで直接接続できます。

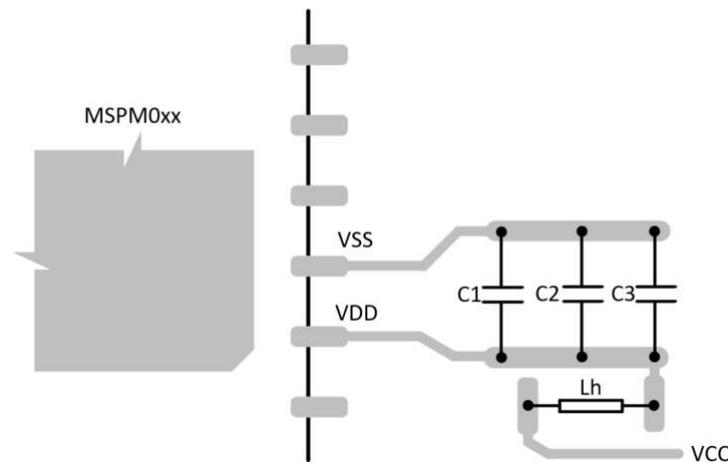


図 9-1. 推奨される電源レイアウト

9.2 グランドレイアウトに関する検討事項

システム グランドは、ボード上のノイズと EMI の問題に関連する最も重要な領域と基盤です。これらの問題を最小化する最も実用的な方法は、個別のグランド プレーンを用意することです。

9.2.1 グランド ノイズとは？

回路 (ドライバなど) から発生する各信号は、グランド パスを経由してソースに電流を戻します。周波数が高くなるにつれて、またはリレーのように単純で大電流のスイッチングを行う場合でも、接地方式で干渉を発生させるライン インピーダンスに起因する電圧降下が発生します。帰路は常に最小抵抗を経由します。DC 信号の場合、これが最も抵抗性の低いパスになります。高周波信号の場合、これが最もインピーダンスの低いパスになります。これは、グランド プレーンを使用して問題を簡素化する方法を説明し、シグナル インテグリティを確保するための鍵となります。

テキサス インストルメンツは、デジタル復帰信号がアナログ復帰 (グランド) 領域内に伝搬することは推奨しません。したがって、グランド プレーンを分割して、すべてのデジタル信号復帰ループをグランド領域内に維持する必要があります。この分割は慎重に行う必要があります。多くの設計では、単一 (コモン) の電圧レギュレータを使用して、同じ電圧レベル (3.3V など) のデジタルおよびアナログ電源を生成します。アナログ レールとデジタル電源レール、およびそれぞれのグランドを互いに絶縁します。グランドを絶縁するときは、両方のグランドをどこかに短絡する必要があるため、注意してください。図 9-2 に、デジタル信号のリターン パスがアナログ グランドを通過するループを形成できないことを示します。各設計で、部品の配置などを考慮して一般的なポイントを決定します。グランドトレースと直列にインダクタ (フェライト ビーズ) や抵抗 (ゼロ Ω ではない) を追加しないでください。高周波での関連インダクタンスによりインピーダンスが増加し、電圧差が生じます。デジタル グランドを基準とする信号は、アナログ グランドまたは他の方向には配線しないでください。

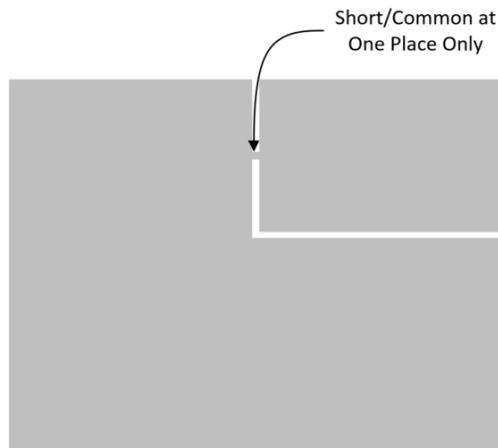


図 9-2. デジタル グランドとアナログ グランド、および共通領域

9.3 トレース、ビア、その他の PCB コンポーネント

トレース内で直角を使用すると、より多くの放射線が発生する可能性があります。コーナーの領域で静電容量が増加し、特性インピーダンスが変化します。このインピーダンス変化は反射を引き起こします。トレース内で直角の曲げを避け、45度のコーナーを 2 個以上使用してそれらを配線してください。図 9-3 に示すように、インピーダンスの変化を最小限に抑えるための最適な配線は円形の曲げです。

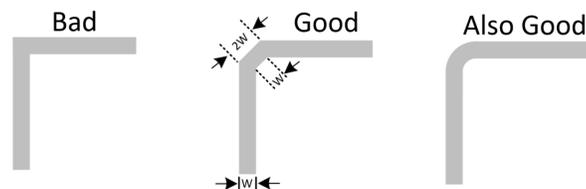


図 9-3. トレースを直角に曲げる不適切な方法と適切な方法

クロストークを最小限に抑えるために、1 つの層の 2 つの信号間だけでなく、隣接する層の間にも 90 度で配線します。より複雑な基盤では、配線時にビアを使用する必要がありますが、ビアを使用することによってインダクタンスと容量が追加されるため、注意が必要です。また、特性インピーダンスの変化により反射が発生します。また、ビアを使用するとトレースの長さも長くなります。差動信号を使用する場合は、両方のトレースにビアを使用するか、もう一方のトレースでも遅延を補償します。

信号トレースの場合、特に比較的小さいアナログ信号 (センサ信号など) に高周波パルス信号が及ぼす影響に注意を払います。クロスオーバーが多すぎると、高周波信号の電磁ノイズがアナログ信号に結合され、信号の信号対雑音比が低くなり、信号の品質に影響を及ぼします。したがって、設計時に交差しないでください。ただし、確実に回避できない交点が存在する場合、テキサス インストルメンツでは電磁ノイズの干渉を最小限に抑えるために垂直に交差することを推奨します。図 9-4 に、このノイズを低減する方法を示します。

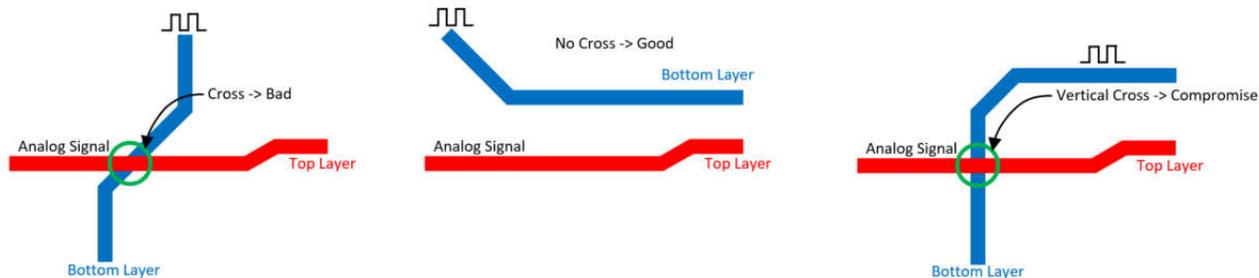


図 9-4. アナログ信号と高周波信号の不適切なクロスと適切なクロス

9.4 基板層の選択方法と推奨されるスタックアップ

高速信号の反射を低減するには、ソース、シンク、伝送ライン間のインピーダンスを一致させます。信号トレースのインピーダンスは、その形状と、リファレンスプレーンに対する信号トレースの位置に依存します。

特定のインピーダンス要件に対する差動ペア間のパターン幅と間隔は、選択した PCB スタックアップによって異なります。PCB テクノロジーの種類やコスト要件に応じて、最小のパターン幅と間隔に制限があるため、必要なインピーダンスをすべて実現できるように、PCB スタックアップを選択する必要があります。

使用できる最小構成は 2 つのスタックアップです。複数の高速信号を持つ高密度 PCB には、4 層または 6 層の基板が必要です。

以下のスタックアップ (図 9-5 を参照) は、スタックアップの評価と選択を支援するための出発点として使用できる 4 層の例です。これらのスタックアップ構成では、電源プレーンに隣接する GND プレーンを使用して静電容量を増加させ、GND と電源プレーン間のギャップを小さくします。最上層の高速信号にはソリッドな GND リファレンスプレーンがあり、EMC 放射の低減に役立ちます。これは、層数が増加し、各 PCB 信号層に GND リファレンスを配置することで、放射 EMC 性能がさらに向上するためです。

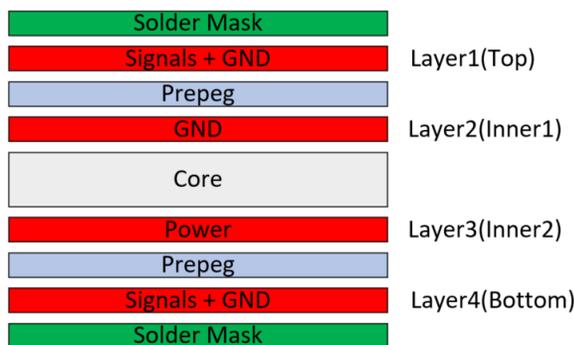


図 9-5. 4 層 PCB スタックアップの例

システムがそれほど複雑ではなく、高速信号や敏感なアナログ信号が存在しない場合、2 つのスタックアップ構成で十分です。

10 ブートローダー

MSPM0C1103 と MSPM0C1104 には、ROM BSL はありません。ユーザーは、セカンダリ BSL を使用し、セカンダリ BSL コードをフラッシュ内の 0x0 アドレスに配置する必要があります。MSPM0C1105 と MSPM0C1106 にも ROM BSL はありませんが、MSPM0C1105 および MSPM0C1106 は、BSL 起動ピン設定とセカンダリ BSL アドレス (代替 BSL アドレス) 設定を NONMAIN で行うことができます。これらの構成により、MSPM0C1105 と MSPM0C1106 はブートプロセスで起動ピンをチェックし、セカンダリ BSL アドレスに直接ジャンプできます。

11 まとめ

このアプリケーション ノートでは、テキサス インストルメンツの MSPM0 C シリーズ マイコン (MCU) に関する包括的なハードウェア設計ガイドラインを提供します。この資料では、低消費電力アプリケーション向けに設計されたコスト効率の優れた 32 ビット MCU を扱う開発者にとって、重要な実装を詳しく説明しています。このアプリケーション ノートには、以下のよう主要ハードウェア コンポーネントの設計と実装のための実践的な手順が掲載されています。

- 電源構成
- リセット回路設計
- クロック システムのセットアップ
- デバッグ インターフェイスの接続
- アナログ パリフェラルの実装
- 通信インターフェイスの統合
- GPIO による構成
- PCB レイアウトに関する推奨事項

この資料は、センシング、測定、制御の各アプリケーションで MSPM0 C シリーズ MCU を使用してハードウェア設計を開発するエンジニア向けのリファレンス マニュアルとして活用できます。

12 参考資料

- テキサス インストルメンツ、『[MSPM0C1104 ミックスド シグナル マイコン](#)』データシート
- テキサス インストルメンツ、『[MSPM0C1105、MSPM0C1106 ミックスド シグナル マイコン](#)』データシート
- テキサス インストルメンツ、『[MSPM0 C シリーズ 24MHz マイコン テクニカル リファレンス マニュアル](#)』
- テキサス インストルメンツ、『[MSPM0 L シリーズ MCU ハードウェア開発ガイド](#)』アプリケーション ノート

13 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (June 2025) to Revision B (July 2025)	Page
• MSPM0C1105 と MSPM0C1106 に関する新しい情報で、ドキュメント全体を更新.....	1
• 表 1-1 の情報を更新。.....	3
• 「 低周波数水晶発振器 (LFXT) 」セクションを追加.....	9
• 「 高周波数水晶発振器 (HFXT) 」セクションを追加.....	10
• データシートに新しいリファレンスを追加.....	30

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適したテキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているテキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかるテキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適したテキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、ます。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているテキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかるテキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated