

Application Brief

LMX2624 のフル アシスト



Narala Reddy

はじめに

複数の周波数間での周波数ホッピングは、スイッチング時間が非常に短く求められるダウン コンバータやアップ コンバータのチェーンなど、複数のシステムにおいて行われる応用例があります。図 1 は、受信信号と混合するために、1 つ以上の局発振器 (LO) を用いて異なる周波数信号を生成する、典型的な受信機の構成を示しています。

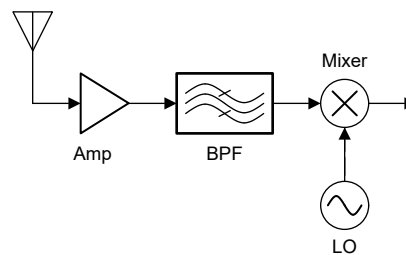


図 1. RX チェーン

周波数ホッピングにおける課題

- 集積 VCO を基にした RF シンセサイザは、キャップ バンクの長さに依存して複数の周波数帯域を持っています。
- 周波数帯域の数は、VCO の広帯域周波数カバレレッジや、使用される VCO の数に依存します。
- 周波数を F1 から F2 にホップさせる際の課題は、VCO の位相ノイズを劣化させることなく、より短時間で F2 に対応する周波数帯を選択することです。
- 周波数帯域を選択すると、PLL の帯域幅に基づくスムーズなセトリングが行われます。F1 から F2 へ周波数を切り替える際にかかる、全体の安定化時間がロック時間です。
- 周波数ホッピングの際にかかる時間の大部分は、位相ノイズの劣化なく周波数帯域を選択するための VCO キャリブレーションに費やされます。
- アーキテクチャによっては、K バンド周波数生成用の一部の RF シンセサイザが開ループ乗算器を使用しており、これらはキャリブレーションが必要です。

ロック時間のコンポーネント

周波数が F1 から F2 へホップされる際、そのホップにかかる時間をロック時間と定義し、これは以下の一連の動作を含みます。

- レジスタ書き込みタイミング：
 - SPI レジスタへの書き込みは、PLL を所望の周波数にロックさせるために、N.F (整数部+小数部) などの設定を変更することを含みます。
- VCO/乗算器の較正時間：
 - 要求される周波数に対して、特定の VCO 帯域と振幅設定を選択する必要があります。使用するキャリブレーション方法の種類によって、VCO のキャリブレーション時間が変化します。チューニングされたフィルタに基づく乗算器構成の場合、特定の周波数に対して最も高い利得が得られるバンドを選択し、最良の位相ノイズを得るために振幅設定を選択する必要があります。
- アナログ セトリング タイム：

- VCO バンドと振幅が選択された後、期待される周波数と比べて若干の周波数差 (デルタ) が生じます。PLL はバラクタの制御電圧 v_{tune} を調整し、 v_{tune} が期待される周波数に合うように必要な電圧に合わせます。PLL には、PLL の帯域幅に応じて特定の帯域幅とバラクタ セットリングがあります。

LMX2624 での設計

- VCO と乗算器の両方に対する FULL ASSIST 機能は、VCO と乗算器のキャリブレーション時間を完全に排除します。
- 毎回 VCO と乗算器のキャリブレーションを行う代わりに、特定の周波数でキャリブレーション コードを一度記録しておき、一括して強制適用することで、より高速な周波数切り替えが可能になります。
- ロック時間は現在、レジスタ書き込み時間とアナログ ループ セットリングで構成されています。
- SPI は 40MHz と同程度の値に設定できます

LMX2624 のフル アシスト機能

- 周波数を F1 から F2 に切り替える際には、PLL のフィードバック分周器および VCO/乗算器のキャリブレーション コードを SPI を通じて書き込む必要があります。したがって、ここでは SPI の速度や書き込むレジスタの数に応じて、レジスタ書き込みの待ち時間が発生します。このレジスタの書き込み時間中は、出力周波数が不安定になる可能性があります。望ましくありません。
- これを回避するために、F2 へ切り替えるために必要なレジスタは内部のシャドウ レジスタ (ダブル バッファ付き) に格納されており、特定の一つのレジスタ (SR) が書き込まれたときにのみ適用されます。
- これにより、すべてのキャリブレーション コードが特定のレジスタの切り替え後に一括でそれぞれのブロックに送られるため、周波数切り替えが非常に高速になります。図 2 に、フル アシスト機能ありとなしでの出力周波数の外観を示します。
- アナログ PLL ロック時間は、PLL 帯域幅に依存します。

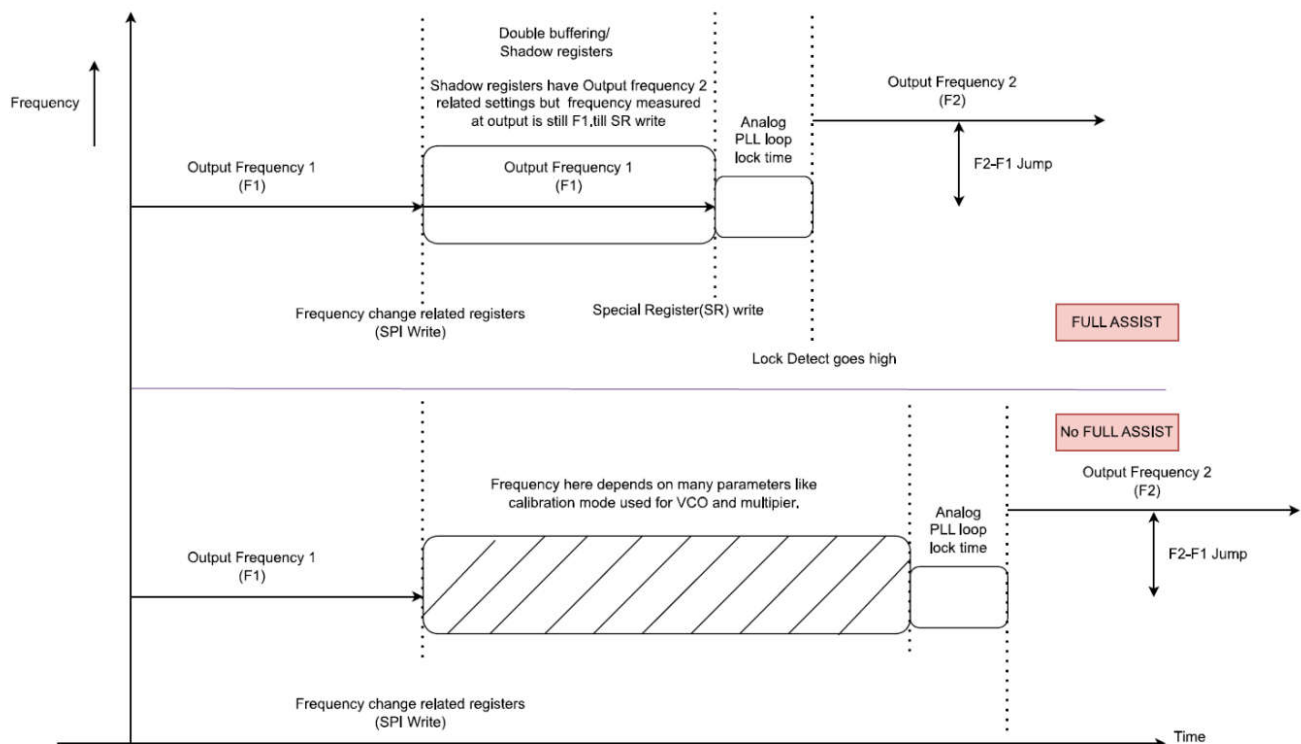


図 2. 時間に伴うフル アシスト周波数過渡応答

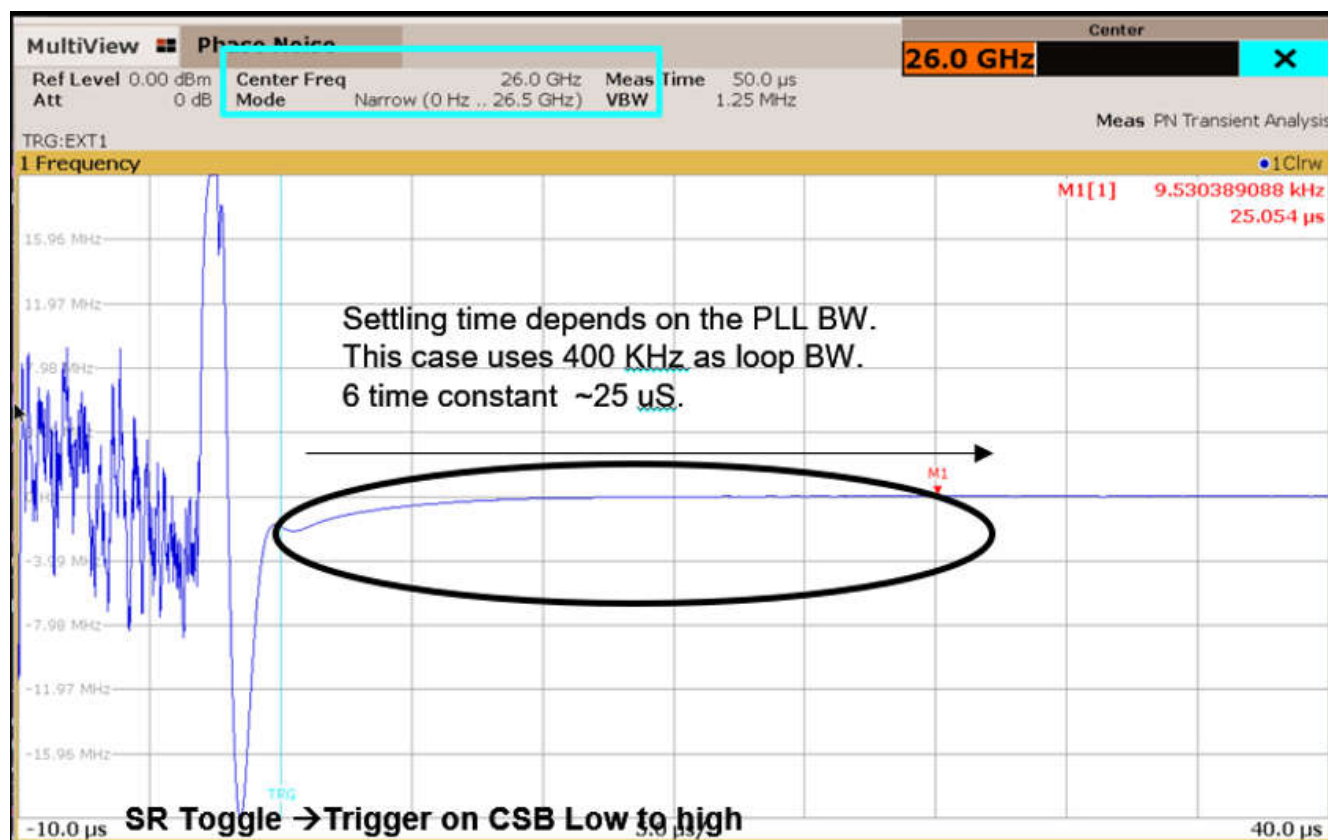


図 3. フル アシストでの FSWP 周波数セリング時間

図 3 は、周波数が 16GHz から 26GHz にジャンプする際に、特別なレジスタのトリガーによって開始される 26GHz でのシリコン位相ノイズのプロットを示しています。FSWP は、16GHz から 26GHz のような大幅な周波数ジャンプをキャプチャできません。そこで、周波数遷移のキャプチャ時には、中心周波数を 26GHz として、その周囲 40MHz にスパンを制限する狭帯域オプションが選択されます。

ステップのシーケンス

- DBL_BUF_EN = 1(R16<8>)を確認します。VCO、ダブラ、PLL、出力 MUX、およびチャネル分周器に関連するレジスタにはダブル バッファリングが有効になっています。レジスタ マップ セクションに、レジスタの詳細を示します。
- キャリブレーションが完了したら、周波数 F1 および F2 に対応する VCO および DBLR 関連のレジスタ値を、以下の tics-pro ページ (V1.7.7.7) に示されているように読み戻す必要があります。レジスタの読み戻しを行うときは、MUXOUT (R22<6:0>) が 1 で、読み戻し (R1<13>) が 1) であることを確認します。Tics Pro スナップショットは、VCO キャリブレーションコードの読み戻しに関するスナップショットを示します。この場合、ダブラはアクティブでないため、ダブラは電源オフになります。
- 図 5 に、周波数スイッチング時に使用されるダブラ読み戻しデータを示します。

図 4. Tics Pro スナップショット

- VCO_FULL_ASSIST(R5<12>)=1
- full_assist レジスタに書き込みます。
 - VCO:VCO_SEL、VCO_CAPCTRL、VCODACISSET
 - ダブラ:DBLR1_PD、DBLR_AMP_CAPCTRL、DBLR_AMP1_DACCTRL、DBLR_AMP2_DACCTRL、DBLR_AMP3_DACCTRL、DBLR_PG_AMP_CAPCTRL、DBLR_PG_AMP_DACCTRL

図 5. 多数のレジスタを表示した Tics Pro スナップショット

- PLL 関連のレジスタを変更して、出力周波数を必要な周波数 F1 または F2 に変更します。(PLL_N (R9<2:0>/R8)、PLL_NUM (R15/R14)、PLL_DEN (R10/R11)、MASH_ORDER (R5<15:13>)、PFD_DLY (R3<10:5>)。)

- 出力 MUX の選択も変更可能で、チャンネル B のチャンネル分周器を動作させることができます (OUTA_MUX (R3 のビット <13:12>), OUTB_MUX (R3 のビット <15:14>), CHDIV (R3 のビット <4:0>))
- FCAL_EN=0(R0<2>), DBLR_FCAL_EN=0(R0<12>), DBLR_ACAL_EN=0(R0<13>) を設定して、レジスタ 0 に書き込みます。これはダブル バッファリングのトリガとして機能します。

ロック時間を悪化させる可能性があるもう一つの要因は、VbiasVCO ピンに接続されたコンデンサです。セトリングを高速化するには、推奨するコンデンサは最小 1 μ F です。VCO_FASTCHG_CNT レジスタ (R7<14:7>) は、この VbiasVCO ピンの高速充電に役立ちます。VbiasVCO ピンのコンデンサが小さい場合、位相ノイズの数値はわずかに劣化します。

商標

すべての商標は、それぞれの所有者に帰属します。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated