

# Application Note

## コンパレータ出力タイプ



Paul Grohe

### 概要

このアプリケーションノートでは、コンパレータに見られるさまざまな出力タイプの違いと、関連するアプリケーション、利点、欠点について説明します。

### 目次

1 はじめに.....	2
2 出力タイプ.....	2
2.1 オープンコレクタまたはオープンドレイン.....	2
2.1.1 オープンコレクタまたはオープンエミッタの出力を選択可能.....	3
2.2 プッシュプル.....	5
2.2.1 個別電源を使用したプッシュプル.....	6
2.3 差動.....	8
2.3.1 差動プッシュプル.....	8
2.3.2 ECL、RSECL、PECL、RSPECL、LVPECL.....	9
2.3.3 低電圧差動信号伝送.....	10
2.3.4 電流モードロジック.....	11
3 まとめ.....	13
4 参考資料.....	15

### 商標

すべての商標は、それぞれの所有者に帰属します。

## 1 はじめに

コンパレータにはいくつかの種類があり、その多様性のために混乱を招く可能性があります。以下のアプリケーションノートでは、出力タイプのさまざまな相違点と、それらのタイプが異なる理由について説明および解明します。

## 2 出力タイプ

### 2.1 オープンコレクタまたはオープンドレイン

オープンコレクタまたはオープンドレイン (交互に使用) 出力は、電流のみをシンクできる 1 つのトランジスタで構成されます。これは、出力からグランドへの機械的 (SPST) スイッチと考えることができます。

**High** の出力電圧を生成するにはプルアップ抵抗が必要です。終端抵抗の上側に印加される終端電圧によって、**High** ( $V_{OH}$ ) の出力電圧が設定されます。出力がロジック **High** のとき、トランジスタはオフ (通電していない) になり、プルアップ抵抗によって出力ノードが終端電圧までプルされます。

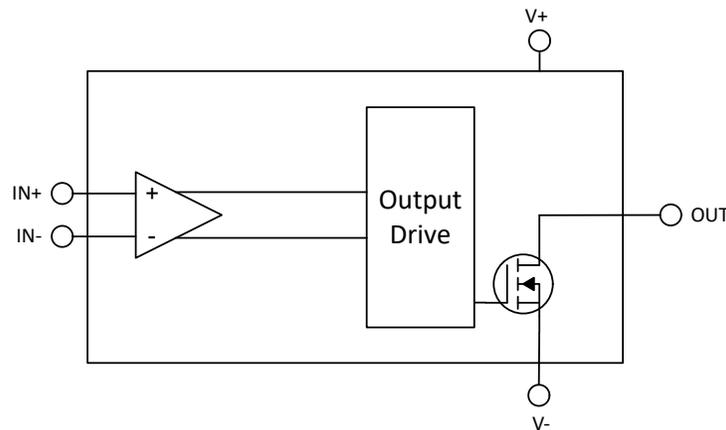


図 2-1. オープンドレイン出力

注: 出力は、コンパレータの電源電圧より低い任意の電圧にプルアップできます。たいいていの場合、コンパレータは出力をコンパレータの電源電圧よりも高い最大電圧までプルできます。ただし、一部のデバイスでは出力に上部 ESD クランプダイオードがあり、最大プルアップ電圧が電源電圧に制限されます。異なる電圧へプルアップすることをレベルシフトと呼びます。

データシートの「特性」または「電氣的仕様」の表の注に、出力が電源よりも高くプルアップできるかどうか記載されている場合があります。記載されていない場合、絶対最大定格または推奨動作条件の出力電圧行に手掛かりがある場合があります。

- 出力電圧定格が 5V や 36V などの絶対値の場合、出力をコンパレータの電源電圧よりも高くプルできる可能性があります。
- 定格が  $V_{CC} + 0.3$ 、 $(V+) + 0.3V$  などの電源を基準としている場合、最大出力プルアップ電圧はコンパレータの電源電圧によって制限されます。

オープンコレクタ出力の利点は、複数の出力を結合して **OR** 接続の出力バスを形成できることです。この場合、任意の出力により出力バスを **Low** にプルできます。これは、システムエラーバスやウィンドウコンパレータでよく見られます。

表 3-1 に、オープンコレクタ出力デバイスのリストを示します。

表 2-1. オープンドレイン出力またはオープンコレクタ出力の利点と欠点

利点	欠点
<ul style="list-style-type: none"> <li>• さまざまな出力 <b>High</b> (<math>V_{OH}</math>) 電圧が可能 (レベルシフト)</li> <li>• 複数出力の <b>OR</b> 接続が可能</li> <li>• タイミングアプリケーションでコンデンサの充電または放電が可能</li> <li>• プルアップ電圧を電源電圧よりも高くできる (大抵の場合)</li> </ul>	<ul style="list-style-type: none"> <li>• 電流を発生 (出力) できない</li> <li>• 外部プルアップ抵抗が必要</li> <li>• 立ち上がり時間は容量性負荷により異なる</li> <li>• 高速での非対称な出力の立ち上がりおよび立ち下がり時間</li> <li>• 出力が <b>Low</b> のときに電流を消費</li> </ul>

### 2.1.1 オープンコレクタまたはオープンエミッタの出力を選択可能

LM111/211/311 および LM119/219/319 ファミリーには、固有の出力が見られます。出力トランジスタは、エミッタとコレクタの両方を露出させ、フローティング出力を生成します。

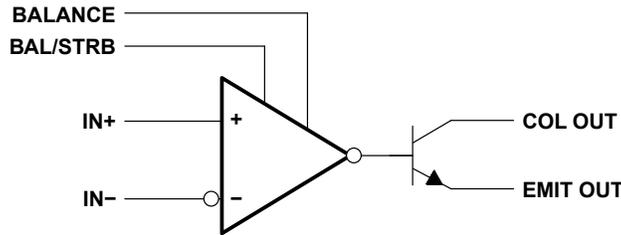


図 2-2. LM311 のブロック図

コンパレータ入力バイポーラ入力信号を受け入れるために分割電源を必要とする場合、問題が発生します。ほとんどのオープンコレクタ出力コンパレータでは、出力 Low スイングが負電源ピン ( $V_-$  または  $V_{EE}$ ) と等しくなります。コンパレータが  $+12V$  や  $-12V$  などの分割電源を使用している場合、出力 LOW は  $-12V$  であり、グランド ( $0V$ ) ではありません。負の電源を許容することにより、コンパレータはレベルシフト、減衰、クランプなしでバイポーラ入力信号を直接受け入れることができ、精度が向上します。抵抗分圧ストリングを使用してグランドより高いスイングを実現することで、出力でのレベルシフトが可能ですが、これは最良の方法ではありません。

露出した出力トランジスタピンを使うと、以下の図に示すように、フローティング出力を共通コレクタ (負荷からプルアップ電圧、またはシンク電流)、または共通エミッタ (負荷からグランド、またはソース電流) のいずれかにすることができます。これにより、出力の High 電圧と Low 電圧レベルを、 $V_{CC}$  および  $V_{EE}$  電圧と無関係に決定できます。

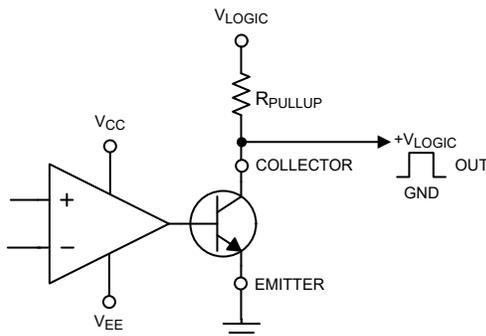


図 2-3. オープンコレクタの構成

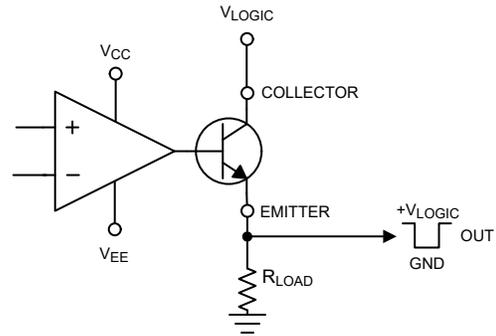


図 2-4. オープンエミッタの構成

セクション 2.1 に示すように、共通コレクタのロジック出力が必要な場合 (最も一般的な使用方法) は、エミッタピンをシステムグランドに接続し、プルアップ抵抗をコレクタピンと正のロジック電源の間に接続します。ロジック出力は、図 2-3 に示すようにコレクタピンから取得されます。これは、オープンコレクタの出力と同じ構成ですが、出力がシステムグランド ( $0V$ ) まで Low にスイングする点が異なります。

使用例としては、入力セクションの電源 ( $V_+$  と  $V_-$ ) を  $+12V$  と  $-12V$  の分割電源としてバイポーラ入力信号を受け入れ、出力は  $3.3V$  のデジタルロジックを駆動する必要がある場合です。図 2-5 はこの構成の詳細について示しています。

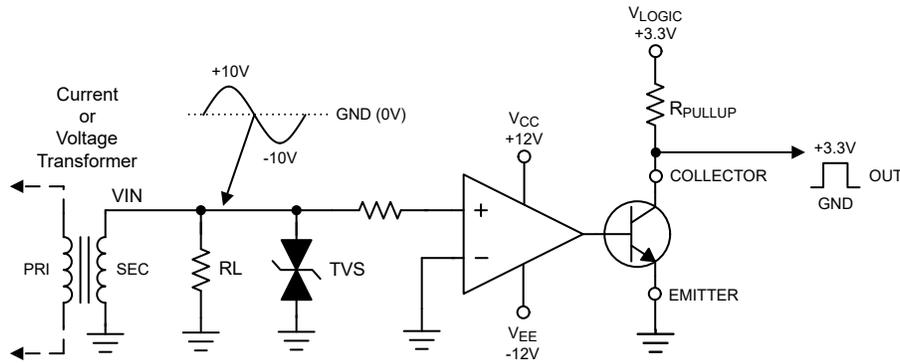


図 2-5. オープンコレクタ出力を使用したバイポーラ入力の例

出力エミッタは GND に接続され、プルアップ抵抗はコレクタピンとプルアップ電圧の間に配置されます。コレクタピンが出力になります。プルアップ電圧が +3.3V の場合、3.3V デジタルロジックと直接互換性のある、0 ~ 3.3V のグランド基準出力カスイングが生成されます。レベルシフトは必要ありません!

High 側のソースまたは接地負荷が必要な場合、図 2-6 に示すように、共通エミッタ構成を使用できます。共通エミッタ出力の場合、コレクタピンは正のソース電圧に接続し、負荷はエミッタピンと負電圧 (通常はグランド) の間に接続します。これは、図 2-6 に示すように、負荷をグランドに戻す必要がある場合に役立ちます。

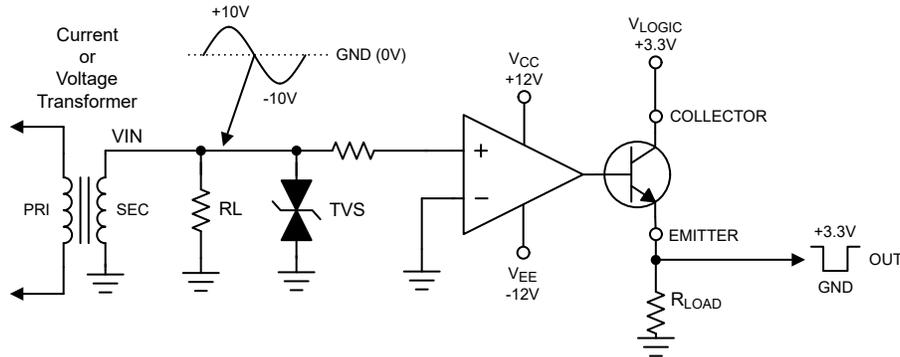


図 2-6. オープンエミッタ出力を使用したバイポーラ入力の例

ロジック出力はエミッタピンから取得されます。共通エミッタ出力を使用する場合、ロジックに反転があることに注意してください。入力を単純に反転してロジックを修正できます。絶対最大表にある出力段電圧の制限を確認してください。

OC/OE 出力の例は、LM111、LM211、LM311、LM119、LM219、LM319、LM6511 です。

表 2-2. オープンエミッタ出力またはオープンコレクタ出力の利点と欠点

利点	欠点
<ul style="list-style-type: none"> <li>レベルシフトが可能</li> <li>複数出力の OR 接続が可能</li> <li>タイミングアプリケーションでコンデンサの充電または放電が可能</li> <li>High (ソース) と Low 側 (シンク) の駆動を選択可能</li> <li>プルアップ電圧は正の電源電圧を超えることがあります。</li> </ul>	<ul style="list-style-type: none"> <li>外部抵抗が必要</li> <li>容量性負荷によって立ち上がり/立ち下がり時間が異なる</li> <li>高速での非対称な出力の立ち上がりおよび立ち下がり時間</li> <li>1 つの状態でも電流を消費</li> </ul>

## 2.2 プッシュプル

プッシュプル (別名トータムポール) 出力は、正と負の両方の出力デバイスで構成されており、出力の電流はシンクとソースの両方を供給できます。出力の電流をソースにできるため、プルアップ抵抗は不要です。通常、High および Low 出力電圧はコンパレータの V+ および V- 電源と等しくなります。

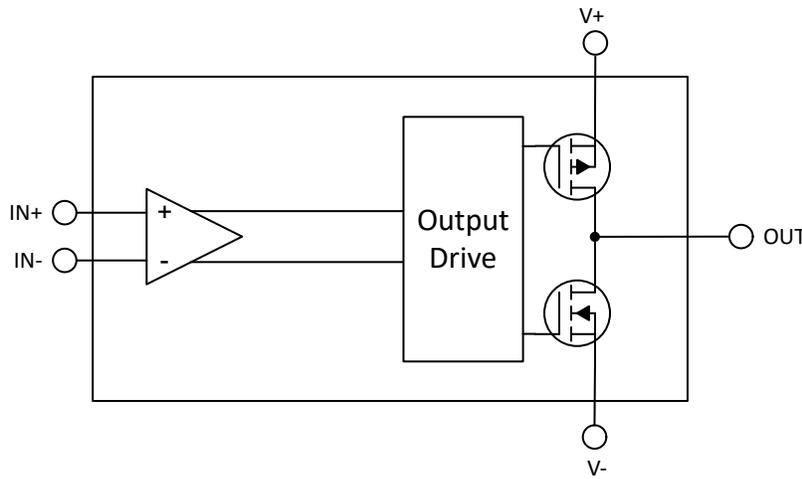


図 2-7. プッシュプル出力段

高速デバイス (100ns 未満) は、高速エッジに対称的な立ち上がり時間と立ち下がり時間が必要なため、主にプッシュプル出力を使用します。プッシュプル出力で負荷容量を直接充電および放電できるため、立ち上がり時間はプルアップ抵抗や負荷容量に依存なくなり、パルスエッジがより高速でまっすぐになります。

プッシュプル出力は、マイクロデバイスとナノパワーデバイスでも使用され、プルアップ抵抗で電力を浪費しないように設計されています。

表 3-1 に、プッシュプル出力デバイスの一覧を示します。

表 2-3. プッシュプル出力の利点と欠点

利点	欠点
<ul style="list-style-type: none"> <li>出力のシンクおよびソース電流</li> <li>プルアップ抵抗が不要 - 電力を節約</li> <li>対称立ち上がりおよび立ち下がり時間</li> <li>出力が High または Low のときに追加電流なし。</li> </ul>	<ul style="list-style-type: none"> <li>出力を互いに接続できない</li> <li>出力電圧のスイングが電源電圧と同じ</li> </ul>

### 2.2.1 個別電源を使用したプッシュプル

独立した出力電源を使用したプッシュプルには、フローティング OC/OE 出力という利点や、プッシュプル出力で定義済み出力スイングを使用できるという利点があります。

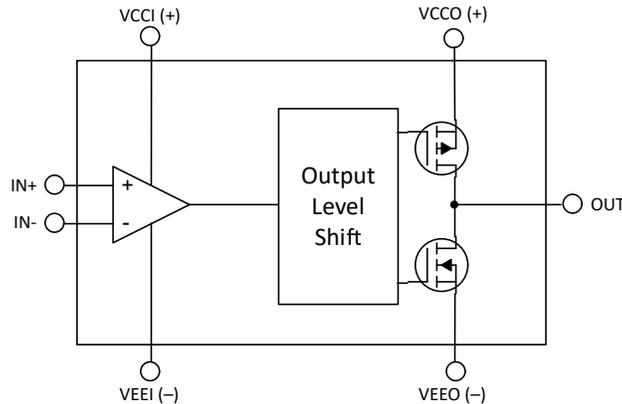
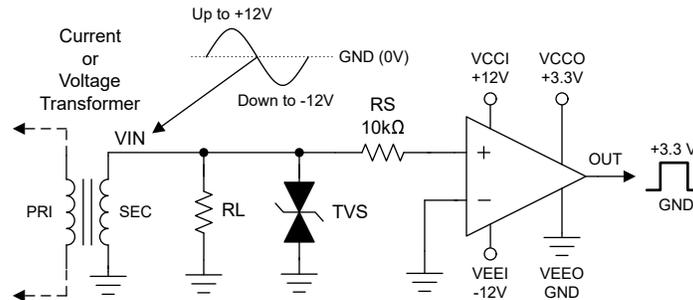


図 2-8. 個別電源を使用したプッシュプル

コンパレータ入力が高い電源電圧や大信号またはバイポーラ信号を受け入れるために分割電源を必要とする場合、問題が発生します。ほとんどのプッシュプル出力コンパレータでは、結果として出力スイングが電源と等しくなり (0、12V、±5V など)、デジタルロジックとは互換性がなくなります。このためには、デジタルロジックへ電力を供給するための外部レベルシフトまたはクランプが必要です。

この問題は、上記の TLV1871/2 など、個別の入出力電源を使用したプッシュプル出力で解決されます。これにより、出力スイングを出力電源ピン (VCCO および VEEO) で直接設定、入力電圧範囲を入力電源 (VCCI および VE EI) で直接設定できます。

たとえば、入力電源 (VCCI と VE EI) を +12V と -12V の分割電源にして、バイポーラ入力信号を受け入れることができます。出力電源 (VCCO および VEEO) は +3.3V およびグランドに設定して、3.3V のデジタルロジックと互換性のある 0 ~ 3.3V のグランド基準出力スイングを生成できます。レベルシフトは必要ありません!



もう 1 つの利点は要求される出力スイングによって入力範囲が設定されないことです。これには入力信号を減衰させる必要があります。その代わりに、高い電源電圧から入力電源ピンに電力を供給して、入力信号を直接受け入れるか、減衰の少ない入力信号を受け入れることで精度を向上できます。

TLV1871/2 (プッシュプル) と TLV3801/2 (LVDS) は個別の出力電源を備えています。

**表 2-4. 個別電源出力を使用したプッシュプルの利点と欠点**

利点	欠点
<ul style="list-style-type: none"> <li>• 出力スイングを出力電源ピンで設定</li> <li>• 個別の入力電源を使用すると、入力範囲を拡大、または電源を分割できます。</li> <li>• 出力のシンクおよびソース電流</li> <li>• プルアップ抵抗が不要 - 電力を節約</li> <li>• 対称立ち上がりおよび立ち下がり時間</li> </ul>	<ul style="list-style-type: none"> <li>• 出力を互いに接続できない</li> </ul>

## 2.3 差動

差動出力は常に位相が  $180^\circ$  異なる 2 つの出力を使用します。差動方式はシングルエンド方式に比べて、差動が同相ノイズの影響を受けにくいという大きな優位性があります。レシーバは差動電圧のみに応答します。相互接続に結合されたノイズは、レシーバによって同相変調とみなされて除去されます。反対に、平衡電流路は平衡ラインまたはツイストペアを使用することで、放射 EMI を低減できます。

### 2.3.1 差動プッシュプル

差動プッシュプル出力は、2 つの同一のプッシュプル出力を持つコンパレータで、一方の出力がもう一方の出力から  $180^\circ$  反転して、電源レールの近くにスイングします。反転は共通ノードから内部的に行われるため、外部インバータ論理ゲートを使用することにより発生する可能性がある 2 つの出力間のスキューイング (遅延) は最小限に抑えられます。

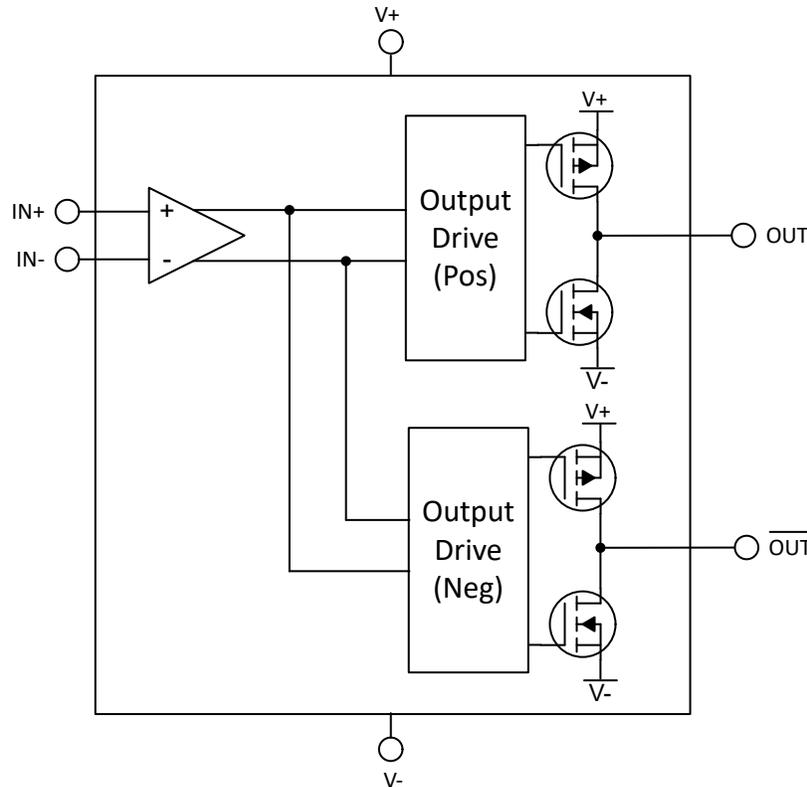


図 2-9. 作動プッシュプル出力

差動出力は、差動伝送方式を作成、または H ブリッジトランジスタや MOSFET などの負荷を駆動するために  $180^\circ$  離れた 2 つの単一出力として使用できます。

この標準をサポートしているデバイスは、[TL3016](#)、[TL3116](#)、[TL712](#)、[TL714](#) です。

表 2-5. 差動プッシュプル出力の利点と欠点

利点	欠点
<ul style="list-style-type: none"> <li>出力のシンクおよびソース電流</li> <li>プルアップ抵抗が不要 - 電力を節約</li> <li>対称立ち上がりおよび立ち下がり時間</li> <li>差動信号が可能</li> </ul>	<ul style="list-style-type: none"> <li>出力を互いに接続できない</li> <li>出力電圧スイングが電源電圧と同じ</li> <li>大きな出力スイングは EMI を引き起こす可能性がある</li> </ul>

### 2.3.2 ECL、RSECL、PECL、RSPECL、LVPECL

速度がナノ秒になると、大きな出力スイング (3V や 5V など) を使用する場合は、シングルエンドのサブナノ秒エッジレート  
の生成が問題になります。

$I = c \times \Delta V / \Delta T$  では、エッジレート (立ち上がり時間と立ち下がり時間) がナノ秒の範囲に入ると、ピーク電流がアンペア範  
囲へと増加し始めます。これらのエッジによって消費電力が増加し、EMI やノイズが発生する可能性があります。

ロジックスレッシュホールド間の立ち上がり時間または立ち下がり時間に費やされる時間によって、最大出力遷移時間 (速度)  
が制限されます。

これらの問題を克服するため、出力スイングを 800mV に減らしました。出力スイングが小さいほど、出力デバイスで簡  
単に生成でき、電力を節約でき、放射ノイズも低減し、最大速度を上げることができます。

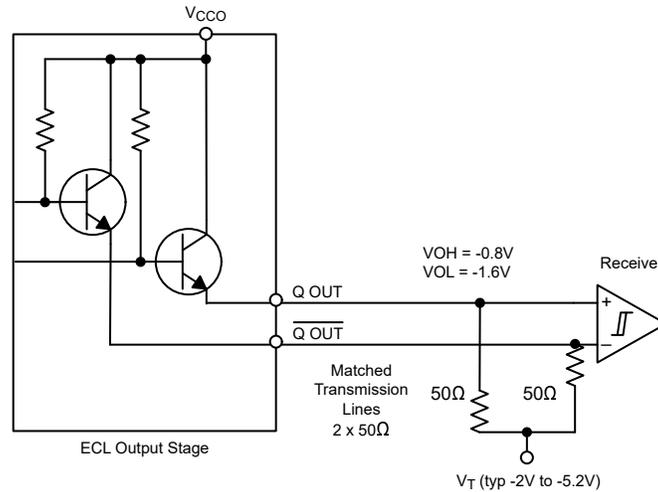


図 2-10. ECL 出力

エミッタカップリングロジック (ECL) は 1960 年代初頭に開発され、高速ロジックファミリーの中では最古のものです。ドライ  
バは標準 800mV の出力差動電圧を生成する低インピーダンスのエミッタフォロワ出力です。出力トランジスタはリニア領  
域で動作し、飽和していないため、応答が高速です。出力は通常、出力電源より 2V 低い終端電圧レールに 50Ω で終端  
処理されます。ECL デバイスは一般に -2V ~ -5.2V で終端処理され、-0.9V ~ -1.8V の標準出力スイングを生成しま  
す。終端抵抗の値が小さいため、ECL は消費電力が最大のインターフェイスです。

RSECL、つまり低減スイング ECL は ECL に似ていますが、スイングを 400mV まで低減させても、負の終端電圧を必要  
とします。

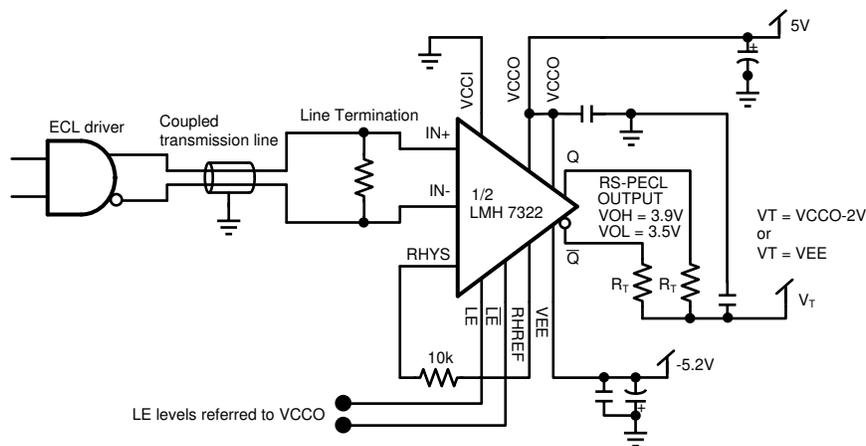


図 2-11. RSPECL の終端

**PECL**、つまり正 ECL は負電源をなくし、+3.2V と +4V の正スイングでグランドより上にスイングし、800mV 差動を維持します。

**LVPECL**、つまり低電圧 PECL は PECL と同じですが、スレッシュホールドを +1.6V と +2.4V まで下げて、より低い電源電圧に対応します。

**RSPECL**、つまり低減スイング PECL は、スイングを 400mV に低減します。

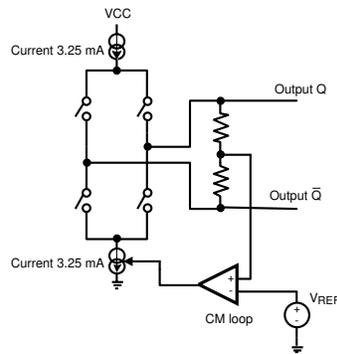
400mV スイング規格をサポートできるデバイスは、**LMH7322** と **LMH7324** です。

**表 2-6. ECL ファミリ出力の利点と欠点**

利点	欠点
<ul style="list-style-type: none"> <li>低減出力スイングにより速度が向上</li> <li>立ち上がり立ち下がり時間をピコ秒単位で実現</li> <li>整合インピーダンスラインと直接インターフェイス接続</li> <li>高い同相除去</li> <li>平衡ラインにより放射 EMI を低減</li> </ul>	<ul style="list-style-type: none"> <li>ECL には大きな負電源電圧 (-5.2V) が必要</li> <li>値の小さい終端 (50 ~ 100Ω) は大電流を消費</li> <li>チャンネルあたりの消費電力が高い (数 100mW)</li> </ul>

### 2.3.3 低電圧差動信号伝送

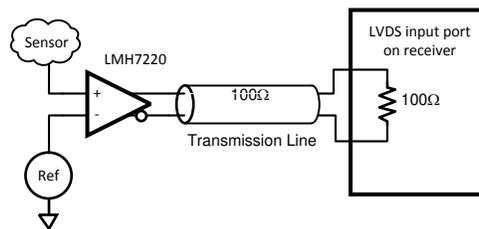
低電圧差動信号伝送 (LVDS) の出力段では出力間にスイッチド電流  $\pm 4\text{mA}$  を使用し、ECL ベースの出力の要件に応じて負電源と 2 つのプルダウン抵抗を不要にします。LVDS では、出力スイングはさらに +1.2V を中心とした  $\pm 400\text{mV}$  まで減少します。



Equivalent Output Circuitry

**図 2-12. LVDS 出力**

LVDS 終端は、レシーバの出力間に  $100\Omega$  の終端抵抗を 1 つ使用するだけで簡単に実装できます。 $100\Omega$  の抵抗を  $\pm 4\text{mA}$  の差動電流と組み合わせることで、レシーバに  $\pm 400\text{mV}$  の差動信号が生成されます。



**図 2-13. LVDS の終端**

LVDS は TIA/EIA-644 と呼ばれ、DisplayPort、FPD-Link、Channel Link、FireWire、Serial ATA などの、多くの一般的なインターリンクプロトコルの基盤にもなっています。多くのプロセッサおよび ASIC は、内部終端抵抗を備えたネイティブ LVDS 入力を備えています。

LVDS 標準をサポートするデバイスの例として、LMH7220、TLV3604/5/7、TLV3801/2、TLV3811/11C があります。

表 2-7. LVDS 出力の利点と欠点

利点	欠点
<ul style="list-style-type: none"> <li>一定の低出力スイングで速度が向上</li> <li>+1.8V まで低減された単一電源動作</li> <li>低消費電力 (50 ~ 100mW)</li> <li>100Ω の単一終端抵抗</li> <li>整合インピーダンスラインと直接インターフェイス接続</li> <li>高い同相除去</li> <li>平衡ラインにより放射 EMI を低減</li> <li>ASIC とプロセッサ入力に関する共通基準</li> <li>マルチポイント分配が可能</li> <li>TIA 標準 TIA-644</li> </ul>	<ul style="list-style-type: none"> <li>最大 3Gbit/s のビットレート</li> </ul>

### 2.3.4 電流モードロジック

電流モードロジック (CML) は、LVDS に類似したスイッチドカレント出力ですが、より高速で利用されます。終端は通常、レシーバの正の出力終端電圧 ( $V_{CCO}$ ) に対する各出力で 50Ω です。

CML 差動出力スイングと同相モード電圧は標準化されておらず、400mV ~ 800mV の差動範囲です。6Gbit/s を超える速度では、差動は一般に 400mV に低下します。

出力段は、出力電源電圧に接続する 2 つの 50Ω 抵抗、および 2 つの関連スイッチングトランジスタと共有電流源で構成されます (図 2-14 を参照)。

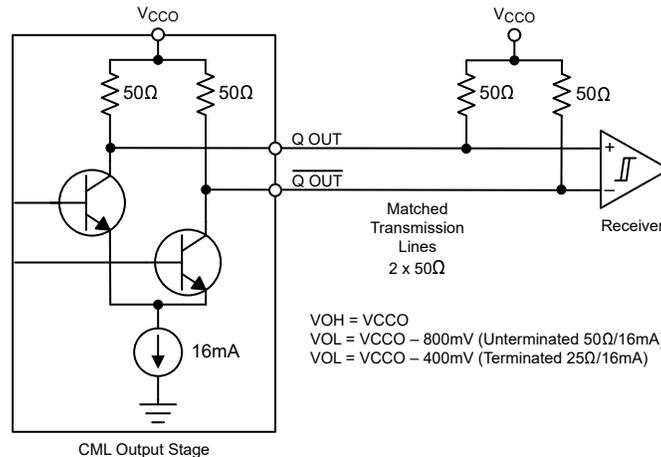


図 2-14. CML 出力

目的の出力状態に応じて、一度に 1 つの出力トランジスタが通電しています。on トランジスタは、対応する 50Ω 抵抗を介して 16mA の電流を流し、出力と  $V_{CCO}$  との間に  $50\Omega/16mA=800mV$  の電圧差を発生させます。

もう一方の 50Ω 抵抗はプルアップ抵抗として機能します。その抵抗には電流が流れないため、それぞれの出力は  $V_{CCO}$  にプルされます。

負荷の終端ラインでは各出力に 50Ω の負荷が並列に接続されるため、出力スイングはこの半分になり、レシーバで  $V_{CCO}$  より 400mV 低い値になります。

CML 出力については、TLV3901 (準備 - 営業に連絡) を参照してください。

表 2-8. CML 出力の利点と欠点

利点	欠点
<ul style="list-style-type: none"> <li>• 最大 12Gbit/s またはそれ以上</li> <li>• ユーザーが作動電圧を選択可能 (クロストークと EMI を低減)</li> <li>• 整合インピーダンスラインと直接インターフェイス接続</li> <li>• 高い同相除去</li> <li>• 平衡ラインにより放射 EMI を低減</li> <li>• AC 結合が可能</li> </ul>	<ul style="list-style-type: none"> <li>• 2 つの外付け 50Ω プルアップ抵抗が必要</li> <li>• ポイントツーポイントのみをサポート</li> <li>• LVDS より大きい消費電力</li> <li>• 定義済み標準なし - 出力スレッショルドはメーカーによって異なる</li> </ul>

### 3 まとめ

表 3-1 は、使用可能なさまざまな出力タイプと制限を示す概要表です。

**表 3-1. コンパレータ出力タイプ**

デバイス ファミリー	出力タイプ	電源より高い値にプルアップできます	最大プルアップ電圧
LM111/211/311	OC/OE	Y	30
LM119/319	OC/OE	Y	36
LMx39/x93/B	OC	Y	38
LM2901/3/B	OC	Y	38
LM306	差動 PP	-	-
LM360	差動 PP	-	-
LM361	差動 PP	-	-
LM397	OC	Y	30
LM6511	OC/OE	Y	30/50
LMC6762	PP	-	-
LMC6772	OC	N	VCC
LMC7211	PP	-	-
LMC7215	PP	-	-
LMC7221	OC	Y	15
LMC7225	OC	N	VCC
LMH7220	LVDS	-	-
LMH7322	RSPECL	-	-
LMH7324	RSPECL	-	-
LMV331	OC	N	VCC
LMV339	OC	N	VCC
LMV393	OC	N	VCC
LMV7219	PP	-	-
LMV7235	OC	N	VCC
LMV7239	PP	-	-
LMV7271/2	PP	-	-
LMV7275	OC	Y	5.5
LMV761/2	PP	-	-
LP111/211/311	OC/OE	Y	30/40
LP339/393	OC	Y	36
LPV7215	PP	-	-
TL3016/3116	PP	-	-
TL331/391	OC	Y	36
TL712/4	差動 PP	-	-
TLC139/339	OC	Y	16
TLC352/4	OC	Y	16
TLC372/4	OC	Y	16
TLC3702/4	PP	-	-
TLC393	OC	Y	16
TLC1391	OC	Y	7
TLV1701/2/4	OC	Y	36
TLV1805	PP	-	-
TLV181x	PP	-	-
TLV182x	OC	Y	40
TLV183x	OC	Y	40
TLV184x	PP	-	-
TLV185x	PP	-	-
TLV186x	OC	Y	40

**表 3-1. コンパレータ出力タイプ (続き)**

デバイス ファミリー	出力タイプ	電源より高い値にプルアップできます	最大プルアップ電圧
TLV187x	個別の電源を使用する PP	-	40
TLV192x	OC	Y	65
TLV2302/4	OC	N	VCC
TLV2352/4	OC	Y	8
TLV2702/4	PP	-	-
TLV3011/2	OC	Y	5.5
TLV3231/2	PP	-	-
TLV340x	OC	N	VCC
TLV349x	PP	-	-
TLV350x	PP	-	-
TLV3601/2/3	PP	-	-
TLV3604/5/7	LVDS	-	-
TLV3691	PP	-	-
TLV370x	PP	-	-
TLV3801/2	個別の電源を使用する LVDS	-	-
TLV3811C	LVDS	-	-
TLV3901	CML	-	-
TLV4011	OC	Y	5.5
TLV4021R	PP	-	-
TLV4021S	OC	Y	5.5
TLV4031	PP	-	-
TLV4041	OC	Y	5.5
TLV4051	OC	Y	5.5
TLV4062	PP	-	-
TLV4082	OC	Y	5.5
TLV6700/3	OC	Y	18
TLV6710/13	OC	Y	25
TLV701x	PP	-	-
TLV702x	OC	Y	7
TLV703x	PP	-	-
TLV704x	OC	Y	7
TLV7081	OC	Y	5.5
TLV7211	PP	-	-
TLV902x	OD	Y	6
TLV903x	PP	-	-
TSM102	OC	Y	36
TSX03121	OC/OE	N	3.6

OC = [セクション 2.1](#)

PP = [セクション 2.2](#)

OC/OE = [セクション 2.1.1](#) 可能なフローティング出力

LVDS = [セクション 2.3.3](#)

RSPECL = [セクション 2.3.2](#)

CML = [セクション 2.3.4](#)

## 4 参考資料

- テキサス・インスツルメンツ、『[LVPECL、VML、CML、LVDS レベル間のインターフェイス](#)』、アプリケーションノート。
- テキサス・インスツルメンツ、『[LVDS、CML、ECL - 差動インターフェイスと作動電圧](#)』、アプリケーションノート。
- テキサス・インスツルメンツ、『[LVDS テクノロジーの概要](#)』、アプリケーションノート。
- テキサス・インスツルメンツ、『[LMH7322 デュアル 700ps、RSPECL 出力、高速コンパレータ](#)』、データシート。

## 重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適したテキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているテキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかるテキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2025, Texas Instruments Incorporated

## 重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適したテキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているテキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかるテキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2025, Texas Instruments Incorporated