

Application Note

TAC5x1x および TAC5x1x-Q1 デジタル チャネル ミキサ - 構成とアプリケーション



Lakshmi Narasimhan Badrinarayanan

概要

オーディオ システムでは、ADC のダイナミック レンジ、複数のオーディオ ソースのミキシング機能などを向上させる、入力ソースチャネル加算などのアプリケーションで、ミキシング機能を使用します。このアプリケーション ノートでは、これらのデジタル ミキサの動作について説明します。このアプリケーション ノートでは、さまざまな使用事例に基づいて、ミキサを構成する方法についても説明します。このアプリケーション ノートで説明されている構成可能なミキサは、以下の ADC、DAC、コーデックの各ファミリで利用できます。

- TAC5212、TAC5112、TAC5211、TAC5111
- TAC5112-Q1、TAC5111-Q1
- TAA5212
- TAD5212、TAD5112
- TAD5212-Q1、TAD5112-Q1
- TAC5412-Q1、TAC5312-Q1、TAC5311-Q1
- TAA5412-Q1
- TAC5301-Q1

TAC デバイスには録音パスと再生パスの両方にデジタル ミキサが用意されていますが、TAA デバイスには録音パス上のみこれらのミキサがあり、TAD デバイスには再生パス上のみミキサがあります。

目次

1 はじめに.....	2
2 録音パス ミキサ.....	4
2.1 メイン ASI ミキサ.....	4
2.2 補助 ASI ミキサ.....	10
2.3 ADC ~ DAC へのループバック ミキサ.....	13
2.4 DOUT での TDM 送信.....	16
3 再生パス ミキサ.....	17
3.1 メイン ASI ミキサ.....	17
3.2 補助 ASI ミキサ.....	24
3.3 再生パス サイドチェーン ミキサ.....	27
4 アプリケーション:ADC チャネル加算により TAC5212 のダイナミック レンジを改善.....	32
5 アプリケーション:TAC5412-Q1 のアナログ入力からアナログ出力への信号フロー.....	34
6 まとめ.....	36
7 参考資料.....	37

商標

PurePath™ is a trademark of Texas Instruments.
 is a trademark of Texas Instruments.
 すべての商標は、それぞれの所有者に帰属します。

1 はじめに

TAC5x1x および TAC5x1x-Q1 ファミリのオーディオ コーデックは、(アナログおよびデジタル マイクからの) 録音および (DAC からの) オーディオ信号の再生のための、独立したシグナル チェーンを備えています。

録音パスの各チャンネルは、[図 1-1](#) に示すシグナル チェーンに従います。[録音パス ミキサ](#) に記載されているミキサは、6 対 4 のマルチプレクサで 2 つの ADC チャンネルと 4 つの PDM マイクロフォン チャンネルから選択できる、最大 4 つの信号をミキシングします。

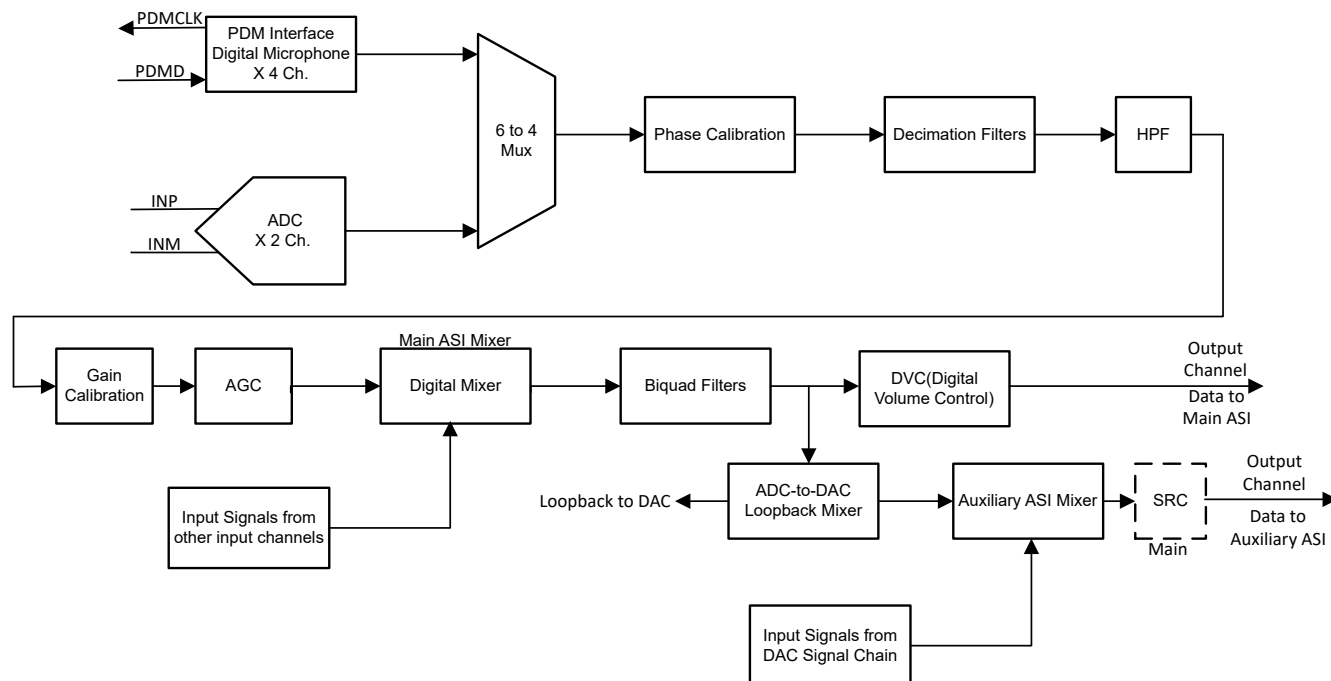


図 1-1. 録音パス シグナル チェーン

同様に、再生パスの各チャンネルは、[図 1-2](#) に示すシグナル チェーンに従います。[再生パス ミキサ](#) に記載されているミキサは、メイン オーディオ シリアル インターフェイス (ASI) パスからの最大 8 つのデジタル入力信号と、補助 ASI パスからの 2 つのデジタル信号をミキシングし、さらにシグナル チェーンで処理されます。

デバイスでサンプル レート コンバータ (SRC) がバイパスされると、メイン ASI はプライマリ ASI (PASI)、補助 ASI/セカンダリ ASI (SASI) パスを指します。SRC がアクティブな場合、メイン ASI はより高速なサンプリング レートの ASI パスを指します。サンプリング レート コンバータの詳細については、『[TAC5x1x 同期サンプル レート 変換](#)』を参照してください。

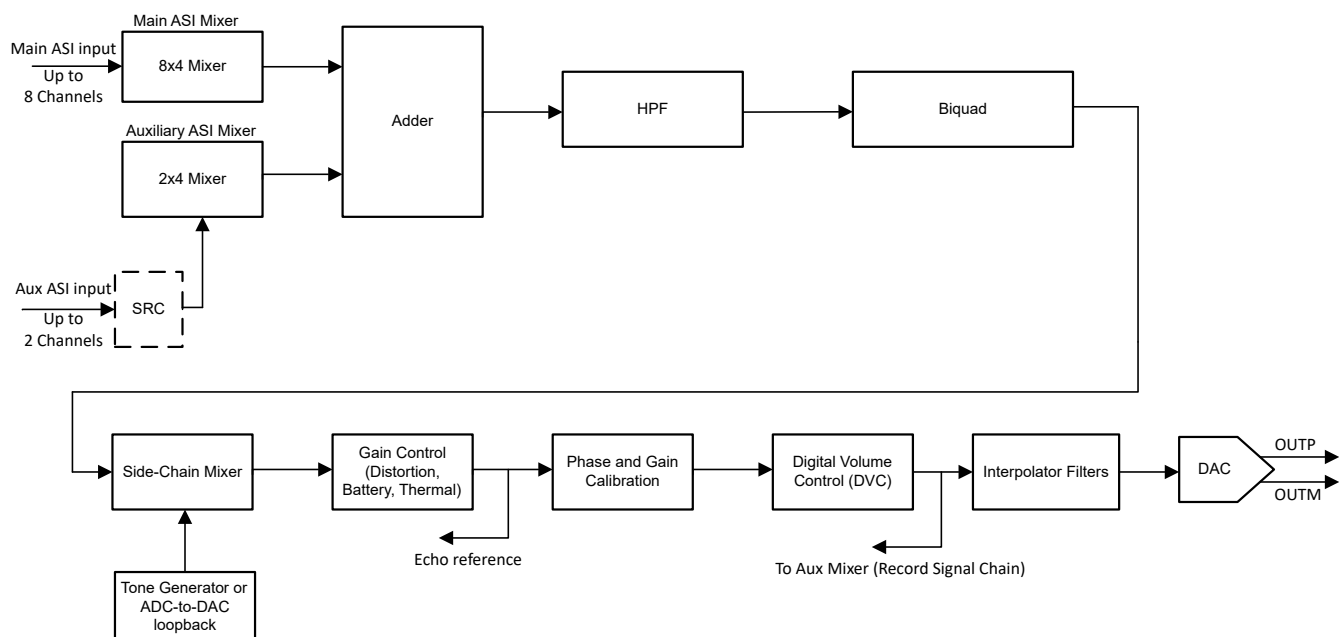


図 1-2. 再生用パス シグナル チェーン

このアプリケーション ノートでは、目的の信号出力を得るために各種ミキサを構成する方法と、以下の主なアプリケーションについて説明します。

1. ADC チャンネル加算は、[アプリケーション:ADC チャンネル加算により TAC5212 のダイナミック レンジを改善](#) で説明しているように、ダイナミック レンジを 3dB 改善するために使用できます。
2. TAC5412-Q1 のアナログ入力信号をデジタル入力信号とミキシングして、その結果の信号をアナログ出力で再生します ([アプリケーション:TAC5412-Q1 のアナログ入力からアナログ出力への信号フロー](#) を参照)。

2 録音パス ミキサ

録音パス シグナルチェーンは、以下の 4 つの録音チャンネルで構成されます。

1. ADC または PDM パスからのチャンネル 1 入力 (B0_P0_R19[7] により選択)
2. ADC または PDM パスからのチャンネル 2 入力 (B0_P0_R19[6] により選択)
3. PDM パスからのチャンネル 3 および 4 入力

これら 4 つの入力はそれぞれ、シグナル チェーンを介して送信され、シグナル チェーン内の複数のノードでミキシングして、他の信号処理ブロックに送信できます。録音パスには、次の 3 つのミキサがあります：

1. **メイン ASI ミキサ** で説明されているメイン ASI ミキサ。4 つの入力 (2 つの ADC/4 つの PDM から多重化) をミキシングし、ハイパスフィルタに 4 つのデジタル出力を供給します。
2. **補助 ASI ミキサ** で説明されている補助 ASI ミキサ。補助 ASI パスにミキシング データを (オプションのサンプルレートコンバータ (SRC) を介して) 送信する前に、ADC-DAC ループバック パスからの 2 つのチャンネルと、再生パスからの 2 つのチャンネルをミキシングします。
3. **ADC ~ DAC へのループバック ミキサ** で説明されているループバックミキサ。バイカッド フィルタからの 4 つの信号をミキシングし、2 つのデジタル信号を再生パスに供給します。

2.1 メイン ASI ミキサ

図 2-1 に示すように、メイン ASI ミキサは、録音パス シグナル チェーン内の ADC ブロックからの 4 つの ADC/PDM 信号をミキシングし、ミキサ係数に基づいて出力を提供します。

録音パス チャンネルへの入力 3 および 4 は PDM マイクロフォン パスから供給されますが、入力 1 および 2 は、INTF_CFG4 レジスタ (B0_P0_R29) の PDM_CH1_SEL/PDM_CH2_SEL フィールドを構成することにより、ADC または PDM マイクロフォンから供給されるように選択できます。

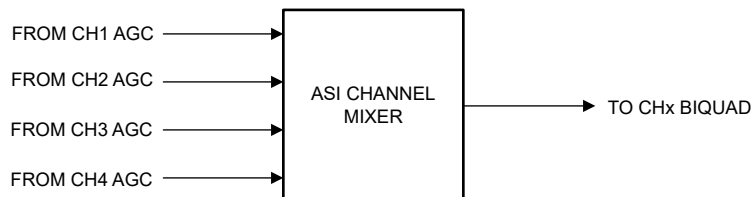


図 2-1. 録音パス メイン ASI ミキサ

メイン ASI ミキサの出力は、チャンネルの各信号パスにあるデジタル バイカッド フィルタに送信されます。

ミキサは、式 1 に基づき 4 つのデジタル入力をミキシングします

$$\text{Input for } CH_x \text{ Biquad} = a_x \times (\text{ADC/PDM CH1}) + b_x \times (\text{ADC/PDM CH2}) + c_x \times (\text{PDM CH3}) + d_x \times (\text{PDM CH4}) \quad (1)$$

係数 $[a_x, b_x, c_x, d_x]$ は、表 2-1 で説明されているページ 10 レジスタに、1.31 形式で 32 ビットの符号付きの値としてプログラムされます。

表 2-1. メイン ASI ミキサ用ページ 10 レジスタ

レジスタ・アドレス	登録	レジスタの説明	リセット値	係数
0x08	ADC_MIX1_CH1_BYT1[7:0]	デジタルミキサ 1、ADC チャンネル 1 係数バイト [31:24]	0x7F	a ₁
0x09	ADC_MIX1_CH1_BYT2[7:0]	デジタル ミキサ 1、ADC チャンネル 1 係数バイト [23:16]	0xFF	
0x0A	ADC_MIX1_CH1_BYT3[7:0]	デジタルミキサ 1、ADC チャンネル 1 係数バイト [15:8]	0xFF	
0x0B	ADC_MIX1_CH1_BYT4[7:0]	デジタルミキサ 1、ADC チャンネル 1 係数バイト [7:0]	0xFF	

表 2-1. メイン ASI ミキサ用ページ 10 レジスタ (続き)

レジスタ・アドレス	登録	レジスタの説明	リセット値	係数
0x0C	ADC_MIX1_CH2_BYT1[7:0]	デジタルミキサ 1、ADC チャンネル 2 係数バイト [31:24]	0x00	b ₁
0x0D	ADC_MIX1_CH2_BYT2[7:0]	デジタル ミキサ 1、ADC チャンネル 2 係数バイト [23:16]	0x00	
0x0E	ADC_MIX1_CH2_BYT3[7:0]	デジタルミキサ 1、ADC チャンネル 2 係数バイト [15:8]	0x00	
0x0F	ADC_MIX1_CH2_BYT4[7:0]	デジタルミキサ 1、ADC チャンネル 2 係数バイト [7:0]	0x00	
0x10	ADC_MIX1_CH3_BYT1[7:0]	デジタルミキサ 1、ADC チャンネル 3 係数バイト [31:24]	0x00	c ₁
0x11	ADC_MIX1_CH3_BYT2[7:0]	デジタル ミキサ 1、ADC チャンネル 3 係数バイト [23:16]	0x00	
0x12	ADC_MIX1_CH3_BYT3[7:0]	デジタルミキサ 1、ADC チャンネル 3 係数バイト [15:8]	0x00	
0x13	ADC_MIX1_CH3_BYT4[7:0]	デジタルミキサ 1、ADC チャンネル 3 係数バイト [7:0]	0x00	
0x14	ADC_MIX1_CH4_BYT1[7:0]	デジタルミキサ 1、ADC チャンネル 4 係数バイト [31:24]	0x00	d ₁
0x15	ADC_MIX1_CH4_BYT2[7:0]	デジタル ミキサ 1、ADC チャンネル 4 係数バイト [23:16]	0x00	
0x16	ADC_MIX1_CH4_BYT3[7:0]	デジタルミキサ 1、ADC チャンネル 4 係数バイト [15:8]	0x00	
0x17	ADC_MIX1_CH4_BYT4[7:0]	デジタルミキサ 1、ADC チャンネル 4 係数バイト [7:0]	0x00	
0x18	ADC_MIX2_CH1_BYT1[7:0]	デジタルミキサ 2、ADC チャンネル 1 係数バイト [31:24]	0x00	a ₂
0x19	ADC_MIX2_CH1_BYT2[7:0]	デジタル ミキサ 2、ADC チャンネル 1 係数バイト [23:16]	0x00	
0x1A	ADC_MIX2_CH1_BYT3[7:0]	デジタルミキサ 2、ADC チャンネル 1 係数バイト [15:8]	0x00	
0x1B	ADC_MIX2_CH1_BYT4[7:0]	デジタルミキサ 2、ADC チャンネル 1 係数バイト [7:0]	0x00	
0x1C	ADC_MIX2_CH2_BYT1[7:0]	デジタルミキサ 2、ADC チャンネル 2 係数バイト [31:24]	0x7F	b ₂
0x1D	ADC_MIX2_CH2_BYT2[7:0]	デジタル ミキサ 2、ADC チャンネル 2 係数バイト [23:16]	0xFF	
0x1E	ADC_MIX2_CH2_BYT3[7:0]	デジタルミキサ 2、ADC チャンネル 2 係数バイト [15:8]	0xFF	
0x1F	ADC_MIX2_CH2_BYT4[7:0]	デジタルミキサ 2、ADC チャンネル 2 係数バイト [7:0]	0xFF	
0x20	ADC_MIX2_CH3_BYT1[7:0]	デジタルミキサ 2、ADC チャンネル 3 係数バイト [31:24]	0x00	c ₂
0x21	ADC_MIX2_CH3_BYT2[7:0]	デジタル ミキサ 2、ADC チャンネル 3 係数バイト [23:16]	0x00	
0x22	ADC_MIX2_CH3_BYT3[7:0]	デジタルミキサ 2、ADC チャンネル 3 係数バイト [15:8]	0x00	
0x23	ADC_MIX2_CH3_BYT4[7:0]	デジタルミキサ 2、ADC チャンネル 3 係数バイト [7:0]	0x00	
0x24	ADC_MIX2_CH4_BYT1[7:0]	デジタルミキサ 2、ADC チャンネル 4 係数バイト [31:24]	0x00	d ₂
0x25	ADC_MIX2_CH4_BYT2[7:0]	デジタル ミキサ 2、ADC チャンネル 4 係数バイト [23:16]	0x00	
0x26	ADC_MIX2_CH4_BYT3[7:0]	デジタルミキサ 2、ADC チャンネル 4 係数バイト [15:8]	0x00	
0x27	ADC_MIX2_CH4_BYT4[7:0]	デジタルミキサ 2、ADC チャンネル 4 係数バイト [7:0]	0x00	
0x28	ADC_MIX3_CH1_BYT1[7:0]	デジタルミキサ 3、ADC チャンネル 1 係数バイト [31:24]	0x00	a ₃
0x29	ADC_MIX3_CH1_BYT2[7:0]	デジタル ミキサ 3、ADC チャンネル 1 係数バイト [23:16]	0x00	
0x2A	ADC_MIX3_CH1_BYT3[7:0]	デジタルミキサ 3、ADC チャンネル 1 係数バイト [15:8]	0x00	
0x2B	ADC_MIX3_CH1_BYT4[7:0]	デジタルミキサ 3、ADC チャンネル 1 係数バイト [7:0]	0x00	
0x2C	ADC_MIX3_CH2_BYT1[7:0]	デジタルミキサ 3、ADC チャンネル 2 係数バイト [31:24]	0x00	b ₂
0x2D	ADC_MIX3_CH2_BYT2[7:0]	デジタル ミキサ 3、ADC チャンネル 2 係数バイト [23:16]	0x00	
0x2E	ADC_MIX3_CH2_BYT3[7:0]	デジタルミキサ 3、ADC チャンネル 2 係数バイト [15:8]	0x00	
0x2F	ADC_MIX3_CH2_BYT4[7:0]	デジタルミキサ 3、ADC チャンネル 2 係数バイト [7:0]	0x00	
0x30	ADC_MIX3_CH3_BYT1[7:0]	デジタルミキサ 3、ADC チャンネル 3 係数バイト [31:24]	0x7F	c ₃
0x31	ADC_MIX3_CH3_BYT2[7:0]	デジタル ミキサ 3、ADC チャンネル 3 係数バイト [23:16]	0xFF	
0x32	ADC_MIX3_CH3_BYT3[7:0]	デジタルミキサ 3、ADC チャンネル 3 係数バイト [15:8]	0xFF	
0x33	ADC_MIX3_CH3_BYT4[7:0]	デジタルミキサ 3、ADC チャンネル 3 係数バイト [7:0]	0xFF	
0x34	ADC_MIX3_CH4_BYT1[7:0]	デジタルミキサ 3、ADC チャンネル 4 係数バイト [31:24]	0x00	d ₃
0x35	ADC_MIX3_CH4_BYT2[7:0]	デジタル ミキサ 3、ADC チャンネル 4 係数バイト [23:16]	0x00	
0x36	ADC_MIX3_CH4_BYT3[7:0]	デジタルミキサ 3、ADC チャンネル 4 係数バイト [15:8]	0x00	
0x37	ADC_MIX3_CH4_BYT4[7:0]	デジタルミキサ 3、ADC チャンネル 4 係数バイト [7:0]	0x00	

表 2-1. メイン ASI ミキサ用ページ 10 レジスタ (続き)

レジスタ・アドレス	登録	レジスタの説明	リセット値	係数
0x38	ADC_MIX4_CH1_BYT1[7:0]	デジタルミキサ 4、ADC チャンネル 1 係数バイト [31:24]	0x00	a ₄
0x39	ADC_MIX4_CH1_BYT2[7:0]	デジタル ミキサ 4、ADC チャンネル 1 係数バイト [23:16]	0x00	
0x3A	ADC_MIX4_CH1_BYT3[7:0]	デジタルミキサ 4、ADC チャンネル 1 係数バイト [15:8]	0x00	
0x3B	ADC_MIX4_CH1_BYT4[7:0]	デジタルミキサ 4、ADC チャンネル 1 係数バイト [7:0]	0x00	
0x3C	ADC_MIX4_CH2_BYT1[7:0]	デジタルミキサ 4、ADC チャンネル 2 係数バイト [31:24]	0x00	b ₄
0x3D	ADC_MIX4_CH2_BYT2[7:0]	デジタル ミキサ 4、ADC チャンネル 2 係数バイト [23:16]	0x00	
0x3E	ADC_MIX4_CH2_BYT3[7:0]	デジタルミキサ 4、ADC チャンネル 2 係数バイト [15:8]	0x00	
0x3F	ADC_MIX4_CH2_BYT4[7:0]	デジタルミキサ 4、ADC チャンネル 2 係数バイト [7:0]	0x00	
0x40	ADC_MIX4_CH3_BYT1[7:0]	デジタルミキサ 4、ADC チャンネル 3 係数バイト [31:24]	0x00	c ₄
0x41	ADC_MIX4_CH3_BYT2[7:0]	デジタル ミキサ 4、ADC チャンネル 3 係数バイト [23:16]	0x00	
0x42	ADC_MIX4_CH3_BYT3[7:0]	デジタルミキサ 4、ADC チャンネル 3 係数バイト [15:8]	0x00	
0x43	ADC_MIX4_CH3_BYT4[7:0]	デジタルミキサ 4、ADC チャンネル 3 係数バイト [7:0]	0x00	
0x44	ADC_MIX4_CH4_BYT1[7:0]	デジタルミキサ 4、ADC チャンネル 4 係数バイト [31:24]	0x7F	d ₄
0x45	ADC_MIX4_CH4_BYT2[7:0]	デジタル ミキサ 4、ADC チャンネル 4 係数バイト [23:16]	0xFF	
0x46	ADC_MIX4_CH4_BYT3[7:0]	デジタルミキサ 4、ADC チャンネル 4 係数バイト [15:8]	0xFF	
0x47	ADC_MIX4_CH4_BYT4[7:0]	デジタルミキサ 4、ADC チャンネル 4 係数バイト [7:0]	0xFF	

2.1.1 Q-31 ミキサ係数のフォーマット

録音パス ミキサ $[a_x, b_x, c_x, d_x]$ の係数は 32 ビットの 2 の補数値としてプログラムされ、それぞれがデバイスのレジスタ空間で 4 つの連続するレジスタを占めます。これらのミキサ係数は、-1 (0x80000000) ~ 0.9999999995 (0x7FFFFFFF) の範囲の 1.31 形式、または -2(0x80000000) ~ 1.9999999991 (0x7FFFFFFF) の範囲の 2.30 形式です。図 2-2 に、これらの表現を示します。

- 浮動小数点数を対応する Q31 形式に変換するには、浮動小数点ミキサ係数に 2^{31} (1.31 の場合) または 2^{30} (2.30 の場合) を乗算し、最も近い整数に切り捨てます。
 - たとえば、係数 0.4 は、1.31 形式の 858993459 の整数値に対応します。
 - 同様に、係数 1.25 は、2.30 形式の 1288490189 の整数値に対応します。
- 正の整数の場合は、16 進数形式に直接変換します。
- 負の整数の場合は、係数の絶対値を取得し、値をバイナリに変換し、値をネゲートして、1 を加算し、16 進数に変換します。たとえば、32 ビット、2 の補数、16 進数形式で -135 を表すには、次のようにします：
 - 135 の絶対値は、バイナリで 0000 0000 0000 0000 0000 0000 1000 0111 (または 16 進で 0x00000087) です。
 - バイナリをネゲートすると、バイナリで 1111 1111 1111 1111 1111 1111 0111 1000 (16 進で 0xFFFFF78) が得られます。これは負の整数の 2 の補数表現です。

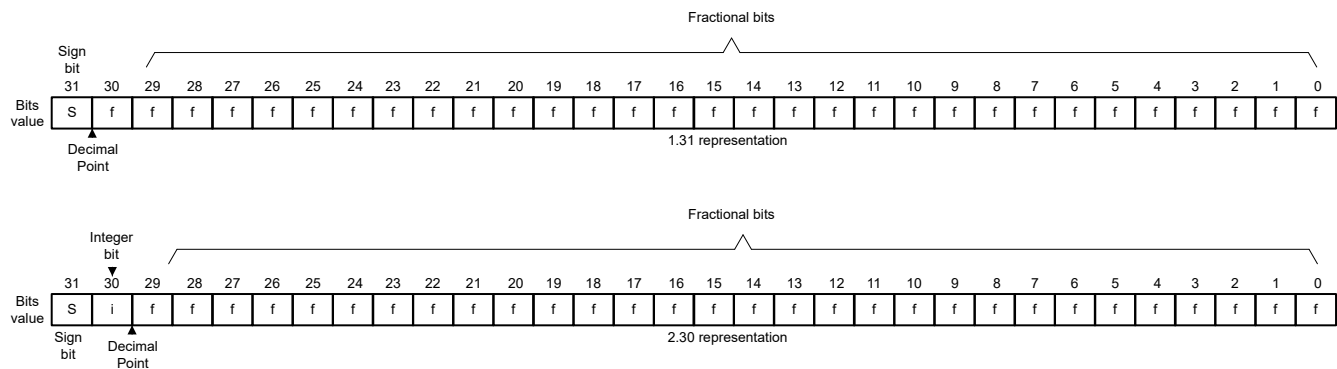


図 2-2. Q-31 浮動小数点数の表現 (1.31/2.30)

2.1.2 録音パス メイン ASI ミキサ:例

ここでは、録音パス上のメイン ASI ミキサの実装例について説明します。以下のサンプルコードは、PurePath™ Console 3 を使用して TAC5112EVM-K 評価基板で実行しました。メイン ASI ミキサのデバイスには、次の 4 つの入力信号が供給されます：

- IN1P/IN1M の 1kHz、0.2Vrms の差動アナログ正弦波信号。
- IN2P/IN2M の 1kHz、0.5Vrms の差動アナログ正弦波信号。
- PDM チャネル 3 の 100Hz、0.1FS (フルスケール) PDM 正弦波トーン。
- PDM チャネル 4 の 5kHz、0.2FS (フルスケール) PDM 正弦波トーン。

図 2-3 に示すような、メイン ASI バスの DOUT 上の結果として得られる出力が取得されます。

```
#FS refers to Full-Scale
w a0 00 00 #Page 0
w a0 01 01 #SW Reset
d 01

w a0 00 00 #Page 0
w a0 02 09 #Exit Sleep Mode with DREG and VREF Enabled
d 10

w a0 1a 30 #PASI on TDM protocol with 32-bit word length
w a0 4d 00 #VREF set to 2.75V for 2Vrms differential fullscale input
w a0 50 00 #ADC Channel 1 configured for AC-coupled differential input with 5kOhm input impedance
and audio bandwidth
w a0 55 00 #ADC Channel 2 configured for AC-coupled differential input with 5kOhm input impedance
and audio bandwidth
w a0 0a 41 #Configure GPIO1 as PDMCLK
w a0 0b 10 #Configure GPIO2 as GPI
w a0 13 12 #Source PDM CH3/CH4 data from GPIO2; CH3 on PDMCLK rising edge, CH4 on PDMCLK falling
edge
w a0 35 00 #PDMCLK = 3.072MHz

w a0 1e 20 #PASI TX Channel 1 on TDM Slot 0
w a0 1f 21 #PASI TX Channel 2 on TDM Slot 0
w a0 20 22 #PASI TX Channel 3 on TDM Slot 2
w a0 21 23 #PASI TX Channel 4 on TDM Slot 3

w a0 00 01 #Page 1
w a0 2c 20 #Enable ADC Channel Mixer

#IN1 = ADC CH1 = 0.2Vrms, 1kHz analog signal (0.1FS)
#IN2 = ADC CH2 = 0.5Vrms, 1kHz analog signal (0.25FS)
#IN3 = PDM CH3 = 0.1FS, 100Hz PDM signal (0.1FS)
#IN4 = PDM CH4 = 0.2FS, 5kHz PDM signal (0.2FS)

w a0 00 0a #Page 10
#Configure Mixer for OUT1 = 0.3*IN1 + 0.5*IN3
w a0 08 26 66 66 66 #a1 = 0.3
w a0 0c 00 00 00 00 #b1 = 0
w a0 10 40 00 00 00 #c1 = 0.5
w a0 14 00 00 00 00 #d1 = 0

#Configure Mixer for OUT2 = 0.5*IN2 + 0.3*IN4
w a0 18 00 00 00 00 #a2 = 0
w a0 1c 40 00 00 00 #b2 = 0.4
w a0 20 00 00 00 00 #c2 = 0
w a0 24 26 66 66 66 #d2 = 0.3

#Configure Mixer for OUT3 = 0.2*IN1 + 0.5*IN2 + 0.4*IN3 + 0.3*IN4
w a0 28 19 99 99 9a #a3 = 0.2
w a0 2c 40 00 00 00 #b3 = 0.5
w a0 30 33 33 33 33 #c3 = 0.4
w a0 34 26 66 66 66 #d3 = 0.3

#Configure Mixer for OUT4 = 0.5*IN1 + 0.2*IN2 + 0.3*IN3 + 0.4*IN4
w a0 38 40 00 00 00 #a4 = 0.5
w a0 3c 19 99 99 9a #b4 = 0.2
w a0 40 26 66 66 66 #c4 = 0.3
w a0 44 33 33 33 33 #d4 = 0.4
```



```
w a0 00 00 #Page 0
w a0 76 f0 #ADC Channels 1-4 Enabled
w a0 78 80 #ADC Powered Up
```

Mixer Inputs:

IN1 – 1kHz, 0.2Vrms Sine (0.1FS analog, IN1P/M)

IN2 – 1kHz, 0.5Vrms Sine (0.25FS analog, IN2P/M)

IN3 – 100Hz Sine (0.1FS PDM CH3)

IN4 – 5kHz Sine (0.2FS PDM CH4)

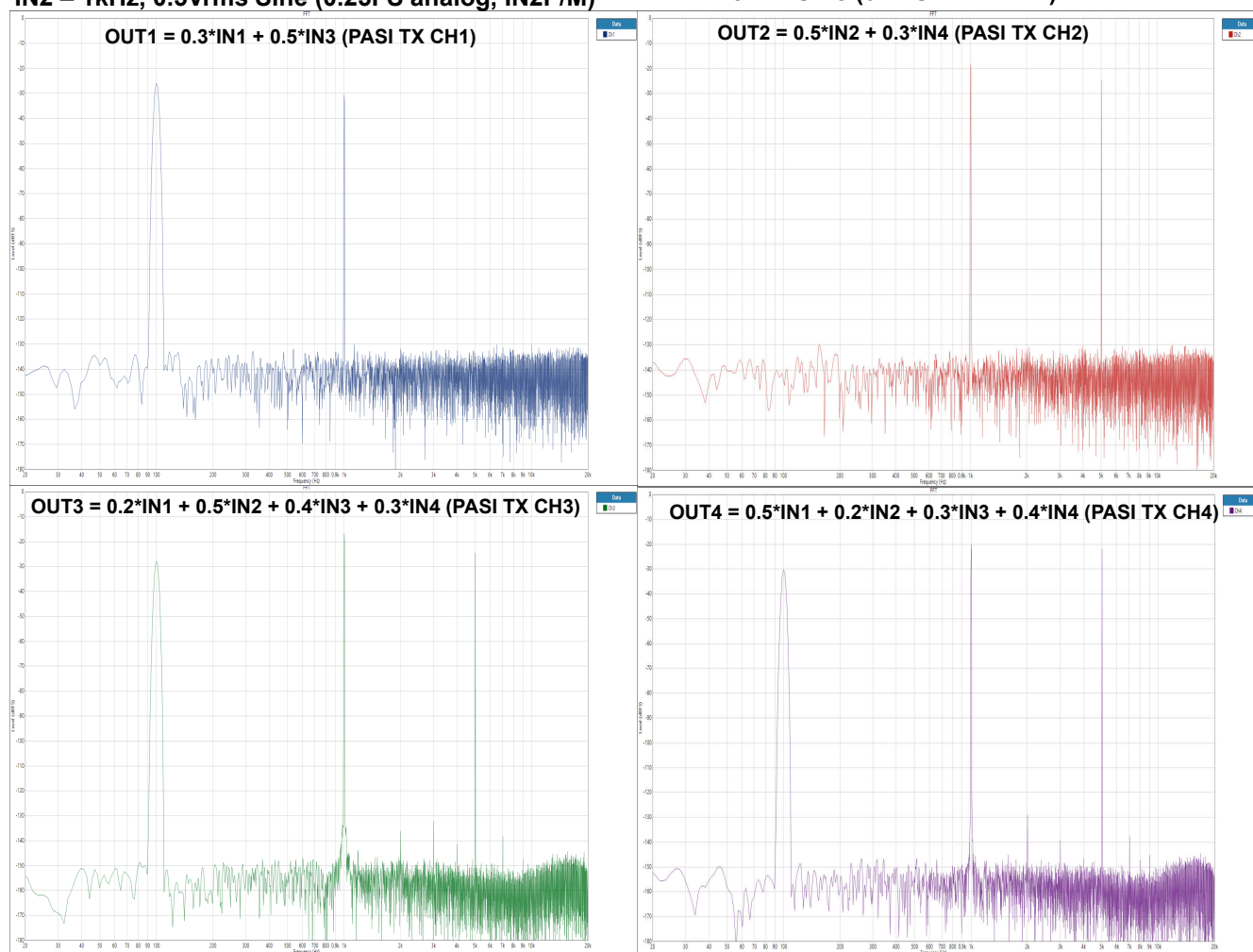


図 2-3. メイン ASI ミキサの録音チャンネル出力

2.2 補助 ASI ミキサ

補助ミキサは、補助 ASI のデータ出力にデータを送信するときに使用できます。

これは、補助 ASI がメイン ASI のサンプリングレートの積分サブマルチプルであるレートでデータをサンプリングする場合には、サンプル レート コンバータ (SRC) を介してオプションとして実行できます。

図 2-4 に示すように、補助 ASI ミキサは、ADC から DAC へのループバック ミキサ (A2D_LBx) からの 2 つの信号を、CH3 および CH4 再生シグナル チェーンのデジタル ボリューム (DVOL) ブロックの出力とミキシングします。

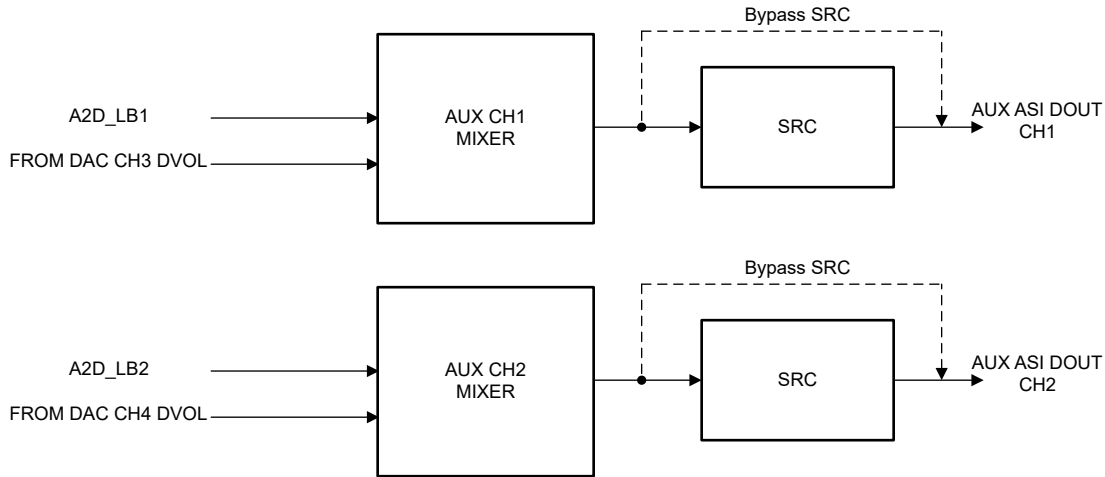


図 2-4. 録音パス補助 ASI ミキサ

ミキサは、この信号を直接またはサンプル レート コンバータ (SRC) を介して補助 ASI バスの DOUT に出力します。

補助 ASI ミキサは、式 2 に従って信号をミキシングします

$$\begin{aligned} \text{AUX ASI DOUT CH1} &= x_1 \times (\text{MAIN ASI RX CH3}) + (1 - x_1) \times (\text{A2D LOOPBACK CH1}) \\ \text{AUX ASI SDOUT CH2} &= x_2 \times (\text{MAIN ASI RX CH4}) + (1 - x_2) \times (\text{A2D LOOPBACK CH2}) \end{aligned} \quad (2)$$

係数 x_1 および x_2 は、表 2-2 で説明されている、ページ 11 レジスタに 32 ビットの符号付きの値としてプログラムされます。これらの係数は、セクション 2.1.1 で説明されている 2.30 形式で書き込まれます。

表 2-2. 補助 ASI ミキサ用ページ 11 レジスタ

レジスタ・アドレス	登録	レジスタの説明	リセット値	係数
0x30	ADC_AUX_MIX_CH1_BY T1[7:0]	ADC 補助ミキサ CH1 係数 バイト [31:24]	0x00	x_1
0x31	ADC_AUX_MIX_CH1_BY T2[7:0]	ADC 補助ミキサ CH1 係数 バイト [23:16]	0x00	
0x32	ADC_AUX_MIX_CH1_BY T3[7:0]	ADC 補助ミキサ CH1 係数 バイト [15:8]	0x00	
0x33	ADC_AUX_MIX_CH1_BY T4[7:0]	ADC 補助ミキサ CH1 係数 バイト [7:0]	0x00	
0x34	ADC_AUX_MIX_CH2_BY T1[7:0]	ADC 補助ミキサ CH2 係数 バイト [31:24]	0x00	x_2
0x35	ADC_AUX_MIX_CH2_BY T2[7:0]	ADC 補助ミキサ CH2 係数 バイト [23:16]	0x00	
0x36	ADC_AUX_MIX_CH2_BY T3[7:0]	ADC 補助ミキサ CH2 係数 バイト [15:8]	0x00	
0x37	ADC_AUX_MIX_CH2_BY T4[7:0]	ADC 補助ミキサ CH2 係数 バイト [7:0]	0x00	

2.2.1 録音パス補助 ASI ミキサ - 例

ここでは、録音パス上の補助 ASI ミキサの実装例について説明します。以下のサンプル コードは、PurePath™ Console 3 を使用して TAC5112EVM-K 評価基板で実行しました。補助 ASI ミキサのデバイスには、次の 4 つの入力信号が供給されます：

- IN1P/IN1M の 1kHz、0.2Vrms の差動アナログ正弦波信号。
- IN2P/IN2M の 1kHz、0.5Vrms の差動アナログ正弦波信号。
- PASI RX チャンネル 3 の 500Hz、0.5FS (フルスケール) のデジタル正弦波トーン。
- PASI RX チャンネル 4 の 1.3kHz、0.6FS (フルスケール) PDM 正弦波トーン。

録音パス上の 2 つのアナログ入力信号と、再生パス上の 2 つのデジタル入力信号を入力として使用しました。ミキサの出力は、補助 ASI バスの DOUT で送信されました。

この例では、両方の ASI バスが 48kHz で動作し、SRC はバイパスされました。図 2-5 に、結果を示します。

```
#FS refers to Full-Scale
w a0 00 00 #Page 0
w a0 01 01 #SW Reset
d 01

w a0 00 00 #Page 0
w a0 02 09 #Exit Sleep Mode with DREG and VREF Enabled
d 10

w a0 1a 30 #PASI in TDM protocol with 32-bit word length
w a0 4d 00 #VREF set to 2.75V for 2Vrms differential fullscale input
w a0 50 00 #ADC Channel 1 configured for AC-coupled differential input with 5kOhm input impedance
and audio bandwidth
w a0 55 00 #ADC Channel 2 configured for AC-coupled differential input with 5kOhm input impedance
and audio bandwidth

w a0 28 20 #Assign Slot 0 to RX CH1
w a0 29 21 #Assign Slot 1 to RX CH2
w a0 2a 22 #Assign Slot 2 to RX CH3
w a0 2b 23 #Assign Slot 3 to RX CH4

w a0 00 01 #Page 1
w a0 2c 30 #Enable ADC Channel Mixer, Loopback Mixer

#Default ADC Loopback mixer coefficients used
#ADC LB1 = ADC IN1 = 0.2Vrms, 1kHz analog signal (0.1FS)
#ADC LB2 = ADC IN2 = 0.5Vrms, 1kHz analog signal (0.25FS)
#DAC IN3 = 0.5FS, 500Hz signal (0.5FS)
#DAC IN4 = 0.6FS, 1.3kHz signal (0.6FS)

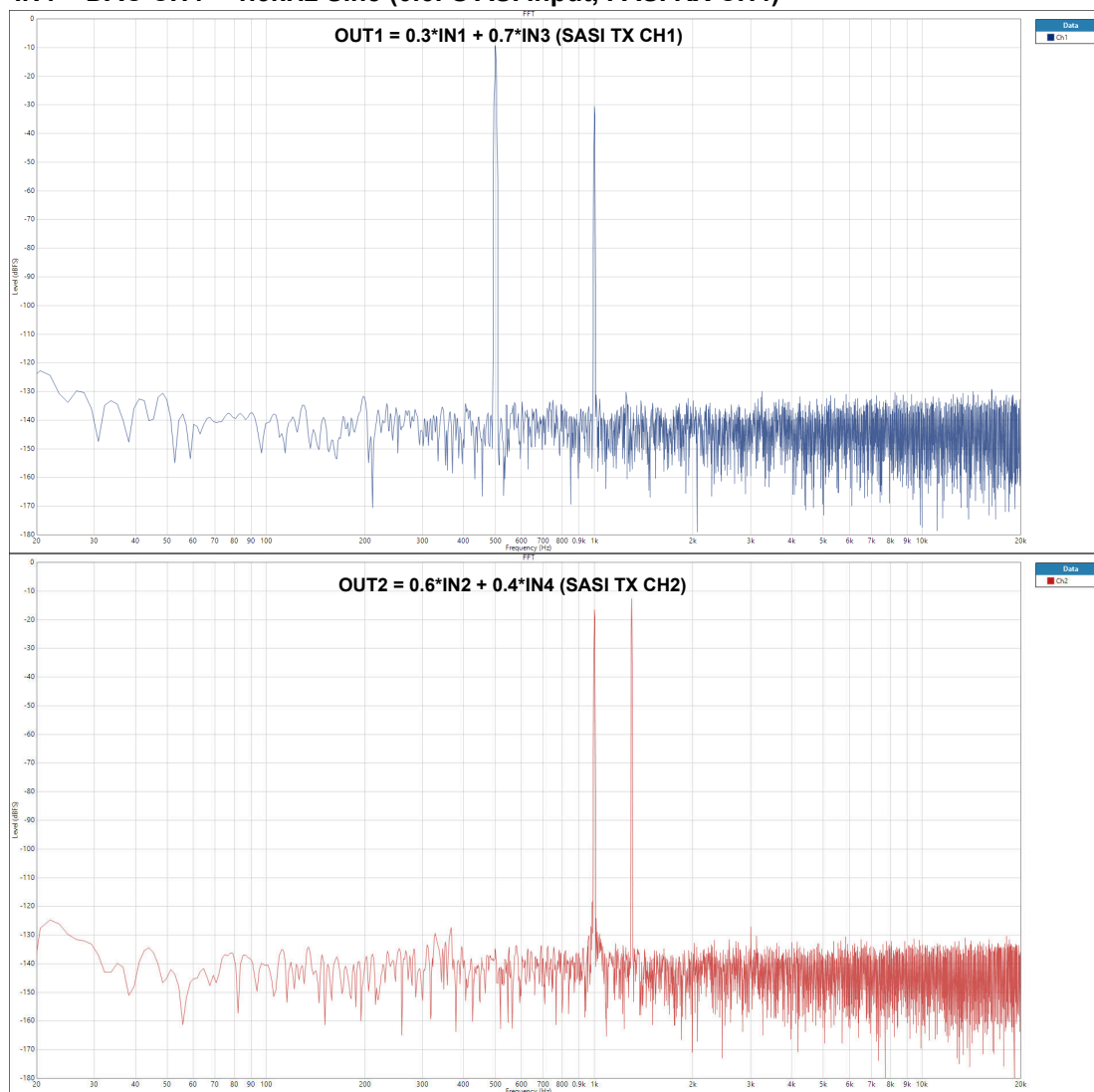
w a0 00 0b #Page 11
#Configure AUX Mixer for OUT1 = 0.3 * ADC LB1 + 0.7 * DAC IN3
w a0 30 2c cc cc cd #x = 0.7

#Configure AUX Mixer for OUT2 = 0.6 * ADC LB2 + 0.4 * DAC IN4
w a0 34 19 99 99 9a #x = 0.4

w a0 00 00 #Page 0
w a0 0a 10 #Configure GPIO1 as GPI
w a0 0b 10 #configure GPIO2 as GPI
w a0 0c 71 #Configure GPIO3 as SASI DOUT
w a0 11 94 #Configure GPIO1 as SASI FSYNC, GPIO2 as SASI BCLK
w a0 18 20 #Enable SASI; Same configurations as PASI

w a0 00 03 #Page 0
w a0 1e 20 #SASI Channel 1 is Channel 1 data
w a0 1f 21 #SASI Channel 2 is Channel 2 data

w a0 00 00 #Page 0
w a0 76 c3 #ADC Channels 1,2 and DAC Channels 3,4 enabled
w a0 78 c0 #ADC, DAC Powered Up
```

Mixer Inputs:**IN1 = A2D_LB1 = ADC IN1 = 1kHz, 0.2Vrms Sine (0.1FS Analog, IN1P/M)****IN2 = A2D_LB2 = ADC IN2 = 1kHz, 0.5Vrms Sine (0.25FS Analog, IN2P/M)****IN3 = DAC CH3 = 500Hz Sine (0.5FS ASI Input, PASI RX CH3)****IN4 = DAC CH4 = 1.3kHz Sine (0.6FS ASI Input, PASI RX CH4)****図 2-5. 補助 ASI ミキサの録音チャンネル出力**

2.3 ADC ～ DAC へのループバック ミキサ

図 2-6 に示すように、ADC から DAC へのループバック ミキサは、4 つの録音シグナル チェーンすべてでバイカッド フィルタ パスの出力をミキシングし、2 つの独立したデジタル出力 (A2D_LBx) を生成します。

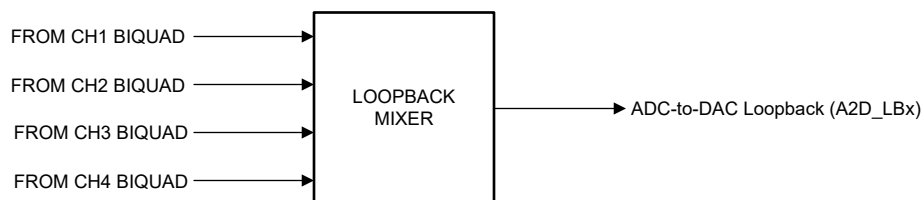


図 2-6. ループバック ミキサ

次に、ミキサは結果として得られた信号をサイドチェーン ミキサで再生パスのシグナル チェーンに出力します。

ミキシングは、式 3 ごとです。

$$A2D_LB_x = a_x \times (CH1 \text{ signal}) + b_x \times (CH2 \text{ signal}) + c_x \times (CH3 \text{ signal}) + d_x \times (CH4 \text{ signal}) \quad (3)$$

係数 $[a_x, b_x, c_x, d_x]$ は、表 2-3 で説明されているページ 10 レジスタに 32 ビットの符号付きの値としてプログラムされません。これらの係数は、セクション 2.1.1 で説明されている 1.31 形式で書き込まれます。

表 2-3. ページ 10 ループバック ミキサのレジスタ

レジスタ・アドレス	登録	レジスタの説明	リセット値	係数
0x48	ADC_LB_MIX1_CH1_BYT 1[7:0]	デジタル ループバック (ADC から DAC) ミキサ 1、ADC チャンネル 1 係数バイト [31:24]	0x7F	a_1
0x49	ADC_LB_MIX1_CH1_BYT 2[7:0]	デジタル ループバック (ADC から DAC) ミキサ 1、ADC チャンネル 1 係数バイト [23:16]	0xFF	
0x4A	ADC_LB_MIX1_CH1_BYT 3[7:0]	デジタル ループバック (ADC から DAC) ミキサ 1、ADC チャンネル 1 係数バイト [15:8]	0xFF	
0x4B	ADC_LB_MIX1_CH1_BYT 4[7:0]	デジタル ループバック (ADC から DAC) ミキサ 1、ADC チャンネル 1 係数バイト [7:0]	0xFF	
0x4C	ADC_LB_MIX1_CH2_BYT 1[7:0]	デジタル ループバック (ADC から DAC) ミキサ 1、ADC チャンネル 2 係数バイト [31:24]	0x00	b_1
0x4D	ADC_LB_MIX1_CH2_BYT 2[7:0]	デジタル ループバック (ADC から DAC) ミキサ 1、ADC チャンネル 2 係数バイト [23:16]	0x00	
0x4E	ADC_LB_MIX1_CH2_BYT 3[7:0]	デジタル ループバック (ADC から DAC) ミキサ 1、ADC チャンネル 2 係数バイト [15:8]	0x00	
0x4F	ADC_LB_MIX1_CH2_BYT 4[7:0]	デジタル ループバック (ADC から DAC) ミキサ 1、ADC チャンネル 2 係数バイト [7:0]	0x00	

表 2-3. ページ 10 ループバック ミキサのレジスタ (続き)

レジスタ・アドレス	登録	レジスタの説明	リセット値	係数
0x50	ADC_LB_MIX1_CH3_BYT 1[7:0]	デジタル ループバック (ADC から DAC)ミキサ 1、 ADC チャンネル 3 係数バイト [31:24]	0x00	c ₁
0x51	ADC_LB_MIX1_CH3_BYT 2[7:0]	デジタル ループバック (ADC から DAC)ミキサ 1、 ADC チャンネル 3 係数バイト [23:16]	0x00	
0x52	ADC_LB_MIX1_CH3_BYT 3[7:0]	デジタル ループバック (ADC から DAC)ミキサ 1、 ADC チャンネル 3 係数バイト [15:8]	0x00	
0x53	ADC_LB_MIX1_CH3_BYT 4[7:0]	デジタル ループバック (ADC から DAC)ミキサ 1、 ADC チャンネル 3 係数バイト [7:0]	0x00	
0x54	ADC_LB_MIX1_CH4_BYT 1[7:0]	デジタル ループバック (ADC から DAC)ミキサ 1、 ADC チャンネル 4 係数バイト [31:24]	0x00	d ₁
0x55	ADC_LB_MIX1_CH4_BYT 2[7:0]	デジタル ループバック (ADC から DAC)ミキサ 1、 ADC チャンネル 4 係数バイト [23:16]	0x00	
0x56	ADC_LB_MIX1_CH4_BYT 3[7:0]	デジタル ループバック (ADC から DAC)ミキサ 1、 ADC チャンネル 4 係数バイト [15:8]	0x00	
0x57	ADC_LB_MIX1_CH4_BYT 4[7:0]	デジタル ループバック (ADC から DAC)ミキサ 1、 ADC チャンネル 4 係数バイト [7:0]	0x00	
0x58	ADC_LB_MIX2_CH1_BYT 1[7:0]	デジタル ループバック (ADC から DAC)ミキサ 2、 ADC チャンネル 1 係数バイト [31:24]	0x00	a ₂
0x59	ADC_LB_MIX2_CH1_BYT 2[7:0]	デジタル ループバック (ADC から DAC)ミキサ 2、 ADC チャンネル 1 係数バイト [23:16]	0x00	
0x5A	ADC_LB_MIX2_CH1_BYT 3[7:0]	デジタル ループバック (ADC から DAC)ミキサ 2、 ADC チャンネル 1 係数バイト [15:8]	0x00	
0x5B	ADC_LB_MIX2_CH1_BYT 4[7:0]	デジタル ループバック (ADC から DAC)ミキサ 2、 ADC チャンネル 1 係数バイト [7:0]	0x00	

表 2-3. ページ 10 ループバック ミキサのレジスタ (続き)

レジスタ・アドレス	登録	レジスタの説明	リセット値	係数
0x5C	ADC_LB_MIX2_CH2_BYT 1[7:0]	デジタル ループバック (ADC から DAC) ミキサ 2、 ADC チャンネル 2 係数バイト [31:24]	0x7F	b ₂
0x5D	ADC_LB_MIX2_CH2_BYT 2[7:0]	デジタル ループバック (ADC から DAC) ミキサ 2、 ADC チャンネル 2 係数バイト [23:16]	0xFF	
0x5E	ADC_LB_MIX2_CH2_BYT 3[7:0]	デジタル ループバック (ADC から DAC) ミキサ 2、 ADC チャンネル 2 係数バイト [15:8]	0xFF	
0x5F	ADC_LB_MIX2_CH2_BYT 4[7:0]	デジタル ループバック (ADC から DAC) ミキサ 2、 ADC チャンネル 2 係数バイト [7:0]	0xFF	
0x60	ADC_LB_MIX2_CH3_BYT 1[7:0]	デジタル ループバック (ADC から DAC) ミキサ 2、 ADC チャンネル 3 係数バイト [31:24]	0x00	c ₂
0x61	ADC_LB_MIX2_CH3_BYT 2[7:0]	デジタル ループバック (ADC から DAC) ミキサ 2、 ADC チャンネル 3 係数バイト [23:16]	0x00	
0x62	ADC_LB_MIX2_CH3_BYT 3[7:0]	デジタル ループバック (ADC から DAC) ミキサ 2、 ADC チャンネル 3 係数バイト [15:8]	0x00	
0x63	ADC_LB_MIX2_CH3_BYT 4[7:0]	デジタル ループバック (ADC から DAC) ミキサ 2、 ADC チャンネル 3 係数バイト [7:0]	0x00	
0x64	ADC_LB_MIX2_CH4_BYT 1[7:0]	デジタル ループバック (ADC から DAC) ミキサ 2、 ADC チャンネル 4 係数バイト [31:24]	0x00	d ₂
0x65	ADC_LB_MIX2_CH4_BYT 2[7:0]	デジタル ループバック (ADC から DAC) ミキサ 2、 ADC チャンネル 4 係数バイト [23:16]	0x00	
0x66	ADC_LB_MIX2_CH4_BYT 3[7:0]	デジタル ループバック (ADC から DAC) ミキサ 2、 ADC チャンネル 4 係数バイト [15:8]	0x00	
0x67	ADC_LB_MIX2_CH4_BYT 4[7:0]	デジタル ループバック (ADC から DAC) ミキサ 2、 ADC チャンネル 4 係数バイト [7:0]	0x00	

2.4 DOUT での TDM 送信

図 2-7 に、DOUT ピンを経由して各 ASI チャンネルでデータを送信するためのさまざまな多重化方式を示します。

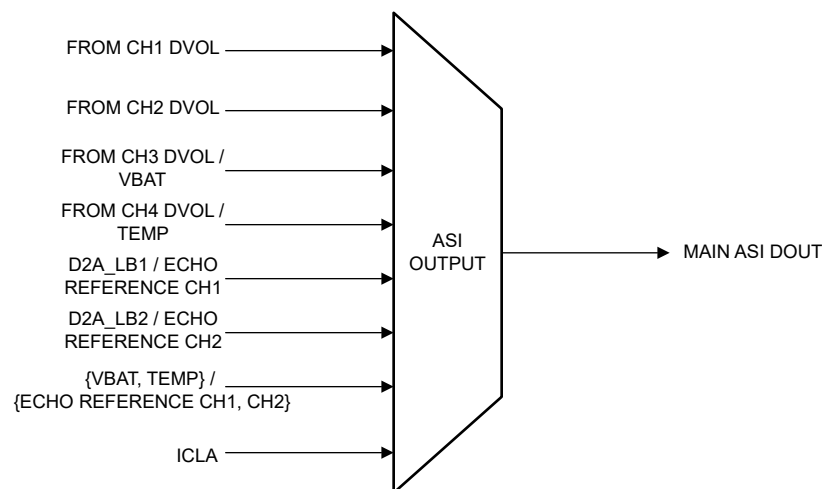


図 2-7. DOUT への TDM 多重化

PASI パスの TX スロットは、PASI_TX_CHx レジスタ (B0_P0_R30 ~ B0_P0_R37) で構成できます。同様に、SASI パスの TX スロットは SASI_TX_CHx レジスタ (B0_P3_R30 ~ B0_P3_R37) で構成できます。

3 再生パス ミキサ

録音パスには、次の 3 つのミキサがあります：

1. **メイン ASI ミキサ** で説明されているメイン ASI ミキサは、DIN ピンから最大 8 つの ASI 入力をミキシングし、DAC シグナル チェーンに 4 つのミキシング出力を提供します。
2. **補助 ASI ミキサ** で説明されている補助ミキサは、補助 ASI バスからの CH1 および CH2 入力 (オプションでサンプルレートコンバータ (SRC) を介して) と、メイン ASI ミキサの出力をミキシングします。
3. **再生パス サイドチェーン ミキサ** で説明されているサイドチェーンミキサは、メイン ASI ミキサからの 4 つのデジタル信号を、2 つの ADC-DAC ループバック信号およびトーンおよびチャープ ジェネレータとミキシングします。
『TAX5x1x デバイスのトーン生成とアプリケーション モード』を参照してください。

データシートに記載されているように、ミキサ係数が 16 ビットの値の場合でも係数レジスタトランザクションを成功させるには、ホスト デバイスはターゲット係数レジスタトランザクションの最上位バイトから始まる 4 バイトすべてを書き込み、読み出す必要があることに注意してください。たとえば、メイン ASI ミキサで係数 a_1 をプログラムするには、ユーザーはレジスタ 0x0A および 0x0B だけでなく、0x08、0x09、0x0A、0x0B の書き込み動作を開始する必要があります。これは再生パスのミキサ係数すべてに適用されます。

3.1 メイン ASI ミキサ

図 3-1 に示すように、メイン ASI ミキサは DIN (PASI/SASI RX チャンネル) から送られる最大 8 つのデジタル入力信号をミキシングします。RX チャンネル 6、7、8 は、DAC チャンネルに構成する場合にのみ使用できます。そのため、その他の構成では、対応するミキサ係数を 0 に設定する必要があります。

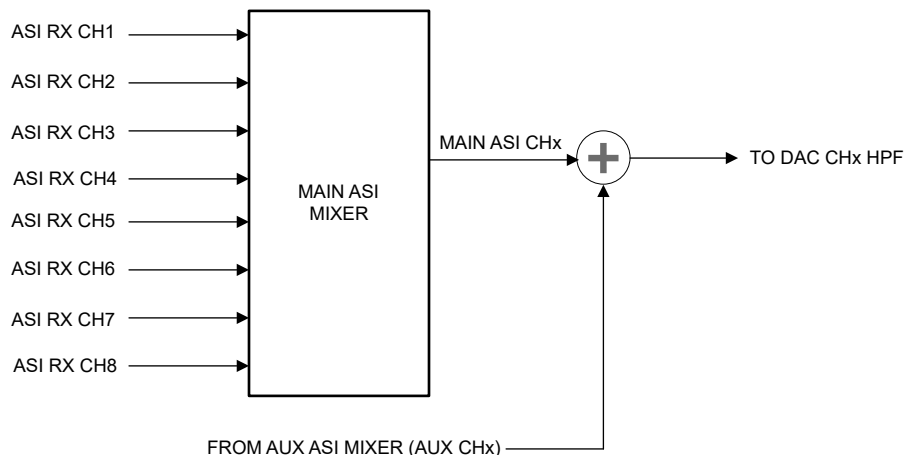


図 3-1. 再生用メイン ASI ミキサ

加算器は、メイン ASI ミキサの出力と補助 ASI ミキサの出力をミキシングし、加算された信号を再生シグナル チェーン内のデジタル ハイパス フィルタ (HPF) に送信します。

ミキシングは次の式に従い実行されます：

$$\begin{aligned} \text{DAC CH}_x \text{ HPF Input} = & a_x \times (\text{MAIN ASI RX CH1}) + b_x \times (\text{MAIN ASI RX CH2}) + c_x \times (\text{MAIN ASI RX CH3}) \\ & + d_x \times (\text{MAIN ASI RX CH4}) + e_x \times (\text{MAIN ASI RX CH5}) + f_x \times (\text{MAIN ASI RX CH6}) + g_x \times (\text{MAIN ASI RX CH7}) \\ & + h_x \times (\text{MAIN ASI RX CH8}) + (\text{AUX ASI MIXER CH}_x) \end{aligned} \quad (4)$$

DAC が 2 チャンネル モード (差動またはモノラル シングルエンド) で動作するよう構成されている場合、デバイスは次のピンに信号を出力します：

1. OUT1P/OUT1M アナログ出力への CH1 (LDAC) 信号
2. OUT2P/OUT2M アナログ出力への CH2 (RDAC) 信号
3. DOUT (ASI TX CH5 スロット) への CH3 (LDAC2) 信号。
4. DOUT (ASI TX CH6 スロット) への CH4 (RDAC2) 信号。

DAC が 4 チャンネル モード (ステレオ シングルエンド) で動作するよう構成されている場合、デバイスは次のピンに信号を出力します:

1. OUT1P アナログ出力への CH1 (LDAC)
2. OUT1M アナログ出力への CH2 (RDAC)
3. OUT2P アナログ出力への CH3 (LDAC2)
4. OUT2M アナログ出力への CH4 (RDAC2)

係数 $[a_x, b_x, c_x, d_x, e_x, f_x, g_x, h_x]$ は、[セクション 3.1.1](#) で説明されているように、2.14 are programmed as 16-bit signed values in 2.14 形式の 16 ビット符号付きの値としてプログラムされます。これらの係数は、[表 3-1](#) に説明されているように、ページ 17 レジスタに書き込むことができます。

表 3-1. メイン ASI ミキサ用ページ 17 レジスタ

レジスタ・アドレス	登録	レジスタの説明	リセット値	係数
0x08	ASI_DIN_MIX_ASI_CH1_RDAC_MIX_BYT1[7:0]	ASI DIN ミキサ、ASI CH1 ~ RDAC の係数バイト [15:8]	0x00	a_2
0x09	ASI_DIN_MIX_ASI_CH1_RDAC_MIX_BYT2[7:0]	ASI DIN ミキサ、ASI CH1 ~ RDAC の係数バイト [7:0]	0x00	
0x0A	ASI_DIN_MIX_ASI_CH1_LDAC_MIX_BYT1[7:0]	ASI DIN ミキサ、ASI CH1 ~ LDAC の係数バイト [15:8]	0x40	a_1
0x0B	ASI_DIN_MIX_ASI_CH1_LDAC_MIX_BYT2[7:0]	ASI DIN ミキサ、ASI CH1 ~ LDAC の係数バイト [7:0]	0x00	
0x0C	ASI_DIN_MIX_ASI_CH1_RDAC2_MIX_BYT1[7:0]	ASI DIN ミキサ、ASI CH1 ~ RDAC2 係数バイト [15:8]	0x00	a_4
0x0D	ASI_DIN_MIX_ASI_CH1_RDAC2_MIX_BYT2[7:0]	ASI DIN ミキサ、ASI CH1 ~ RDAC2 係数バイト [7:0]	0x00	
0x0E	ASI_DIN_MIX_ASI_CH1_LDAC2_MIX_BYT1[7:0]	ASI DIN ミキサ、ASI CH1 ~ LDAC2 係数バイト [15:8]	0x00	a_3
0x0F	ASI_DIN_MIX_ASI_CH1_LDAC2_MIX_BYT2[7:0]	ASI DIN ミキサ、ASI CH1 ~ LDAC2 係数バイト [7:0]	0x00	
0x10	ASI_DIN_MIX_ASI_CH2_RDAC_MIX_BYT1[7:0]	ASI DIN ミキサ、ASI CH2 ~ RDAC の係数バイト [15:8]	0x40	b_2
0x11	ASI_DIN_MIX_ASI_CH2_RDAC_MIX_BYT2[7:0]	ASI DIN ミキサ、ASI CH2 ~ RDAC の係数バイト [7:0]	0x00	
0x12	ASI_DIN_MIX_ASI_CH2_LDAC_MIX_BYT1[7:0]	ASI DIN ミキサ、ASI CH2 ~ LDAC の係数バイト [15:8]	0x00	b_1
0x13	ASI_DIN_MIX_ASI_CH2_LDAC_MIX_BYT2[7:0]	ASI DIN ミキサ、ASI CH2 ~ LDAC の係数バイト [7:0]	0x00	
0x14	ASI_DIN_MIX_ASI_CH2_RDAC2_MIX_BYT1[7:0]	ASI DIN ミキサ、ASI CH2 ~ RDAC2 係数バイト [15:8]	0x00	b_4
0x15	ASI_DIN_MIX_ASI_CH2_RDAC2_MIX_BYT2[7:0]	ASI DIN ミキサ、ASI CH2 ~ RDAC2 係数バイト [7:0]	0x00	
0x16	ASI_DIN_MIX_ASI_CH2_LDAC2_MIX_BYT1[7:0]	ASI DIN ミキサ、ASI CH2 ~ LDAC2 係数バイト [15:8]	0x00	b_3
0x17	ASI_DIN_MIX_ASI_CH2_LDAC2_MIX_BYT2[7:0]	ASI DIN ミキサ、ASI CH2 ~ LDAC2 係数バイト [7:0]	0x00	
0x18	ASI_DIN_MIX_ASI_CH3_RDAC_MIX_BYT1[7:0]	ASI DIN ミキサ、ASI CH3 ~ RDAC の係数バイト [15:8]	0x00	c_2
0x19	ASI_DIN_MIX_ASI_CH3_RDAC_MIX_BYT2[7:0]	ASI DIN ミキサ、ASI CH3 ~ RDAC の係数バイト [7:0]	0x00	
0x1A	ASI_DIN_MIX_ASI_CH3_LDAC_MIX_BYT1[7:0]	ASI DIN ミキサ、ASI CH3 ~ LDAC の係数バイト [15:8]	0x00	c_1
0x1B	ASI_DIN_MIX_ASI_CH3_LDAC_MIX_BYT2[7:0]	ASI DIN ミキサ、ASI CH3 ~ LDAC の係数バイト [7:0]	0x00	

表 3-1. メイン ASI ミキサ用ページ 17 レジスタ (続き)

レジスタ・アドレス	登録	レジスタの説明	リセット値	係数
0x1C	ASI_DIN_MIX_ASI_CH3_RDAC2_MIX_BYT1[7:0]	ASI DIN ミキサ、ASI CH3 ~ RDAC2 係数バイト [15:8]	0x00	c ₄
0x1D	ASI_DIN_MIX_ASI_CH3_RDAC2_MIX_BYT2[7:0]	ASI DIN ミキサ、ASI CH3 ~ RDAC2 係数バイト [7:0]	0x00	
0x1E	ASI_DIN_MIX_ASI_CH3_LDAC2_MIX_BYT1[7:0]	ASI DIN ミキサ、ASI CH3 ~ LDAC2 係数バイト [15:8]	0x40	c ₃
0x1F	ASI_DIN_MIX_ASI_CH3_LDAC2_MIX_BYT2[7:0]	ASI DIN ミキサ、ASI CH3 ~ LDAC2 係数バイト [7:0]	0x00	
0x20	ASI_DIN_MIX_ASI_CH4_RDAC_MIX_BYT1[7:0]	ASI DIN ミキサ、ASI CH4 ~ RDAC の係数バイト [15:8]	0x00	d ₂
0x21	ASI_DIN_MIX_ASI_CH4_RDAC_MIX_BYT2[7:0]	ASI DIN ミキサ、ASI CH4 ~ RDAC の係数バイト [7:0]	0x00	
0x22	ASI_DIN_MIX_ASI_CH4_LDAC_MIX_BYT1[7:0]	ASI DIN ミキサ、ASI CH4 ~ LDAC の係数バイト [15:8]	0x00	d ₁
0x23	ASI_DIN_MIX_ASI_CH4_LDAC_MIX_BYT2[7:0]	ASI DIN ミキサ、ASI CH4 ~ LDAC の係数バイト [7:0]	0x00	
0x24	ASI_DIN_MIX_ASI_CH4_RDAC2_MIX_BYT1[7:0]	ASI DIN ミキサ、ASI CH4 ~ RDAC2 係数バイト [15:8]	0x40	d ₄
0x25	ASI_DIN_MIX_ASI_CH4_RDAC2_MIX_BYT2[7:0]	ASI DIN ミキサ、ASI CH4 ~ RDAC2 係数バイト [7:0]	0x00	
0x26	ASI_DIN_MIX_ASI_CH4_LDAC2_MIX_BYT1[7:0]	ASI DIN ミキサ、ASI CH4 ~ LDAC2 係数バイト [15:8]	0x00	d ₃
0x27	ASI_DIN_MIX_ASI_CH4_LDAC2_MIX_BYT2[7:0]	ASI DIN ミキサ、ASI CH4 ~ LDAC2 係数バイト [7:0]	0x00	
0x28	ASI_DIN_MIX_ASI_CH5_RDAC_MIX_BYT1[7:0]	ASI DIN ミキサ、ASI CH5 ~ RDAC の係数バイト [15:8]	0x00	e ₂
0x29	ASI_DIN_MIX_ASI_CH5_RDAC_MIX_BYT2[7:0]	ASI DIN ミキサ、ASI CH5 ~ RDAC の係数バイト [7:0]	0x00	
0x2A	ASI_DIN_MIX_ASI_CH5_LDAC_MIX_BYT1[7:0]	ASI DIN ミキサ、ASI CH5 ~ LDAC の係数バイト [15:8]	0x00	e ₁
0x2B	ASI_DIN_MIX_ASI_CH5_LDAC_MIX_BYT2[7:0]	ASI DIN ミキサ、ASI CH5 ~ LDAC の係数バイト [7:0]	0x00	
0x2C	ASI_DIN_MIX_ASI_CH5_RDAC2_MIX_BYT1[7:0]	ASI DIN ミキサ、ASI CH5 ~ RDAC2 係数バイト [15:8]	0x00	e ₄
0x2D	ASI_DIN_MIX_ASI_CH5_RDAC2_MIX_BYT2[7:0]	ASI DIN ミキサ、ASI CH5 ~ RDAC2 係数バイト [7:0]	0x00	
0x2E	ASI_DIN_MIX_ASI_CH5_LDAC2_MIX_BYT1[7:0]	ASI DIN ミキサ、ASI CH5 ~ LDAC2 係数バイト [15:8]	0x00	e ₃
0x2F	ASI_DIN_MIX_ASI_CH5_LDAC2_MIX_BYT2[7:0]	ASI DIN ミキサ、ASI CH5 ~ LDAC2 係数バイト [7:0]	0x00	
0x30	ASI_DIN_MIX_ASI_CH6_RDAC_MIX_BYT1[7:0]	ASI DIN ミキサ、ASI CH6 ~ RDAC の係数バイト [15:8]	0x00	f ₂
0x31	ASI_DIN_MIX_ASI_CH6_RDAC_MIX_BYT2[7:0]	ASI DIN ミキサ、ASI CH6 ~ RDAC の係数バイト [7:0]	0x00	
0x32	ASI_DIN_MIX_ASI_CH6_LDAC_MIX_BYT1[7:0]	ASI DIN ミキサ、ASI CH6 ~ LDAC の係数バイト [15:8]	0x00	f ₁
0x33	ASI_DIN_MIX_ASI_CH6_LDAC_MIX_BYT2[7:0]	ASI DIN ミキサ、ASI CH6 ~ LDAC の係数バイト [7:0]	0x00	
0x34	ASI_DIN_MIX_ASI_CH6_RDAC2_MIX_BYT1[7:0]	ASI DIN ミキサ、ASI CH6 ~ RDAC2 係数バイト [15:8]	0x00	f ₄
0x35	ASI_DIN_MIX_ASI_CH6_RDAC2_MIX_BYT2[7:0]	ASI DIN ミキサ、ASI CH6 ~ RDAC2 係数バイト [7:0]	0x00	

表 3-1. メイン ASI ミキサ用ページ 17 レジスタ (続き)

レジスタ・アドレス	登録	レジスタの説明	リセット値	係数
0x36	ASI_DIN_MIX_ASI_CH6_LDAC2_MIX_BYT1[7:0]	ASI DIN ミキサ、ASI CH6 ~ LDAC2 係数バイト [15:8]	0x00	f_3
0x37	ASI_DIN_MIX_ASI_CH6_LDAC2_MIX_BYT2[7:0]	ASI DIN ミキサ、ASI CH6 ~ LDAC2 係数バイト [7:0]	0x00	
0x38	ASI_DIN_MIX_ASI_CH7_RDAC_MIX_BYT1[7:0]	ASI DIN ミキサ、ASI CH7 ~ RDAC の係数バイト [15:8]	0x00	g_2
0x39	ASI_DIN_MIX_ASI_CH7_RDAC_MIX_BYT2[7:0]	ASI DIN ミキサ、ASI CH7 ~ RDAC の係数バイト [7:0]	0x00	
0x3A	ASI_DIN_MIX_ASI_CH7_LDAC_MIX_BYT1[7:0]	ASI DIN ミキサ、ASI CH7 ~ LDAC の係数バイト [15:8]	0x00	g_1
0x3B	ASI_DIN_MIX_ASI_CH7_LDAC_MIX_BYT2[7:0]	ASI DIN ミキサ、ASI CH7 ~ LDAC の係数バイト [7:0]	0x00	
0x3C	ASI_DIN_MIX_ASI_CH7_RDAC2_MIX_BYT1[7:0]	ASI DIN ミキサ、ASI CH7 ~ RDAC2 係数バイト [15:8]	0x00	g_4
0x3D	ASI_DIN_MIX_ASI_CH7_RDAC2_MIX_BYT2[7:0]	ASI DIN ミキサ、ASI CH7 ~ RDAC2 係数バイト [7:0]	0x00	
0x3E	ASI_DIN_MIX_ASI_CH7_LDAC2_MIX_BYT1[7:0]	ASI DIN ミキサ、ASI CH7 ~ LDAC2 係数バイト [15:8]	0x00	g_3
0x3F	ASI_DIN_MIX_ASI_CH7_LDAC2_MIX_BYT2[7:0]	ASI DIN ミキサ、ASI CH7 ~ LDAC2 係数バイト [7:0]	0x00	
0x40	ASI_DIN_MIX_ASI_CH8_RDAC_MIX_BYT1[7:0]	ASI DIN ミキサ、ASI CH8 ~ RDAC の係数バイト [15:8]	0x00	h_2
0x41	ASI_DIN_MIX_ASI_CH8_RDAC_MIX_BYT2[7:0]	ASI DIN ミキサ、ASI CH8 ~ RDAC の係数バイト [7:0]	0x00	
0x42	ASI_DIN_MIX_ASI_CH8_LDAC_MIX_BYT1[7:0]	ASI DIN ミキサ、ASI CH8 ~ LDAC の係数バイト [15:8]	0x00	h_1
0x43	ASI_DIN_MIX_ASI_CH8_LDAC_MIX_BYT2[7:0]	ASI DIN ミキサ、ASI CH8 ~ LDAC の係数バイト [7:0]	0x00	
0x44	ASI_DIN_MIX_ASI_CH8_RDAC2_MIX_BYT1[7:0]	ASI DIN ミキサ、ASI CH8 ~ RDAC2 係数バイト [15:8]	0x00	h_4
0x45	ASI_DIN_MIX_ASI_CH8_RDAC2_MIX_BYT2[7:0]	ASI DIN ミキサ、ASI CH8 ~ RDAC2 係数バイト [7:0]	0x00	
0x46	ASI_DIN_MIX_ASI_CH8_LDAC2_MIX_BYT1[7:0]	ASI DIN ミキサ、ASI CH8 ~ LDAC2 係数バイト [15:8]	0x00	h_3
0x47	ASI_DIN_MIX_ASI_CH8_LDAC2_MIX_BYT2[7:0]	ASI DIN ミキサ、ASI CH8 ~ LDAC2 係数バイト [7:0]	0x00	

3.1.1 Q-16 ミキサ係数のフォーマット

再生パス ミキサ [たとえば、 a_x 、 b_x 、 c_x 、 d_x など] の係数は 16 ビットの 2 の補数値としてプログラムされ、それぞれがデバイスのレジスタ空間で 4 つの連続するレジスタを占めます。これらのミキサ係数は 図 3-2 に示すような 2.14 形式で、-2 (0x8000) ~ 1.99994 (0x7FFF) の範囲です。

- 浮動小数点数を対応する Q16 形式に変換するには、浮動小数点ミキサ係数に 2^{14} を乗算し、最も近い整数に切り捨てます。
- 正の整数の場合は、16 進数形式に直接変換します。
- 負の整数の場合は、係数の絶対値を取得し、値をバイナリに変換し、値をネゲートして、1 を加算し、16 進数に変換します。たとえば、16 ビット、2 の補数、16 進数形式で -135 を表すには、次のようにします：
 - 135 の絶対値は、バイナリで 0000 0000 1000 0111 (または 16 進で 0x0087) です。
 - バイナリをネゲートして 1 を足すと、バイナリで 1111 1111 0111 1001 (16 進で 0xFF79) が得られます。これは負の整数の 2 の補数表現です。

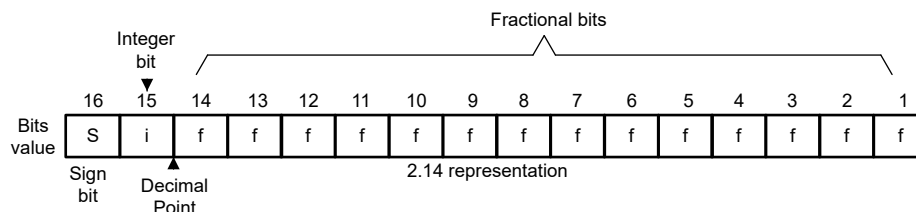


図 3-2. Q-16 浮動小数点数の表現 (2.14)

3.1.2 再生用パスのメイン ASI ミキサ - 例

ここでは、再生パス上のメイン ASI ミキサの実装例について説明します。以下のサンプル コードは、PurePath™ Console 3 を使用して TAC5112EVM-K 評価基板で実行しました。このテストでは、ミキサに 8 つのデジタル入力を供給します。

1. PASI_RX_CH1 に対する 150Hz、0.1FS (フルスケール) のデジタル正弦波入力。
2. PASI_RX_CH2 に対する 300Hz、0.2FS (フルスケール) のデジタル正弦波入力。
3. PASI_RX_CH3 に対する 600Hz、0.3FS (フルスケール) のデジタル正弦波入力。
4. PASI_RX_CH4 に対する 850Hz、0.05FS (フルスケール) のデジタル正弦波入力。
5. PASI_RX_CH5 に対する 1.05kHz、0.1FS (フルスケール) のデジタル正弦波入力。
6. PASI_RX_CH6 に対する 2.3kHz、0.1FS (フルスケール) のデジタル正弦波入力。
7. PASI_RX_CH7 に対する 5kHz、0.2FS (フルスケール) のデジタル正弦波入力。
8. PASI_RX_CH8 に対する 8.5kHz、0.05FS (フルスケール) のデジタル正弦波入力。

このデバイスは、以下のように 4 つの混合信号を出力します。

1. 再生シグナル チェーンの CH1 と CH2 は、それぞれ DAC を経由して OUT1P/M と OUT2P/M の各アナログ出力に送られます。
2. 再生シグナル チェーンの CH3 と CH4 は、メイン ASI バス (PASI TX チャンネル 5 およびチャンネル 6) の DOUT にループ バックされます。

図 3-3 に、取得された結果を示します。

```
w a0 00 00 #Page 0
w a0 01 01 #SW Reset
d 01

w a0 00 00 #Page 0
w a0 02 09 #Exit Sleep Mode with DREG and VREF Enabled
d 10
w a0 1a 30 #PASI in TDM protocol with 32-bit word length
w a0 64 20 #DAC Channel 1 configured for differential output with 0.6*vref as common mode
w a0 65 20 #DAC OUT1P configured for line out driver and audio bandwidth
w a0 66 20 #DAC OUT1M configured for line out driver and audio bandwidth
w a0 6b 20 #DAC Channel 2 configured for differential output with 0.6*vref as common mode
w a0 6c 20 #DAC OUT2P configured for line out driver and audio bandwidth
w a0 6d 20 #DAC OUT2M configured for line out driver and audio bandwidth

w a0 22 24 #PASI TX CH5 to DAC Loopback CH1
w a0 23 25 #PASI TX CH6 to DAC Loopback CH2

w a0 26 01 #RX Offset = 1
w a0 28 20 #ASI Input 1 on PASI RX Slot 0
w a0 29 21 #ASI Input 2 on PASI RX Slot 1
w a0 2a 22 #ASI Input 3 on PASI RX Slot 2
w a0 2b 23 #ASI Input 4 on PASI RX Slot 3
w a0 2c 24 #ASI Input 5 on PASI RX Slot 4
w a0 2d 25 #ASI Input 6 on PASI RX Slot 5
w a0 2e 26 #ASI Input 7 on PASI RX Slot 6
w a0 2f 27 #ASI Input 8 on PASI RX Slot 7

w a0 00 01 #Page 1
w a0 2c 80 #Enable DAC ASI Mixer

#IN1 = ASI IN1 = 0.1FS, 150 Hz tone
#IN2 = ASI IN2 = 0.2FS, 300 Hz tone
```

```
#IN3 = ASI IN3 = 0.3FS, 600 Hz tone
#IN4 = ASI IN4 = 0.05FS, 850 Hz tone
#IN5 = ASI IN5 = 0.1FS, 1.05kHz tone
#IN6 = ASI IN6 = 0.1FS, 2.3kHz tone
#IN7 = ASI IN7 = 0.2FS, 5kHz tone
#IN8 = ASI IN8 = 0.05FS, 8.5kHz tone
#No signal on AUX ASI, so 0 signal from AUX mixer output added to main ASI mixer output
```

```
#DAC Signal Chain Channel 1 (OUT1P/M) OUT1 = 1.5*IN1 - 1.5IN3
#DAC Signal Chain Channel 2 (OUT2P/M) OUT2 = IN2 + 2*IN4
#DAC Signal Chain Channel 3 (ASI Input Loopback1) OUT3 = IN5 - 2*IN7
#DAC Signal Chain Channel 4 (ASI Input Loopback2) OUT4 = 2IN6 + IN8
```

```
w a0 00 11 #Page 17
w a0 08 00 00 60 00 #a1 = 1.5, a2 = 0
w a0 0c 00 00 00 00 #a3 = 0, a4 = 0
w a0 10 40 00 00 00 #b1 = 0, b2 = 1
w a0 14 00 00 00 00 #b3 = 0, b4 = 0
w a0 18 00 00 a0 00 #c1 = -1.5, c2 = 0
w a0 1c 00 00 00 00 #c3 = 0, c4 = 0
w a0 20 7f ff 00 00 #d1 = 0, d2 = 2
w a0 24 00 00 00 00 #d3 = 0, d4 = 0
w a0 28 00 00 00 00 #e1 = 0, e2 = 0
w a0 2c 00 00 40 00 #e3 = 1, e4 = 0
w a0 30 00 00 00 00 #f1 = 0, f2 = 0
w a0 34 7f ff 00 00 #f3 = 0, f4 = 2
w a0 38 00 00 00 00 #g1 = 0, g2 = 0
w a0 3c 00 00 80 00 #g3 = -2, g4 = 0
w a0 40 00 00 00 00 #h1 = 0, h2 = 0
w a0 44 40 00 00 00 #h3 = 0, h4 = 1

w a0 00 00 #Page 0
w a0 76 0f #Output channels 1-4 enabled
w a0 78 40 #DAC Powered Up
```

Mixer Inputs:

IN1 = 150Hz Sine (0.1FS ASI Input, PASI RX CH1)
IN2 = 300Hz Sine (0.2FS ASI Input, PASI RX CH2)
IN3 = 600Hz Sine (0.3FS ASI Input, PASI RX CH3)
IN4 = 850Hz Sine (0.05FS ASI Input, PASI RX CH4)

IN5 = 1.05kHz Sine (0.1FS ASI input, PASI RX CH5)
IN6 = 2.3kHz Sine (0.1FS ASI Input, PASI RX CH6)
IN7 = 5kHz Sine (0.2FS ASI Input, PASI RX CH7)
IN8 = 8.5kHz Sine (0.05FS ASI input, PASI RX CH8)

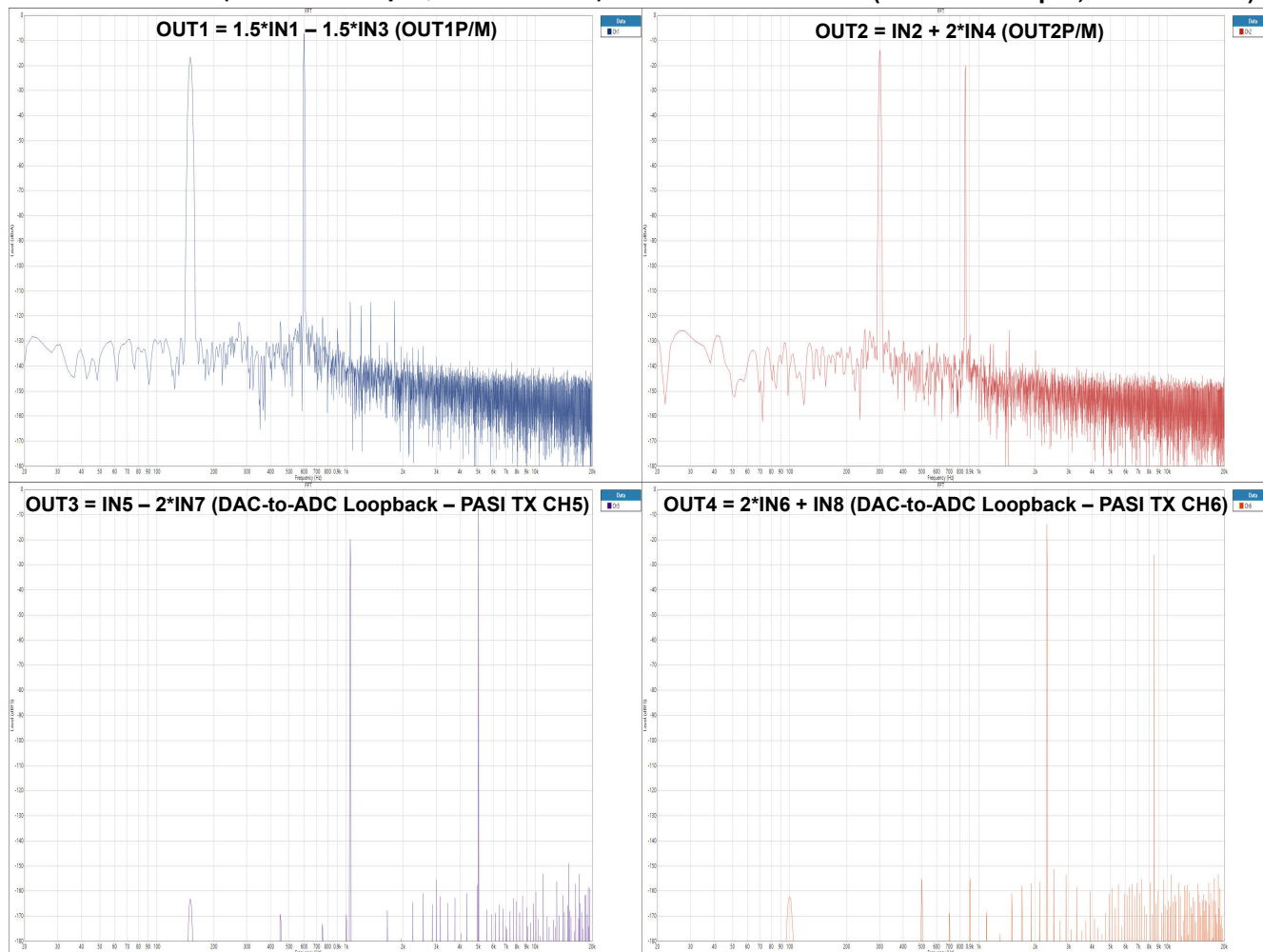


図 3-3. メイン ASI ミキサの再生チャネル出力

3.2 補助 ASI ミキサ

補助 ASI ミキサのブロック図を [図 3-4](#) に示します。

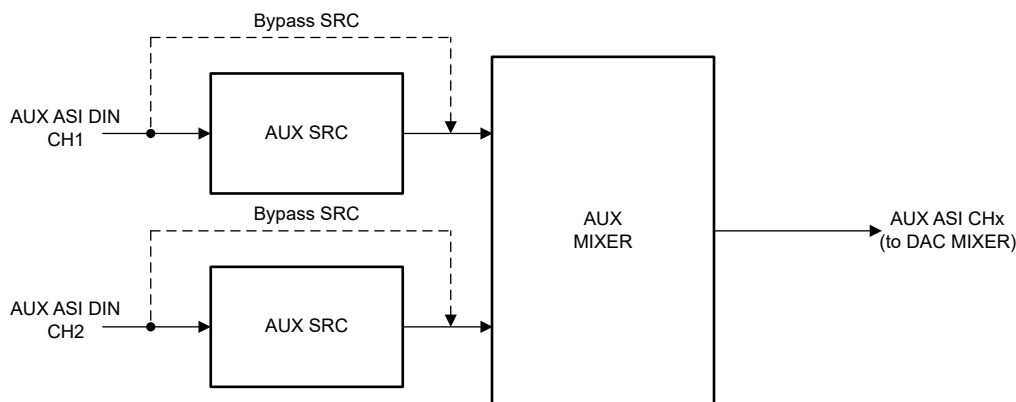


図 3-4. 再生用補助 ASI ミキサ

ブロック図に示されているように、補助ミキサは補助 ASI バスの DIN から 2 つのデジタル入力を受信し、[式 5](#) ごとにミキシングします。

$$AUX\ CH_x\ OUTPUT = a_x \times AUX\ ASI\ IN1 + b_x \times AUX\ ASI\ IN2 \quad (5)$$

次に、この信号はメイン ASI ミキサの出力に追加され、[図 3-1](#) に示すように再生シグナル チェーンのデジタル HPF ブロックに送信されます。サンプル レート コンバータ (SRC) は、メインおよび補助 ASI バスのサンプリング レートに基づいて、演算のバイパスを有効にできます。

係数 $[a_x, b_x]$ は、[表 3-2](#) で説明されているページ 17 レジスタに 16 ビットの符号付きの値としてプログラムされます。これらの係数は、[セクション 3.1.1](#) で説明されている 2.14 形式で書き込まれます。

表 3-2. 補助 ASI ミキサ用ページ 17 レジスタ

レジスタ・アドレス	登録	レジスタの説明	リセット値	係数
0x48	ASI_DIN_MIX_ASI_AUX_CH1_RDAC_MIX_BYT1[7:0]	ASI DIN ミキサ、ASI AUX_CH1 ~ RDAC の係数バイト [15:8]	0x00	a_2
0x49	ASI_DIN_MIX_ASI_AUX_CH1_RDAC_MIX_BYT2[7:0]	ASI DIN ミキサ、ASI AUX_CH1 ~ RDAC の係数バイト [7:0]	0x00	
0x4A	ASI_DIN_MIX_ASI_AUX_CH1_LDAC_MIX_BYT1[7:0]	ASI DIN ミキサ、ASI AUX_CH1 ~ LDAC の係数バイト [15:8]	0x40	a_1
0x4B	ASI_DIN_MIX_ASI_AUX_CH1_LDAC_MIX_BYT2[7:0]	ASI DIN ミキサ、ASI AUX_CH1 ~ LDAC の係数バイト [7:0]	0x00	
0x4C	ASI_DIN_MIX_ASI_AUX_CH1_RDAC2_MIX_BYT1[7:0]	ASI DIN ミキサ、ASI AUX_CH1 ~ RDAC2 係数バイト [15:8]	0x00	a_4
0x4D	ASI_DIN_MIX_ASI_AUX_CH1_RDAC2_MIX_BYT2[7:0]	ASI DIN ミキサ、ASI AUX_CH1 ~ RDAC2 係数バイト [7:0]	0x00	
0x4E	ASI_DIN_MIX_ASI_AUX_CH1_LDAC2_MIX_BYT1[7:0]	ASI DIN ミキサ、ASI AUX_CH1 ~ LDAC2 係数バイト [15:8]	0x40	a_3
0x4F	ASI_DIN_MIX_ASI_AUX_CH1_LDAC2_MIX_BYT2[7:0]	ASI DIN ミキサ、ASI AUX_CH1 ~ LDAC2 係数バイト [7:0]	0x00	

表 3-2. 補助 ASI ミキサ用ページ 17 レジスタ (続き)

レジスタ・アドレス	登録	レジスタの説明	リセット値	係数
0x50	ASI_DIN_MIX_ASI_AUX_CH2_RDAC_MIX_BYT1[7:0]	ASI DIN ミキサ、ASI AUX_CH2 ~ RDAC の係数バイト [15:8]	0x40	b ₂
0x51	ASI_DIN_MIX_ASI_AUX_CH2_RDAC_MIX_BYT2[7:0]	ASI DIN ミキサ、ASI AUX_CH2 ~ RDAC の係数バイト [7:0]	0x00	
0x52	ASI_DIN_MIX_ASI_AUX_CH2_LDAC_MIX_BYT1[7:0]	ASI DIN ミキサ、ASI AUX_CH2 ~ LDAC の係数バイト [15:8]	0x00	b ₁
0x53	ASI_DIN_MIX_ASI_AUX_CH2_LDAC_MIX_BYT2[7:0]	ASI DIN ミキサ、ASI AUX_CH2 ~ LDAC の係数バイト [7:0]	0x00	
0x54	ASI_DIN_MIX_ASI_AUX_CH2_RDAC2_MIX_BYT1[7:0]	ASI DIN ミキサ、ASI AUX_CH2 ~ RDAC2 係数バイト [15:8]	0x40	b ₄
0x55	ASI_DIN_MIX_ASI_AUX_CH2_RDAC2_MIX_BYT2[7:0]	ASI DIN ミキサ、ASI AUX_CH2 ~ RDAC2 係数バイト [7:0]	0x00	
0x56	ASI_DIN_MIX_ASI_AUX_CH2_LDAC2_MIX_BYT1[7:0]	ASI DIN ミキサ、ASI AUX_CH2 ~ LDAC2 係数バイト [15:8]	0x00	b ₃
0x57	ASI_DIN_MIX_ASI_AUX_CH2_LDAC2_MIX_BYT2[7:0]	ASI DIN ミキサ、ASI AUX_CH2 ~ LDAC2 係数バイト [7:0]	0x00	

3.2.1 再生用パスの補助 ASI ミキサ - 例

ここでは、録音パス上の補助 ASI ミキサの実装例について説明します。以下のサンプル コードは、PurePath™ Console 3 を使用して TAC5112EVM-K 評価基板で実行しました。このテストでは、ミキサに 4 つのデジタル入力を提供します。

1. 48kHz のサンプリング レートで PASI_RX_CH1 に対する 1.5kHz、0.4FS (フルスケール) のデジタル正弦波入力。
2. 48kHz のサンプリング レートで PASI_RX_CH2 に対する 3.3kHz、0.4FS (フルスケール) のデジタル正弦波入力。
3. 16kHz のサンプリング レートで SASI_RX_CH1 に対する 100Hz、0.5FS (フルスケール) のデジタル正弦波入力。
4. 16kHz のサンプリング レートで SASI_RX_CH2 に対する 900Hz、0.6FS (フルスケール) のデジタル正弦波入力。

このデバイスは、以下のように 4 つの混合信号を出力します。

1. 再生シグナル チェーンの CH1 と CH2 は、それぞれ DAC を経由して OUT1P/M と OUT2P/M の各アナログ出力に送られます。
2. 再生シグナル チェーンの CH3 と CH4 は、メイン ASI バス (PASI TX チャンネル 5 およびチャンネル 6) の DOUT にループ バックされます。

PASI バスは 48kHz、SASI バスは 16kHz で動作していたため、SRC は有効であり、PASI はメインの ASI バスと見なされ、SASI は補助 ASI バスと見なされます。

図 3-5 に、結果を示します。

```
w a0 00 00 #Page 0
w a0 01 01 #SW Reset
d 01

w a0 00 00 #Page 0
w a0 02 09 #Exit Sleep Mode with DREG and VREF Enabled
d 10
w a0 1a 30 #PASI in TDM protocol with 32-bit word length
w a0 64 20 #DAC channel 1 configured for differential output with 0.6*vref as common mode
w a0 65 20 #DAC OUT1P configured for line out driver and audio bandwidth
w a0 66 20 #DAC OUT1M configured for line out driver and audio bandwidth
```

```

w a0 6b 20 #DAC Channel 2 configured for differential output with 0.6*vref as common mode
w a0 6c 20 #DAC OUT2P configured for line out driver and audio bandwidth
w a0 6d 20 #DAC OUT2M configured for line out driver and audio bandwidth

w a0 0a 10 #Configure GPIO1 as GPI
w a0 0b 10 #Configure GPIO2 as GPI
w a0 0c 71 #Configure GPIO3 as SASI DOUT
w a0 0d 02 #Configure GPI1 as GPI
w a0 11 94 #Configure GPIO1 as SASI FSYNC, GPIO2 as SASI BCLK
w a0 12 60 #Select GPI1 as SASI DIN
w a0 18 00 #Enable SASI

w a0 22 24 #PASI TX CH5 to DAC Loopback CH1
w a0 23 25 #PASI TX CH6 to DAC Loopback CH2

w a0 26 01 #RX Offset = 1
w a0 28 20 #PASI RX CH1 to DAC CH1
w a0 29 21 #PASI RX CH2 to DAC CH2

w a0 00 03 #Page 3
w a0 28 20 #SASI RX CH1 to DAC CH1
w a0 29 21 #SASI RX CH2 to DAC CH2

w a0 00 01 #Page 1
w a0 17 80 #Enable SRC
w a0 2c 80 #Enable DAC ASI Mixer

#DAC AUX Mixer Inputs
#IN1 = Main ASI IN1 - 1.5kHz, 0.4FS signal tone (0.4FS)
#IN2 = Main ASI IN2 - 3.3kHz, 0.4FS signal tone (0.4FS)
#IN3 = Aux ASI IN1 - 100Hz, 0.5FS signal tone (0.4FS)
#IN4 = Aux ASI IN2 - 900Hz, 0.6FS signal tone (0.4FS)

#DAC Signal Chain OUT1 = 0.5*IN1 + 0.25*IN2 + 0.2*IN3 + 0.33*IN4
#DAC Signal Chain OUT2 = 0.2*IN1 + 0.5*IN2 + 0.4*IN3 + 0.5*IN4
#DAC Signal Chain OUT3 = 0.8*IN2 + 1.1*IN3
#DAC Signal Chain OUT4 = 1.25*IN1 + 0.5*IN4

w a0 00 11 #Page 17
#Main ASI Mixer Coefficients
w a0 08 0c cd 20 00 #a1 = 0.5, a2 = 0.2
w a0 0c 50 00 00 00 #a3 = 0, a4 = 1.25
w a0 10 20 00 10 00 #b1 = 0.25, b2 = 0.5
w a0 14 00 00 33 33 #b3 = 0.8, b4 = 0
w a0 18 00 00 00 00 #c1 = 0, c2 = 0
w a0 1c 00 00 00 00 #c3 = 0, c4 = 0
w a0 20 00 00 00 00 #d1 = 0, d2 = 0
w a0 24 00 00 00 00 #d3 = 0, d4 = 0

#Aux ASI Mixer Coefficients
w a0 48 19 9a 0c cd #a1 = 0.2, a2 = 0.4
w a0 4c 00 00 46 66 #a3 = 1.1, a4 = 0
w a0 50 20 00 15 1f #b1 = 0.33, b2 = 0.5
w a0 54 20 00 00 00 #b3 = 0, b4 = 0.5

w a0 00 00 #Page 0
w a0 76 0f #DAC Channels 1-4 enabled
w a0 78 40 #DAC Powered Up

```

Mixer Inputs:

IN1 = 1.5kHz Sine (0.4FS ASI Input, PASI RX CH1)
IN2 = 3.3kHz Sine (0.4FS ASI Input, PASI RX CH2)

IN3 = 100Hz Sine (0.5FS ASI input, SASI RX CH1)
IN4 = 900Hz Sine (0.6FS ASI Input, SASI RX CH2)

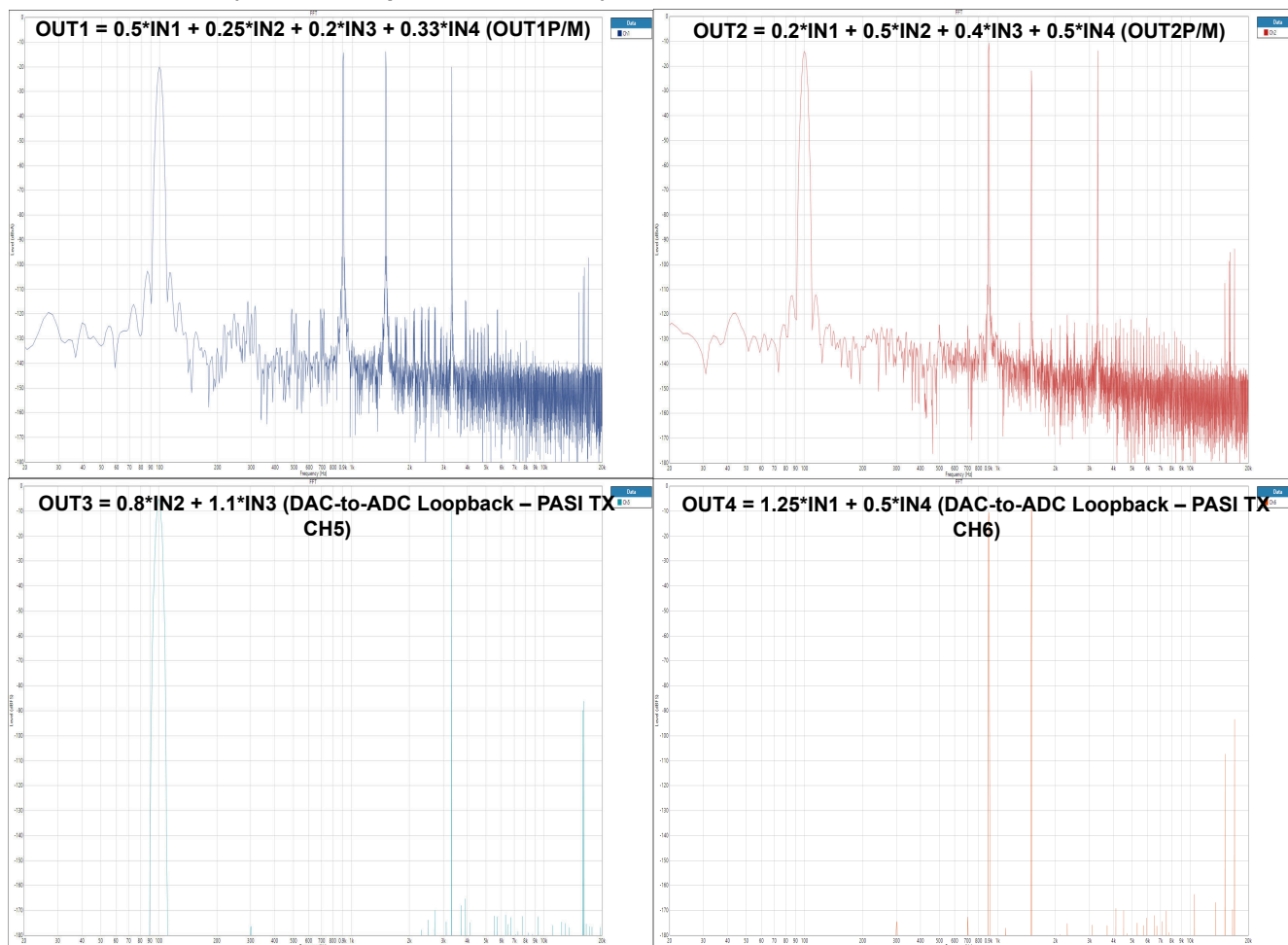


図 3-5. 補助 ASI ミキサの再生チャンネル出力

3.3 再生パス サイドチェーン ミキサ

図 3-6 に示すように、サイドチェーン (SC) ミキサは以下の信号をミキシングします:

1. 4 つの再生チャンネル シグナル チェーンからのデジタル バイカッド フィルタの出力。
2. 2 つの ADC-DAC ループバック ミキサ (A2D_LBx) の出力
3. 内蔵の信号ジェネレータ SG1 および SG2。

『TAX5x1x デバイスのトーン生成とアプリケーション モード』に示すように、信号ジェネレータの出力振幅は、各サイドチェーン ミキサ係数によって決定されます。これらの具体的な係数を 1 を超えるようにプログラムすると、データ オーバーフローと飽和が発生します。

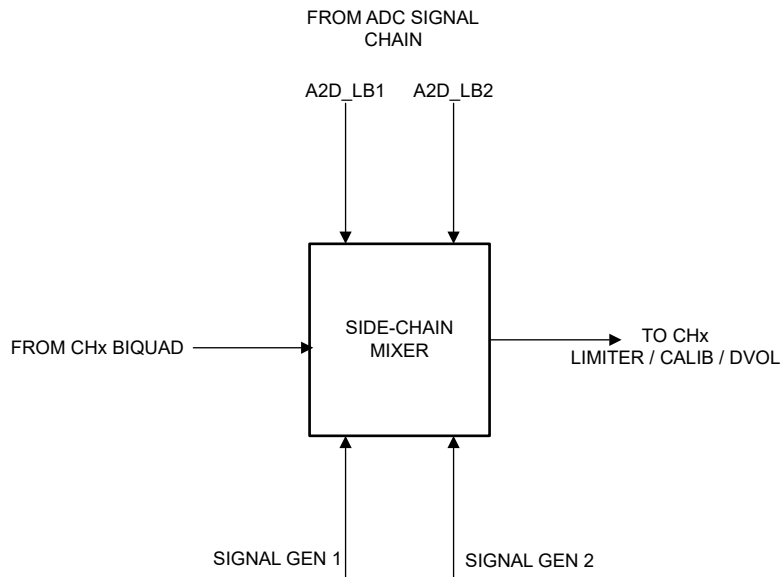


図 3-6. サイドチェーン ミキサ

SC ミキサの出力は、シグナル チェーン内のチャネル リミッタ/クレープレーション/デジタル ボリューム コントロール ブロックに送信されます。

係数 $[a_x, b_x, c_x, d_x]$ は、表 3-3 で説明されているページ 17 レジスタに 16 ビットの整数としてプログラムされます。これらの係数は、セクション 3.1.1 で説明されている 2.14 形式で書き込まれます。

表 3-3. SC ミキサ用ページ 17 レジスタ

レジスタ・アドレス	登録	レジスタの説明	リセット値
0x58	SC_DAC_MIX_ADCLB_CH1_RD AC_MIX_BYT1[7:0]	SC DAC ミキサ、ループバック CH1 ～ RDAC 係数バイト [15:8]	0x00
0x59	SC_DAC_MIX_ADCLB_CH1_RD AC_MIX_BYT2[7:0]	SC DAC ミキサ、ループバック CH1 ～ RDAC 係数バイト [7:0]	0x00
0x5A	SC_DAC_MIX_ADCLB_CH1_LD AC_MIX_BYT1[7:0]	SC DAC ミキサ、ループバック CH1 ～ LDAC 係数バイト [15:8]	0x00
0x5B	SC_DAC_MIX_ADCLB_CH1_LD AC_MIX_BYT2[7:0]	SC DAC ミキサ、ループバック CH1 ～ LDAC 係数バイト [7:0]	0x00
0x5C	SC_DAC_MIX_ADCLB_CH1_RD AC2_MIX_BYT1[7:0]	SC DAC ミキサ、ADC ループバック CH1 ～ RDAC2 係数バイト [15:8]	0x00
0x5D	SC_DAC_MIX_ADCLB_CH1_RD AC2_MIX_BYT2[7:0]	SC DAC ミキサ、ADC ループバック CH1 ～ RDAC2 係数バイト [7:0]	0x00
0x5E	SC_DAC_MIX_ADCLB_CH1_LD AC2_MIX_BYT1[7:0]	SC DAC ミキサ、ADC ループバック CH1 ～ LDAC2 係数バイト [15:8]	0x00
0x5F	SC_DAC_MIX_ADCLB_CH1_LD AC2_MIX_BYT2[7:0]	SC DAC ミキサ、ADC ループバック CH1 ～ LDAC2 係数バイト [7:0]	0x00
0x60	SC_DAC_MIX_ADCLB_CH2_RD AC_MIX_BYT1[7:0]	SC DAC ミキサ、ループバック CH2 ～ RDAC 係数バイト [15:8]	0x00
0x61	SC_DAC_MIX_ADCLB_CH2_RD AC_MIX_BYT2[7:0]	SC DAC ミキサ、ループバック CH2 ～ RDAC 係数バイト [7:0]	0x00
0x62	SC_DAC_MIX_ADCLB_CH2_LD AC_MIX_BYT1[7:0]	SC DAC ミキサ、ループバック CH2 ～ LDAC 係数バイト [15:8]	0x00
0x63	SC_DAC_MIX_ADCLB_CH2_LD AC_MIX_BYT2[7:0]	SC DAC ミキサ、ループバック CH2 ～ LDAC 係数バイト [7:0]	0x00
0x64	SC_DAC_MIX_ADCLB_CH2_RD AC2_MIX_BYT1[7:0]	SC DAC ミキサ、ADC ループバック CH2 ～ RDAC2 係数バイト [15:8]	0x00

表 3-3. SC ミキサ用ページ 17 レジスタ (続き)

レジスタ・アドレス	登録	レジスタの説明	リセット値
0x65	SC_DAC_MIX_ADCLB_CH2_RD AC2_MIX_BYT2[7:0]	SC DAC ミキサ、ADC ループバック CH2 ~ RDAC2 係数バイト [7:0]	0x00
0x66	SC_DAC_MIX_ADCLB_CH2_LD AC2_MIX_BYT1[7:0]	SC DAC ミキサ、ADC ループバック CH2 ~ LDAC2 係数バイト [15:8]	0x00
0x67	SC_DAC_MIX_ADCLB_CH2_LD AC2_MIX_BYT2[7:0]	SC DAC ミキサ、ADC ループバック CH2 ~ LDAC2 係数バイト [7:0]	0x00
0x68	SC_DAC_MIX_SIGGEN_CH1_R DAC_MIX_BYT1[7:0]	SC DAC ミキサ、信号ジェネレータ CH1 ~ RDAC 係数バイト [15:8]	0x00
0x69	SC_DAC_MIX_SIGGEN_CH1_R DAC_MIX_BYT2[7:0]	SC DAC ミキサ、信号ジェネレータ CH1 ~ RDAC 係数バイト [7:0]	0x00
0x6A	SC_DAC_MIX_SIGGEN_CH1_L DAC_MIX_BYT1[7:0]	SC DAC ミキサ、信号ジェネレータ CH1 ~ LDAC 係数バイト [15:8]	0x00
0x6B	SC_DAC_MIX_SIGGEN_CH1_L DAC_MIX_BYT2[7:0]	SC DAC ミキサ、信号ジェネレータ CH1 ~ LDAC 係数バイト [7:0]	0x00
0x6C	SC_DAC_MIX_SIGGEN_CH1_R DAC2_MIX_BYT1[7:0]	SC DAC ミキサ、信号ジェネレータ CH1 ~ RDAC2 係数バイト [15:8]	0x00
0x6D	SC_DAC_MIX_SIGGEN_CH1_R DAC2_MIX_BYT2[7:0]	SC DAC ミキサ、信号ジェネレータ CH1 ~ RDAC2 係数バイト [7:0]	0x00
0x6E	SC_DAC_MIX_SIGGEN_CH1_L DAC2_MIX_BYT1[7:0]	SC DAC ミキサ、信号ジェネレータ CH1 ~ LDAC2 係数バイト [15:8]	0x00
0x6F	SC_DAC_MIX_SIGGEN_CH1_L DAC2_MIX_BYT2[7:0]	SC DAC ミキサ、信号ジェネレータ CH1 ~ LDAC2 係数バイト [7:0]	0x00
0x70	SC_DAC_MIX_SIGGEN_CH2_R DAC_MIX_BYT1[7:0]	SC DAC ミキサ、信号ジェネレータ CH2 ~ RDAC 係数バイト [15:8]	0x00
0x71	SC_DAC_MIX_SIGGEN_CH2_R DAC_MIX_BYT2[7:0]	SC DAC ミキサ、信号ジェネレータ CH2 ~ RDAC 係数バイト [7:0]	0x00
0x72	SC_DAC_MIX_SIGGEN_CH2_L DAC_MIX_BYT1[7:0]	SC DAC ミキサ、信号ジェネレータ CH2 ~ LDAC 係数バイト [15:8]	0x00
0x73	SC_DAC_MIX_SIGGEN_CH2_L DAC_MIX_BYT2[7:0]	SC DAC ミキサ、信号ジェネレータ CH2 ~ LDAC 係数バイト [7:0]	0x00
0x74	SC_DAC_MIX_SIGGEN_CH2_R DAC2_MIX_BYT1[7:0]	SC DAC ミキサ、信号ジェネレータ CH2 ~ RDAC2 係数バイト [15:8]	0x00
0x75	SC_DAC_MIX_SIGGEN_CH2_R DAC2_MIX_BYT2[7:0]	SC DAC ミキサ、信号ジェネレータ CH2 ~ RDAC2 係数バイト [7:0]	0x00
0x76	SC_DAC_MIX_SIGGEN_CH2_L DAC2_MIX_BYT1[7:0]	SC DAC ミキサ、信号ジェネレータ CH2 ~ LDAC2 係数バイト [15:8]	0x00
0x77	SC_DAC_MIX_SIGGEN_CH2_L DAC2_MIX_BYT2[7:0]	SC DAC ミキサ、信号ジェネレータ CH2 ~ LDAC2 係数バイト [7:0]	0x00

3.3.1 再生パス サイドチェーン - 例

ここでは、再生パス上のサイドチェーン (SC) ミキサの実装例について説明します。以下のサンプルコードは、PurePath™ Console 3 を使用して TAC5112EVM-K 評価基板で実行しました。SC ミキサは以下の入力をミキシングします：

1. ADC-DAC ループバック ミキサでミキシングされる、IN1P/IN1M の 1kHz、1Vrms の差動アナログ正弦波信号。
2. ADC-DAC ループバック ミキサでミキシングされる、IN2P/IN2M の 2.2kHz、0.5Vrms の差動アナログ正弦波信号。
3. PASI RX チャネル 1 の 100Hz、0.4FS (フルスケール) のデジタル正弦波トーン。
4. PASI RX チャネル 2 の 750Hz、0.6FS (フルスケール) のデジタル正弦波トーン。
5. SG1 信号ジェネレータで生成される 3.33kHz の正弦波信号。

デバイスは、DAC を介して 2 つのミキシング信号を、それぞれ OUT1P/M および OUT2P/M のアナログ出力で再生します。

```

w a0 00 00 #Page 0
w a0 01 01 #SW Reset
d 01

w a0 00 00 #Page 0
w a0 02 09 #Exit Sleep Mode with DREG and VREF Enabled
w a0 1a 30 #TDM protocol with 32-bit word length
w a0 4d 00 #VREF set to 2.75V for 2Vrms differential fullscale input
w a0 50 00 #ADC Channel 1 configured for AC-coupled differential input with 5kohm input impedance
and audio bandwidth
w a0 55 00 #ADC Channel 2 configured for AC-coupled differential input with 5kohm input impedance
and audio bandwidth
w a0 64 20 #DAC Channel 1 configured for differential output with 0.6*vref as common mode
w a0 65 20 #DAC OUT1P configured for line out driver and audio bandwidth
w a0 66 20 #DAC OUT1M configured for line out driver and audio bandwidth
w a0 6b 20 #DAC Channel 2 configured for differential output with 0.6*vref as common mode
w a0 6c 20 #DAC OUT2P configured for line out driver and audio bandwidth
w a0 6d 20 #DAC OUT2M configured for line out driver and audio bandwidth

w a0 26 01 #RX Offset = 1
w a0 28 20 #RX CH1 to DAC CH1
w a0 29 21 #RX CH2 to DAC CH2

w a0 00 01 #Page 1
w a0 2c d0 #Enable DAC ASI Mixer, Loopback Mixer, DAC Side-Chain Mixer

#ADC INPUTS
#CH1 = 1kHz, 1vrms (0.5FS)
#CH2 = 2.2kHz, 0.5vrms (0.25FS)
#ADC Loopback mixers
#LB1 = 0.2*CH1 + 0.8*CH2
w a0 00 0a #Page 10
w a0 48 19 99 99 9a #a1 = 0.2
w a0 4c 66 66 66 66 #b1 = 0.8
w a0 50 00 00 00 00 #c1 = 0
w a0 54 00 00 00 00 #d1 = 0

#LB2 = 0.6*CH1 + 0.4*CH2
w a0 58 4c cc cc cd #a2 = 0.6
w a0 5c 33 33 33 33 #b2 = 0.4
w a0 60 00 00 00 00 #c2 = 0
w a0 64 00 00 00 00 #d2 = 0

#Tone generator
#TG1 = 3.33kHz sine tone
#TG2 = No Signal
w a0 00 12
w a0 24 74 3e 09 17
w a0 20 6A 84 FE 00
w a0 2c 35 96 a4 6c
w a0 28 38 03 3C 00

#DAC ASI Inputs
#IN1 = 100Hz, 0.4FS (0.4FS)
#IN2 = 750Hz, 0.6FS (0.6FS)

w a0 00 11 #Page 17
#DAC output OUT1 = IN1 + 0.5*LB1
#DAC output OUT2 = IN2 + 0.4*LB2 + 0.2*TG1
w a0 58 00 00 20 00 #a1 = 0.5, a2 = 0
w a0 5c 00 00 00 00 #a3 = 0, a4 = 0
w a0 60 19 9a 00 00 #b1 = 0, b2 = 0.4
w a0 64 00 00 00 00 #b3 = 0, b4 = 0
w a0 68 0c cd 00 00 #c1 = 0, c2 = 0.2
w a0 6c 00 00 00 00 #c3 = 0, c4 = 0
w a0 70 00 00 00 00 #d1 = 0, d2 = 0
w a0 74 00 00 00 00 #d3 = 0, d4 = 0

w a0 00 00 #Page 0

```

```
w a0 76 cc #ADC CH1-2, DAC CH1-2 Enabled
w a0 78 c0 #ADC, DAC Paths enabled
```

Mixer Inputs:

IN1 = 1kHz, 1Vrms Sine (0.5FS analog, IN1P/M)
 IN2 = 2.2kHz, 0.5Vrms Sine (0.25FS analog, IN1P/M)
 LB1 = ADC-to-DAC Loopback 1 = $0.2 \cdot \text{IN1} + 0.8 \cdot \text{IN2}$
 LB2 = ADC-to-DAC Loopback 2 = $0.6 \cdot \text{IN1} + 0.4 \cdot \text{IN2}$
 SG1 = Signal Generator 1 = 3.3kHz Sine tone (1FS)
 SG2 = Signal Generator2 = No Signal
 IN3 = 100Hz Sine (0.4FS ASI Input, PASI RX CH1)
 IN4 = 750Hz Sine (0.6FS ASI Input, PASI RX CH2)

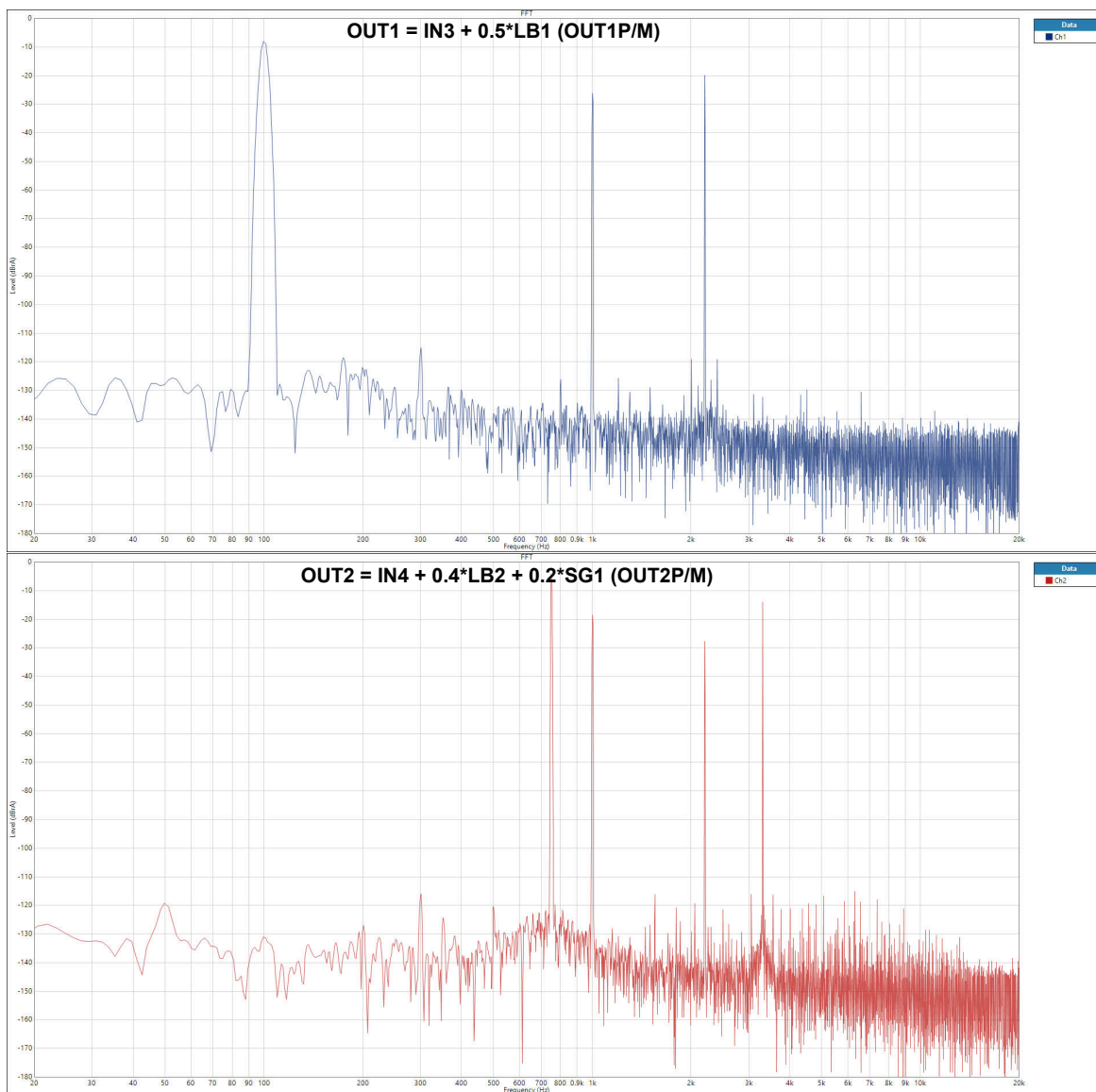


図 3-7. サイドチェーン ミキサの再生チャンネル出力

4 アプリケーション:ADC チャンネル加算により TAC5212 のダイナミックレンジを改善

信号成分とノイズ成分を含む 2 つの入力について考慮します。

$$\begin{aligned} V_{in1} &= V_{sig1} + V_{noise1} \\ V_{in2} &= V_{sig2} + V_{noise2} \end{aligned} \quad (6)$$

これら 2 つの入力が混在すると、信号成分は関連付けられているため直接加算されますが、ノイズ成分は関連付けられておらず、二乗和平方根として加算されます。

したがって、2 つの入力が同じ重みで混在すると、結果として得られる出力は次のようになります：

$$V_{out} = \left(\frac{V_{sig1} + V_{sig2}}{2} \right) + \frac{\sqrt{V_{noise1}^2 + V_{noise2}^2}}{2} \quad (7)$$

両方の入力に同じソースを使用する場合 (図 4-1 を参照)、次のようになります：

$$\begin{aligned} V_{sig1} &= V_{sig2} = V_{sig} \\ V_{noise1} &= V_{noise2} = V_{noise} \end{aligned} \quad (8)$$

得られる出力は次のとおりです：

$$V_{out} = V_{sig} + \frac{V_{noise}}{\sqrt{2}} \quad (9)$$

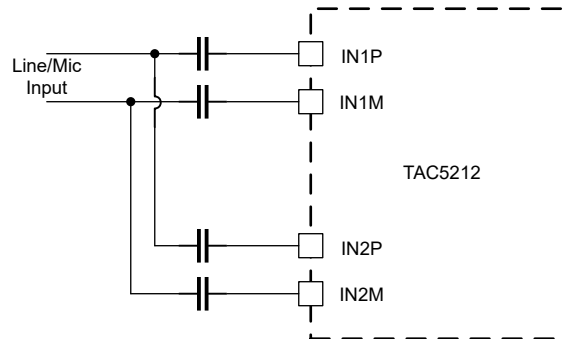


図 4-1. チャンネル加算のために両方の ADC チャンネルに同じ入力を接続

信号振幅は同じままですが、ノイズは 1.414 分の 1 に低減されました。これにより、実効出力の信号対雑音比が 3dB 改善される可能性があります。

このコンセプトは、以下の構成スクリプトを使用し、IN1P/M および IN2P/M 両方に同じアナログ信号を接続して、TAC5212EVM-K でテストされました。

```
w a0 00 00 # Page 0
w a0 01 01 #Sw Reset
d 01

# Page 0 Register Writes
w a0 00 00
w a0 02 09 #Exit Sleep Mode with DREG and VREF Enabled
d 10
w a0 1a 30 #PASI in TDM protocol with 32-bit word length
w a0 4d 00 #VREF set to 2.75V for 2Vrms differential fullscale input
w a0 50 00 #ADC channel 1 configured for AC-coupled differential input with 5kohm input impedance and audio bandwidth
w a0 55 00 #ADC channel 2 configured for AC-coupled differential input with 5kohm input impedance and audio bandwidth

w a0 1e 20 #Recording Channel 1 on TDM Slot 0
w a0 1f 21 #Recording Channel 2 on TDM Slot 0
```



```
#Same signal on ADC CH1, ADC CH2
w a0 00 0a #Page 10
#Confugre Mixer1 for OUT1 = 0.5*IN1 + 0.5*IN2
w a0 08 40 00 00 00
w a0 0c 40 00 00 00
w a0 10 00 00 00 00
w a0 14 00 00 00 00
#Confugre Mixer1 for OUT2 = 0.5*IN1 + 0.5*IN2
w a0 18 40 00 00 00
w a0 1c 40 00 00 00
w a0 20 00 00 00 00
w a0 24 00 00 00 00

w a0 00 00 #Page 0
w a0 76 c0 #ADC Channels 1-2 Enabled
w a0 78 80 #ADC Powered Up
```

表 4-1 は、CH1 と CH2 を個別に使用した場合のダイナミックレンジと、チャンネル加算による 3dB の改善について示しています。測定値は重み付けされています。

表 4-1. TAC5212 でのチャンネル加算ありなしのダイナミックレンジ

ミキサによるチャンネル加算	CH1 ダイナミックレンジ (dB)	CH2 ダイナミックレンジ (dB)
無効	118.9dB	118.8dB
イネーブル	121.9dB	121.9dB

5 アプリケーション: TAC5412-Q1 のアナログ入力からアナログ出力への信号フロー

TAC5412-Q1 デバイスでは、アナログ入力を DAC シグナル チェーンとミキシングして、デジタル ミキサを経由してアナログ出力で再生できます。これは、ADC から DAC へのループバックパスとサイドチェーン ミキサを使用して、アナログ入力電圧を対応するアナログ出力電圧に変換します。図 5-2 は、アナログ入力とアナログ出力の接続を示しています。

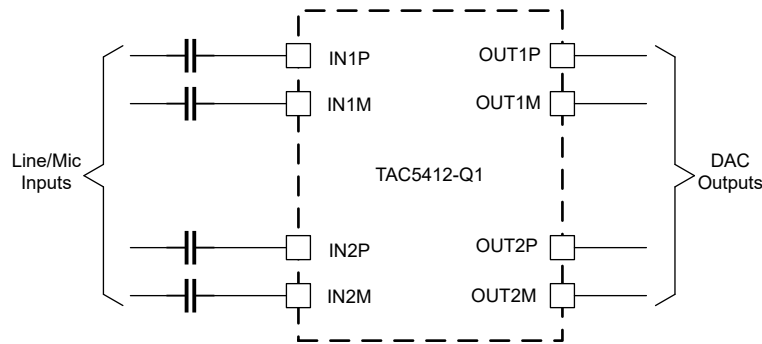


図 5-1. TAC5412-Q1 の入出力接続

これは、以下のスクリプトを使用して TAC5412Q15B5EVM-K 評価基板上でテストされました。ここでは、ADC パスを 10Vrms のフルスケール差動入力用に構成し、DAC パスを 2Vrms のフルスケール差動出力用に構成しています。ここで予想されるのは、INxP/M ピンに 8.91Vrms (ADC の -1dBFS) が供給された場合、対応する OUTxP/M ピンに 1.78Vrms (DAC の -1dBFS) が見られることです。図 5-2 に測定値を示します。

```
w a0 00 00 # Page 0
w a0 01 01 #Sw Reset
d 01
# Page 0 Register Writes
w a0 00 00
w a0 02 09 #Exit Sleep Mode with DREG and VREF Enabled
d 10
w a0 1a 30 #PASI in TDM protocol with 32-bit word length
w a0 4d 00 #VREF set to 2.75V for 2Vrms differential fullscale input
w a0 50 00 #ADC Channel 1 configured for differential input with 10Vrms swing
w a0 55 00 #ADC Channel 2 configured for differential input with 10Vrms swing
w a0 64 20 #DAC Channel 1 configured for differential output with 0.6*vref as common mode
w a0 65 20 #DAC OUT1P configured for line out driver and audio bandwidth
w a0 66 20 #DAC OUT1M configured for line out driver and audio bandwidth
w a0 6b 20 #DAC Channel 2 configured for differential output with 0.6*vref as common mode
w a0 6c 20 #DAC OUT2P configured for line out driver and audio bandwidth
w a0 6d 20 #DAC OUT2M configured for line out driver and audio bandwidth

w a0 26 01 #RX Offset = 1

w a0 28 20 #RX CH1 to DAC CH1
w a0 29 21 #RX CH2 to DAC CH2

#ADC INPUTS
#CH1 = 1kHz, 8.91Vrms Sine (-1dBFS)
#CH2 = 2.2kHz, 5Vrms Sine (-6dBFS)
#ADC Loopback mixers
#LB1 = 1*CH1 + 0*CH2
w a0 00 0a #Page 10
w a0 48 7f ff ff ff #a1 = 1
w a0 4c 00 00 00 00 #b1 = 0
w a0 50 00 00 00 00 #c1 = 0
w a0 54 00 00 00 00 #d1 = 0

#LB2 = 0*CH1 + 1*CH2
w a0 58 00 00 00 00 #a2 = 0
w a0 5c 7f ff ff ff #b2 = 1
w a0 60 00 00 00 00 #c2 = 0
w a0 64 00 00 00 00 #d2 = 0

#DAC Inputs
#CH1 = CH2 = 0

w a0 00 11 #Page 17
#DAC output OUT1 = 1*LB1
```

```
#DAC output OUT2 = 1*LB2
w a0 58 00 00 3f ff #a1 = 0, a2 = 0
w a0 5c 00 00 00 00 #a3 = 0, a4 = 0
w a0 60 3f ff 00 00 #b1 = 0, b2 = 0
w a0 64 00 00 00 00 #b3 = 0, b4 = 0
w a0 68 00 00 00 00 #c1 = 0, c2 = 0
w a0 6c 00 00 00 00 #c3 = 0, c4 = 0
w a0 70 00 00 00 00 #d1 = 0, d2 = 0
w a0 74 00 00 00 00 #d3 = 0, d4 = 0

w a0 00 00 #Page 0
w a0 76 cc #ADC CH1-2, DAC CH1-2 Enabled
w a0 78 e0 #ADC, DAC Path and MICBIAS enabled
```

Analog Inputs (ADC Full-Scale = 10Vrms):
CH1 = 8.91Vrms, 1kHz Sine (-1dBFS, IN1P/M)
CH2 = 5Vrms, 1kHz Sine (-6dBFS, IN1P/M)
DAC Full-Scale = 2Vrms

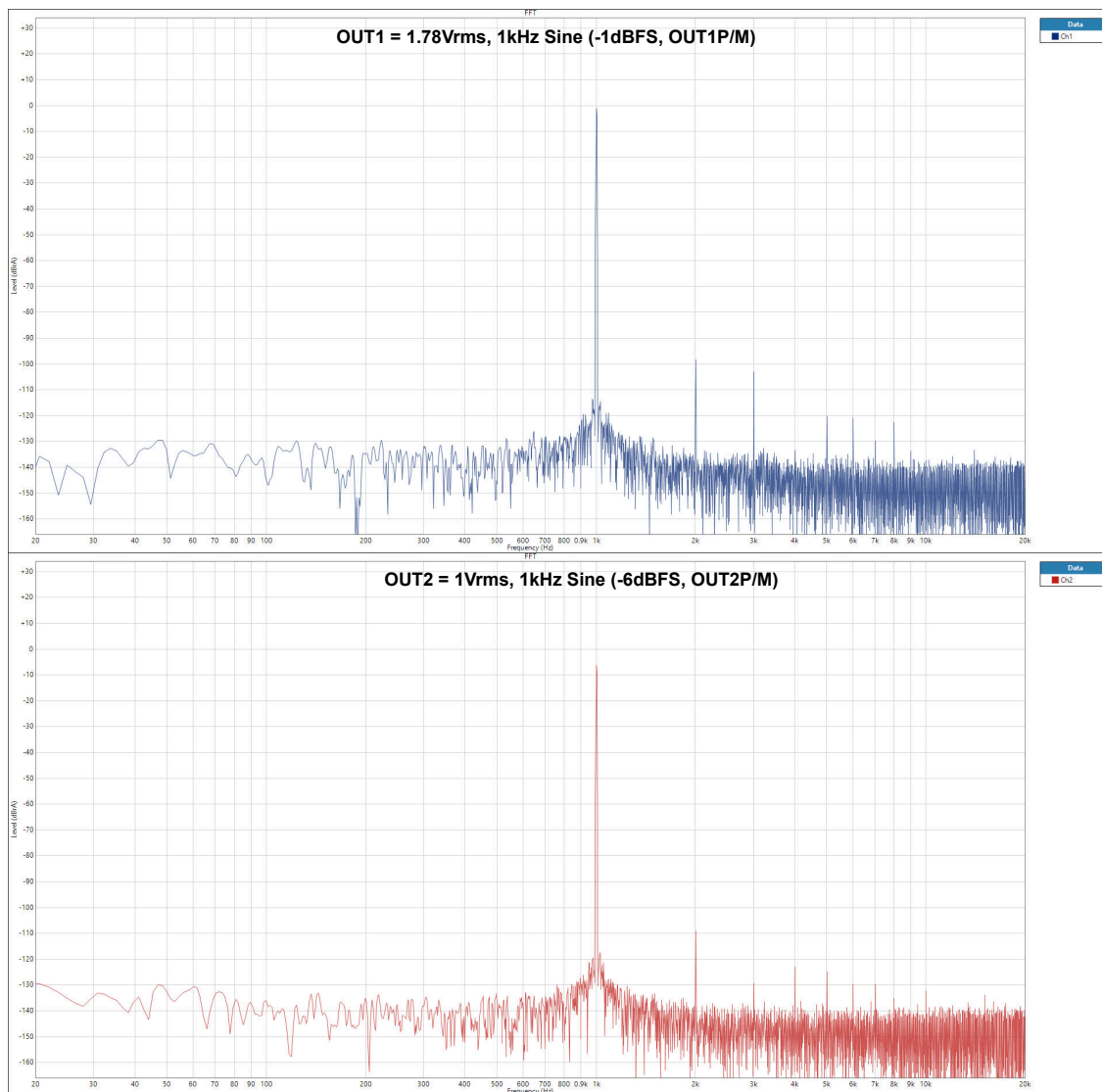


図 5-2. TAC5412-Q1 で測定されたアナログ入力-アナログ出力

6 まとめ

このアプリケーション ノートでは、録音および再生のシグナル チェーンに存在する各種デジタル ミキサの動作について説明し、**PurePath™™ Console 3** を使用してこれらのミキサを構成する方法を示す例を示します。この文書では、これらのミキサをオーディオ システムで設定して使用できる 2 つの使用例についても説明しています。

7 参考資料

- テキサス・インスツルメンツ、『[TAC5212 ダイナミックレンジ 119dB ADC および 120dB ダイナミックレンジ DAC 搭載の高性能ステレオ オーディオ コーデック](#)』、データシート
- テキサス・インスツルメンツ、『[TAC5412-Q1 プログラム可能な昇圧、Micbias、診断機能を搭載した車載用低消費電力ステレオ オーディオ コーデック](#)』、データシート
- テキサス・インスツルメンツ、『[チャンネル加算を搭載したオーディオ ADC のダイナミックレンジと SNR の向上](#)』、アプリケーション ノート
- テキサス インスツルメンツ、『[TAx5x1x 同期サンプル レート変換](#)』、アプリケーション ノート
- テキサス インスツルメンツ、『[TAx5x1x デバイスのトーン生成とアプリケーション モード](#)』、アプリケーション ノート

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated