

Application Note

クロック デバイスによる **EMI** の低減戦略

Cris Kobierowski, Vicente Flores Prado

Clocks and Timing Solutions

概要

電磁干渉 (EMI) とは、外部ソースによって発生する電気回路内での望ましくない干渉のことです。EMI は、伝導型と放射型に分類できます。伝導型 EMI は、寄生インピーダンスや電源、グラウンド接続によって生じる導通結合の一種です。放射型 EMI は、無線送信からの不要な信号のカップリングです。このアプリケーション ノートでは、周波数プランニングおよびプリント基板 (PCB) 設計を通じて、クロック デバイスからの放射 EMI を最小限に抑える方法について解説しています。

目次

1 はじめに.....	2
2 出力に関する推奨事項.....	2
2.1 差動とシングルエンドの比較.....	2
2.2 スルー レート.....	3
2.3 拡散スペクトラム クロック処理.....	3
3 PCB Design リファレンス デザイン.....	5
3.1 スタックアップ.....	5
3.2 電源フィルタリング.....	6
3.3 ボトルネックを避ける.....	7
3.4 戦略的なビアの配置.....	8
4 可能なアンテナの最小化.....	12
4.1 スタブ.....	12
4.2 ネット ポア.....	12
5 まとめ.....	13
6 参考資料.....	14

商標

すべての商標は、それぞれの所有者に帰属します。

1 はじめに

EMI に敏感なアプリケーション向けに PCB レイアウトを設計する際は、最初から EMI 性能を最適化した設計を実装することが良い実践とされています。このアプリケーション ノートでは、これらのレイアウト戦略に加えて、クロック デバイスの機能を最大限に活用し、最良の EMI 性能を達成する方法についても解説しています。

2 出力に関する推奨事項

2.1 差動とシングルエンドの比較

クロック波形は通常、スルーレートが非常に高くなる傾向があります。この急激な電圧変化は、出力周波数およびその高調波において大きな EMI スパイクを引き起こしやすい傾向があります。たとえば 25MHz の場合、25MHz、50MHz (2 高調波)、75MHz (3 次高調波) などにおける EMI スプリアスが存在する可能性が高いと考えられます。これらの出力を生成する際には高調波の発生は避けられないため、適切な出力タイプを選ぶことが妨害波の強度を抑えるのに役立ちます。

LVDS や HCSL などの差動出力タイプを使用することが、最も望ましい選択肢です。差動信号では、P と N の 2 本のトレースを使用し、それぞれの信号は互いに 180 度ずれた位相で動作します。P が HIGH のとき、N は LOW になり、その逆も同様です (図 2-1)。さらに、差動信号は、クロック ジェネレータから最終デバイスまでの PCB 全体にわたって近接して配置されます。このようなパターンと短い距離により、個々の配線による EMI の影響を効率的に最小限に抑えることができます。

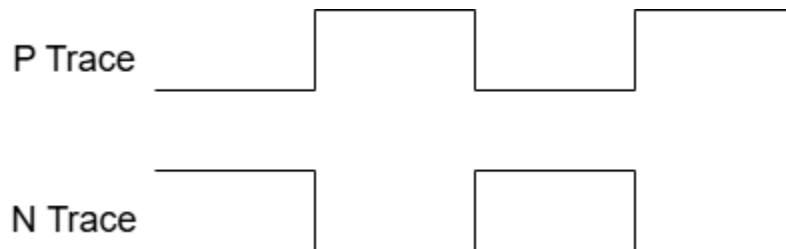


図 2-1. Pトレースおよび Nトレース

同じ方法は、CMOS のようなシングルエンド出力タイプにも適用することができます。シングルエンド出力タイプには、差動信号のような P と N の関係はありません。通常は、P または N のどちらか一方の配線しか使用されません。ただし、LMK3C0105 のような多くのクロック デバイスは、1 つの出力チャネル ブロックから、互いに 180 度ずれた 2 つのシングルエンド信号を生成できます。この機能を活用して、可能な限り差動信号に近い形で模倣するように努めることができます。トレースを差動ペアとして配線することで、最高の EMI 性能を実現できます。LVCMOS ペアの片方だけを使用する場合でも、両方の配線を行い、使用していないトレースは可能な限りレシーバに近い位置で終端処理を行います。LVCMOS ペアを別々のレシーバに使用する場合は、周波数プランと PCB レイアウトを工夫して、可能な限り差動伝送に近い配線ができるようにします。

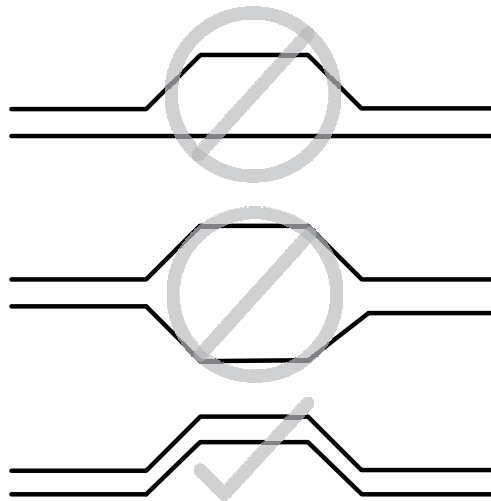


図 2-2. 差動ペアの対称性

CMOS を使用する場合、パターン長も考慮することが重要です。この出力タイプでは、トレースが長くなるほど消費電力が増え、それに伴って EMI 出力スプリアスも大きくなります。そのため、可能な限り低消費電力の出力タイプを使用するのが最善です。これは、差動出力でもシングルエンド出力でも同様で、たとえば CMOS の代わりに LVCMOS、HCSL の代わりに LP-HCSL を使うなどの選択が挙げられます。

2.2 スルー レート

スルー レートとは、電圧レベルの変化率を指します。クロック信号は通常、方形波であり、他の種類の信号よりもスルー レートが高速なのが一般的です。電圧レベルの急激な変化は回路内で電流の急増を引き起こし、それが EMI のスパイクを生じさせます。この問題を緩和するため、CDC6C などのデバイスにはスルーレート制御機能 (立ち上がり時間または立ち下がり時間の調整機能) があります。スルー レートを下げると、電流サージが減少し、その結果、電力が供給される EMI スパイクが低減されます。

2.3 拡散スペクトラム クロック処理

スペクトラム拡散クロック (SSC) は、EMI の発生源を緩和するための最も一般的な手法です。SSC は、周波数を制御された方法で変化させることによって、デジタル クロック信号のピーク振幅を低減します。その結果、周波数領域でエネルギーを分散させることができます。ただし、時間領域のクロックの振幅には影響しません。センター スプレッド方式の SSC は、エネルギーを目標周波数の両側に均等に分散させます。ダウン スプレッド方式の SSC は、エネルギーを目標周波数より低い周波数側にのみ分散させます。どちらのバージョンの SSC も強度が異なる場合があります。図 2-3 に、0% (青)、±0.5% (緑)、±1% (シアン)、±2% (赤) のセンター スプレッド方式 SSC の結果を示します。CDCE6214 や LMK3H ファミリーなどのクロック処理デバイスは、SSC 機能を備えています。

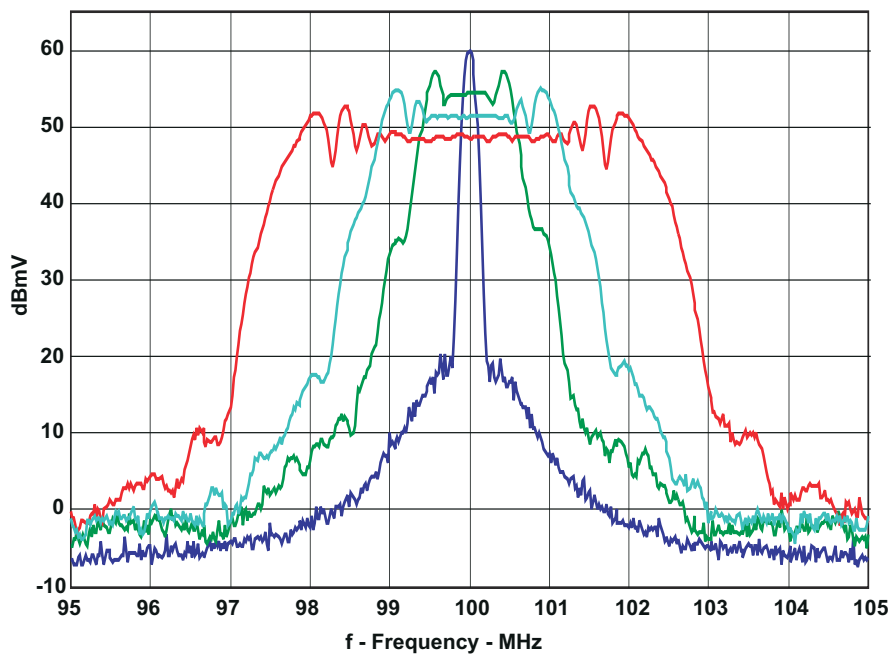


図 2-3. 0%、±0.5%、±1%、±2% の SSC を持つ 100MHz 出力

詳細については、[CDCS502/503](#) を使用したスペクトラム拡散クロックのアプリケーション ノートを参照してください。

3 PCB Design リファレンス デザイン

3.1 スタックアップ

EMI を最大限に軽減するため、PCB スタックアップを配置して、クロック信号と電力配線をストリップラインとして配線します (図 3-1)。これらの高エネルギー源をグラウンドで囲むことで、電磁界の閉じ込めに役立ちます。図 3-2 に、8 層のスタックアップの例を示します。この例では、電源および信号配線に層 1、3、6 を使用し、それぞれの層をグラウンド層で囲みます。これだけでは信号線を完全に包み込むわけではありませんが、このスタックアップは基板表面の大部分をカバーしており、放される射 EMI の抑制に役立ちます。

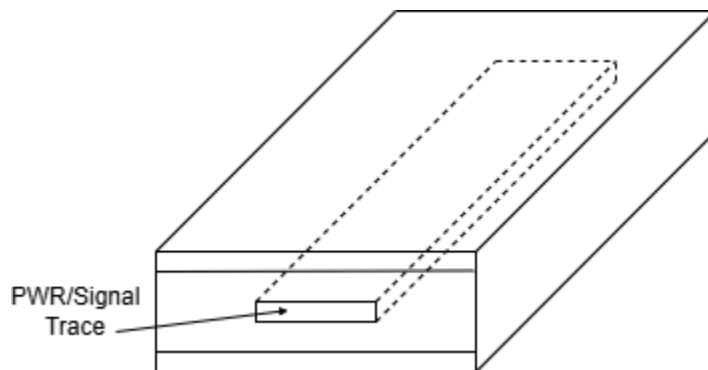


図 3-1. ストリップライン

Top Layer
Ground
Power
Ground
Ground
Signal
Ground
Bottom Layer

図 3-2. 8 層 PCB スタックアップの例

層の順序に加えて、材料の特性が信号線のインピーダンスにどのように影響するかを考慮することが重要です。使用している出力タイプに合わせて、トレース幅とスタックアップを適切に調整し、インピーダンスを整合させる必要があります。例えば、LVCMOS は通常 50Ω のトレース インピーダンスが必要であり、LP-HCSL は通常 85Ω または 100Ω が使用されます。デバイスと信号層のインピーダンスが整合していない場合、その切り替え時に大きな EMI スプリアスが発生することがあります。ほとんどの PCB ソフトウェアやメーカーは、これを支援するためのツールを提供しています。クロックの配線を別の層に通すためにビアが使われている場合は、そのビアのインピーダンスも考慮する必要があります。

3.2 電源フィルタリング

EMI の一般的な原因の一つは、周波数成分が電源プレーンに結合し、そこから放射されることです。CISPR-25 認証を目指す場合、これは特に重要です。なぜなら、認証時のアンテナ測定は、デバイスの電源ケーブルから行われるためです (図 3-3)。

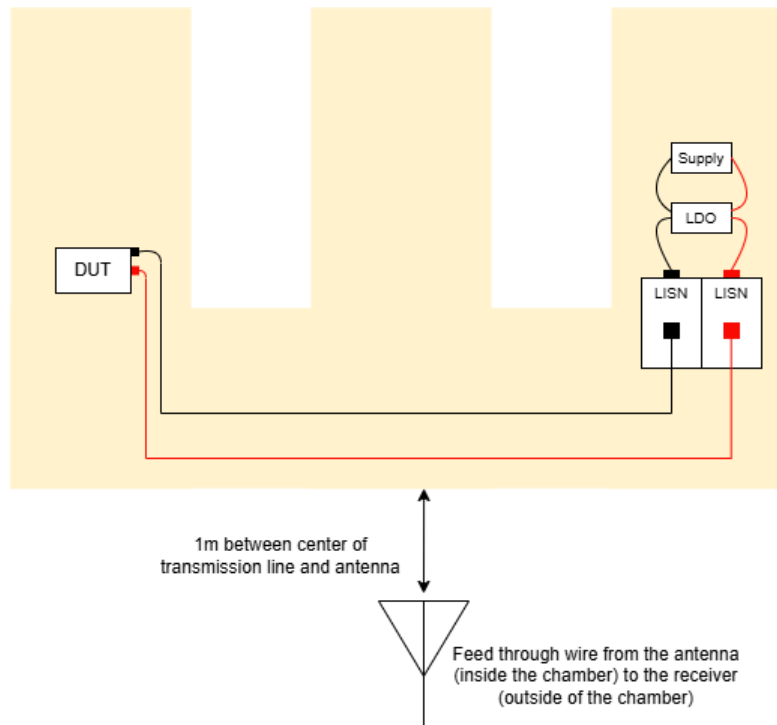


図 3-3. CISPR-25 の設定

デカップリング コンデンサを使用することは、回路内でクリーンな電源を確保するための主要な方法です。コンデンサは DC 電源に接続されるとエネルギーを蓄えます。そのため、電圧が定格値から変動した場合、コンデンサ内に蓄えられたエネルギーが放出され、負荷に供給されます。これにより電圧全体が平均化され、電源が安定し、EMI スプリアスが減少します。

デカップリング コンデンサの一般的な値は $0.1\mu\text{F}$ や $1\mu\text{F}$ ですが、これらの値だけではすべての周波数をフィルタリングすることはできません。コンデンサには有限の内部抵抗があり、抵抗成分と誘導成分の両方の特性を持っています。容量性リアクタンスと誘導性リアクタンスが等しくなり共振が起こる周波数は、自己共振周波数 (SRF) として知られています。この周波数で、コンデンサのインピーダンスがゼロになります。電源でフィルタリングしたい周波数において、デカップリング コンデンサのインピーダンスが可能な限り低くなることが求められます。

クロック供給については、CDC6C には各種の立ち上がり時間のオプションがあります。自動車用途では、EMI の影響を軽減できるという利点から、通常、立ち上がり時間の遅いクロック信号が使用されます。CDC6 スロー モード 4 の標準立ち上がり時間は 2.7ns です。この 2.7ns の立ち上がり時間は、 370MHz およびそれ以降の高調波における EMI スプリアスに対応する可能性があります。この場合、SRF が 370MHz のデカップリング コンデンサを使用することで、スイッチング ノイズが電源に与える影響を抑え、負荷電流が急激に増加した際に効果的に放電できます。

Würth Elektronik が提供する [EMI フィルタ デザイン ツール](#)は、特定の周波数を目標とする適切なコンデンサとフェライトビーズの値を選択するのに役立ちます。

3.3 ボトルネックを避ける

前のセクションで述べたように、電源プレーンとグラウンドプレーンは強力な EMI の放射の原因となり得ます。PCB 設計でよくある誤りは、電源パターンとグラウンド パターンにボトルネックを作り出すことです。ボトルネックは、大きな電力の集中がより小さな領域に強制されたときに発生します。

以下の画像では、赤い矢印は高い電力集中を、緑の矢印は低い電力集中を示しています。

図 3-4 では、VDD トレースはより細かいパターンにシフトします。2 つの接続がボトルネックです。その領域は電流が高密度に集中しており、EMI のアンテナとして機能する可能性があります。これは赤い矢印で示されています。

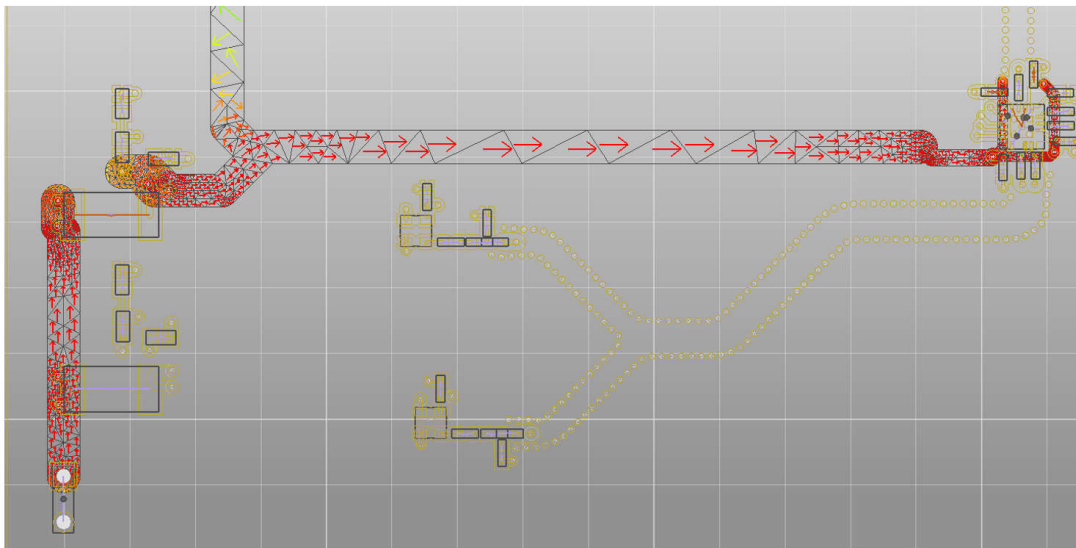


図 3-4. 狭いパワートレース

新しいレイアウト (図 3-5) では、単一のトレースではなくプレーン全体が活用されることで、任意の地点における電力の集中が低下します。これは緑の矢印で示されています。

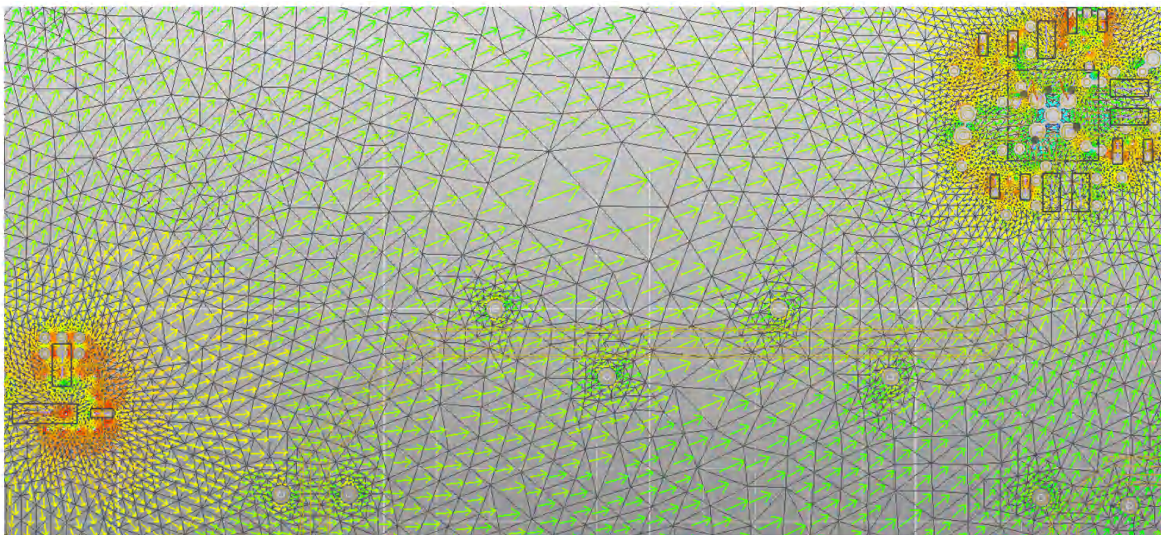


図 3-5. 広範囲なパワートレース

3.4 戦略的なビアの配置

3.4.1 電力集中度の分散

電力が大きくなると、EMI スプリアスが発生する可能性があります。セクション 3.3 セクションではトレース幅を使用して説明しますが、PCB の他の領域には高い電力密度が見られます。ビアや受動部品は、接続ポイントで電力が高密度に集中する傾向があります。たとえば、ビアがトレース幅よりも著しく小さい場合、このような接続部がアンテナのように作用することがあります。同様に、大きな受動部品のパッドが狭いトレース幅に接続されている場合や、2 つのプレーン間の遷移部でも同様の効果が生じる可能性があります。

3.4.1.1 ビアのサイズ

ビア内にトレースを通すと電流の流れが中断し、EMI スパイクが発生する可能性があります。ただし、ビアをトレースの幅よりも大幅に大きくすると、遷移がさらに難しくなります (図 3-6)。このより過酷な遷移がアンテナとして機能するので、EMI スプリアスが大きくなります。ビアを通してトレースを実行する場合は、トレースの幅はビア (図 3-7) よりも多少大きくなります。

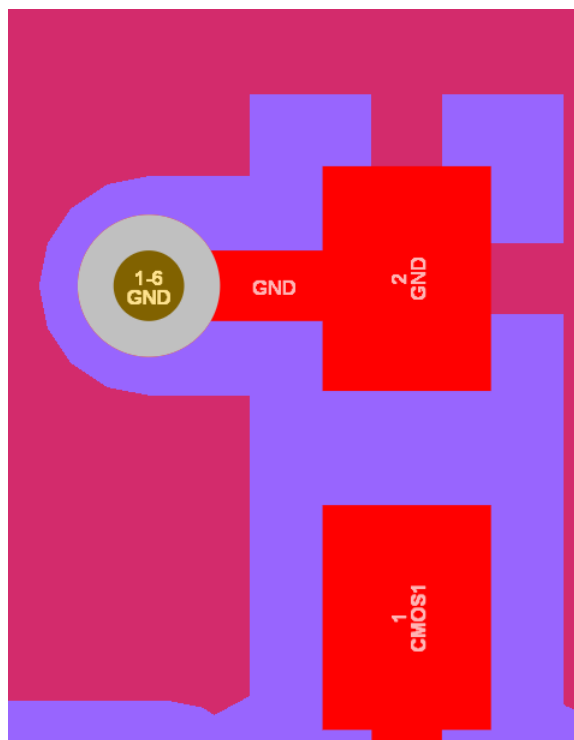


図 3-6. 狭いトレースと
グランド ビアに接続された受動部品

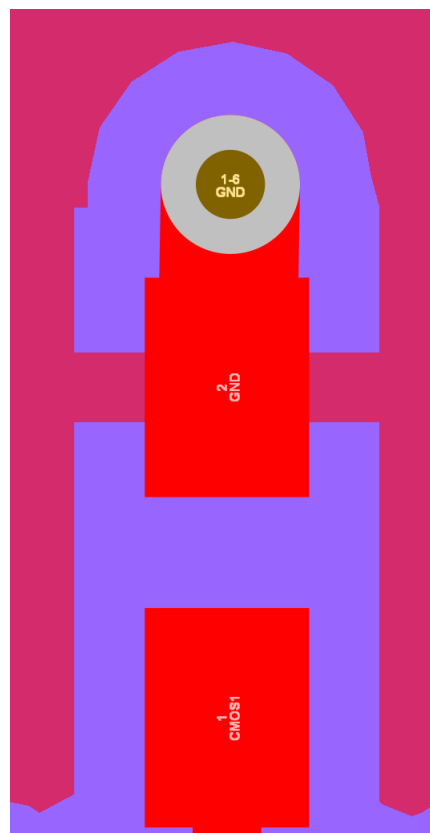


図 3-7. 広いトレースと
グランド ビアに接続された受動部品

3.4.1.2 パッドとボア

大きな受動部品のパッドが狭いトレース幅に接続されている場合も、EMI スパイクの原因となることがあります(図 3-8)。受動部品を接続する場合は、パターン幅がパッド サイズと一致しているようにします。同様に、2 つのプレーン間でネットを接続する場合は、複数のビアを使用してエネルギーをより均等に分散させるようにします (図 3-9)。これは、電源ネットとグランド ネットでは特に重要です。

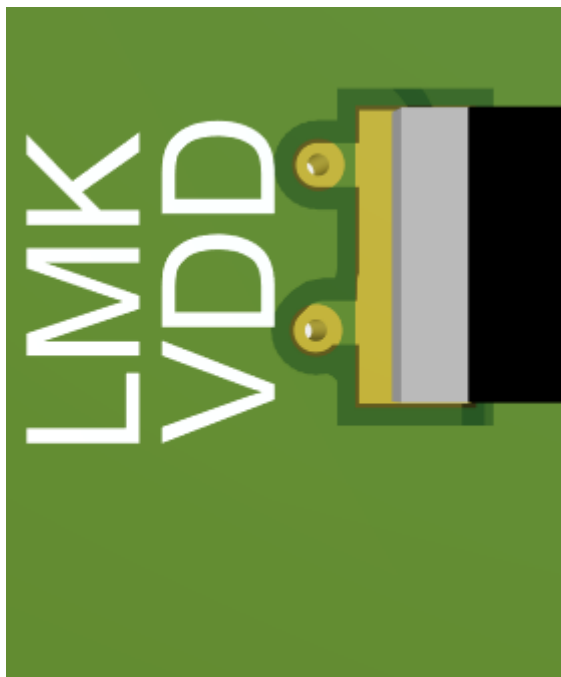


図 3-8. ビアが少ない大きな受動部品



図 3-9. ビアが多い大きな受動部品

3.4.2 シールド ビアとスティッチング ビア

PCB 設計における EMI 対策の一般的な方法の一つは、スルーホールによるスティッチング ビアとシールド ビアの使用です。スティッチングとは、基板全体にグラウンド ビアを散りばめた一般的なパターンのことを指します。各ビア間の間隔は、設計のニーズに応じて異なります。これらのビアは、PCB のグラウンド プレーン同士をつなぎ合わせるあるいは ホチキスで留めるような役割を果たし、回路全体に強固なグラウンドを構築します。追加されたグラウンドは、電源プレーンやトレースをさらに囲い込む役割も果たし、電磁界の封じ込めに役立ちます (図 3-10)。回路内に強力なグラウンドを配置することは、EMI を低減する最も効果的な方法の 1 つです。

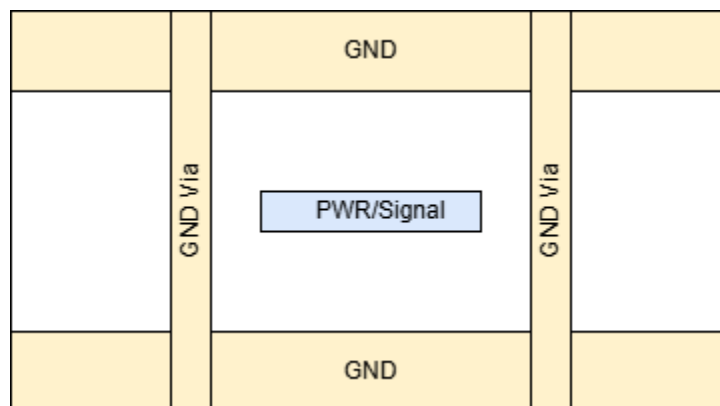


図 3-10. ビアを使用したストリップライン スタックアップ

ベスト プラクティスは、接続ポイント (図 3-11) に追加のグラウンド ビアを配置することです。接続ポイントとは、トレースがビアや受動部品などの他の要素に接続される場所のことを指します。この追加ビアを使用すると、グラウンドへのパスを短くし、インダクタンスと EMI を低減できます。

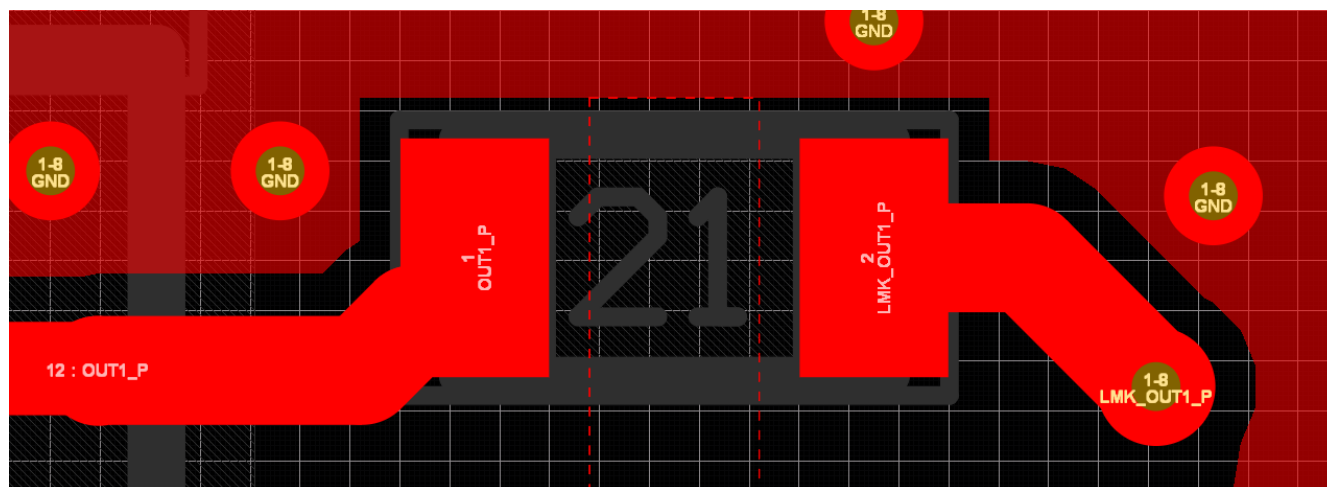


図 3-11. トレースの接続ポイント付近にグラウンド ビアを設けた抵抗

スティッチングと同様に、グラウンド ビアも利用します。ただし、基板全体にばらばらに配置するのではなく、シールド用ビアは信号トレースの横に沿って配置されます (図 3-12)。これらのビアは、特定の周波数を除去するのに役立ちます。ビアの配列は、クロック周波数が低い場合は波長の 1/20、高い場合は波長の 1/10 の間隔で配置します。この方法は特定の配線のストリップライン化を優先しますが、スルーホール ビアを使うことでスティッチング ビアと同様の効果が得られ、全体のグラウンドを強化しつつ、電源プレーンの一部もストリップライン化できます。



図 3-12. シールド ピアを使用する複数のクロックトレース

4 可能なアンテナの最小化

4.1 スタブ

回路内のどのスタブもアンテナになる可能性があり、PCB 表面のスタブにはフィールド封じ込め用に追加の GND 層がないためです。コンポーネント パッド、特に DNP 指定のものは、スタブの典型的な例としてよく見られます。この影響を抑えるためには、部品を囲むように最上層にグラウンド ポアを配置し、第 2 層にグラウンド プレーンを設けるのが最善です。

4.2 ネット ポア

PCB の最上層にグラウンド ポアを作成する際、自動設計ソフトウェアがコンポーネント間にグラウンドフィンガーが形成されることがあります (図 4-1)。これらのフィンガーは、グラウンドポアをカットすることで取り除くことができます (図 4-2)。



図 4-1. グラウンドフィンガー



図 4-2. グラウンドフィンガーの除去

同様に、ネット ポアの境界が滑らかになっているかを確認します。ポアの引っかけりや突起があると、電流の流れが詰まり、放射につながる可能性があります (図 4-3)。

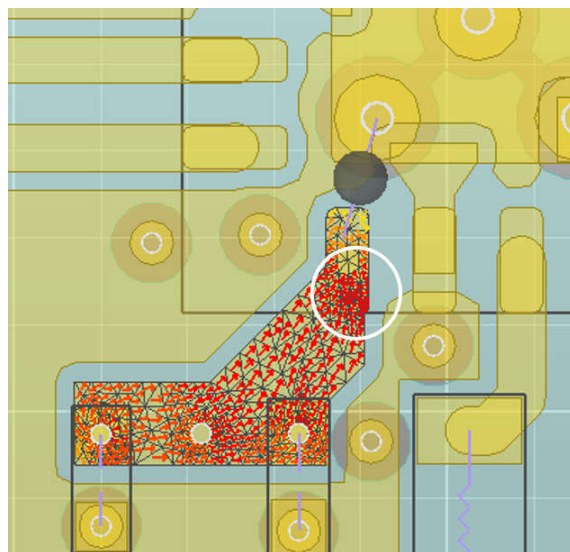


図 4-3. 引っかけりのある電源ポア

5 まとめ

PCB レイアウトは、システムの **EMI** 性能に大きく影響する主要因の一つです。基板を設計する際には、クリーンな電源 (コンデンサやフェライト ビーズによる) と強固なグランド (追加のグランドビアによる) を維持することが非常に重要です。PCB の層構成やトレースのレイアウトも、グランド シールドの強化やスムーズな電力供給のために最適化できます。

クロック デバイスを使用する際には、**SSC** などの各種設定を活用することで、**EMI** 放射をさらに低減することができます。

6 参考資料

- テキサス インスツルメンツ、『[EMI 低減のための PCB 設計](#)』アプリケーション ノート
- テキサス インスツルメンツ、『[LVDS SerDes 設計で EMI を低減するための高速レイアウトのガイドライン](#)』アプリケーション ノート
- テキサス インスツルメンツ、『[CDCS502/503 を使用したスペクトラム拡散クロック](#)』アプリケーション ノート
- テキサス インスツルメンツ、『[電源における EMI 低減のための短時間でコスト効率の高いイノベーション](#)』マーケティング 白書
- テキサス インスツルメンツ、『[LMK3H0102 リファレンスレス、2 差動または 5 シングルエンド出力に対応した、PCIe Gen 1~7 準拠のプログラマブル BAW クロック ジェネレータ](#)』データ シート
- テキサス・インスツルメンツ、『[CDC6Cx 低消費電力 LVCMOS 出力 BAW 発振器](#)』データ シート
- Altium、『[EMC を強化するための 6 層 PCB スタックアップの設計](#)』、PCB デザイン
- Würth Elektronik、『[EMI フィルタデザイン](#)』

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated