

Application Note

MSPM0 向け EMC 改善ガイド

Eason Zhou

概要

このアプリケーション ノートでは、MSPM0 マイコンの主要な EMC 原則、コンプライアンス標準、および設計最適化戦略について概説します。このドキュメントでは、効果的なノイズ抑制および放出制御技術を通じて国際認証要件に対応しながら、EMS の問題をトラブルシューティングし、MSPM0 ベースのシステムの電磁性能を向上させるための実用的なガイドランスを提供します。

目次

1 はじめに.....	2
2 EMC 規格と EMC 規格.....	3
2.1 EMC.....	3
2.2 EMC 規格.....	3
2.3 TI の EMC と IC の電氣的信頼性.....	5
3 EMC 改善ガイドラインの概要.....	7
3.1 PCB 設計ガイドライン.....	7
3.2 ファームウェアのガイドライン.....	8
4 MSPM0 の EMC 改善機能.....	10
4.1 感受性保護機能.....	10
4.2 放射削減機能.....	13
5 EMS テストの分析.....	16
5.1 根本原因の分析.....	16
5.2 デバッグ フロー.....	19
6 EMI テストの分析.....	21
6.1 根本原因の分析.....	21
6.2 デバッグ フロー.....	24
7 まとめ.....	25
8 参考資料.....	25

商標

Cortex® is a registered trademark of Arm Limited.

すべての商標は、それぞれの所有者に帰属します。

1 はじめに

このドキュメントでは、MSPM0 マイコンの電磁適合性 (EMC) の原理、規格、実装戦略の概要を紹介します。ほとんどのコンテンツはチェックリスト形式で提供されています。

MSPM0 を使用した製品開発の前に、これらのセクションを読み、MSPM0 ベースのシステムでソフトウェアレベルとハードウェアレベルの両方から EMC を改善するために内容をよく理解しておくことをお勧めします。

- [セクション 2](#)
- [セクション 3](#)
- [セクション 4](#)

EMC テストに不合格が発生した場合、以下のセクションを読み、根本的な原因と解決策を特定することをお勧めします。

- [セクション 5](#)
- [セクション 6](#)

2 EMC 規格と EMC 規格

2.1 EMC

電磁両立性 (EMC) は、電子工学における重要な分野であり、デバイスまたはシステムが、他のデバイスに有害な干渉 (EMI) を引き起こしたり、外部の電磁妨害 (EMS) によって悪影響を受けたりすることなく、電磁環境内で意図したとおりに動作するかどうかを検証します。したがって、EMC には 2 つの補完的な側面が含まれます。電磁干渉 (EMI) および電磁感受性 (EMS)。

2.1.1 EMS

EMS (耐性とも呼ばれる) は、外部の電磁妨害にさらされてもデバイスが正しく機能する能力を表します。次のものに対する回復力を測定します。

- 放射耐性: 電磁場 (例: 無線送信機からのもの) に対する耐性。
- 伝導耐性: 電源ラインまたは信号ラインに注入されるノイズ (例: 電圧サージや静電放電) に対する耐性。

2.1.2 EMI

EMI とは、デバイスまたはシステムから放射される、意図しない電磁エネルギーを指し、付近にあるエレクトロニクスの動作を妨げる可能性があります。これは多くの場合、次の 2 つのタイプに分類されます。

- 放射エミッション: 空気中を伝わる電磁波 (スマートフォンからの電波干渉など)。
- 伝導放射: 電源ラインまたはケーブル経由で伝搬されるノイズ (例: 電力グリッドに影響を及ぼしているモーターからの高調波)。

2.2 EMC 規格

さまざまなアプリケーション シナリオの EMC 準拠要件に基づき、国際、地域、または業界の団体によって多数の EMC 規格が確立され、電磁放射と耐性に関する許容可能な制限とテストの手法が定義されています。最も一般的なコミュニティは、国際標準化機構 (ISO)、国際電気標準会議 (IEC)、国際無線干渉特別委員会 (CISPR) です。規格の策定者は多数存在しますが、規格の適用範囲は、[図 2-1](#) に示す EMC の主要な標準の 3 つのカテゴリに分類できます

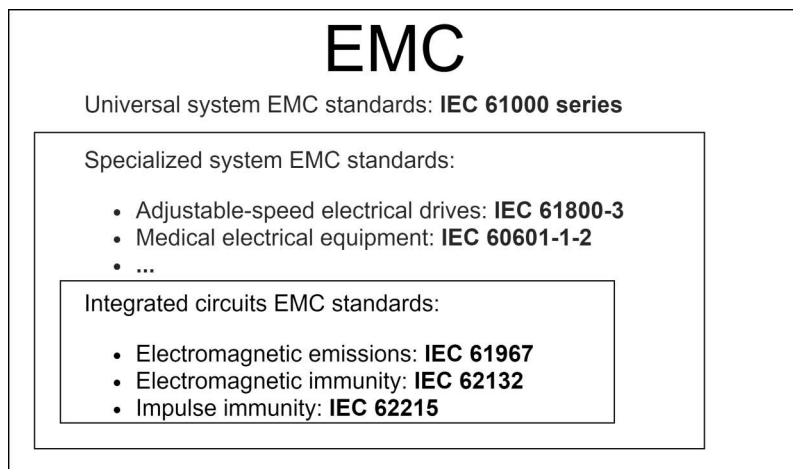


図 2-1. EMC 規格

最初の EMC 規格カテゴリは、一般的な製品または PCB システムに適した EMC テスト規格を記述したもので、最小 EMC パフォーマンス メトリックを設定するユニバーサル システム EMC 規格です。一例として、IEC が発行する IEC 61000 シリーズが挙げられます。IEC 61000 は最も一般的な EMC 規格であるため、[セクション 2.2.1](#) ではより広範囲にわたる規格についてより詳細に紹介しています。

二つ目のカテゴリは、特化したシステムの EMC 規格です。一般的な要件を補完するために、特定用途向けの一部の EMC 規格 (例: 自動車、医療、航空宇宙) も、特に EMI の固有の EMC 課題に対応するために開発されました。

三番目のカテゴリは、IC の EMC 規格です。IEC フレームワーク内には、以下の 3 つの主要な規格があります。IEC 61967、IEC 62132、および IEC 62215。これらのテストでは、標準化されたセットアップ (事前定義されたコードを持つ

100mm×100mm の多層 PCB など) を使用して、制御されたテスト環境での IC の動作を評価します。ただし、システム変数への依存性により、セットアップ パラメータ (PCB 層数、デカップリング コンデンサの配置、信号ルーティングなど) の違いによって IC の固有特性が人為的に増幅または隠蔽される可能性があるため、IC 間の比較は統計的に決定的なものではありません。その結果、このテストデータを提供している半導体企業はわずかです。

2.2.1 EMC 規格のカテゴリ

次のセクションでは、これらの組織によって作成されたさまざまな EMC 規格に基づく EMC テスト範囲を説明します。まず、IEC 61000 シリーズを例として使用して、EMS テストの対象を示します。

表 2-1. EMS (耐性) テスト基準の概要

テストの種類	標準	目的	テスト方式	アプリケーションの範囲
ESD 耐性	IEC 61000-4-2	人と機械の接触による静電気放電に対する耐性を評価します。	- 接触放電 (約 2kV ~ 8kV)、空中放電 (約 2kV ~ C15kV)。 - ESD ガンを使用します。	民生用電子機器、産業用機器。
EFT /バースト耐性	IEC 61000-4-4	高速過渡外乱 (リレーのスイッチングなど) に対する耐性をテストします。	- パルスバーストは約 50ns (0.5kV ~ 4kV、5kHz 回復)。 - 容量性クランプで電力線または信号線に結合します。	電源、モーター ドライブ、制御システム
サージ耐性	IEC 61000-4-5	高エネルギー サージ (雷、負荷切り替えなど) に対する耐性を評価します。	- 約 50μs の電圧サージ (ライン間またはライン間グラウンド、0.5kV ~ 4kV)。 - CDN またはガス放電チューブを介して結合されています。	テレコム システム、グリッド接続デバイスなどです。
放射 RF 耐性	IEC 61000-4-3	放射 RF フィールド (無線送信機など) に対する耐性をテストします。	- 均一な磁界領域 (3V/m ~ 30V/m) を持つ RF 信号 (80MHz ~ 6GHz)。 3m の距離にあるアンテナから放射されます。	無線デバイス、車載用エレクトロニクス。
伝導 RF 耐性	IEC 61000-4-6	ケーブル / 電力線経由で結合した RF 干渉への耐性を評価します。	- RF 信号 (150kHz ~ 80MHz) と変調あり (1kHz 時に AM 80%)。 - CDN または電流クランプを介して注入されます。	医療機器、産業用オートメーション。

EMI テスト範囲を示すために、EMI テスクと規格をいくつか掲載します。EMS と比較して、EMI はテスト規格と保護レベルが用途と関連しています。

表 2-2. EMI (電磁干渉) テスト規格の概要

テストの種類	標準	目的	テスト方式	アプリケーションの範囲
放射放出	CISPR 25	車載電子機器からの放射型電磁波を評価します	- RF 信号 (30MHz ~ 1GHz)。 - アンテナを取り付けた無響室で伝導され、距離は 1m/3m/10m です。	車内システム。
伝導放出	CISPR 22/32	電源ライン / 信号ラインで伝導放射をテストします。	- RF 信号 (150kHz ~ 30MHz)。 - LISN を使用して準ピーク値と平均値を測定します。	電源アダプタ、産業用周波数コンバータ。

2.3 TI の EMC と IC の電氣的信頼性

IC の電氣的信頼性は、IC の信頼性の一部です。JEDEC と ESDA でリリースされている HBM、CBM、ラッチアップは、ストレス下での長期的な性能を検証することを目的としています。

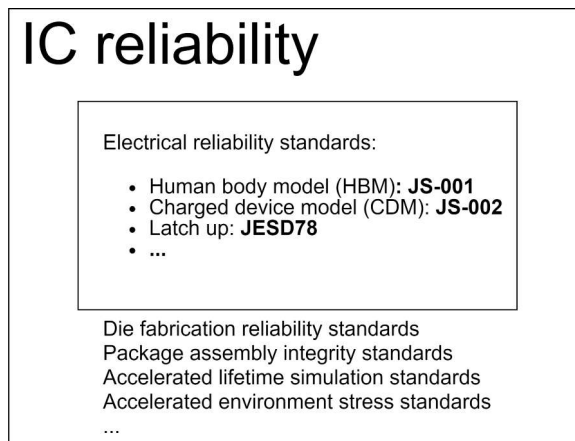


図 2-2. IC の信頼性規格

一部のユーザーは、信頼性を EMC と、特に ESD 定格と混同しています。IC の電氣的信頼性の関連規格は JS-001 (HBM) および JS-002 (CBM) です。EMC の関連規格は IEC 61000-4-2 および IEC 61967 です。これらの規格は、二つの異なる規格のカテゴリに属しています。表 2-3 に、EMC と IC の電氣的信頼性の違いを示しています。

表 2-3. EMC と電氣的信頼性の比較

要素	IC EMC テスト	IC 電氣的信頼性テスト
主な目的	電気環境下でのシステムの電磁適合性を確認します。	電氣的ストレス下での IC の長期的な安定性と寿命を検証し、性能の低下や物理的な故障を防止します。
ノイズ インジェクション	IC ベースのシステム	IC
テストの焦点と例	システムレベルの電磁相互作用 例 - ESD 耐性: 使用中に ESD イベントからのシステム回復を検証します。	電氣的ストレスに対する IC の耐久性。 例 - HBM, CBM: 製造時と組み立て時に、ESD イベントに対する IC の耐性をテストします。
最適化	はい。HW/SW の共同設計で改善。	いいえ。IC の再設計またはシリコンのリビジョンが必要です。
ソフトウェアの依存関係	はい。ファームウェアによって異なります。	なし
故障の影響	システムレベルの誤動作	回復不能なチップレベルの損傷

IC 設計フローでは、物理的な劣化、製造の変動、および運用ストレスに対処する方法論によって信頼性を検証することが主な焦点となります。EMC は従来の IC 設計フレームワークでは直接考慮されませんが、対象範囲は IC ベースのシステムであり、純粹に IC だけではありません。ただし、ESD 構造のようなオンチップ部品は、EMC 改善のための基本的なサポートを引き続き提供します。MSPM0 に関連する EMC 改善機能については、[セクション 4](#) を参照してください。

EMC テストに関して、TI はすべての EVM に対し、オンボードの限られた IC を搭載した状態での「EU 適合宣言」を発行しています。この結果、これらの EVM ボードが EN61326-1:2013 の要件を満たすことが明らかになりました。以下に例を示します。[LP-MSPM0G3507 EU RoHS 適合宣言 \(DoC\)](#)。IC 信頼性テストについては、テキサス・インスツルメンツでは注文可能なすべての型番デバイスの認定を行っています。認定サマリでは、[図 2-3](#) に示すように、標準的な IC 型番ごとのデータを検索できます。

Qualification summary

By using this tool to "Search" or "Download", you agree to TI's [Terms of use](#), [Privacy policy](#) (includir

For more information visit [Qualification summary FAQ](#).

Enter a TI part number

Qualification summary for: M0G3505QPMRQ1  ACTIVE

Report date: 03/18/2025

TI reference number: 0

図 2-3. IC 信頼性への入り口

IC の電氣的信頼性の詳細については、[ラッチアップ](#)、[ESD](#)、その他の現象』アプリケーションレポートおよびラッチアップホワイトペーパーを参照してください。

3 EMC 改善ガイドラインの概要

このセクションでは、MSPM0 ベースのシステムの EMC をソフトウェア レベルとハードウェア レベルの両方で改善するのに役立つ簡単なチェックのガイドラインをまとめています。詳細な説明と分析については、このドキュメントの後半で説明します。

3.1 PCB 設計ガイドライン

PCB の最適化は、EMC を改善するための重要な要素です。最適化の提案はチェックリスト形式で表示されます。これらの提案はすべて EMI と EMS の両方に有効です。

表 3-1. PCB 設計ガイドライン

項目	提案カテゴリ	提案
回路図設計	MSPM0 最小システム	データシートの「回路図」セクションのガイダンスに従って、電源、Vcore、リセットに抵抗とコンデンサを追加します。図 3-1 に例が示されています。
	EMC 保護部品	より強力な保護のために、表 3-2 に示されている I/O ポートと電源入力に EMC 保護部品を追加します。
PCB レイアウト	電源	- デカップリング コンデンサは MCU の近くに配置し、最も近くに 100pF コンデンサを配置します。 - VDD ラインは、次のシーケンスに従って MCU に入ります。分岐ポイント -> バイパス コンデンサ -> MCU
	グラウンド (接地)	- 混合信号システムにスター接地を実装します - 連続的なグラウンド プレーンを使用します (高速トレースの下での分割は避けてください) - 未使用の基板領域に、グラウンド フィル ゾーンを追加します - エミッション ノイズを低減するため、MCU の下にソリッド GND を追加します - GND パターンは PCB の周囲に配置し、電源 (VDD) や信号ラインを配置しないでください - 電源と GND のパターン コーナーは、45 度にします - グラウンド ピンはすべてのコネクタに均等に配置する必要があります
	発振器	- MCU の GND ピンへの外部発振器ループを低減します - 周囲の発振器配線に GND パターンがある場合 - エミッション ノイズを低減するため、発振器の GND と PCB の GND を分離します
	一般的な信号	- パターン長とループ面積の短縮 (クロックと高速信号にとって重要) - 信号は 45 度にカーブさせる必要があります

[表 3-2](#) は、EMC を改善するために一般的に使用されているパッシブ保護部品です。パッシブ保護部品と PCB 設計が EMC の改善に及ぼす影響について深く理解したい場合は、村田製作所が提供する[ノイズ抑制基本コース](#)を参照してください。

表 3-2. 受動保護部品

カテゴリ	MC カテゴリ	使用に適した状況	主なメリット	重要なパラメータ	設計に関するヒント
抵抗 (直列)	EMS、EMI	電流制御を必要とする高周波回路	スパイクを抑制し EMI を吸収し低インダクタンスを実現します	抵抗値、寄生インダクタンス (1nH 未満)	金属皮膜を使用します。カーボン組成は避けてください
クランプ ダイオード	EMS	ESD に敏感な高速インターフェイス (USB、HDMI)	超高速応答 (1ns 未満)、低クランプ電圧	クランプ電圧、ピーク パルス電流、容量	保護された IC の近くに配置します。直列抵抗と組み合わせます
コンデンサ	EMS、EMI	ノイズ フィルタリングまたはエネルギー バッファリング	セラミック (高周波数)、電解 (バルク)	SRF、電圧定格、静電容量	SRF をノイズに一致させます。SRF のオーバーラップは避けてください

表 3-2. 受動保護部品 (続き)

カテゴリ	MC カテゴリ	使用に適した状況	主なメリット	重要なパラメータ	設計に関するヒント
TVS ダイオード	EMS	高エネルギーのサージ (雷、誘導性負荷)	超高速クランプ (1ps 未満)、10kA サージに対応	逆スタンドオフ電圧、クランプ電圧	スタンドオフ電圧 > 動作電圧の 20%
フェライトビーズ	EMI	電源ラインまたはデータラインの GHz 範囲ノイズ	周波数固有の減衰、DC 損失なし	ターゲット周波数 DCR のインピーダンス	DC バイアス下のインピーダンスを確認します
コモン モード チョーク	EMS/EMI	差動ライン (CAN、USB) の同相モード ノイズ	信号の歪みを引き起こさずにノイズを阻止します	インピーダンス (例: 100MHz で 600Ω)、電流定格	巻線インダクタンスを平衡させ、寄生成分を最小化します
EMI フィルタ (LC/Pi/T)	EMS/EMI	電力 / 信号ラインの広帯域ノイズ	多段トポロジ (高インピーダンス / 低インピーダンス用 π /T)	カットオフ周波数、挿入損失	電源ライン用 Pi フィルタ、信号用 T フィルタ
ガス排出チューブ	EMS	極端なサージ (通信、雷)	20kA のサージに対応し、低容量、耐久性があります	ブレイクダウン電圧、応答時間	TVS ダイオードとの組み合わせにより、マルチステージ保護を実現

MSPM0 の回路図設計の例を以下に示します。詳細な説明については、具体的な MSPM0 のデータシートを参照してください。

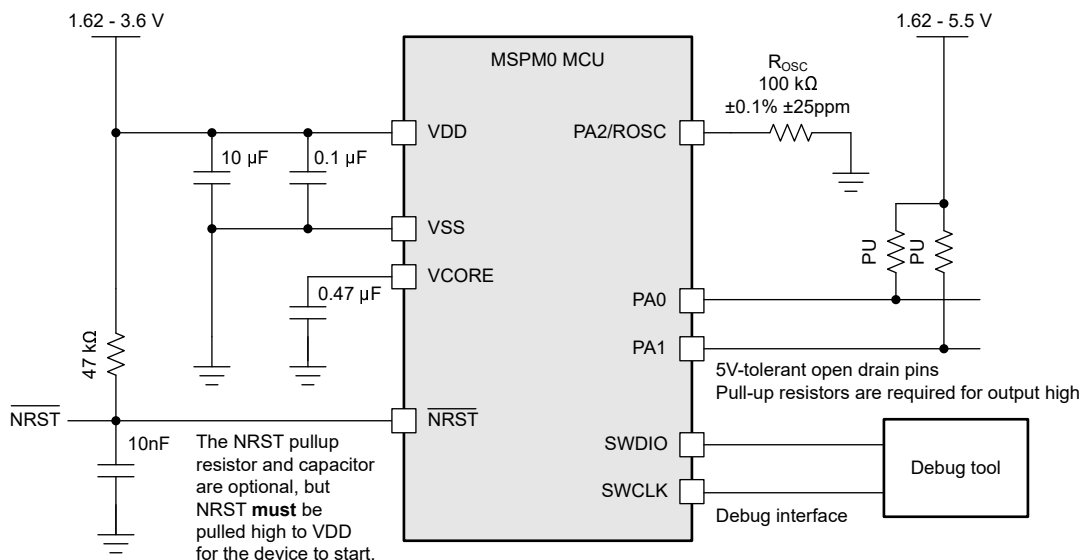


図 3-1. MSPM0G の基本アプリケーション回路図

3.2 ファームウェアのガイドライン

MSPM0 関連のソフトウェア構成ガイドラインを以下に示します。

表 3-3. MSPM0 構成のガイドライン

方式	EMS 適用範囲	提案
BOR	EMS	データ保存のために必要な場合は、より高い BOR レベルを選択します。
I/O 設定		I/O 設定をデフォルトまたは出力 Low に維持します。オープンドレイン IO を使用する場合、より多くの保護が必要になります。
クロック ソース	EMI	クロックの使用を制御します。
電力モード		MCU を実行しているときは、有効な電力モードを選択します。
パッケージ		より小型で薄型のパッケージを選択してください。

ここでは、EMS 性能を向上させるための一般的なファームウェアガイドラインを示しています。これは、適用される規格の対象でもあります。

表 3-4. 一般的なファームウェアのガイドライン

方式	主な実装	適用される規格	規格要件
ウォッチドッグと時間制御	メインループでリフレッシュします。独立またはウィンドウ ウォッチドッグを使用します	IEC 60730、ISO 26262、IEC 61508 に準拠しています	故障検出とシステム回復にウォッチドッグの使用を必須にします。ASIL D には冗長性が必要です。
未使用のメモリを保護します	未使用のフラッシュまたは ROM に、有効な命令 (障害処理ルーチンなど) を記入します。	IEC 60730、ISO 26262	プログラム カウンタの整合性チェックとソフトウェアの堅牢性が必要です。
入力フィルタリングと比較	平均化またはデバウンスングによる多段チェック	IEC 60730	センサの信頼性と入力検証を実現するために、ノイズ フィルタリングを強調します
未使用の割り込み管理	使用されていないベクトルをセーフステートハンドラにリダイレクトします	IEC 61508、IEC 60730	すべての割り込みソースを処理することで、制御されたシステムの状態を確認します。
重要なバイト処理と不正なバイト処理	重要なオペコードは避け、初期化されていないメモリを実行不可能なパターンに置き換えます	ISO 26262、IEC 60730	潜在的な障害を防ぐために、コードの整合性を強化します。
ADC 平均化	外れ値除去による複数のコンバージョン	IEC 60730、ISO 26262	重要なデータに対して、定期的な ADC セルフテストと冗長性が必要です。
再プログラミングおよびチェックを登録します	重要なレジスタの定期的な再構成と検証	IEC 61508、IEC 60730	構成の整合性のために、周期的なセルフテストを必須にします。
冗長データ ストレージ	CRC と ECC を備えたデュアルストレージ、ハッシュ検証	IEC 60730、ISO 26262	冗長性による障害耐性が必要です。ASIL D はデュアル チャネル冗長性を適用します。

4 MSPM0 の EMC 改善機能

このセクションでは、EMC テストのパフォーマンスを向上させるために使用できる MSPM0 の内部機能について説明します。一部の機能が適切に構成されていない場合、その機能によって EMC のパフォーマンスが低下します。

4.1 感受性保護機能

このセクションでは、MSPM0 を電磁干渉から保護する MSPM0 の内部機能について説明します。表 4-1 にも示します。

表 4-1. 感受性保護機能まとめ

特長	可変	提案
POR	なし	該当なし
BOR	あり	データ保存のために必要な場合は、より高い BOR レベルを選択します。
I/O ESD	なし	該当なし
I/O 設定	あり	I/O 設定をデフォルトまたは出力 Low に維持します。オープンドレイン IO を使用する場合、より多くの保護が必要になります。

4.1.1 POR および BOR

パワーオンリセット (POR) 回路は、外部電源がオンチップ バンドギャップ リファレンスと BOR 回路を開始するのに十分な電圧に達したことを示します。ユーザーがプログラム可能なブラウンアウトリセット (BOR) 回路により、外部電源がデバイスの正常な動作をサポートするのに十分な電圧に維持されます。EMS に関しては、POR と BOR が存在することで、マイコンの堅牢性がさらに向上します。これにより、外部の外乱が電源に影響を与える場合でも、アプリケーションを安全に回復できます。

電源電圧 (VDD) が POR- を下回ると、デバイス全体の状態がクリアされます。BOR0 - スレッシュホールドを下回っていない VDD の小さな変動は BOR 違反を引き起こさず、デバイスは引き続き動作します。BOR0 以外の BORx スレッシュホールド (BOR1 ~ BOR3 など) の動作は、BOR0 の場合と同じですが、BOR 回路は BOR リセットを直ちにトリガするのではなく、割り込みを生成するように構成されています。

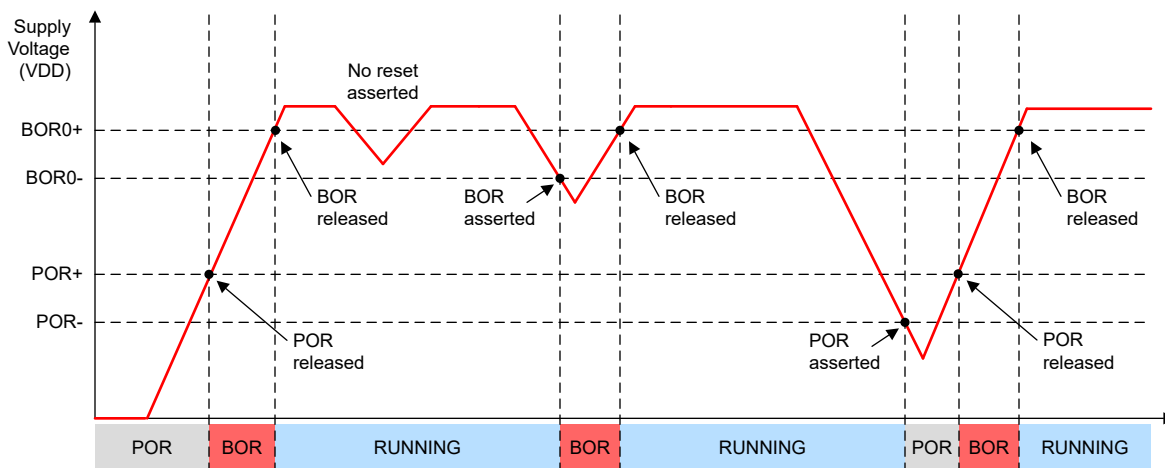


図 4-1. POR、BOR と電源電圧 (VDD) の関係

四つの選択可能な BOR スレッシュホールド レベル (BOR0 ~ BOR3) があります。スタートアップ中は、BOR スレッシュホールドは常に BOR0 です。ブートアップ後、ソフトウェアは BOR を再構成して、より高いスレッシュホールドレベル (BOR1 ~ BOR3) を使用できます。BOR スレッシュホールドが BOR0 の場合、違反によって BOR リセットが生成されます。BOR スレッシュホールドが BOR1、BOR2、または BOR に再構成されると、代わりに BOR が SYSCTL 割り込みを生成します。この機能を使用して、電源電圧が特定のレベルを下回ったことを早期にアプリケーションに警告することができます。ユーザーはデータを

保存し、割り込みサービスルーチンでデバイスをリセットすることを選択できます。この機能を有効にするには、図 4-2 の手順に従います。

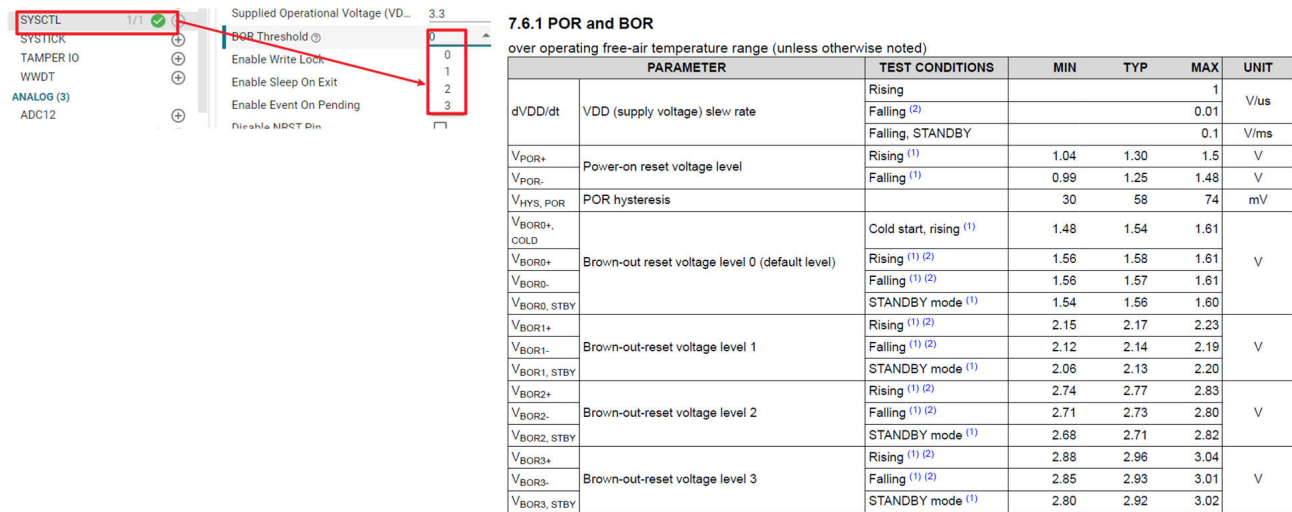


図 4-2. SysConfig の BOR レベル設定

4.1.2 NMI およびハード故障

MSPM0 には、MCU の予期しない動作を処理するための 2 つの割り込みメカニズムがあり、EMS 障害の根本原因を分析するのに役立ちます。1 つ目は NMI で、すぐに対応する必要がある重要なシステム イベントを処理するように設計されています。2 番目はハード フォールトです。これは、他の例外メカニズムでは処理できない重大なシステム エラーによってトリガされる、マスクできない例外です。

NMI が発生すると、ユーザーは NMI 割り込みインデックスをチェックしてトリガー ソースを追跡し、有効な解決策を見つけることができます。表 4-2 に例が示されています。

表 4-2. MSPM0G ノンマスクابل割り込みイベント

インデックス (IIDX)	名称	説明
0	なし	保留中の NMI はありません。
1	BORLVL	VDD が指定された VBOR スレッシュホールドを下回ったことを示します。
2	WWDT0	WWDT0 違反が発生しました。
3	WWDT1	WWDT1 違反が発生しました。
4	LFCLKFAIL	LFXT または LFCLK_IN クロック ソースがデッドであることを示します。この表示は、LFCLK が MCLK のソースではなく、周辺装置 (RTC など) をソースしている場合に、LFCLK エラーを処理するのに便利です。
5	FLASHDED	フラッシュ メモリの 2 ビットの修正不可能なエラーが検出されたことを示します。
6	SRAMDED	SRAM の修正不可能なエラーが検出されたことを示します。

ハード故障は、メモリ アクセス エラー、アライメントされていないメモリ操作、未定義または不正な命令の実行、バス エラーなど、回復不可能な障害に対する最後の手段として機能します。ハイエンドの Cortex®-M コア (M3 や M4 など) とは異なり、M0+ には構成可能なフォルト ステータス レジスタ (CFSR) がいないため、フォルト解析がより困難であり、手動検査に依存するようになります。ハード故障はハード故障割り込みを生成します。これをアサート信号として使用して、EMS テストに合格できるようにシステムを調整できます。

4.1.3 I/O ESD と設定

マイコンの入出力回路は、ESD とラッチアップの問題を考慮するように設計されています。ただし、特に EMS テストで不法電圧や大電流注入にさらされる場合には、自己保護は限られています。以下の機能が機能しない場合や IO 構成を満足できない場合は、追加のハードウェア保護を実装することを強く推奨します。

図 4-3 に MSPM0 の I/O 構造を示します。不法電圧と大電流注入によりエネルギーを放散する方法は二つあります。一つ目のデフォルトルートは二つの ESD ダイオードです。二つ目は、ESD ダイオードの近くにある P チャネル金属酸化膜半導体 (PMOS) と N チャネル金属酸化膜半導体 (NMOS) です。

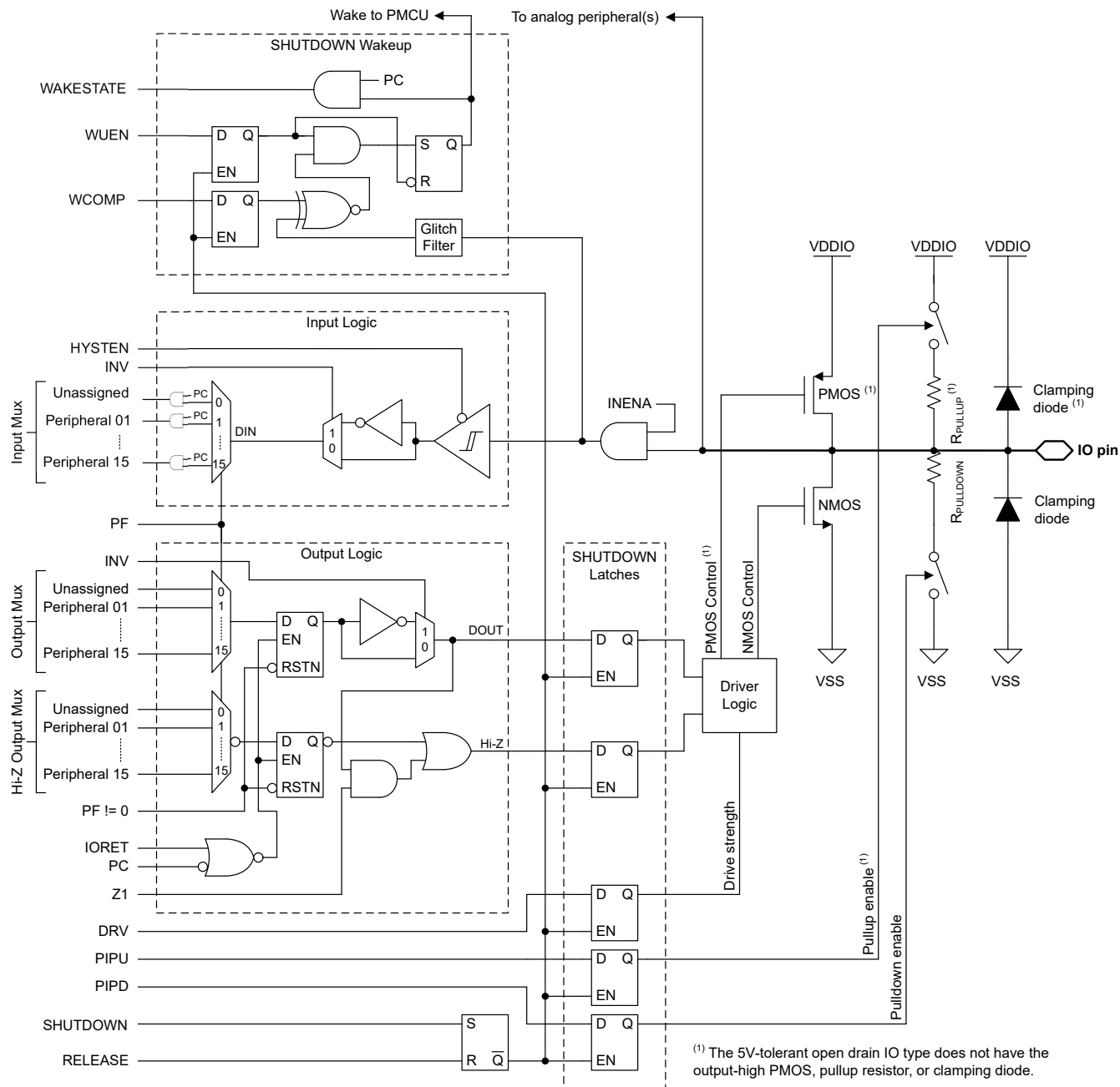


図 4-3. MSPM0G の IO 構造

最大入力電圧範囲を超える信号が印加されると、ESD ダイオードがトリガされます ($-0.3V \text{ VCC} + 0.3V$)。ESD ダイオードは、標準的な静電気放電事象 (HBM または CDM 規格に従う) 時に発生する瞬間的なアンペアレベルの電流に耐えられます。この ESD 構造は、EMS テストにおいて不正電圧や大電流注入の防御にも役立ちます。

フル機能の IO は、出力ドライバロジック制御によって PMOS と NMOS も電氣的ストレスを解放する経路として使用できます。ただし、オープンドレイン IO では、プルアップ クランプ ダイオードと PMOS はまだ存在しません。正の電氣的ストレスが発生した場合、解放する経路はありません。さまざまな I/O 設定に関する推奨事項を表 4-3 に示します。

表 4-3. IO 設定による EMS への影響

IO のタイプ	IO 設定	IO のステータス	影響	EMS 保護
汎用 IO	GPIO 出力と周辺装置出力 (UART など)	出力モード	MOS と ESD 構造により EMC ノイズが解放されます	最強度の保護
	デフォルト設定とアナログ機能	HiZ モード	ESD 構造のリリース EMC ノイズ	良好な保護
	GPIO 入力および周辺装置入力 (UART など)	入力モード	ESD 構造のリリース EMC ノイズ MCU の内部回路にノイズを引き起こす可能性があります	良好な保護
	GPIO 出力および周辺装置出力 Low	出力モード	MOS と ESD 構造により EMC ノイズが解放されます	最強度の保護
オープンドレイン IO	GPIO 出力および周辺装置出力 High	出力モード	正のエネルギーを消費する経路はありません	正のノイズのリスクが生じ、外部からの保護が必要になる可能性があります
	デフォルト設定とアナログ機能	HiZ モード	正のエネルギーを消費する経路はありません	正のノイズのリスクが生じ、外部からの保護が必要になる可能性があります
	GPIO 入力 / 周辺装置入力 (UART など)	入力モード	正のエネルギーを消費する経路はありません	正のノイズのリスクが生じ、外部からの保護が必要になる可能性があります

4.2 放射削減機能

このセクションでは、電磁干渉を制御するための MSPM0 の内部機能を 表 4-4 に示しています。

表 4-4. 放射削減機能まとめ

特長	可変	提案
クロック ソース	あり	クロックの使用を制御します。
電力モード	あり	関連する MCU 動作要件に対して、有効な電力モードを選択します。
パッケージ	あり	より小型で薄型のパッケージを選択してください。

4.2.1 クロック ソース

クロック信号は、マイコンシステムにおける EMI の主な発生源です。クロック ノイズは、システムに導入された電源を通じて伝播し、MCU パッケージから直接放射されて、放射 EMI の一因となります。

クロック ノイズの場合、クロック周波数と電流消費は、影響を評価する上で重要な要素です。クロック周波数によってノイズスペクトルの範囲が決まります。電流消費量は、全体的なノイズ強度の信頼できる指標として機能します。高いクロック周波数と大消費電流は一般にクロックノイズを増加させます。

MSPM0 マイコン シリーズは、ユーザーのための柔軟なクロック選択肢を備えています。システムで使用する低周波数から高周波のクロックを生成するために、複数の内部 / 外部発振器を搭載しています。ユーザー向け MSPM0 のクロック周波数と消費電流の概要を以下に示します。

注

外部 HFXT を有効にするときは、SYSOSC を無効にすることに注意してください。

表 4-5. MSPM0G のクロックソース

クロックの種類	クロック ソース	クロック周波数範囲	テスト条件	標準消費電流
SYSPLL	内部	最高 80MHz	fSYSPLLREF=32MHz, fVCO=160MHz	316uA
SYSOSC		≈4-32MHz	fSYSOSC=4MHz	20uA
			fSYSOSC=32MHz	80uA
			fSYSOSC=32MHz、ROSC 有効	90uA
LFOSC		32.768kHz	LFOSC=32.768kHz	300nA
HFXT	外部	≈4-48MHz	fHFXT= 4MHz、R _m = 300Ω、C _L = 12pF	75uA
			fHFXT=48MHz、R _m =30Ω、C _L =12pF、 C _m =6.26fF、L _m =1.76mH	600uA
LFXT		32.768kHz	XT1DRIVE = 0、LOWCAP = 1	200nA

内部クロックソースは、外部クロックソースと比較して、回路のパターンが短く、MCU 構造でシールドされています。外部クロックソースはクロックのジッタが小さく、これも重要な放射ノイズ源です。その結果、内部クロックソースと外部クロックソース間の放射ノイズをハード比較します。

一般的な結論は、クロック周波数が低いほど放射ノイズが減少するということです。内部クロックおよび外部クロックの選択はケースごとに異なります。

4.2.2 電力モード

マイコン (MCU) の電源モードは、クロックと周辺機器の動作の変動により EMI に大きな影響を与えます。MCU の動作では、高周波クロック信号によって強い高調波が生成されます。同期クロック ネットワーク (CPU、周辺機器など) からの個別のスペクトル ピークが放射を増幅します。

MSPM0 シリーズには 5 つのメイン動作モード (電力モード) があり、アプリケーションの要件に基づいてデバイスの消費電力を最適化できます。モードは次のとおりです。RUN、SLEEP、STOP、STANDBY、SHUTDOWN。電力モードによって、使用可能なクロックソースと使用可能な周辺装置が異なります。すべての電力モードでは、最大システムクロック周波数を制限することによって生成される 3 つのモード ポリシー オプションがあります。表 4-6 に、各動作モードでサポートされている機能の例を示します。さまざまな条件での完全な表と実行可能なペリフェラルについては、デバイス固有の MSPM0 データシートを参照してください。

表 4-6. MSPM0G の動作モードによってサポートされている機能

動作モード		実行			スリープ			ストップ			スタンバイ	
		RUN0	RUN1	RUN2	SLEEP0	SLEEP1	SLEEP2	STOP0	STOP1	STOP2	STANDBY0	STANDBY1
発振器	SYSOSC	EN	EN	DIS	EN	EN	DIS	OPT	EN	DIS	DIS	DIS
	LFOSC または LFXT	EN (LFOSC または LFXT)										
	HFXT	OPT	DIS	DIS	OPT	DIS	DIS	DIS	DIS	DIS	DIS	DIS
	SYSPLL	OPT	NS	NS	OPT	NS	NS	NS	NS	NS	NS	NS
クロック	CPUCLK	80MHz	32k Hz	32kHz	DIS							
	MCLK から PD1 へ	80MHz	32k Hz	32kHz	80MHz	32kHz	32kHz	DIS				
	ULPCLK から PD0 へ	40MHz	32k Hz	32kHz	40MHz	32kHz	32kHz	4MHz	4MHz	32kHz	DIS	
	LFCLK	32kHz										DIS
コア機能	CPU	EN			DIS							
	DMA	OPT						DIS (トリガをサポート)				
	フラッシュ	EN						DIS				
	SRAM	EN						DIS				

デジタル周辺装置の動作周波数と消費電流を分析し、コア機能を使用して放射ノイズレベルを評価します。この情報を確認するには、デバイスのデータシートと [MSPM0G3507 低消費電力のテストとガイダンス](#) を参照してください。

テキサス・インスツルメンツは、関連する MCU 動作要件に対して、有効な電力モード レベルおよびモード ポリシー オプションを選択することを推奨しています。

4.2.3 パッケージ

一般に、IC パッケージによって生成される EMI は、同じファミリのパッケージ寸法と反比例関係を示します。パッケージを小型化すると、寄生インダクタンスの低減と電流ループ面積の最小化により、ノイズ放射が減少する傾向があり、高周波放射線特性に直接影響を及ぼします。この挙動は、リード フレーム長の短縮、熱抵抗の最適化、小型パッケージ テクノロジーに固有の相互接続パスの短縮に起因しています。

次に、最高から最小へのパッケージ EMI の寄与リストを示します。

- TSSOP (薄型シュリンク スモール アウトライン パッケージ)
- SOT (小型トランジスタ)
- VSSOP (超薄型シュリンク小型パッケージ)
- QFP (クワッド フラット パッケージ)
- QFN (クワッド フラット ノーリード)
- BGA (ボール グリッド アレイ)
- WCSP (ウエハレベル チップスケール パッケージ)

最高の EMI 性能を得るため、ユーザーは最初からより小型で薄型のパッケージを選択することを推奨します。

5 EMS テストの分析

MSPM0 上の EMS の改善を分析するために使用されるモデルを図 5-1 に示します。EMS テストでは、まずシステムにノイズが注入されます。これは PCB または製品として使用できます。次に、IO または電源ラインを使用して MSPM0 にノイズを伝導します。デバッグおよび改善では、主に PCB の最適化 (伝搬経路) と MSPM0 構成に重点を置いています。

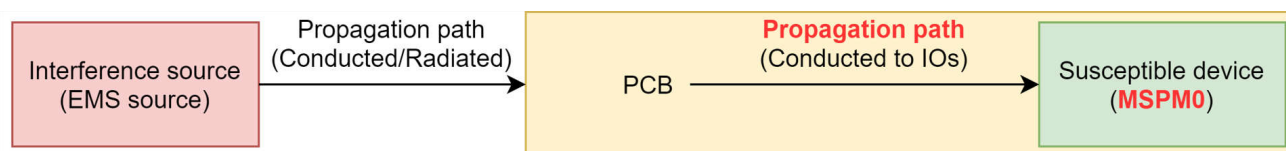


図 5-1. EMS 用ノイズ伝搬モデル

5.1 根本原因の分析

EMS 規格での分類レベルを考慮して、MSPM0 は EMC テストを実施するときにこれらさまざまな故障カテゴリを満たします。一部の故障は、特にテストでシステムのリセットを使用できる場合に許容される場合があります。詳細については、次のセクションを参照してください。

表 5-1. EMS 故障カテゴリと原因

故障カテゴリ	特定の症状	根本原因	EMC テストの受け入れ可能性	提案
恒久的な損傷	IO または周辺装置機能の損失	メタライズ不良	許容不可	絶対最大定格および推奨動作条件を超えるかどうかを確認してください。
	リーク電流	酸化膜の破壊		
	DVCC - GND 短絡	バーニンイン不具合		
回復可能な不具合	MCU が異常にリセットされました	POR または BOOTRST をトリガします	条件付きで受け入れ可能	RSTCAUSE をチェックして、リセットの原因を確認します。
	MCU が異常に機能します	ハード故障またはレジスタと RAM の変更をトリガします		IPSR をチェックして、割り込みソースを確認します。

5.1.1 恒久的な損傷

データシートの観点から見ると、MCU の異常なパフォーマンスは仕様を超えたことによるものです。最初に考えられるのは、絶対最大定格です。ユーザーがこの仕様を超えると、恒久的な損傷が発生する可能性があります。MSPM0G3507 の例を表 5-2 に示します。EMS テストでは、一般的な許容範囲ピンの入力電圧が満たされることが多く、IO ピン経由で MSPM0 にエミッションノイズが差し挟まれたとき MSPM0 が損傷します。もう一つの問題は、一定のダイオード電流の仕様です。仕様では、一定の値を上回ると ESD ダイオードがオンになり、電圧のクランプが開始される電流制限がかかっています。MSPM0C1104 の PA24 など、ESD ダイオード電流が許容されない場合、これは ESD ダイオードが最初から電圧をクランプを開始することを意味します。

表 5-2. MSPM0G の絶対最大定格

パラメータ ⁽¹⁾		テスト条件 ⁽²⁾	最小値	最大値	単位
VDD	電源電圧	VDD ピンで	-0.3	4.1	V
V _I	入力電圧	5V 対応のオープンドレイン ピンに印加	-0.3	5.5	V
V _I	入力電圧	任意の通常耐圧ピンに印加	-0.3	V _{DD} + 0.3 (最大 4.1)	V
I _{VDD}	VDD ピンに流れ込む電流 (ソース)	-40°C ≤ T _j ≤ 130°C		80	mA
	VDD ピンに流れ込む電流 (ソース)	-40°C ≤ T _j ≤ 85°C		100	mA

表 5-2. MSPM0G の絶対最大定格 (続き)

パラメータ ⁽¹⁾		テスト条件 ⁽²⁾	最小値	最大値	単位
I _{VSS}	VSS ピンから流れ出す電流 (シンク)	-40°C ≤ T _j ≤ 130°C		80	mA
	VSS ピンから流れ出す電流 (シンク)	-40°C ≤ T _j ≤ 85°C		100	mA
I _{IO}	SDIO ピンの電流	SDIO ピンによってシンクまたはソースされる電流		6	mA
	HS_IO ピンの電流	HSIO ピンによってシンクまたはソースされる電流		6	mA
	HDIO ピンの電流	HDIO ピンによってシンクまたはソースされる電流		20	mA
	ODIO ピンの電流	ODIO ピンによってシンクされる電流		20	mA
I _D	サポートされているダイオード電流	すべてのデバイス ピンのダイオード電流		±2 ⁽³⁾	mA

- (1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについての話で、絶対最大定格において、またはこのデータシートの「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。絶対最大定格の状態に長時間置くと、デバイスの信頼性に影響を及ぼす場合があります。
- (2) ボード製造時の半田付けでは、現在の JEDEC J-STD-020 仕様に従い、ピークリフロー温度が梱包箱またはリール上のデバイス ラベルに記載されている分類を超えなければ、より高い温度になってもかまいません。
- (3) PA21 にはテスト目的で内部接続があり、このピンでは注入電流は許容されません。

二つ目は推奨動作条件です。MSPM0 がこの仕様を超えると、回復可能な誤動作が発生する可能性があります。したがって、コンデンサの使用方法については指示に従うことをお勧めします。

表 5-3. 推奨動作条件

⁽³⁾		最小値	公称値	最大値	単位
VDD	電源電圧	1.62		3.6	V
VCORE	VCORE ピンの電圧 ⁽²⁾		1.35		V
C _{VDD}	VDD と VSS の間に配置されたコンデンサ ⁽¹⁾		10		μF
C _{VCORE}	VCORE と VSS の間に配置されたコンデンサ ^{(1) (2)}		470		nF

- (1) C_{VDD} と C_{VCORE} は、それぞれ VDD、VSS 間と VCORE、VSS 間に、本デバイスのピンにできる限り近づけて接続します。C_{VDD} と C_{VCORE} には、容量値の誤差が ±20% までの精度の低 ESR コンデンサを使う必要があります。
- (2) VCORE ピンは、C_{VCORE} にのみ接続する必要があります。電圧を供給したり、VCORE ピンに外部負荷を加えたりしないでください。
- (3) ウェイト状態はシステム コントローラ (SYSCTL) によって自動的に管理されるため、MCLK が高速クロック ソース (HFCLK または SYSPLL からソースされる HSCLK) から供給される場合以外は、アプリケーション ソフトウェアで構成する必要はありません

5.1.2 回復可能な不具合

回復可能な誤動作を防止するため、MSPM0 デバイスには実行時にエラーを検出するための複数の診断メカニズムが搭載されています。表 5-4 に、エラー発生源と対応する処理メカニズムを一覧表示しています。これを使用すれば、EMS 故障解析で追加の分析情報を提供できます。

表 5-4. 誤差発生源と処理メカニズム

誤差発生源	エラー	処理メカニズム
フラッシュ (デバイスに ECC がある場合)	訂正不可能 ECC エラー (デバイスに ECC がある場合)	- CPU または DMA 要求の場合、FLASHECCRSTDIS ビットの構成に応じて、プロセッサに FLASHDED ノンマスカブル割り込みか、SYSRST が生成されます - SYSCTL の SYSCTL レジスタに FLASHDED スティッキービットが設定されます
	訂正可能 ECC エラー (デバイスに ECC がある場合)	- SYSCTL 内で FLASHSEC 割り込みも生成されます - SYSCTL の SYSCTL レジスタに FLASHSEC スティッキービットが設定されます

表 5-4. 誤差発生源と処理メカニズム (続き)

誤差発生源	エラー	処理メカニズム
SRAM	訂正不可能 ECC エラー (デバイスに ECC がある場合)	SRAMDED ノンマスカブル割り込みがプロセッサに生成されます
	訂正可能 ECC エラー (デバイスに ECC がある場合)	プロセッサに対して SYSCTL SRAMSED 割り込みが生成されます
	パリティ エラー (デバイスにパリティがある場合)	- 要求が CPU からのものである場合、プロセッサにノンマスカブル割り込みが生成されます - 要求が DMA からのものである場合、DMA データ エラー割り込みが生成されます
	CPU アクセス時のアドレス エラー	CPU にハード障害が発生しています
	DMA アクセス時のアドレス エラー	DMA コントローラで DMA アドレス エラー割り込みが生成されます
	CAN SRAM での ECC エラー (デバイスに CAN-FD がある場合)	CAN-FD 周辺装置で割り込みが生成されます
SHUTDNSTOREx メモリ (存在する場合)	パリティ エラー	POR が生成されます
CKM	MCLK 障害	BOOTRST が生成されます
	LFCLK 障害 (存在する場合)	- LFCLK が MCLK をソースしている場合、BOOTRST が生成されます - SYSCTL NMI レジスタで、LFCLKFAIL ノンマスカブル割り込みが生成されます。
CPUSS (デバイスに MPU がある場合)	メモリ保護ユニット違反	CPU にハード障害が発生しています
WWDT	WWDT0 違反	WWDTLP0RSTDIS ビットの設定に応じて、BOOTRST が生成されるか、または SYSCTL NMI レジスタにノンマスカブル割り込みが生成されます
	WWDT1 違反 (存在する場合)	WWDTLP1RSTDIS ビットの設定に応じて、BOOTRST が生成されるか、または SYSCTL NMI レジスタにノンマスカブル割り込みが生成されます
PMU	TRIM パリティ エラー	POR が生成されます
	POR0 - 電源エラー	POR が生成されます
	BOR0 - 電源エラー	BOR が生成されます
	BOR1/BO- 2/3 電源エラー	SYSCTL NMI レジスタで、BORLVL ノンマスカブル割り込みが生成されます
CPUSS	メモリ保護ユニット違反 (存在する場合)	CPU にハード障害が発生しています

MCU が異常にリセットされた場合、ユーザーは `DL_SYSCTL_getResetCause()` ソフトウェア関数を使用して `RSTCAUSE` レジスタからリセットソース情報を取得できます。次に、表 5-5 に示すように、`RSTCAUSE` テーブルを検索してリセットソースを確認します。

表 5-5. MSPM0G の RSTCAUSE フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-5	予約済み	R	0h	
4-0	ID	RC	0h	ID は読み取りからクリアまでのフィールドで、最後の読み取り以降の最小レベルのリセット要因を示します。 0h = 最後の読み取り以降にリセットなし 1h = POR 違反、SHUTDOWNSTOREx または PMU トリム パリティ障害 2h = NRST トリガ POR (>1 秒ホールド) 3h = ソフトウェア トリガ POR 4h = BOR0 - 違反 5h = SHUTDOWN モード終了 8h = PMU 以外のトリム パリティ障害 9h = 致命的なクロック障害 Ah = ソフトウェア トリガ BOOTRST Ch = NRST トリガ BOOTRST (<1 秒ホールド) 10h = BSL 終了 11h = BSL エントリ 12h = WWDTO 違反 13h = WWDTI 違反 フラッシュの訂正不可能 ECC エラー 15h = CPULOCK 違反 1Ah = デバッグ トリガ SYSRST 1Bh = ソフトウェア トリガ SYSRST 1Ch = デバッグ トリガ CPURST 1Dh = ソフトウェア トリガ CPURST

リセットが起らず、MCU のみが異常に動作する場合、MCU はデフォルト ハンドラにトラップされます。正確な割り込みソースを知るには、__get_ipsr() ソフトウェア関数を使用して IPSR レジスタを読み取ります。表 5-6 に例が示されています。割り込みソースの詳細については、デバイス固有 TRM の「MSPM0 プラットフォーム プロセッサの割り込みおよび例外テーブル」セクションを参照してください。

表 5-6. MSPM0 プラットフォーム プロセッサの割り込みと例外

例外番号	NVIC 番号	優先グループ	例外または割り込み	ベクタ テーブルのアドレス	ベクタの説明
-	-	-	-	0x0000.0000	スタック ポインタ
1	-	-3	リセット	0x0000.0004	リセット ベクタ
2	-	-2	NMI	0x0000.0008	NMI ハンドラ
3	-	-1	ハード フォールト	0x0000.000C	ハード フォールト ハンドラ

5.2 デバッグ フロー

EMS デバッグ フローの重要な考え方は、EMS 障害を表 5-1 に示す一般的な根本原因カテゴリに分類することです。次に、アサート信号をいくつか使用して伝播経路を見つけます。最後に、ソフトウェアとハードウェアを変更して、電氣的ストレスを克服します。

- EMS テストの失敗を確実に再現し、それが恒久的な損傷の問題であるか、または回復可能な誤動作の問題であるかどうかを確認します。恒久的な損傷の問題がある場合は、ステップ 4 に進みます。
- テストノイズの影響を受けずに、オシロスコープまたはロジック アナライザを使用できるかどうかを確認します。使用できるのであれば、IO 信号、電源、RESET ピンの仕様が条件を上回っているか確認してください。これは、伝播経路を直接見つけるのに役立ちます。
- NONMAIN 構成で BSL を無効にして、MCU が RESET 状態にあるか、アサート信号でデフォルト ハンドラに移行したかチェックします。MCU がデフォルトのハンドラに入り、リセットが許容できる場合は、デフォルトのハンドラにソフトウェア リセットを追加してください。MCU の状態を確認する方法を以下に示します。
 - MCU が RESET 状態にある場合：
 - 信号がしばらく停止するかどうかを確認するための出力クロック信号。
 - メイン機能の上部に GPIO トグルを追加して、GPIO がトグルするかどうかを確認します。
 - 再プログラミングやリセットをせずにデバイスを接続し、RSTSOURCE レジスタでリセットソースを確認します。

- MCU がデフォルト ハンドラに移行し、NMI またはハード障害によってトリガされた場合：
 - a. 信号が停止しないかどうかを確認するための出力クロック信号。
 - b. デフォルトのハンドラに GPIO トグルを追加して、GPIO がトグルするかどうかを確認します。
 - c. プログラミングやリセットを行わずにデバイスを接続して、コードがデフォルトのハンドラで実行されているかを確認します。
- 4. IO ステータスの変更で問題を解決できるかどうかを確認します。
 - GPIO のみを有効にし、他の GPIO をデフォルト状態 (HiZ モード) に維持します。この GPIO を使用して、デバイスがまだリセット中か、デフォルトのハンドラに入るかを表示します。EMS 障害が解消された場合は、機能を一つずつ有効にして、どの IO が伝播経路であるかを確認します。
- 5. それでも EMS 障害が発生する場合は、ハードウェアの一時的な変更を行います。まず、ノイズが電源ラインから発生しているかどうかを確認します。
 - 表 3-2 に示すように、受動型保護部品を使用して、MCU の電源に強力な保護機能を追加します。問題が解決した場合は、機能を一つずつ有効にして、問題が解決されたかどうかを確認します。
- 6. 依然として EMS 障害が発生する場合は、ノイズが IO 接続から発生しているかどうかを確認します。
 - 抵抗または NPN を一つずつ取り除くことで、MCU IO を物理的に絶縁し、どの IO が伝搬経路になっているかを確認します。次に、表 3-2 に示す受動保護部品を追加して、問題が解決したかどうかを確認します。

6 EMI テストの分析

MSPM0 で EMI を分析し改善するためのモデルです。放射は、MSPM0 と PCB またはシステムとの相互作用によって生成されます。ユーザーがデバッグおよび改善できるものは、さまざまな MSPM0 動作設定の寄与の分析と、MSPM0 構成または PCB の最適化に重点を置いています。

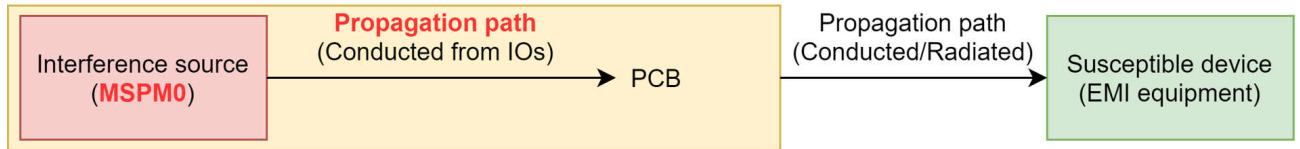


図 6-1. EMI のノイズ伝搬モデル

6.1 根本原因の分析

表 6-1 に、EMI 故障と MSPM0 の観点からの根本的な原因をまとめます。さらに詳細な説明については、以下のセクションを参照してください。

表 6-1. EMI 故障カテゴリと原因

ノイズ源	原因	提案
電源ライン	- MSPM 電源ピン付近のデカップリング コンデンサが不十分であり、PCB レイアウトが不適切である - 不適切な接地(アナログまたはデジタルの接地の混在、マルチポイント接地、グランドプレーンの欠如など) - 電源 / 信号パス内の大電流ループ領域	PCB レイアウトを最適化し、関係する周波数範囲をカバーするためにコンデンサを追加します。
外部 Vcore	Vcore ピン付近のデカップリング コンデンサが不十分であり、PCB レイアウトが不適切です	PCB レイアウトを最適化し、関係する周波数範囲をカバーするためにコンデンサを追加します。
IO	- GPIO におけるスルーレートまたは駆動強度の制御不能 - 信号遷移時の高い過渡電流	過渡電流および高周波電圧成分を低減するために RC フィルタを使用します。

6.1.1 電源ライン

デジタル回路には、図 6-2 に示すように主に 3 つのノイズ源があり、EMI 問題の原因となっています。一つ目は電圧信号です。デジタル回路は信号ライン上で高電圧状態と低電圧状態を切り替えることで情報を処理するので、信号遷移が生成され、広い周波数スペクトルにわたって離散高調波成分に分解します。二つ目は信号電流ですスイッチング イベント中は、過渡電流が信号ラインを経由して流れ、ゲート静電容量の充放電を行います。三つ目は短絡電流です。CMOS デジタル IC では、ロジック遷移中に PMOS と NMOS トランジスタの両方が短時間同時に導通したとき、短絡電流スパイクが発生します。この過渡電流は、電源とグランド(接地)の間に直接流れます。

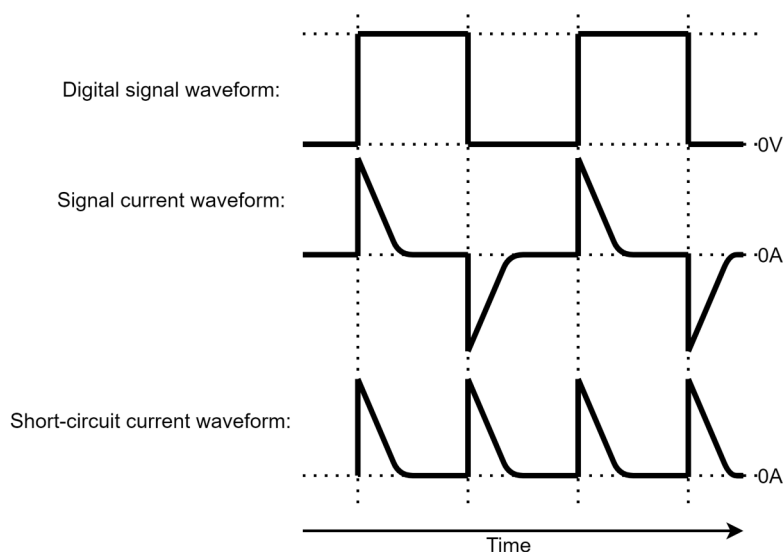


図 6-2. デジタル回路内のノイズ源

電圧信号ノイズと単一電流ノイズによって発生する信号ラインノイズに対しては、EMI を改善するために RC フィルタを使用します。短絡電流に起因する電源ライン ノイズには、EMI を改善するためにデカップリング コンデンサを使用してください。

注目すべき箇所は、MSPM0 の電源ピンと Vcore ピンの近くにあるデカップリング コンデンサです。テキサス・インスツルメンツは、10 μ F と 0.1 μ F の低 ESR セラミック デカップリング コンデンサの組み合わせを VDD ピンおよび VSS ピンに接続することを推奨しています。より値の大きいコンデンサを使用することもできますが、電源レールの立ち上がり時間に影響を及ぼす可能性があります。デカップリング コンデンサは、デカップリングするピンのできるだけ近くに配置する必要があります (数 mm 以内)。表 6-2 は、電源部品の不適切な PCB 設計による影響を示しています。また、すべてエミッションノイズが増加します。

表 6-2. 不適切な PCB 設計による影響

不適切な設計	影響
高 ESR コンデンサ	過渡電流による大きな電圧降下
コンデンサと MSPM0 の間の長距離	MSPM0 から供給される高周波電流の広いループ面積
10 μ F コンデンサは、MSPM0 に 0.1 μ F より近くに接続されています	低周波電流より高周波電流のループ面積が大きい

図 6-3 に示すように、コンデンサのインピーダンスは周波数全体で異なります。通常、1 μ F のコンデンサで約 3 ~ 30MHz をカバーできます。0.1 μ F のコンデンサで約 6 ~ 60MHz をカバーできます。0.01 μ F のコンデンサで約 30 ~ 300MHz をカバーできます。1nF のコンデンサで約 60 ~ 600MHz をカバーできます。ユーザーは、目標とする周波数範囲に対応するように、異なる静電容量を持つより多くのコンデンサを選択できます。容量値が小さいコンデンサは、高い周波数ではより効果的で、寄生インダクタンスの影響を受けやすくなります。したがって、コンデンサを MCU の近くに配置することで、高周波電流のループ面積を最小化します。

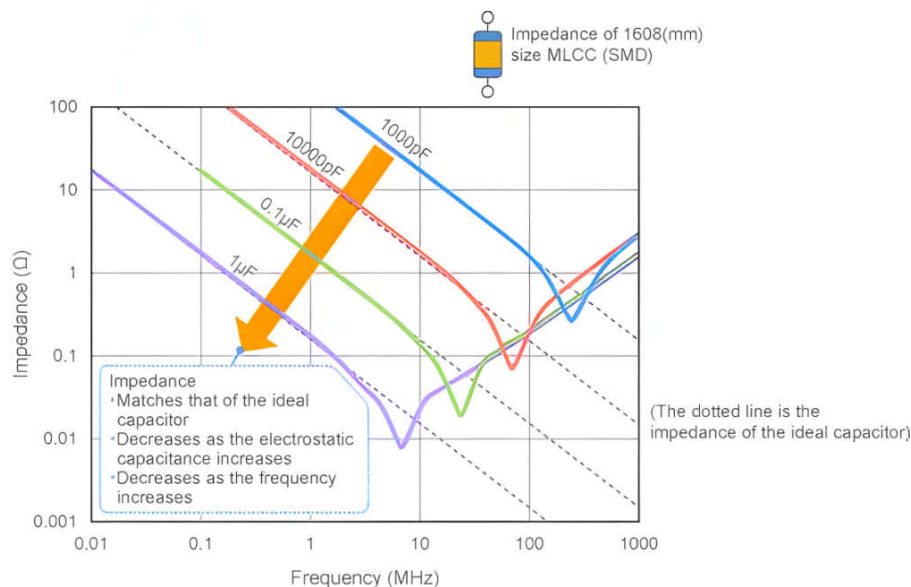


図 6-3. コンデンサのインピーダンス性能

6.1.2 外部 Vcore

MSPM0 の電源管理ユニット (PMU) は、オンチップの構成可能な低ドロップアウト LDO を使用して、デバイス コアに電力を供給する 1.35V 電源レールを生成します。一般に、コア レギュレータ出力 (VCORE) は CPU、デジタル パリフェラル、デバイス メモリなどのコア ロジックに電力を供給します。一部の MSPM0 デバイスでは、内部 LDO に、デバイスの VCORE ピンと VSS (グランド) の間に接続される外部コンデンサ (CVCORE) が必要です。一部の MSPM0 デバイスでは、カップリング コンデンサが IC に内蔵されています。

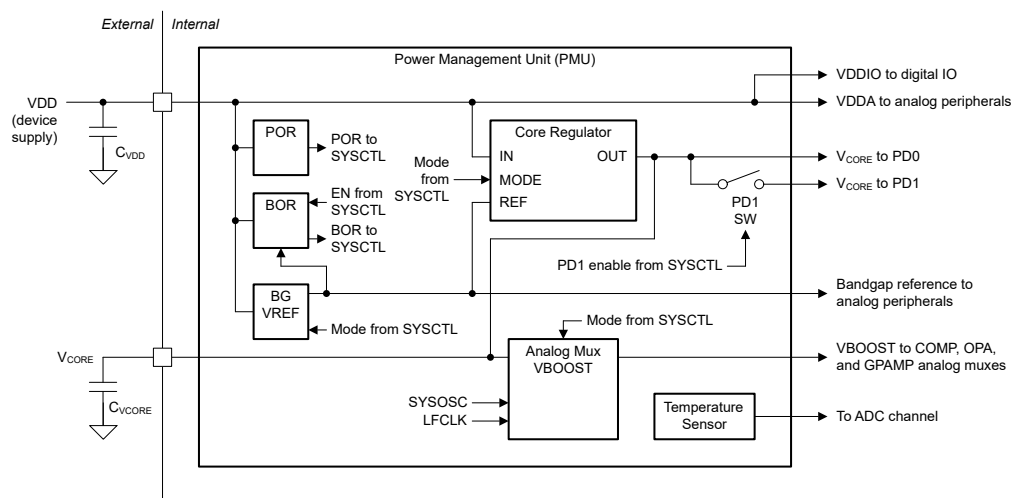


図 6-4. MSPM0G の電源モジュール

LDO は過渡条件に対して即座に応答できません。遅延は、パス素子を通る電流が負荷の増加に調整される前に発生します。この遅延時間の間、出力コンデンサは過渡電流全体を供給するよう残されます。このため、出力容量とそれに関連する寄生成分の大きさは、LDO 回路の過渡応答に大きな影響を及ぼします。内部コンデンサの使用法に比べて、外部コンデンサの使用法は寄生インダクタンスの影響を受けやすく、高速デジタル回路により生成される電源ノイズの負荷過渡応答に悪影響を及ぼす可能性があります。Vcore の伝導ノイズの例を、図 6-5 に示します。この例では、CVCORE は 0.47μF で、MSPM0 は 1 つの NOP で動作します。



図 6-5. MSPM0L 上の Vcore での伝導ノイズ

MCU の EMI 性能を向上させるため、寄生インダクタンスの影響を低減するために低 ESR コンデンサを使うことを推奨します。推奨されている $0.47\mu\text{F}$ コンデンサのほかに、複数のコンデンサを追加しても、目的とする周波数範囲に対応することができます。出力コンデンサが LDO の EMI 性能に及ぼす影響の詳細については、[LDO の EMC 測定値および LDO の負荷過渡応答ナログ設計ジャーナル](#)を参照してください。

6.2 デバッグ フロー

EMI デバッグフローの鍵は、表 6-1 に示すように、EMI 故障を標準的なノイズ源カテゴリに分類することです。次に、ソフトウェアとハードウェアの変更を使用して、放射ノイズを低減します。

- IO 機能からの寄与を確認します。
 - IO トグルに関連するコメント機能の一つずつ追加し、ノイズレベルの低減を記録します。
- クロック、CPU、メモリアクセスからの貢献を確認します。
 - さまざまな電力モードと、さまざまな電力モードポリシーオプション (RUN0、RUN1、RUN2、STANDBY0) を試し、ノイズレベルの低減を記録します。
- IO 機能、クロック、CPU、メモリアクセスからのノイズの寄与を計算します。
- MSPM0 機能の使用方法を制御します。それでも問題が解決しない場合は、表 3-2 に示すように受動保護部品を追加するか、表 3-1 に示す PCB レイアウトを最適化します。

7 まとめ

このドキュメントでは、EMC ベースの MSPM0 の保護について包括的に紹介および説明します。ユーザーは、MSPM0 に基づいてシステムを開発する際に、EMC を強化するための包括的な紹介を受けることができます。同時に、EMC テスト中、このドキュメントでは、一般的な問題に関する詳細かつ包括的なデバッグのアイデアと説明も提供します。

8 参考資料

- テキサス・インスツルメンツ、[ラッチアップ](#)、ホワイトペーパー
- テキサス・インスツルメンツ、[ラッチアップ](#)、[ESD](#)、およびその他の現象、アプリケーションノート
- テキサス・インスツルメンツ、[ESD ダイオード電流仕様](#)、アプリケーションノート
- テキサス・インスツルメンツ、[MSP430 システムレベルの ESD に関する考慮事項](#)、アプリケーション ノート
- テキサス・インスツルメンツ、[MSPM0G3507 低電力テストとガイダンス](#)、アプリケーション ノート
- テキサス・インスツルメンツ、[LDO 向け EMC 測定](#)、アプリケーション ノート
- テキサス インスツルメンツ、[MSPM0 G シリーズ 80MHz マイコン](#)、技術参照マニュアル
- テキサス インスツルメンツ、[混合信号マイコン CAN-FD インターフェイスを搭載した MSPM0G350x](#)、データシート
- 村田製作所、[ノイズ抑制基本コース](#)、オンライントレーニング
- ROHM、[LDO の負荷過渡応答を理解するアナログ設計ジャーナル](#)、アプリケーション ノート

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated