

Application Note

次世代の高速コンバータ設計に優位性をもたらす実用的なクロッキングに関する考慮事項



Andrea Vallenilla, Rob Reeder

概要

高速 A/D コンバータ (ADC) を使用した設計を作成する際には、多くの審議が行われます。ADC のサンプリングクロックについて理解することは、これらの考察の 1 つにすぎず、設計要件を確実に満たすことが非常に重要です。アナログ設計ジャーナルの記事「[Clock jitter analyzed in the time domain Part 1](#), [Part 2](#) and [Part 3](#)」でも述べられているように、ADC の性能 (または信号対雑音比、SNR) に直接影響を与える、ADC のサンプリングクロックに関するいくつかの重要な指標を理解する必要があります。しかし、現実的な観点から見ると、それはどういう意味でしょうか? このアプリケーションノートでは、多くの実験とトレードオフが解説されており、次世代の高速 ADC クロック設計のヒントをよりの確に提供します。

目次

1 はじめに.....	2
2 「位相ノイズ」と「ジッタ」の違いに関する理解.....	2
3 位相ノイズまたはジッタが ADC の性能にどのような影響を及ぼすかを理解する.....	3
4 クロッキングにおけるトレードオフの理解と、それが ADC の性能に与える影響.....	5
5 目的とする ADC 性能を実現するために、クロッキングのトレードオフをどのように適用するかを理解.....	8
6 まとめ.....	12
7 参考資料.....	13
付録 A:使用する TI 高速コンバータに基づいた TI クロックデバイスの選定.....	14
8 改訂履歴.....	16

商標

すべての商標は、それぞれの所有者に帰属します。

1 はじめに

このアプリケーションノートでは、さまざまなクロッキングパラメータのトレードオフを説明し、ベンチで実証しています。これは、高速コンバータの次期設計でクロックツリーを設計するときに、よくある落とし穴を回避するためのさまざまな一般的な動作を示しています。確認されている関係には、アナログ入力周波数を高くするときのクロック性能の影響、クロックスループレートが ADC の性能に及ぼす影響などがあります。

2 「位相ノイズ」と「ジッタ」の違いに関する理解

ADC の性能を最大化する場合は、良好な位相ノイズが非常に重要です。目的のコンバータの定格性能を達成しようとする際に、サンプリングクロックの位相ノイズ、およびジッタとの関係を理解することが重要です。

通常は位相ノイズ曲線またはプロットを使用して、クロックまたはクロック信号チェーンの全体的なノイズ性能を分析します。位相ノイズとは、電源や他のノイズの寄与要因から生じるすべての付加ノイズの累積のことであり、クロックの純粋な信号に影響を与えて、信号が理想的な波形からずれてしまう現象を指します。信号は位相的に揺らぎ、位相ノイズ曲線が解析対象の信号トーンの周囲に生じます。次に、特定の周波数範囲または積分帯域幅にわたって信号トーンの位相ノイズ曲線を積分することにより、ジッタが計算されます。図 2-1 は、20Hz~130MHz の積分帯域幅を持つ位相ノイズ曲線を示しています。青い線は分析対象の位相ノイズ曲線であり、赤い 2 本の垂直線は積分帯域幅の制限を表しています。

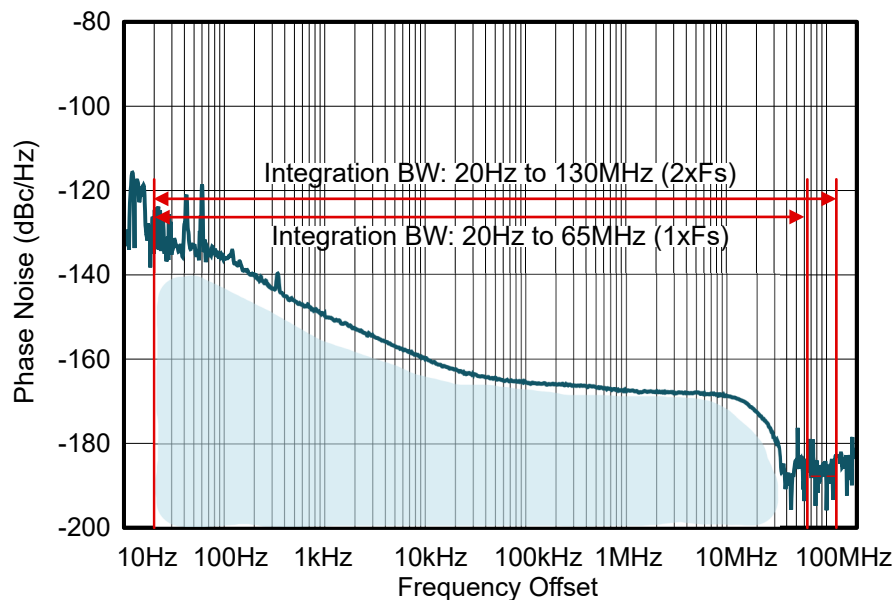


図 2-1. ジッタを得るために特定の積分帯域幅を使用した位相ノイズ曲線

ジッタを計算するには、積分帯域幅の下限値を DC 付近の値に設定し、クロックの位相ノイズプロファイル全体を考慮します。このアプリケーションでは 20Hz を選択します。積分制限の上限を得るには、少なくとも ADC サンプル周波数 (F_s) を使用し、より精度の高い解析を行うには $2 \times F_s$ を用いることを推奨します。たとえば、ADC が 65MSPS でサンプリングした場合、積分帯域幅は 20Hz から少なくとも 65MHz までの範囲です (または、ノイズに関する詳細な考慮事項では最大 130MHz まで)。多くの場合、広帯域のノイズの寄与を理解して、サンプリングクロックのノイズフロアに達することを確認するには、 $2 \times F_s$ の方が適切です。

積分帯域幅を決定した後、位相ノイズ曲線からジッタを計算できます。最初に、各セクションを、対数スケールに応じて分割し、10kHz~100kHz、1MHz~100kHz などの範囲に分割します。その後、各象限を個別に積分し、ノイズ電力を判定します。次に、各ノイズ電力を合計して、この曲線に示される合計ノイズ電力を把握します。最後に、RMS 位相ジッタを合計ノイズ電力からラジアンまたは秒単位で計算します。図 2-2 に、位相ノイズ曲線を積分し、4 象限を使用して、指定した積分帯域幅付近の合計ジッタを計算する方法を示します。

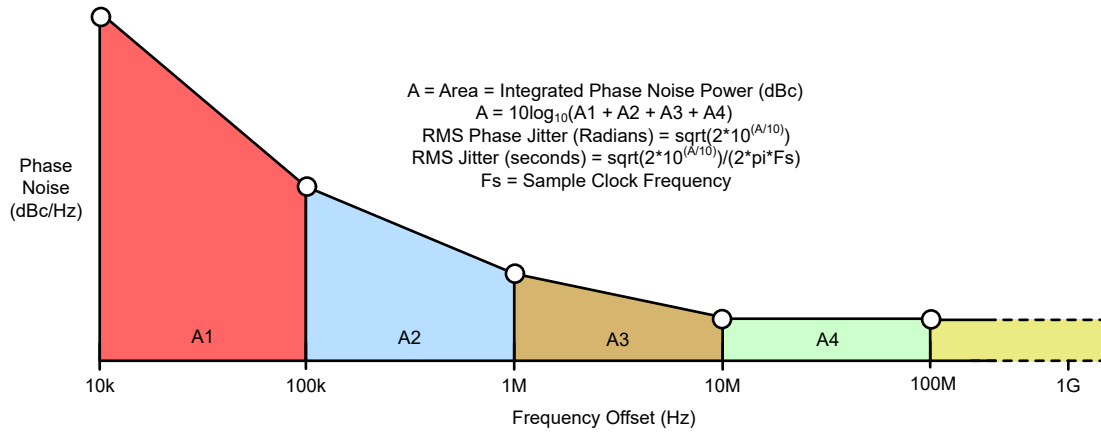


図 2-2. 簡易的な手法を用いた位相ノイズからジッタへの換算の例示

3 位相ノイズまたはジッタが ADC の性能にどのような影響を及ぼすかを理解する

ADC の信号対雑音比 (SNR) の関係を、式 1 に示します。SNR_Q は ADC 固有の量子化、SNR_N は ADC の熱ノイズ、SNR_J は全体的なジッタの寄与を示します。式 4 に示す SNR_J は、アナログ入力周波数に対する、クロック信号チェーン全体の追加ジッタと ADC 固有のアパーチャジッタを組み合わせたものです。以下の式は、全体の信号対雑音比 (SNR) 性能がクロックのジッタだけに依存するのではなく、複数の項の組み合わせにも依存することを明確に示しています。

$$SNR_{ADC} \left[\text{dBc} \right] = -20 \log \sqrt{\left[10 \left(\frac{-SNR_Q}{20} \right) \right]^2 + \left[10 \left(\frac{-SNR_N}{20} \right) \right]^2 + \left[10 \left(\frac{-SNR_J}{20} \right) \right]^2} \quad (1)$$

$$SNR_Q \left[\text{dBc} \right] = \text{quantization of ADC} \quad (2)$$

$$SNR_N \left[\text{dBc} \right] = \text{thermal SNR of ADC} \quad (3)$$

$$SNR_J \left[\text{dBc} \right] = \text{overall jitter} = -20 \log (2 \times \pi \times f_{in} \times t_J) \quad (4)$$

$$t_J = \text{combined rms jitter} = \sqrt{(\text{clock input jitter})^2 + (\text{ADC aperture jitter})^2} \quad (5)$$

図 3-1 では、高性能な TI ADC の 1 つである ADC3683 を使用して、式 1 をシミュレーションしています。色の付いた各曲線は、異なるクロックジッタ値を表しており、クロックジッタの増加が、複数のアナログ入力周波数にわたる ADC3683 の信号対雑音比をどのように低減するかを示します。アナログ入力周波数が低い場合、サンプリングクロックのジッタの寄与全体に関係なく、ADC の信号対雑音比性能が維持されることに注意してください。これは、ADC の量子化と熱的信号対雑音比の項はクロック入力ジッタの項よりも大幅に高いためです。しかし、アナログ入力周波数が上昇するにつれて、信号対雑音比は低下し始めます。これは、クロック入力によるジッタ成分が、合成 rms ジッタにおいて支配的となり、ADC の量子化ノイズや熱雑音に起因する信号対雑音比を覆い隠してしまうためであり、式 4 および式 5 で示されています。信号対雑音比の低下は明らかに、全体のジッタの寄与、ADC のアパーチャジッタ (ADC3683 のアパーチャジッタは 180fs)、クロック入力ジッタと ADC のアパーチャジッタ間の振幅差に大きく依存します。図 3-1 の赤い破線は、ADC3683 で実現できる最高の性能を示しています。緑と黄色の曲線は純粋に理論的なものであり、実際には達成することはできません。これらはクロックのジッタと ADC の信号対雑音比の関係をさらに示すことを目的としています。

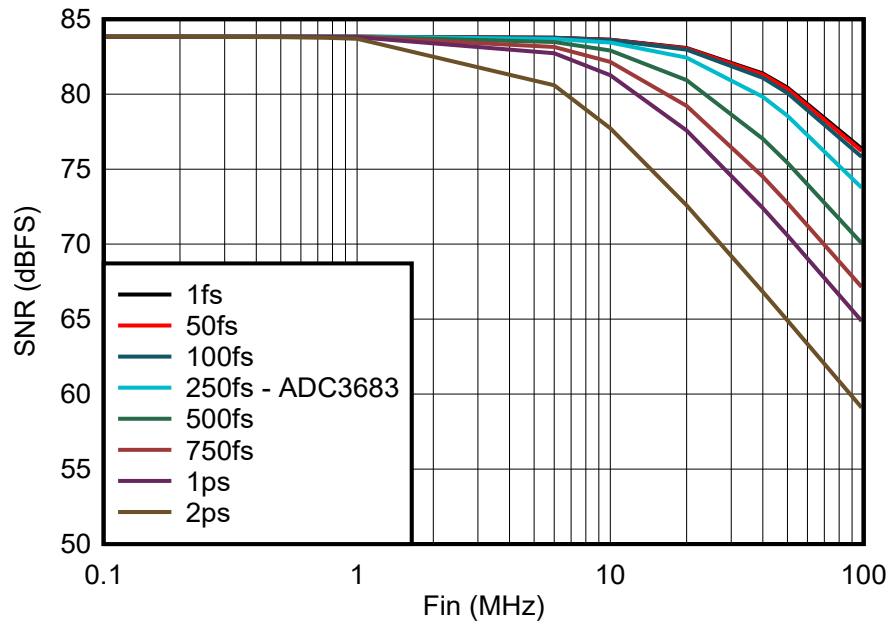


図 3-1. 信号対雑音比と入力周波数 (F_{in}) に対する外部クロックジッタの関係

すでに説明したように、より高いアナログ入力周波数を使用するときは、性能の優れたクロックが必要になります。これは、アナログ入力信号のスロープやスルーレートが増加すると、変換誤差が大きくなるためです。この追加誤差を補正するために、システムにはジッタの少ないクロックが必要となります。図 3-2 では、同じジッタ量のクロックエッジであっても、アナログ入力周波数が高くなるにつれて、同じ時間内でのデルタ誤差が大きくなり、信号対雑音比が悪化することがより明確に示されています。

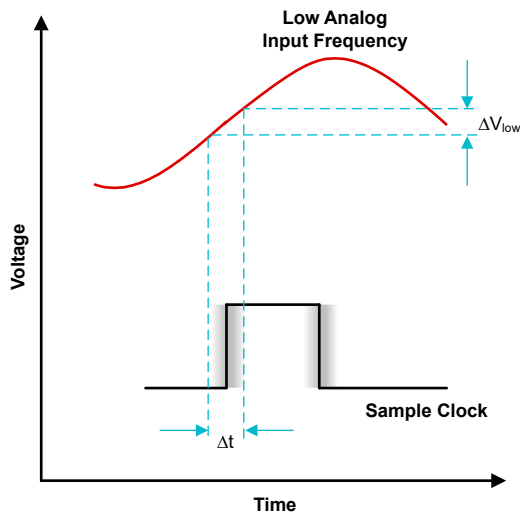


図 3-2. 低いアナログ入力周波数と、同一期間内に発生した同じサンプリングクロックエッジとの比較

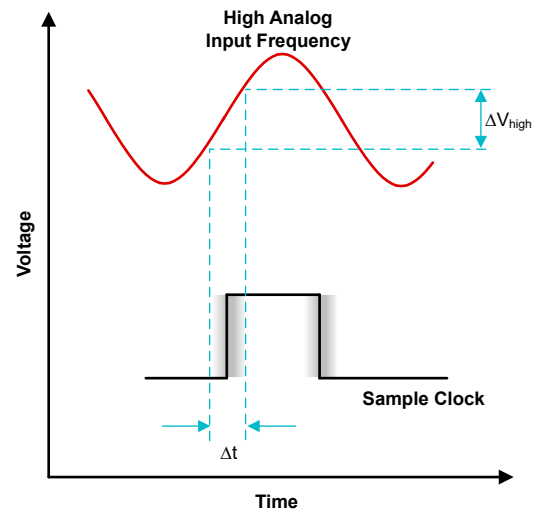


図 3-3. 高いアナログ入力周波数と、同一期間内に発生した同じサンプリングクロックエッジとの比較

4 クロッキングにおけるトレードオフの理解と、それが ADC の性能に与える影響

それではアプリケーションノートの解説に移りましょうここでは、高速コンバータの設計で良好な性能を達成しようとする際に発生するさまざまなトレードオフについて説明します。まずは信号ソースから始めます。これは、ラボでサンプリングクロックソースとして使用された信号ジェネレータのことです。この実験では、複数の信号ジェネレータを使用しました。信号ジェネレータの位相ノイズ測定値については、図 4-1 を参照してください。これらの位相ノイズ測定値は、信号ジェネレータから位相ノイズアナライザへの直接接続を表します。すべての信号ジェネレータは、25MHz 出力信号と +10dBm 出力電力で構成されています。信号ジェネレータは、既製のデフォルト設定を拡張する特定のアップグレードまたはオプションを持つことができることに注意してください。

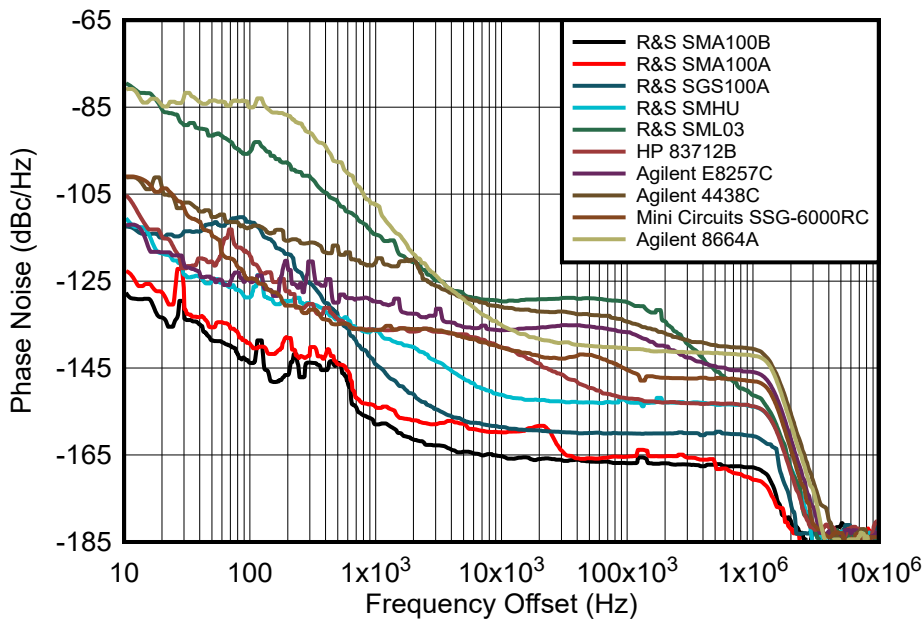


図 4-1. 25MHz と +10dBm の出力電力レベルにおける、さまざまな信号ソースの位相ノイズ曲線

すべての実験は、ADC3683 評価ボード (または EVM) と 3 台の異なる 10MHz リファレンスクロック信号ジェネレータを使用しました。1 台はクロック入力用、もう 1 台はアナログ入力用、そして 3 台目は ADC3683 が必要とするデータクロック入力用として使用されました。これらの構成は図 4-2 に示されています。ADC3683 へのこれらの入力はいずれも、バンドパスフィルタを使用してフィルタ処理し、信号ジェネレータから発生する他の不要なノイズとスプリアスを除去しました。データクロック入力に使用された信号ジェネレータは R&S SGS100A でした。アナログ入力向けには、2024 年 9 月時点で市販されている最高性能の信号ジェネレータ R&S SMA100B を使用しました。特に記載のない限り、これらの信号ジェネレータはすべての実験で一定に保たれました。

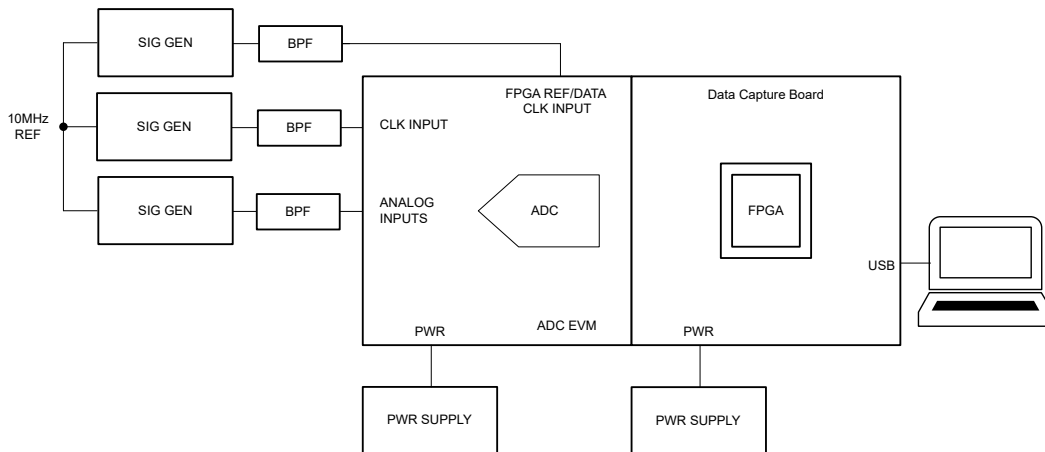


図 4-2. ラボにおける ADC テスト測定セットアップ

図 4-3 は、アナログ入力周波数を引き上げたコンバータの AC 性能または信号対雑音比を比較します。ここでは、図 4-1 で使用されているさまざまな信号ジェネレータにより、ADC3683 は 25MSPS のクロックで動作しています。各ソースのテストごとに、クロックは +10dBm に一定に保持され、アナログ入力周波数を 2MHz~30MHz に掃引しました。各周波数ポイントで、アナログ信号ソース信号ジェネレータの出力電力レベルは、信号対雑音比値 (単位 dBFS) を測定する前に -1dBFS に調整されていました。実験の一貫性を維持するため、アナログ入力ソースには常に最高性能の信号源を使用し、変更は行いませんでした。図 4-1 (理論上) と図 3-1 (実験的) の両方で示されるように、アナログ周波数が高くなると、信号対雑音比が低下して悪化し始めたり、信号対雑音比がジッタによって制限されたりします。これは、ADC クロックソースおよびクロック信号チェーンのジッタまたは位相ノイズが、コンバータの全体的な性能を支配し始め、ノイズの多いクロックソースでコンバータを動作させるときの ADC の信号対雑音比が悪化することを意味します。各信号ジェネレータは、アナログ入力周波数が高くなるにつれて位相ノイズの寄与がわずかに異なります。一方、周波数が低い場合、位相ノイズは影響を受けにくくなります。

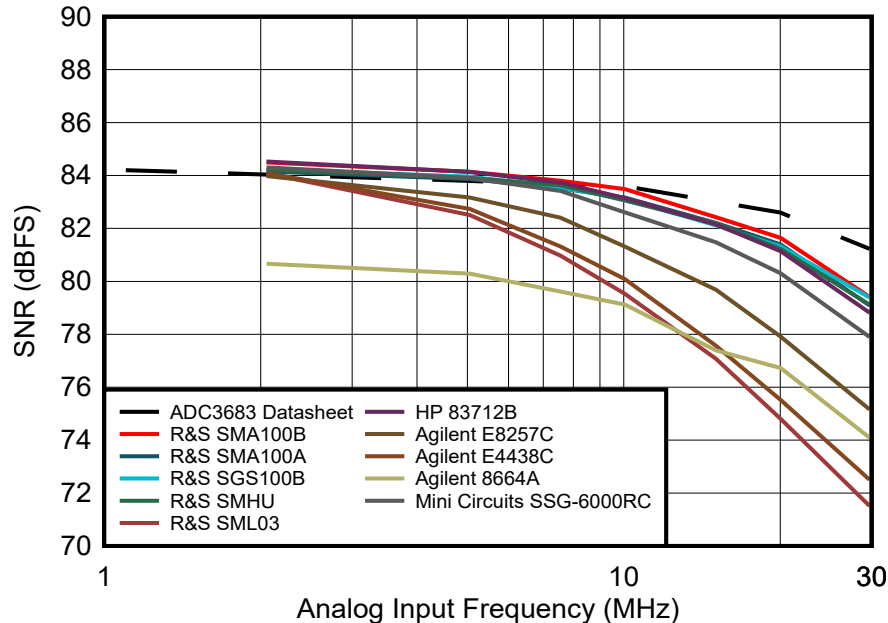


図 4-3. 異なるクロック信号源を使用し、25MSPS、+10dBm、アナログ入力信号を -1dBFS で動作させた場合の、ADC3683 における信号対雑音比と入力周波数 (F_{in}) の比較

クロックスルーレートは、ADC の性能に影響を及ぼすもう 1 つの主要な特性です。クロックエッジのスルーレートが鋭いほど、クロックジッタを低減できる可能性が高くなります。また、スルーレートが速いほど、クロックエッジが ADC のサンプリングしきい値を通過する際のタイミングの不確かさを最小限に抑えることができます。図 4-4 は、サンプリングクロックのスルーレートと ADC 性能の関係を示しています。図に示すように、25MSPS クロックソースの振幅レベルを +10dBm から -15dBm に下げ、アナログ入力周波数 (5MHz の実線、30MHz の破線) の出力電力レベルを一定に維持した場合、クロック信号源が -5dBm 以下になると信号対雑音比が低下し始めます。各 ADC には固有の感度レベルがあり、-5dBm がすべての ADC に当てはまるわけではないことに注意してください。-5dBm はこの ADC テストケースにのみ有効であり、クロックソースのスルーレートが非常に鋭いほど ADC から最適な信号対雑音比を取得することを示すために使用されました。「[Sine to Square Wave Conversion Using Clock Buffers](#) (クロックバッファを使用した正弦波から方形波への変換)」では、TI のクロックバッファを使用してクロックのスルーレートを改善する手法を説明します。また、クロックのスルーレートがコンバータの性能にどのような影響を与えるかについての詳細は、「[Impact of Slew Rate on Noise](#) (スルーレートがノイズに及ぼす影響)」を参照してください。

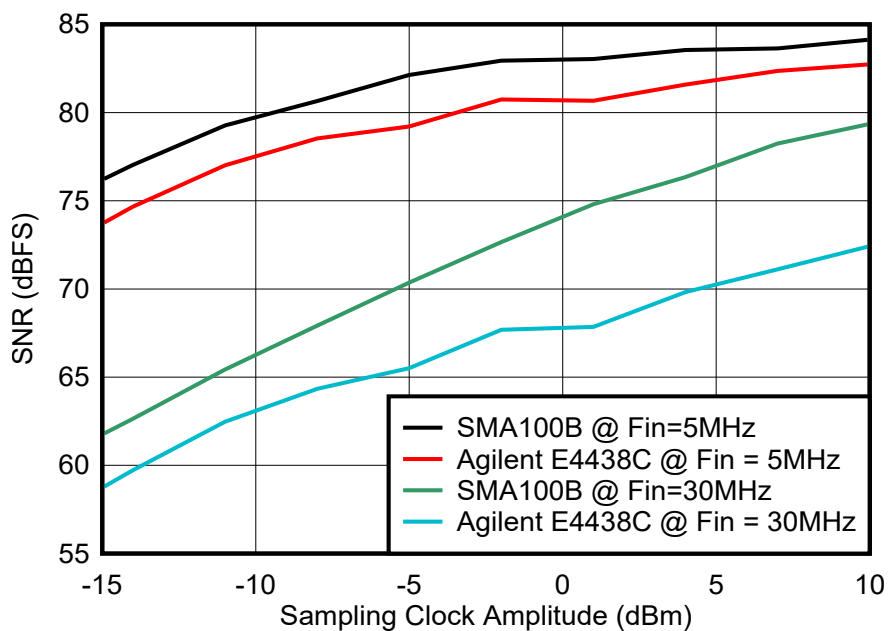


図 4-4. 信号対雑音比とサンプルクロック振幅との比較 (スルーレート)

5 目的とする ADC 性能を実現するために、クロッキングのトレードオフをどのように適用するかを理解

位相ノイズ曲線からのノイズの大きな要因の 1 つはノイズフロアです。これは、広帯域ノイズとも呼ばれています。あるソースのノイズフロアが他のソースよりも高い場合、ノイズフロアが高いソースは位相ノイズ曲線の下を面積を増加させ、その結果、指定された積分帯域幅のジッタ値を増加させます。

一般に、バンドパスフィルタ (BPF) はクロック信号または信号源の広帯域ノイズを低減します。BPF は、高性能、低ノイズの信号ジェネレータによって生成される場合でも、不要なスプリアスを本質的にフィルタで除去するのに役立ちます。ただし、BPF は信号のスルーレートを低下させる可能性もあることに注意してください。したがって、スルーレートを高く保つには、フィルタの損失に対してクロック信号を増やす必要があります。図 5-1 に、バンドパスフィルタを適用した場合と適用しない場合の 3 種類の信号ジェネレータの位相ノイズ曲線を示します。実験で使用したバンドパスフィルタは、10% のバンドパスで 25MHz を中心にしています。広帯域ノイズの性能低下は、1MHz を超えることに注意してください。このことは、一般に BPF を使用すると、よりクリーンな広帯域で低ジッタのクロック信号になることを示しています (一方、クロックのスルーレートの低下は、ADC の性能に影響を及ぼすほど大きくはありません)。

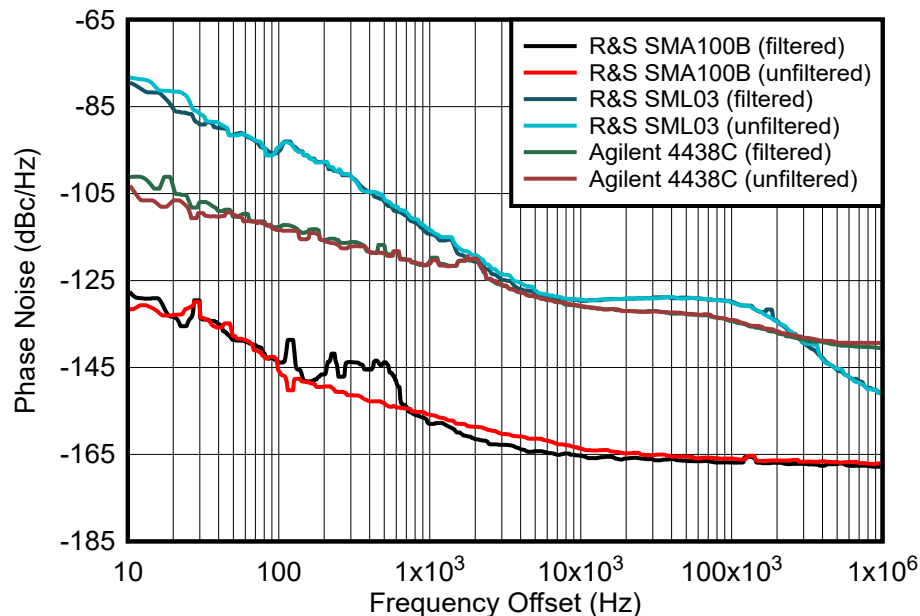


図 5-1. フィルタを適用した場合と適用しない場合の、さまざまな信号ソースの位相ノイズ曲線

別の方法でフィルタ例に注目すると、図 5-2 では、同じ 3 種類の信号発生器をサンプリングクロックとして使用し、フィルタあり・なしの両方の条件で、ADC3683 の信号対雑音比性能とアナログ入力周波数との関係を示しています。クロックに使用する信号ジェネレータの出力にフィルタを適用すると、信号対雑音比の改善が明確に確認されます。これは、ノイズフロアが大きく、性能の低い信号ジェネレータにフィルタを適用する場合に特に当てはまります。この場合、固有の位相ノイズはまず不十分です。

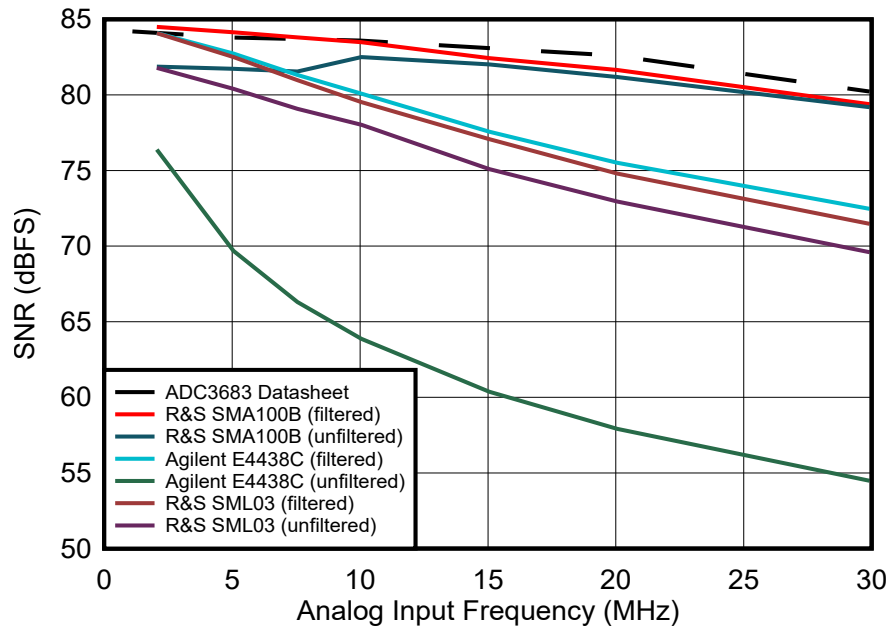


図 5-2. 異なるクロック信号ソースでフィルタリングを適用した場合の ADC3683 とフィルタリングなしの信号対雑音比の比較

これまでのところ、信号ジェネレータはクロック信号のさまざまなトレードオフのデモに使用されてきました。ただし、実際には、ほとんどの設計者が ADC 設計に適した特定のクロック供給デバイスを選択しています。場合によっては、ADC サンプリングクロックに FPGA を使用する必要があります。ただし、これは推奨されません。FPGA クロック出力は、TI のほとんどのクロッキング製品ラインアップに比べて非常に大きな追加ジッタを示しています。図 5-3 に、FPGA 出力クロックと、以下の TI クロック製品 (LMX2572、LMK04832、LMX2571、CDCE6214、LMK3H0102) の 25MHz における位相ノイズカーブを示しています。図 5-4 は、クロッキングデバイスに使用するテスト構成を示しています。FPGA クロックの位相ノイズ曲線 (緑の曲線) は、ここで示している TI のどのクロッキングデバイスと比較しても、特にノイズフロアで悪化しています。ADC サンプリングクロックとして FPGA を使用することは設計では適切な選択肢ではなく、コンバータのデータシートの性能または同等の性能が必要な場合は推奨されません。テキサス・インスツルメンツのクロックデバイスの性能は構成に基づいて範囲を設定することがあり、デバイスの位相ノイズ曲線に直接影響することに注意してください。

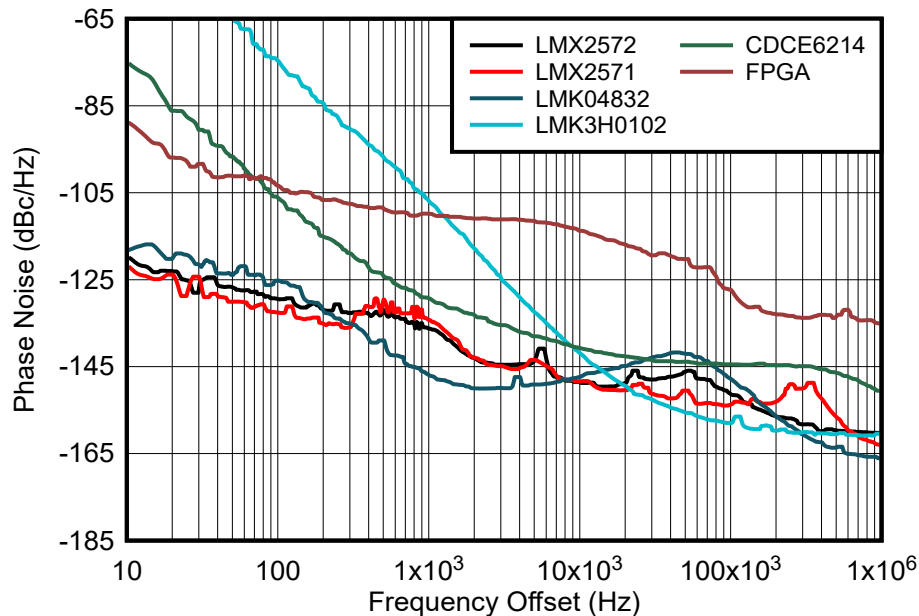


図 5-3. TI の複数のクロックデバイスの位相ノイズ曲線と FPGA 出力クロックの関係

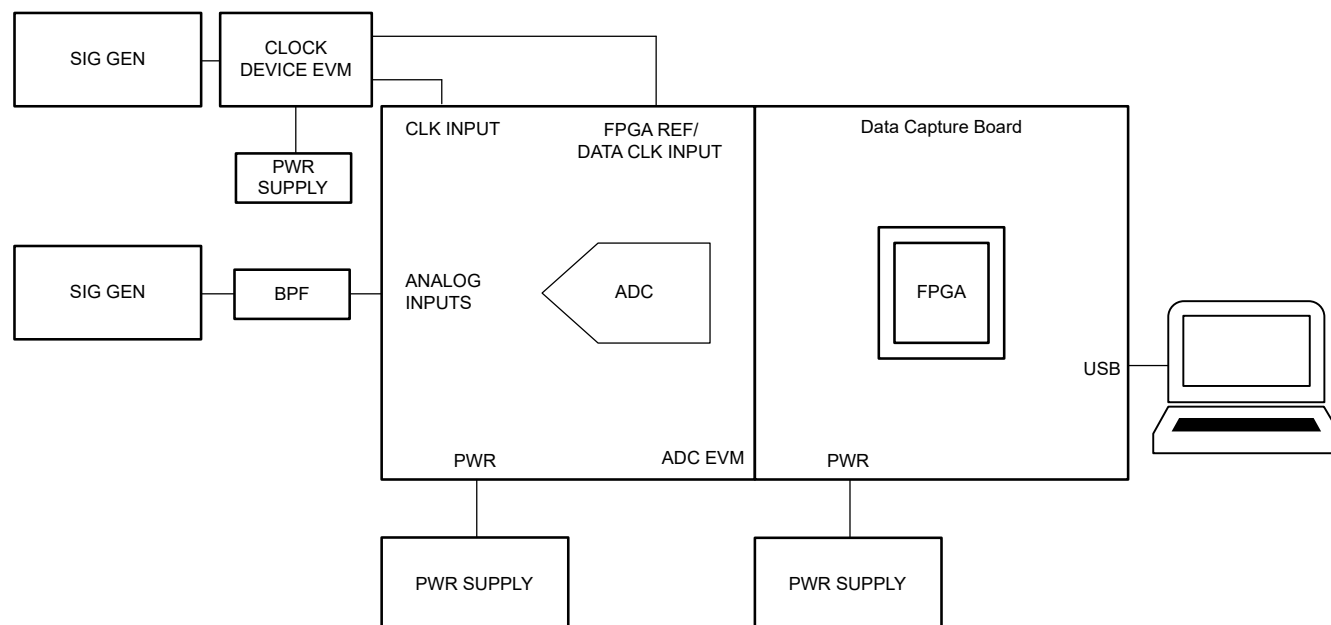


図 5-4. ラボにおける ADC とクロックデバイスのテスト測定セットアップ

図 5-5 では、ADC3683 を FPGA の出力クロックと前述の TI クロッキングデバイスで駆動した場合における、ADC の信号対雑音比の影響を比較して示しています。図 5-5 は、位相ノイズおよびノイズフロアが高いクロックソースが、コンバータの性能に大きな影響を及ぼす可能性があることを確認しています。ADC3683 の信号対雑音比の高いデータシート性能を実現するために、TI のクロッキング部品や他の部品などの能動部品を使用する代わりに、トランスやバランなどの受動部品を使用して ADC にクロックを供給しました。能動部品を使用すると、ノイズが発生し、ADC の性能が低下します。ただし、受動部品を使用すると最高の性能が得られる一方で、受動部品はサイズが大きく、コストも高く、十分な駆動能力がないという欠点があります。通常、エンジニアはシステム設計で受動クロック部品を使用を避ける傾向にあり、必要な性能を満たすのに十分な能動クロック部品を選択することが一般的になります。すでに説明したように、能動クロック設計にフィルタリングも採用でき、ADC 性能が向上する可能性があります。しかし今回の実験では、P および N 出力に BPF を追加するには、オンボードまたはオフボードで大幅な改造が必要となるため、その対応は行われませんでした。

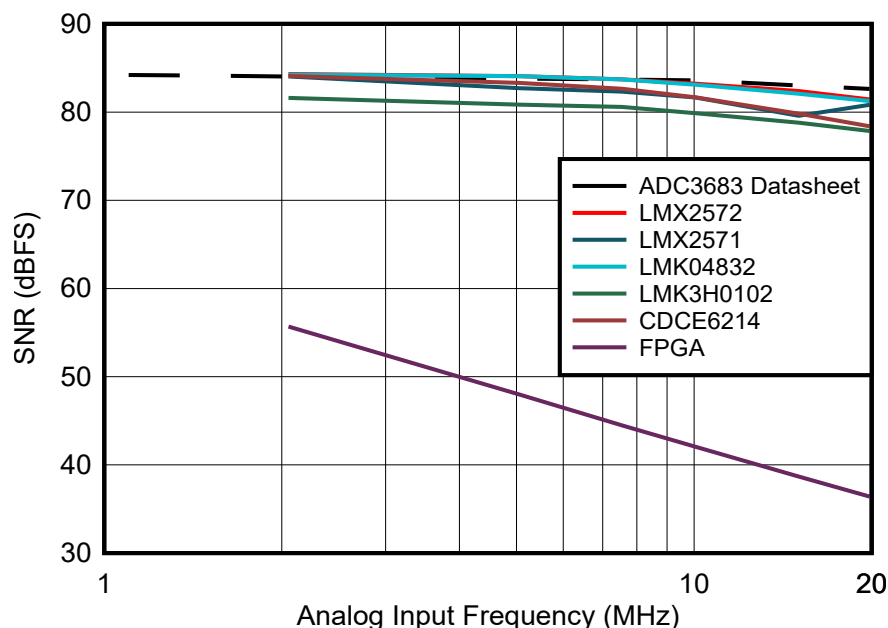


図 5-5. アナログ入力周波数全体にわたる、TI のクロックデバイスおよび FPGA 出力クロックと、ADC3683 のデータシートに記載された信号対雑音比との比較

LVPECL または CML インターフェイスのようなスルーレートの高い立ち上がり信号も、LVDS 信号より優れた ADC 性能をもたらします。図 5-6 は、さまざまな出力構成、信号規格、フィルタリングされたアナログ入力ソースで 25MHz サンプリングクロックソースを使用した場合の、ADC3683 の信号対雑音比性能と周波数との関係に及ぼす影響を示しています。このクロックデバイスは、差動 (DIFF) LVDS および LVPECL 形式のインターフェイスと、シングルエンド (SE) LVCMOS 形式のインターフェイスを使用して構成およびテストされています。差動形式のインターフェイスも、すべての同相ノイズが本質的にキャンセルされるので、主な改善効果が得られます。差動信号とシングルエンド信号の比較の詳細については、リファレンス [SLLD009](#) を参照してください。クロックデバイスが LVCMOS 信号を出力するよう構成された時点で、ADC の信号対雑音比は低下しました。

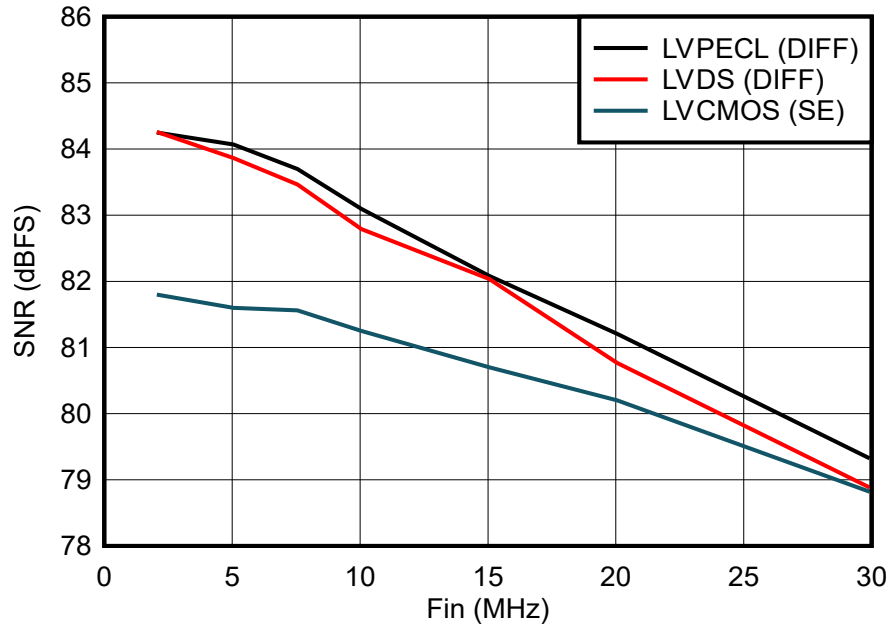


図 5-6. 各種出力信号規格用に構成されたクロックデバイスと、周波数における ADC3683 の信号対雑音比性能との比較

6 まとめ

このホワイトペーパーに示す実験的な例はすべて **MSPS** の範囲にあったにもかかわらず、クリーンで高スループートのクロックソースを供給することは、どの **ADC** の性能を最大化するうえで非常に重要です。これらの基本的な点は、**GSPS ADC** や任意の高速 **ADC** を使用して設計する際に適切に表現できます。

位相ノイズとジッタの差を理解することも、最も重要です。注意点として、サンプリングクロックソースによって生じるジッタのノイズフロアを正確に捉えるために、積分帯域幅の上限は少なくとも **F_s** に設定し、**2×F_s** を設定することを推奨します。もう 1 つの検討事項は、広帯域ノイズフロアが位相ノイズやジッタの計算における最大のノイズ寄与要因であることです。位相ノイズ曲線のこの象限は、**ADC** 信号対雑音比の性能に最大の影響を及ぼします。

特にすべてのクロックデバイス、発振器、信号ソースが等しく設計されているわけではないため、**ADC** で求められる性能を達成するには、品質が良くクリーンなクロックを選定することが非常に重要です。適切な場合はクロックをフィルタリングして、スプリアスをノックダウンしたり、広帯域ノイズを低減したりします。ただし、フィルタによってクロックエッジのスループートが低下する可能性があり、これも **ADC** の性能に影響を及ぼすため、フィルタを使用する際には、トレードオフが生じる可能性があります。

FPGA クロックは避けてください。これらのクロックは設計・実装が容易で、低コストな代替手段として適してはいますが、性能面では十分ではありません。ただし、**ADC** の信号対雑音比の性能を最大化することが設計で最大の要件である場合、これらのクロックは **ADC** データシートの性能を達成するために必要な性能を備えていません。

最後に、適切なクロックインターフェイスを選択することも重要です。差動信号は、クロック信号の同相ノイズや干渉をチョークするうえで重要です。**LVDS** やシングルエンド **LVC MOS** クロック信号インターフェイスではなく、最高のスルー信号品質を得るには、**LVPECL** または **CML** 形式のインターフェイスを使用してください。

全体として、次回の **ADC** 設計で最大の信号対雑音比性能を達成することが最も重要である場合は、これまで述べてきたすべてのポイントをクロッキング設計において十分に考慮してください。そうしない場合、思わぬ落とし穴に陥ったり、ジッタに悩まされる結果となるかもしれません。

7 参考資料

- テキサス・インスツルメンツ、「[Clock jitter analyzed in the time domain, Part 1](#)」Analog Design Journal
- テキサス・インスツルメンツ、「[Clock jitter analyzed in the time domain, Part 2](#)」Analog Design Journal
- テキサス・インスツルメンツ、「[Clock jitter analyzed in the time domain, Part 3](#)」Analog Design Journal
- テキサス・インスツルメンツ、「[Sine to Square Wave Conversion Using Clock Buffers](#)」アプリケーションノート
- テキサス・インスツルメンツ、「[Impact of Slew Rate on Noise](#)」アプリケーションノート
- テキサス・インスツルメンツ、「[LVDS Application and Data Handbook](#)」
- EE|Times、「[Cut ADC Skewing Errors](#)」
- EE|Times、「[Analogue to Digital Converter \(ADC\) Basics](#)」
- Planet Analog、「[ADC Noise: How can the Clock Input Can Help](#)」
- EDN、「[Understanding the effect of clock jitter on high-speed ADCs](#)」

付録 A: 使用する TI 高速コンバータに基づいた TI クロックデバイスの選定

TI のクロッキング製品ラインアップは、低消費電力、低位相ノイズ/ジッタ、低コストといった特長を備えた多様な部品を用意しています。ただし、単一のクロッキングデバイスで最高の性能、消費電力、コストを実現するためには設計上のトレードオフも存在します。高性能デバイスは、消費電流が大きくなり高価になる傾向があります。また、低消費電力デバイスは安価ですが、性能が高くない傾向があります。これらのトレードオフや、豊富なクロッキングおよび高速コンバータ製品ラインアップがあることから、TI は、お使いの高速コンバータに適したクロックを選定する際の指針として **表 8-1** を作成しました。これらは一般的な推奨事項であり、最適なクロックデバイスはアプリケーションの要件によって異なる可能性があることに注意してください。個別のサポートをご希望の場合、**E2E** にご使用のアプリケーションの要件を投稿してください。

表 8-1. TI の高速コンバータと TI のクロックのペアリング

高速データコンバータ	全体的に最適なクロックのペアリング		優先度別のクロックペアリングのトレードオフ (クロック生成時のみ)			
	クロック生成	クロック分配	最安コスト	最高性能	最小消費電力	トレードオフ/コメント
ADC12xJ3200 ADC12xJ2700 ADC12xJ1600 ADC09xJ1300 ADC09xJ800	- 単一コンバータをクロッキングまたは同期させる場合: LMX2820、LMX2594、または LMX2572 - 複数コンバータをクロッキングまたは同期する場合: LMK04832	- 単一コンバータをクロッキングまたは同期させる場合: LMX1205 - 複数コンバータをクロッキングまたは同期する場合: LMK04832	LMK04832	LMX2820	LMX2572	クロックの分配: LMK04832: 部品サイズは大きいですが安価で、合計 14 つの出力を備えている LMX1205: 性能は最も優れており部品サイズも小さいが、高価で出力は 4 つのみ クロックの生成: LMX2572: 最小消費電力かつ最安コストだが、性能は劣る LMX2594: コスト、消費電力、性能のバランスが良好 LMX2820: 最も高価で消費電力も最大だが、性能は最も優れている
ADC12DJ5200RF	LMX2820 または LMX2594	LMX1205	LMX2594	LMX2820	LMX2594	LMX2594/LMX2820 + LMX1205 は、組み合わせて、より高いサンプリング周波数で CLK と SYSREF の複数のコピーを作成することができる LMX2594: コスト、消費電力、性能のバランスが良好 LMX2820: 最も高価で消費電力も最大だが、性能は最も優れている
ADC35xx/ADC36xx	- 周波数が 328MHz 未満の場合: CDCE6214 - 周波数が 328MHz~400MHz の場合: LMK3H0102 - 最高の性能を得る場合: LMX2571		CDCE6214	LMX2571	CDCE6214	CDCE6214: 最も安価で、小型、最低の消費電力だが、最大出力は 328MHz までで最高の性能ではない LMK3H0102: 性能が優れた最小の新型部品でありながら、消費電力が大きくなっている LMX2571: 性能が最も優れており消費電力も低いが、サイズが大きく汎用性に欠ける
AFE79xx	LMX2820 または LMX2594	LMX1205	LMX2594	LMX2820	LMX2594	LMX2594 は一部のアプリケーションや、全体的に良好なクロックペアリングに適しています。 LMX2820 は最高の性能を発揮します (特に外部 VCO と組み合わせた場合)
ADC3xRF5x/7x	LMX2820 (外部 VCO モード使用時)	LMX1205	LMX2820 (外部 VCO モード使用時)	LMX2820 (外部 VCO モード使用時)	LMX2820 (外部 VCO モード使用時)	該当なし

表 8-1. TI の高速コンバータと TI のクロックのペアリング (続き)

高速データコンバータ	全体的に最適なクロックのペアリング		優先度別のクロックペアリングのトレードオフ (クロック生成時のみ)			
	クロック生成	クロック分配	最安コスト	最高性能	最小消費電力	トレードオフ/コメント
AFE8000 DAC39RF10	LMX2820 または LMX2594	LMX1205	LMX2594	LMX2820	LMX2594	- LMX2594 は一部のアプリケーションや、全体的に良好なクロックペアリングに適しています。 - LMX2820 は最高の性能を発揮します (特に外部 VCO と組み合わせた場合)
ADC39xx (8 ビット)	LMK6P		CDC6C	LMK6P	CDC6C	- LMK6P: 性能は優れているが、サイズが大きく消費電力も高い - CDC6C: 最小サイズで最小消費電力だが、性能は劣る
ADC39xx (10 ビット)	LMK3H0102		LMK3H0102	CDCE6214	CDCE6214	- CDCE6214: 最も安価で、小型、最低の消費電力だが、最大出力は 328MHz までで最高の性能ではない - LMK3H0102: 性能が優れた最小の新型部品でありながら、消費電力が大きくなっている
ADC3669	LMX2571 または LMK3H0102		CDCE6214	LMX2571	CDCE6214	- CDCE6214: 最も安価で、小型、最低の消費電力だが、最大出力は 328MHz までで最高の性能ではない - LMK3H0102: 性能が優れた最小の新型部品でありながら、消費電力が大きくなっている - LMX2571: 性能が最も優れており消費電力も低い、サイズが大きく汎用性に欠ける

8 改訂履歴

Changes from Revision * (October 2024) to Revision A (April 2025)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
• アプリケーションノートにパイパーリンクを追加.....	5
• アプリケーションノート「 <i>Impact of Slew Rate on Noise</i> 」へのハイパーリンクが追加されました.....	13
• ADC とクロックのペアリングをより分かりやすく表示するよう変更.....	14

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated