

Application Note

イーサネット準拠試験用に DP8386x を構成する方法



David Ritter, Robert Rodrigues, Gerome Cacho

概要

このアプリケーション ノートでは、イーサネット物理層準拠 (IEEE802.3) 用の DP83867 と DP83869 (DP8386x と表記) PHY のセットアップと構成方法について説明します。このアプリケーション ノートでは主に DP83867 を例として使用していますが、DP83869 も準拠試験のためにこれらのスクリプトを使用できます。

専用の 10/100Mbps PHY (DP83822、DP83825、DP83826) でも同じ 10/100Mbps の試験方法が使用されていますが、これらのデバイス固有の詳細な手順については、『[DP8382x IEEE 802.3u の準拠とデバッグ](#)』(アプリケーションノート)を参照してください。

目次

1 規格とシステム要件.....	2
1.1 規格.....	2
1.2 テスト装置サプライヤ.....	2
1.3 テストのシステム要件.....	2
1.4 ソフトウェアのセットアップとインストール.....	2
2 イーサネット物理レイヤ準拠テスト.....	3
2.1 規格テスト構成と手順.....	3
2.2 100BASE-T.....	4
2.3 100BASE-TX.....	9
2.4 10BASE-Te.....	10
3 デバッグ試験メソッド.....	12
4 参考資料.....	13
5 改訂履歴.....	14
A 付録 A: DP8386x 用のイーサネット準拠テストの概要.....	15
B 付録 B: DP8386x 用イーサネット準拠試験の MDIO レジスタへの書き込み.....	16

図の一覧

図 2-1. DP83867 を CAT5e ケーブル経由でテスト装置に接続.....	3
図 2-2. IEEE テスト モード 1 (標準で).....	4
図 2-3. DP8386x テスト モード 1 の出力波形.....	4
図 2-4. IEEE テスト モード 2 (標準で).....	6
図 2-5. DP8386x テスト モード 2 の出力波形.....	6
図 2-6. IEEE テスト モード 4 (標準で).....	7
図 2-7. DP8386x テスト モード 4 の出力波形.....	7
図 2-8. IEEE 定義 CM 電圧テスト設定.....	8
図 2-9. DP8386x のスクランブルされたアイドル出力波形 100M (テスト モード 5).....	9
図 2-10. DP8386x リンク パルスの出力波形 10M.....	11
図 2-11. DP8386x 10Base-Te 企画.....	11

表の一覧

表 A-1. DP8386x 用のイーサネット準拠テストの概要.....	15
--------------------------------------	----

商標

すべての商標は、それぞれの所有者に帰属します。

1 規格とシステム要件

1.1 規格

このドキュメントで説明するテストの参照には、次の規格があります。

- IEEE 規格 802.3-2002 の従属節 14.3.1
- IEEE 規格 802.3-2002 従属節 40.6
- ANSI X3.263-1995

1.2 テスト装置サプライヤ

このドキュメントで説明されている各種の手順を実行するために使用されるテスト装置は、次のサプライヤから調達できます。一部の機器は代理店を介して入手する必要があります。

- Tektronix
- Spirent
- Agilent (Keysight)
- Rohde および Schwarz
- Teledyne LeCroy

1.3 テストのシステム要件

イーサネット PHY の準拠をテストするには、以下のハードウェアとソフトウェアが必要です：

- イーサネット物理層準拠ソフトウェアを搭載したオシロスコープ (Tektronix TDSET3 など)
- イーサネット準拠のテスト用治具
- PHY へのアクセスを登録 (MSP430 使用時の TI の USB-2-MDIO GUI など)
- DC 電源
- 必要なケーブルとプローブ

1.4 ソフトウェアのセットアップとインストール

準拠ソフトウェアのインストールについては、試験装置 OEM のイーサネット準拠ソフトウェアのマニュアルを参照してください。

MSP430 Launchpad を使用した代替 MDIO アクセスの詳細については、『USB-2-MDIO ユーザー ガイド』を参照してください。

- [USB-2-MDIO ツールのページ](#)

2 イーサネット物理レイヤ準拠テスト

2.1 規格テスト構成と手順

イーサネット物理層準拠テストでは、必要なテスト モード スクリプトを構成するため、シリアル管理インターフェイス (SMI、MDIO インターフェイスとも呼ばれる) 経由で PHY を管理します。テスト結果は、オシロスコープのイーサネット準拠ソフトウェア (Tektronix の TDSET3 など) によって判断されて記録されます。ソフトウェアを適切に操作するためには、機器のユーザー マニュアルを参照することをお勧めします。

イーサネット物理層の各準拠テストの変動は、主に PHY のテスト モード ([Appendix A](#) を参照) と、テスト用治具への接続です。

このソフトウェアは通常、多くの速度オプションをテストできますが、目的の最終使用例のアプリケーションに合わせたテストを行うことが重要です。1Gbps をテストする場合は、4 つのチャネルすべてをテストする必要があります。10/100Mbps では、1 つまたは 2 つのチャネル (MDI/MDIX により異なる) をテストする必要があります。

テストを実施する際に、サンプル サイズと実行ごとの変動を考慮することが重要です。

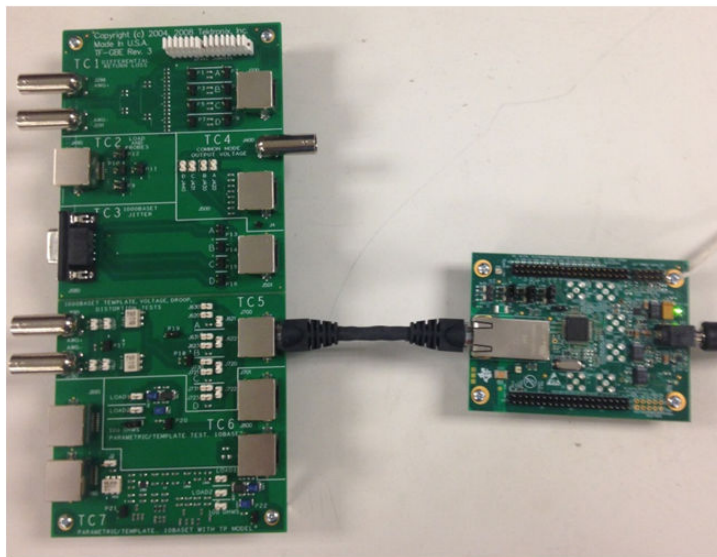


図 2-1. DP83867 を CAT5e ケーブル経由でテスト装置に接続

2.2 1000BASE-T

1000BASE-T レジスタの書き込みについては、[Appendix B](#) を参照してください。

2.2.1 テスト モード 1

次のテストでは、MDIO レジスタを [Appendix B](#) の 1000 Base テスト モード 1 に従って MDIO レジスタを設定して、テストモード 1 にするよう PHY を構成します。

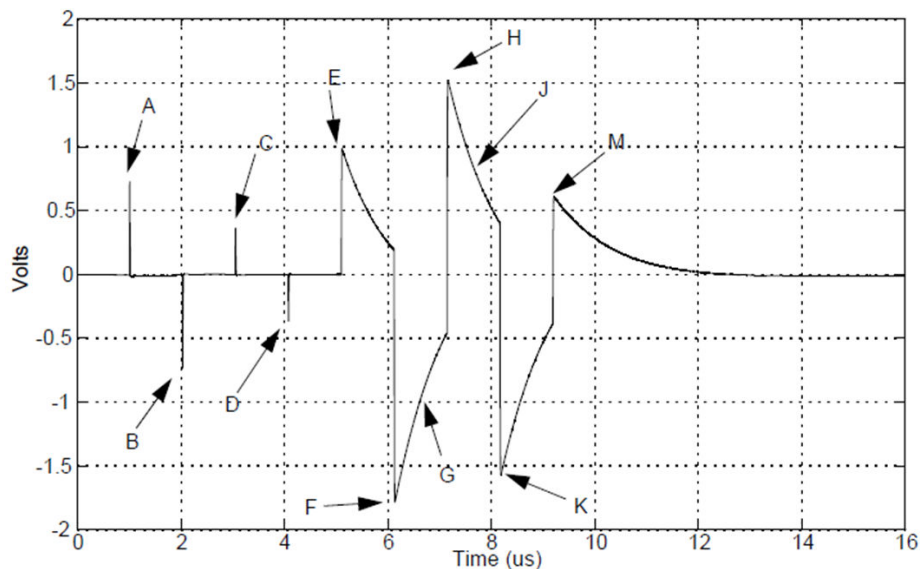


図 2-2. IEEE テスト モード 1 (標準で)

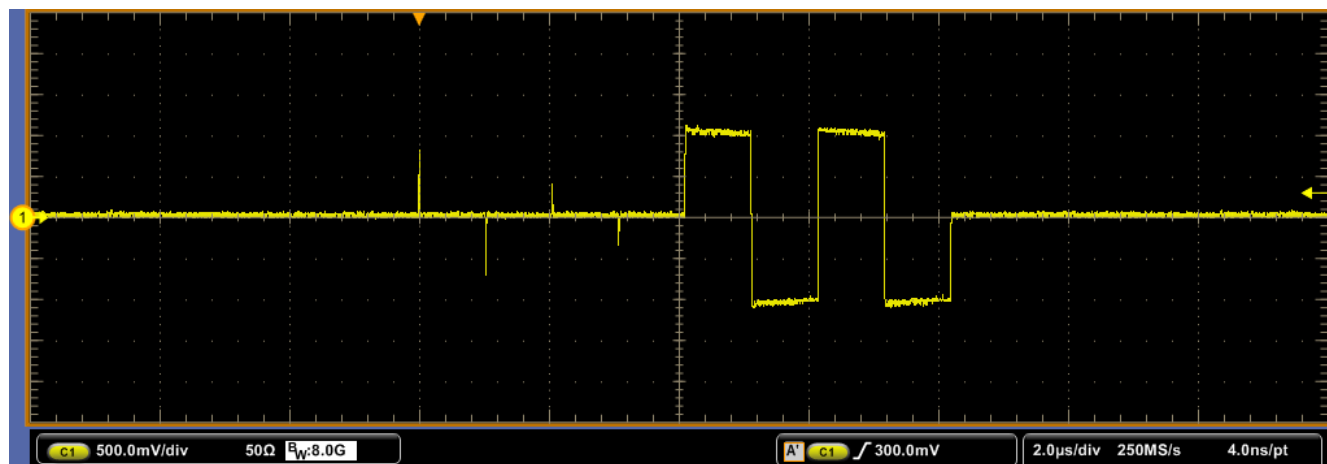


図 2-3. DP8386x テスト モード 1 の出力波形

2.2.1.1 テンプレート

目的:PHY の送信波形が IEEE 定義のテンプレートに適合することを確認します。

合格条件:正規化後に電圧出力波形がテスト モード 1 の PHY を使用した IEEE 定義のテンプレートに適合する。

具体的なテスト構成:正しいテスト用治具の接続を検証します。一部のイーサネット準拠ソフトウェアでは、テンプレートとピーク電圧の各テストを同時に実行できます。

2.2.1.2 ピーク電圧

目的:PHY トランスミッタの適切な出力電圧レベルを確保する。

合格条件:電圧レベルが次の範囲内であること:

$$0.67V < \text{Peak Voltage } A < 0.82V \quad (1)$$

$$0.67 V < \text{Peak Voltage } B < 0.82 V \quad (2)$$

$$\frac{\text{Peak Voltage } B - |\text{Average of Peak Voltage } A \text{ and } B|}{|\text{Average of Peak Voltage } A \text{ and } B|} \times 100\% < 1\% \quad (3)$$

$$2\% < 100\% \times \left(1 - \frac{0.5 \times |\text{Average of Peak Voltage } A \text{ and } B|}{|\text{Peak Voltage } C|}\right) \quad (4)$$

$$2\% < 100\% \times \left(1 - \frac{0.5 \times |\text{Average of Peak Voltage } A \text{ and } B|}{|\text{Peak Voltage } D|}\right) \quad (5)$$

ピーク電圧 **A** および **B** の平均は次のように定義されます: $\frac{\text{Peak Voltage } A + |\text{Peak Voltage } B|}{2}$.

具体的なテスト構成:正しいテスト用治具の接続を検証します。一部のイーサネット準拠ソフトウェアでは、テンプレートとピーク電圧の各テストを同時に実行できます。

注

一部の古いバージョンのイーサネット準拠ソフトウェアでは、ピーク電圧 **A** と **B** の間のシンメトリを 1% 以内で判断するために誤った式を使用しています。これにより、実際のパーセント値の 2 倍になり、テストケースが失敗する可能性があります。そのため、失敗した結果は (3) を使用して再確認する必要があります。

2.2.1.3 ドループ

目的:トランスミッタの出力電圧が IEEE 802.3 で規定されている速度よりも速く減衰しないことを確認します。

合格条件:ポイント F と H の後の 500ns の電圧振幅 (それぞれポイント G と J と呼ばれる) が、ポイント F と H の振幅の 73.1% より大きいこと。

具体的なテスト構成:正しいテスト用治具の接続を検証します。

2.2.2 テスト モード 2

次のテストでは、MDIO レジスタを [Appendix B](#) の 1000 Base テスト モード 2 に従って MDIO レジスタを設定して、テスト モード 2 にするよう PHY を構成します。

注

DP8386x は外部ピンへの TX_TCLK 信号の供給をサポートできません。そのため、このテストにはリンク パートナーが必要となり、スレーブ ジッタ テストは実行できません。ジッタ テストを実行する際は、これらの構成に応じてスコープが適切に設定されていることを確認してください。

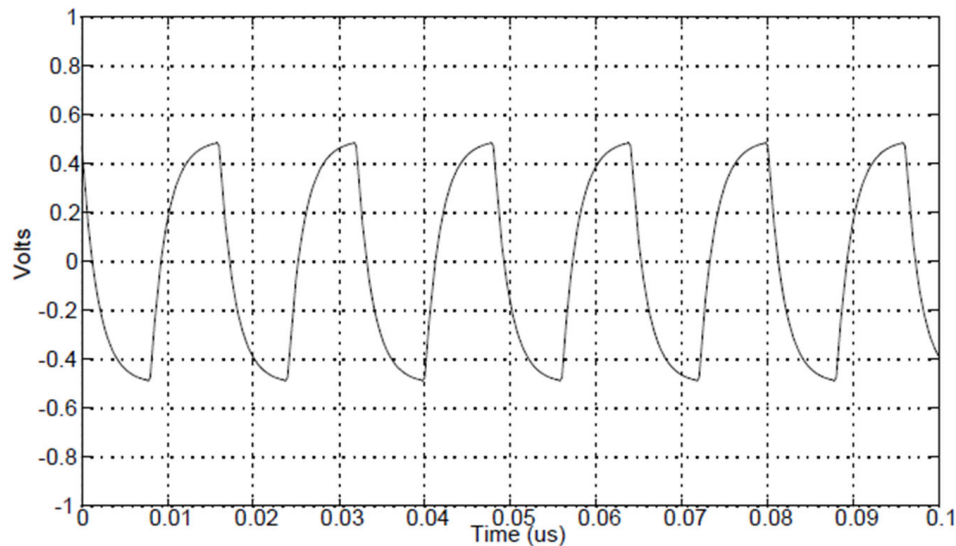


図 2-4. IEEE テスト モード 2 (標準で)

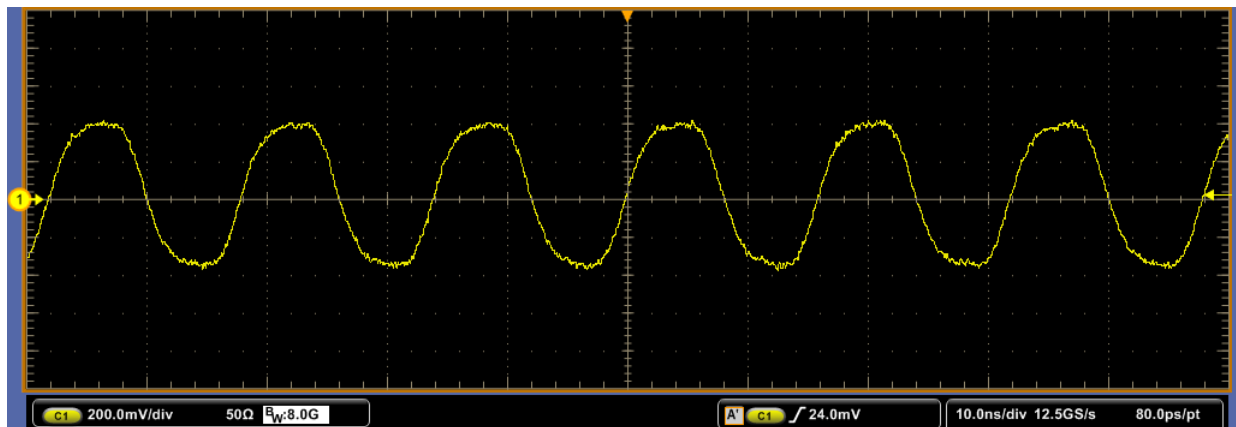


図 2-5. DP8386x テスト モード 2 の出力波形

2.2.2.1 マスタ フィルタなしのジッタ

目的: ジッタのないリファレンスに対する PHY TX_TCLK のジッタが規定の範囲内であることを確認します。

合格条件: ジッタのないリファレンスに対するジッタ波形のピークツーピーク値が 1.4ns 未満であること。

具体的なテスト構成: 正しいテスト用治具の接続を検証します。

2.2.3 テスト モード 4

Appendix B の 1000 Base テスト モード 4 に従って MDIO レジスタを設定して、PHY をテスト モード 4 を出力するように構成します。

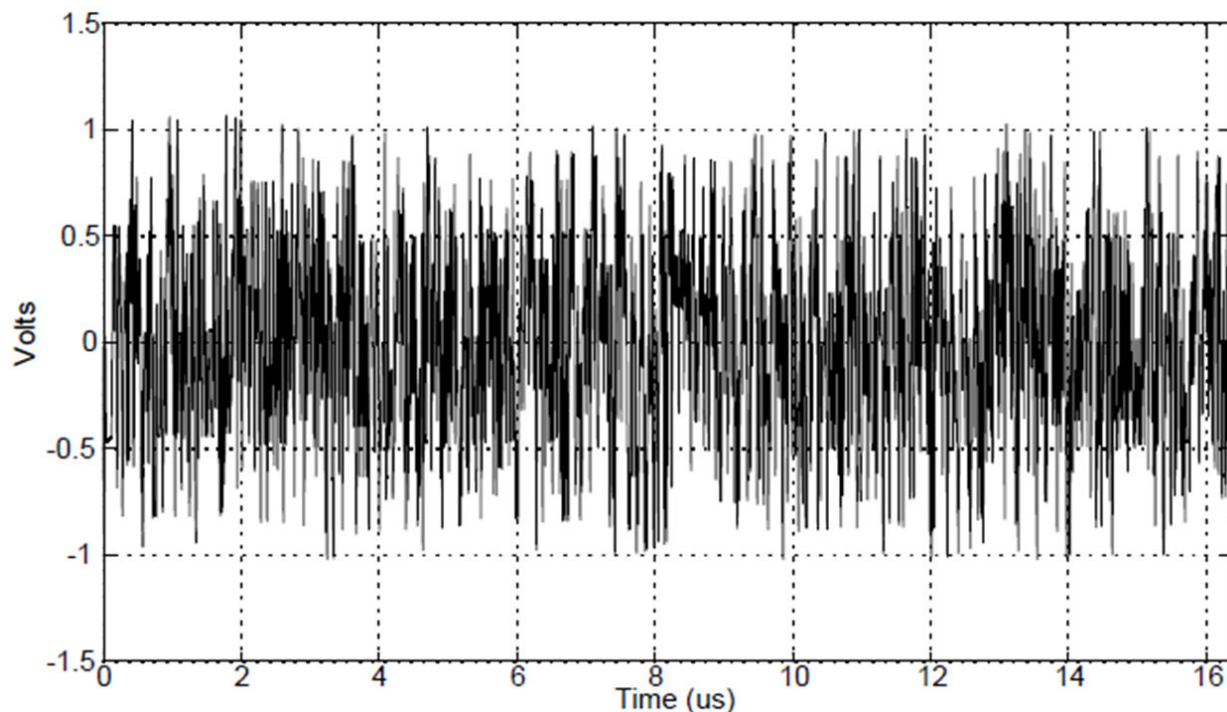


図 2-6. IEEE テスト モード 4 (標準で)

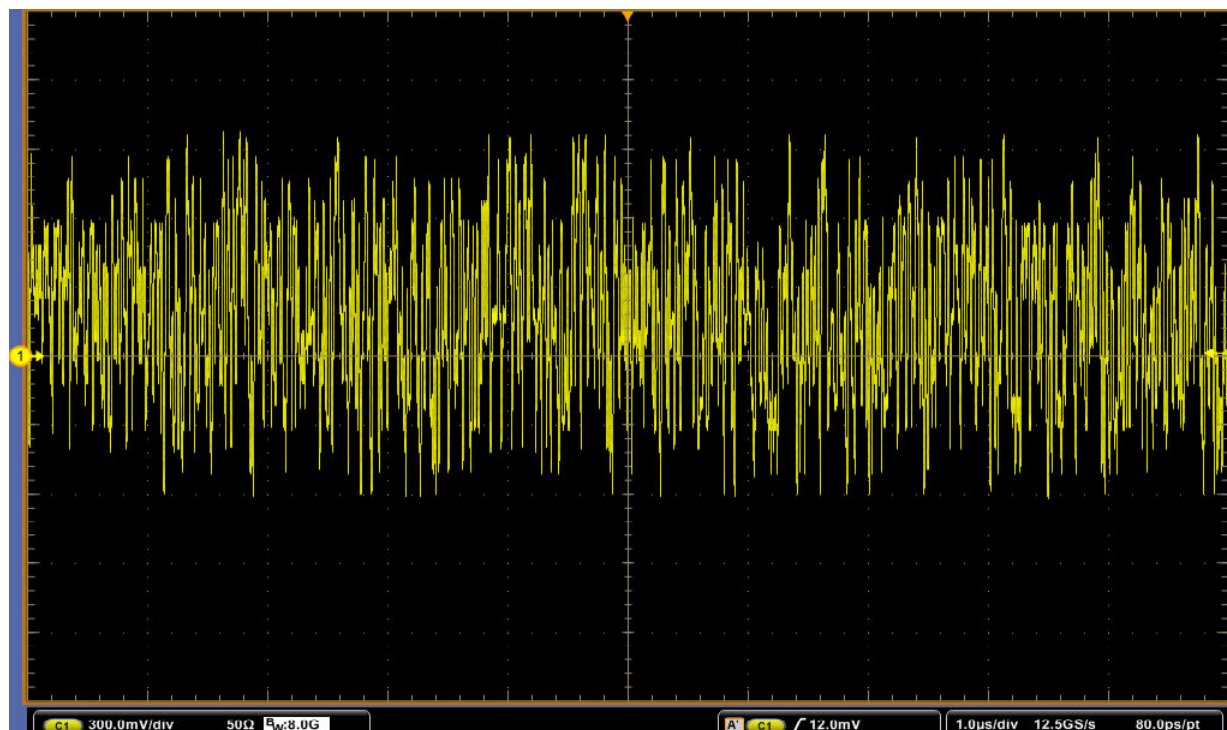


図 2-7. DP8386x テスト モード 4 の出力波形

2.2.3.1 歪み

目的:ピーク歪みが規定の範囲内であることを確認します。

合格条件:任意の移送の 2047 個の連続したサンプル単位間隔 (UI) の少なくとも 60% で TX_TCLK でサンプリングする場合、出力差動信号のピーク歪みが 10mV 未満であること。

具体的なテスト構成:正しいテスト用治具の接続を検証します。

歪み試験に合格するには、20.8MHz で 2.7Vpp の妨害信号が必要です (セットアップについては、イーサネット準拠ソフトウェアのマニュアルを参照してください)。

また、イーサネット準拠ソフトウェアが、100% ではなく「10mV のユニット間隔 (UI) の 60% 以上」に準拠していることを確認します (たとえば、TDSET は UI の 100% を使用しているため、準拠部品でも障害が発生します)。

2.2.3.2 同相電圧

目的:同相電圧が規定の範囲内であることを確認します。

合格条件:同相電圧の振幅が 50mVpp 以内であること。

具体的なテスト構成:正しいテスト用治具の接続を検証します。付録 B の 1000 Base テスト モード 4 に従って MDIO レジスタを設定して、テスト モード 4 を出力するように PHY を構成します。

適切な測定のために、DUT グランドをテスト用治具のグランドに接続します (図 2-8 の IEEE 802.3 で概説)。

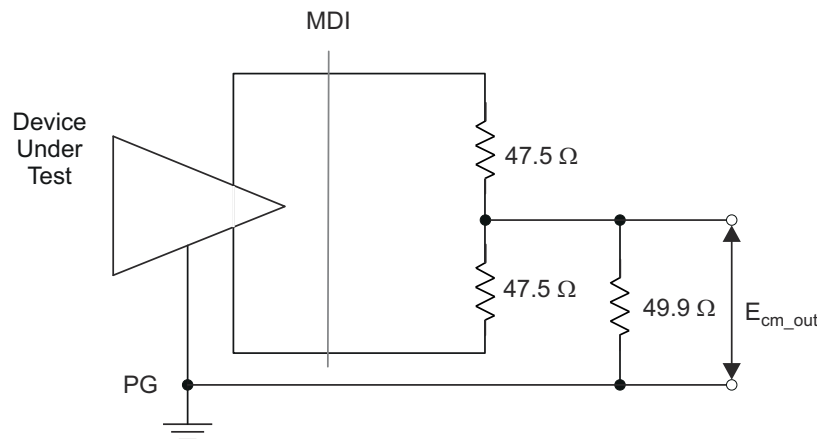


図 2-8. IEEE 定義 CM 電圧テスト設定

2.2.3.3 リターン ロス

目的:リターン ロスが指定された減衰を上回ることを確認します。

合格条件:PHY への入射信号の反射が以下のように減衰すること:

1.0MHz ~ 40MHz の周波数帯域で $\geq 16\text{dB}$ 。

40MHz ~ 100MHz (MHz の周波数) の周波数範囲全体で $\geq 10 - 20\log_{10} (f/80) \text{ dB}$

具体的なテスト構成:正しいテスト用治具の接続を検証します。付録 B の 1000 Base テスト モード 4 に従って MDIO レジスタを設定して、テスト モード 4 を出力するように PHY を構成します。注:一部のイーサネット準拠ソフトウェアではスペクトル アナライザが必要な場合があります。

2.2.3.4 同相ノイズ除去

目的:PHY の同相信号除去比が規定の範囲内であることを確認します。

合格条件:IEEE 802.3 40.6.1.3 を参照してください。

具体的なテスト構成:正しいテスト用治具の接続を検証します。付録 B の 1000 Base テスト モード 4 に従って PHY を構成します。

2.3 100BASE-TX

100BASE-TX レジスタの書き込みについては、[Appendix B](#) を参照してください。必要に応じて MDI および MDIX 構成を使用します。テスト モード 5 または強制 100Mbps 速度の動作を使用できます。一部のイーサネット準拠のソフトウェアでは、テンプレート、差動出力電圧、信号振幅シンメトリ、立ち上がり/立ち下がり時間、オーバーシュート、ジッタ、デューティサイクル歪みの各テストを、同時に実行できます。

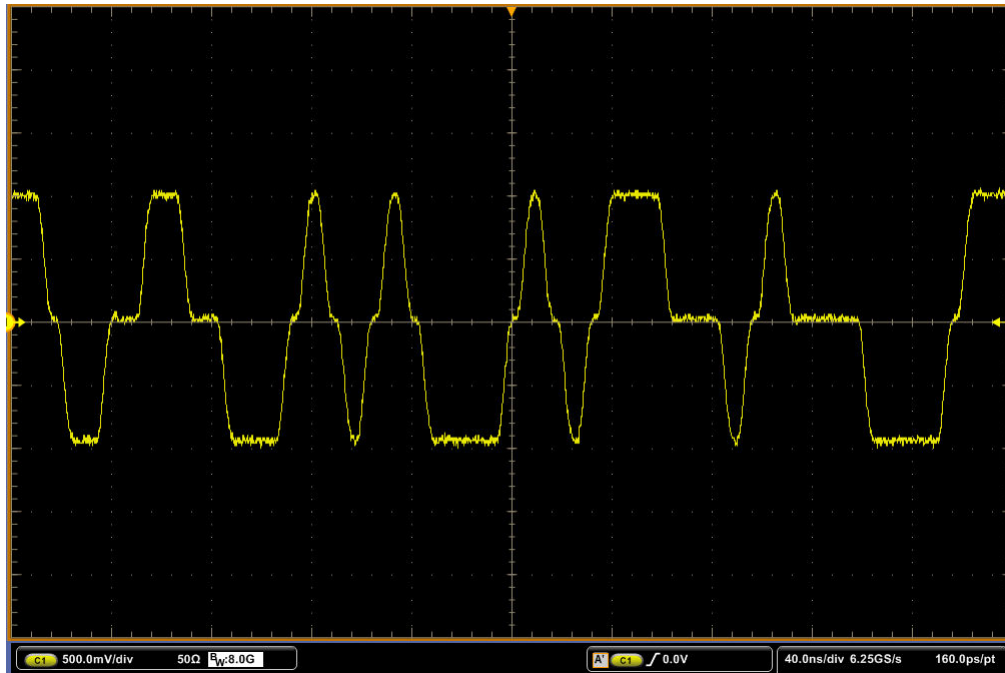


図 2-9. DP8386x のスクランブルされたアイドル出力波形 100M (テスト モード 5)

2.3.1 テンプレート(アクティブ出力インターフェイス)

目的: 出力が送信テンプレートに適合することを確認します。

合格条件: 指定された ANSI アクティブ出力インターフェイス テンプレートに適合すること。

2.3.2 差動出力電圧

目的: 差動出力電圧が規定の範囲内であることを確認します。

合格条件: 差動出力電圧は、正または負の 950 ~ 1050mV の範囲内にあること。

2.3.3 信号振幅シンメトリ

目的: 信号振幅シンメトリが規定の範囲内であることを確認します。

合格条件: 正のピーク振幅と負のピーク振幅の比率が 2% 以内または $0.98 \leq |V_{OUT}| / |-V_{OUT}| \leq 1.02$

2.3.4 立ち上がりおよび立ち下がり時間

目的: デバイスの立ち上がり時間と立ち下がり時間が、規定の範囲内であることを確認します。

合格条件: 立ち上がり時間と立ち下がり時間 (正と負の両方の電圧レベルの 10% ~ 90%) が 3ns~5ns であること。最大および最小立ち上がりおよび立ち下がり時間は 0.5ns 以内とする。

2.3.5 波形オーバーシュート

目的: 波形オーバーシュートが指定された制限値を下回っていることを確認します。

合格条件: オーバーシュート (遷移時の正と負の両方の最大電圧レベル) が、定常状態の電圧レベル全体にわたって 5% を超えないこと。

2.3.6 ジッタ

目的:送信出力ジッタが規定の範囲内であることを確認します。

合格条件:送信出力ジッタが 1.4ns 未満であること。

2.3.7 デューティ サイクルの歪み

目的:デューティ サイクル歪みが既定の範囲未満であることを確認します。

合格条件:デューティ サイクル歪み (Vout の 50% を上回る、あるいは下回ることと定義) が ± 0.25 ns を超えないこと。

2.3.8 リターン ロス

目的:リターン ロスが指定された減衰を上回ることを確認します。

合格条件:PHY への入射信号の反射が以下のように減衰すること:

2MHz ~ 30MHz の周波数帯域で ≥ 16 dB。

30MHz ~ 60MHz (MHz の周波数) の周波数範囲全体で $\geq 10 - 20 \log_{10} (f / 30)$ dB

60MHz ~ 80MHz の周波数帯域で ≥ 10 dB。

具体的なテスト構成:正しいテスト用治具の接続を検証します。付録 B の 100 Base 標準モードに従って PHY を構成します。注:一部のイーサネット準拠ソフトウェアではスペクトラム アナライザが必要な場合があります。

2.3.9 同相電圧

目的:同相電圧が規定の範囲内であることを確認します。

合格条件:同相電圧の振幅がピーク時に 50mV 未満であること。

具体的なテスト構成:テスト用治具の接続を検証します。付録 B の 100 Base 標準モードに従って MDIO レジスタを設定して PHY を構成します

2.3.10 同相ノイズ除去

目的:PHY の同相信号除去比が規定の範囲内であることを確認します。

合格条件:ANSI X3-263-1995 9.2.3 を参照してください

具体的なテスト構成:正しいテスト用治具の接続を検証します。付録 B の 100 Base 標準モードに従って MDIO レジスタを設定して PHY を構成します。

2.4 10BASE-Te

10BASE-Te レジスタの書き込みについては、[Appendix B](#) を参照してください。テストには、リンク パルス用と残りのテスト用の 2 つのスクリプトが必要です。

注

DP8386x は 10BASE-Te モードの動作のみをサポートしており、10BASE-T はサポートしません。準拠試験を実施する際に、範囲が規格をサポートしていることを確認してください。

2.4.1 リンク パルス

目的:リンク パルスの波形が規定の範囲内であることを確認します。

合格条件:リンク パルスは、ツイスト ペア モデル (TPM) の有無にかかわらず、負荷 1 および 2 の IEEE 定義テンプレートに適合すること。Load 3 (100Ω) テストは参考としてのテストであり、オプションです。

具体的なテスト構成:テスト用治具の接続を検証します。[Appendix B](#) の 10 Base リンク パルスに従って MDIO レジスタを設定します。

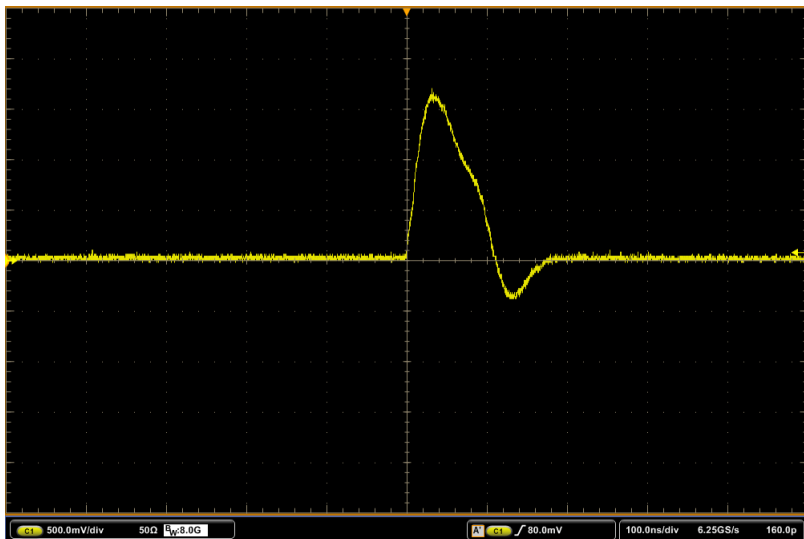


図 2-10. DP8386x リンク パルスの出力波形 10M

2.4.2 10BASE-Te 規格

Appendix B で標準スクリプトを出力するように PHY を構成します。この構成では、PHY がデジタル ループバックに配置され、PRBS がイネーブルになります。

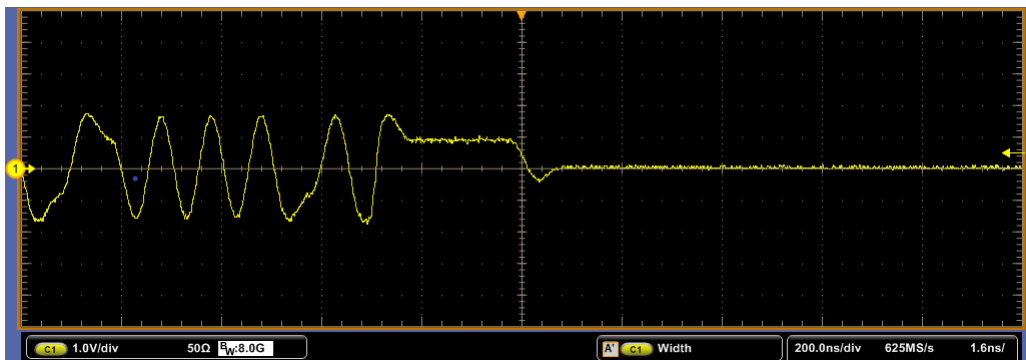


図 2-11. DP8386x 10Base-Te 企画

2.4.2.1 TP_IDL

目的: アイドル状態に遷移した後のトランスミッタが正しく機能することを確認します。

合格条件: トランスミッタ TP_IDL パルスが、ツイスト ペア モデル (TPM) あり/なしで Load 1 と Load 2 のテンプレート内に収まっていること。Load 3 (100Ω) テストは参考としてのテストであり、オプションです。

具体的なテスト構成: テスト用治具の接続を検証します。

2.4.2.2 MAU、内部

目的: トランスミッタの出力補正が規定の範囲内であることを確認します。

合格条件: 100Ω の抵抗で終端する場合、トランスミッタの波形はすべてのデータ シーケンスについて、IEEE 定義のテンプレートに収まること。

具体的なテスト構成: テスト用治具の接続を検証します。

2.4.2.3 TPM ありのジッタ

目的: ジッタが規定の範囲内であることを確認します。

合格条件:トランスミッタ出力ジッタが $\pm 5.5\text{ns}$ 未満であること。注:TPM の障害は、必ずしも非準拠を意味するわけではありません。

具体的なテスト構成:テスト用治具の接続を検証します。

2.4.2.4 TPM なしのジッタ

目的:ジッタが規定の範囲内であることを確認します。

合格条件:トランスミッタ出力ジッタが $\pm 8.0\text{ns}$ 未満であること。

具体的なテスト構成:テスト用治具の接続を検証します。

2.4.2.5 差動電圧

目的:差動電圧が規定の範囲内であることを確認します。

合格条件:BASE-T の 100Ω の抵抗で終端する場合、ピーク差動電圧が $2.2\text{V} \sim 2.8\text{V}$ であること。10BASE-Te の 100Ω 抵抗で終端する場合、ピーク差動電圧が $1.54\text{V} \sim 1.96\text{V}$ であること。

具体的なテスト構成:テスト用治具の接続を検証します。

2.4.2.6 同相電圧

目的:同相電圧が規定の範囲内であることを確認します。

合格条件:同相電圧の振幅がピーク時に 50mV 未満であること。

具体的なテスト構成:テスト用治具の接続を検証します。付録 B の 10 Base 標準に従って MDIO レジスタを設定して、リバース ループバック モードになるように PHY を構成します。

2.4.2.7 リターン ロス

目的:リターン ロスが指定された減衰を上回ることを確認します。

合格条件:PHY への入射信号の反射が以下のように減衰すること:

$5.0\text{MHz} \sim 10\text{MHz}$ の周波数帯域で $\geq 15\text{dB}$ 。

具体的なテスト構成:テスト構成によっては、2 つの波形入力が必要な場合があります。正しいテスト用治具の接続を検証します。付録 B の 10 Base 標準に従って MDIO レジスタを設定して、リバース ループバック モードになるように PHY を構成します。注:一部のイーサネット準拠ソフトウェアではスペクトラム アナライザが必要な場合があります。

2.4.2.8 高調波コンテンツ

目的:PHY の高調波コンテンツが規定の範囲内であることを確認します。

合格条件:データ出力回路が すべての 1 またはゼロを駆動すること。後続のすべての高調波が基本波より 27dB 下であること。

具体的なテスト構成:テスト用治具の接続を検証します。付録 B の 10 Base 高調波コンテンツに従って MDIO レジスタを設定して PHY を構成します。

2.4.2.9 同相信号除去

目的:PHY の同相信号除去比が規定の範囲内であることを確認します。

合格条件:IEEE 802.3 14.3.1.2.6 を参照してください

具体的なテスト構成:正しいテスト用治具の接続を検証します。Appendix B の 10 Base 標準に従って MDIO レジスタを設定します。

3 デバッグ試験メソッド

コンプライアンスに関連する問題のデバッグの詳細については、DP83867 の場合は [SNLA246](#)、DP83869 の場合は [SNLA443](#) を参照してください。

4 参考資料

1. [TDSET3 マニュアル](#)
2. ANSI X3.263-1995
3. テキサス・インスツルメンツ、『[DP8382x IEEE 802.3u 準拠とデバッグ](#)』アプリケーション ノート。
4. テキサス・インスツルメンツ、『[DP83867E/IS/CS 堅牢で耐性の高い小型 10/100/1000 イーサネット物理層トランシーバ](#)』、データシート。
5. テキサス・インスツルメンツ、『[DP83867IR/CR 高電磁波耐性 10/100/1000 イーサネット物理レイヤトランシーバ](#)』、データシート。
6. テキサス・インスツルメンツ、『[DP83869HM 電磁波耐性が高く、銅線と光ファイバーのインターフェイスに対応した 10/100/1000 イーサネット物理レイヤトランシーバ](#)』、データシート。

5 改訂履歴

Changes from Revision C (December 2023) to Revision D (April 2025)	Page
• 同相電圧のスク립ト リファレンスを追加.....	8
• リターン ロスのスク립ト リファレンスを追加.....	8
• 同相ノイズ除去のスク립ト リファレンスを追加.....	8
• リターン ロス スクリプトのリファレンスを追加.....	10
• 高周波コンテンツのスク립ト リファレンスを追加.....	10
• 同相ノイズ除去のスク립ト リファレンスを追加.....	10
• 高周波コンテンツのスク립ト リファレンスを追加.....	12
• 同相除去のスク립トへ リファレンスを追加.....	12
• 高調波コンテンツ スクリプトを追加.....	16
• MDI を強制してオート ネゴシエーションを無効にするように 1000Base テスト モードを更新.....	16

Changes from Revision B (May 2021) to Revision C (December 2023)	Page
• DP8386x ファミリのみをサポートするようにを更新、DP8382x ファミリのサポートを SNLA266 に変更.....	1
• 予想される試験波形と試験の背後の理論を明確化するために更新.....	3
• DP83869 データ シートのリンクを追加。.....	13
• 適切な構成に合わせて DP8386x のイーサネット準拠テストの概要を更新.....	15
• レジスタ構成を更新.....	16

Changes from Revision A (January 2017) to Revision B (May 2021)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1

Changes from Revision * (November 2015) to Revision A (January 2017)	Page
• データ シートのリンクを追加.....	13
• レジスタ構成を更新.....	16

A 付録 A: DP8386x 用のイーサネット準拠テストの概要

表 A-1 は DP8386x のイーサネット準拠テストを示しています。

表 A-1. DP8386x 用のイーサネット準拠テストの概要

TEST	レジスタ構成 (Appendix B 内)
1000BASE-T	
テンプレート	1000 BASE テスト モード 1
ピーク電圧	
ドループ	
マスタ フィルタなしのジッタ	1000 Base テスト モード 2
歪み	1000 Base テスト モード 4
同相電圧	
同相信号除去	
リターン ロス	
100BASE-TX	
テンプレート	100 Base 標準
差動出力電圧	
信号振幅シンメトリ	
立ち上がりおよび立ち下がり時間	
波形オーバーシュート	
ジッタ	
デューティ サイクルの歪み	
同相電圧	
同相信号除去	
リターン ロス	
10BASE-Te	
リンク パルス	10 Base リンク パルス
TP_IDL	10 Base 標準
MAU、内部	
TPM ありのジッタ	
TPM なしのジッタ	
差動電圧	
同相電圧	
同相信号除去	
リターン ロス	
高調波コンテンツ	

B 付録 B:DP8386x 用イーサネット準拠試験の MDIO レジスタへの書き込み

1000 Base テスト モード 1

Reg 0x1F = 0x8000	//PHY をリセット
Reg 0x0 = 0x0140	//1000 Base-T モード、オートネゴシエーション無効
Reg 0x10 = 0x5008	//強制 MDI モード
Reg 0x9 = 0x3B00	//テスト モード 1
Reg 0x25 = 0x480	//すべてのチャンネルにテスト モードを出力
Reg 0x1D5 = 0xF508	//VoD スイングを増加。このレジスタは他の試験のスクリプトおよび最終用途アプリケーションにも適用できます。
Reg 0x1F = 0x4000	//PHY を再起動

1000 BASE テスト モード 2

Reg 0x1F = 0x8000	//PHY をリセット
Reg 0x0 = 0x0140	//1000 Base-T モード、オートネゴシエーション無効
Reg 0x10 = 0x5008	//強制 MDI モード
Reg 0x9 = 0x5B00	//テスト モード 2
Reg 0x25 = 0x480	//すべてのチャンネルにテスト モードを出力
Reg 0x1F = 0x4000	//PHY を再起動

1000 BASE テスト モード 4

Reg 0x1F = 0x8000	//PHY をリセット
Reg 0x0 = 0x0140	//1000 Base-T モード、オートネゴシエーション無効
Reg 0x10 = 0x5008	//強制 MDI モード
Reg 0x9 = 0x9B00	//テスト モード 4
Reg 0x25 = 0x400	//単一チャンネル選択。テストでは適切なチャンネルに変更することが重要です //400: チャンネル A //420: チャンネル B //440: チャンネル C //460: チャンネル D
Reg 0x1F = 0x4000	//PHY を再起動

100 Base 標準

Reg 0x1F = 0x8000	//PHY をリセット
Reg 0x0 = 0x2100	//DUT を 100Base-TX モードにプログラム
Reg 0x10 = 0x5008	//DUT を強制 MDI または MDIX モードにプログラム (0x5028)
Reg 0x1F = 0x4000	//PHY を再起動

10 Base リンク パルス

Reg 0x1F = 0x8000	//PHY をリセット
Reg 0x0 = 0x100	//DUT を速度 10Base-Te モードにプログラム
Reg 0x10 = 0x5008	//DUT を強制 MDI モードまたは MDIX モードにプログラム (0x5028)
Reg 0x1F = 0x4000	//PHY を再起動

10 Base 標準

Reg 0x1F = 0x8000	//PHY をリセット
Reg 0x0 = 0x100	//DUT を速度 10Base-Te モードにプログラム
Reg 0x10 = 0x5008	//DUT を強制 MDI モードまたは MDIX モードにプログラム (0x5028)
Reg 0x16 = 0xD004	//DUT をトラフィックを生成するようにプログラム
Reg 0x1F = 0x4000	//PHY を再起動

10 Base 高調波コンテンツ

Reg 0x1F = 0x8000	//PHY をリセット
Reg 0x0 = 0x100	//DUT を速度 10Base-Te モードにプログラム
Reg 0x10 = 0x5008	//DUT を強制 MDI モードまたは MDIX モードにプログラム (0x5028)
Reg 0x25 = 0x0413	//反復生成するように DUT をプログラム

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated