

Application Note

DP8382x IEEE 802.3u 準拠およびデバッグ



Yue Cai, Ross Pimentel, Gerome Cacho

概要

DP83822、DP83825、DP83826 (このドキュメント全体で DP8382x と呼ばれる) デバイスは、10/100Mbps の産業用イーサネット物理レイヤ (PHY) ファミリーで、IEEE 802.3 に準拠しています。このアプリケーション ノートでは、100BASE-TX と 10BASE-Te の準拠テストと、これらのテストで DUT を動作させる手順について説明します。

目次

1 用語.....	3
2 規格とシステム要件.....	3
3 イーサネット物理レイヤ準拠テスト.....	4
4 DP83825 VoD スイングのチューニング方法.....	11
5 DP8382x 向けの IEEE802.3u 準拠テスト スクリプト.....	14
6 参考資料.....	15
7 改訂履歴.....	16

図の一覧

図 3-1. テスト用治具に接続された DP83822.....	4
図 3-2. 100BASE-TX テンプレートの波形例.....	5
図 3-3. 100BASE-TX 差動出力電圧の波形例.....	5
図 3-4. 100BASE-TX 立ち上がり時間の波形例.....	6
図 3-5. 100BASE-TX 立ち下がり時間の波形例.....	6
図 3-6. 100BASE-TX の波形オーバーシュートの例.....	7
図 3-7. 100BASE-TX ジッタの波形例.....	7
図 3-8. 100BASE-TX デューティ サイクル歪みの波形例.....	8
図 3-9. 10BASE-Te リンク パルスの波形例.....	9
図 3-10. 10BASE-Te 規格出力の波形例.....	9
図 4-1. 未チューニングの DP83825 100Mbps VoD.....	12
図 4-2. チューニングされた DP83825 100Mbps VoD.....	13

表の一覧

表 1-1. 用語.....	3
表 4-1. VoD チューニング レジスタの構成.....	11
表 5-1. 100BASE-Tx 規格.....	14
表 5-2. 10BASE-Te リンク パルス.....	14
表 5-3. 10BASE-Te 規格 (DP83822)	14
表 5-4. 10BASE-Te 規格 (DP83825/6)	14
表 5-5. 10BASE-Te 高調波コンテンツ.....	14

商標

Tektronix® is a registered trademark of Tektronix, Inc.

Spirent® is a registered trademark of Spirent Communications plc.

Agilent® is a registered trademark of Agilent Technologies, Inc.

Keysight® is a registered trademark of Keysight Technologies, Inc.

Rohde & Schwarz® is a registered trademark of Rohde & Schwarz GmbH & Co. KG.

LeCroy® is a registered trademark of Teledyne LeCroy, Inc..

すべての商標は、それぞれの所有者に帰属します。

1 用語

このアプリケーション ノート全体で使用されている用語の一覧を、表 1-1 に示します。

表 1-1. 用語

略称	定義
DUT	テスト対象デバイス
LP	リンク パートナー
PHY	物理レイヤトランシーバ
SMI	シリアル マネージメント インターフェイス
IPG	パケット間隔
FLP	高速リンク パルス
NLP	通常リンク パルス
TX	送信 – デジタル ピン
RX	受信 – デジタル ピン
TD	送信 – アナログ ピン
RD	受信 – アナログ ピン
AVD	アナログ電源
CT	磁気センター タップ
VDDIO	デジタル電源
BIST	内蔵セルフテスト
TPM	ツイスト ペア モデル
AOI	アクティブ出力インターフェイス
AFE	アナログ フロントエンド
MDI	メディア依存インターフェイス
MDIX	メディア依存インターフェイスのクロスオーバー バージョン
VoD	差動出力電圧

2 規格とシステム要件

2.1 規格

このドキュメントで説明するテストの参照には、次の規格があります。

- IEEE802.3-2005 付則 14.3.1
- IEEE802.3-2005 付則 25.4
- ANSI X3.263-1995

2.2 テスト装置サプライヤ

以下のテスト装置サプライヤは、IEEE 802.3 準拠のテスト装置を提供することが知られています。

- Tektronix®
- Spirent®
- Agilent® (Keysight®)
- Rohde & Schwarz®
- Teledyne LeCroy®

2.3 テスト装置要件

このアプリケーション ノートで説明するテストでは、以下のハードウェアとソフトウェアを使用します。

- イーサネット物理層準拠ソフトウェアとテスト用治具を搭載したオシロスコープ
- MSP430F5529 上にある TI の USB-2-MDIO GUI を使用して、PHY へのアクセスを登録します
- ハードウェア接続用のケーブルとプローブ

3 イーサネット物理レイヤ準拠テスト

3.1 規格テスト構成と手順

イーサネット物理層準拠テストでは、必要なテスト モード スクリプトを構成するため、シリアル管理インターフェイス (SMI、MDIO インターフェイスとも呼ばれる) 経由で PHY を管理します。テスト結果は、オシロスコープのイーサネット準拠ソフトウェア (Tektronix の TDSET3 テスト ソフトウェアなど) によって決定および記録されます。本ソフトウェアを適切に操作するには、装置の取扱説明書を参照してください。

イーサネット物理層の各準拠テストの変動は、主に PHY のテスト モード ([セクション 5](#) を参照) と、テスト用治具への接続です [図 3-1](#)。

このソフトウェアは通常、多くの速度オプションをテストできますが、目的の最終アプリケーションや使用事例に合わせたテストを行うことが重要です。10Mbps~100Mbps のテストでは、1 つまたは 2 つのチャネル (MDI または MDIX に依存) をテストする必要があります。

テストを実施する際に、サンプル サイズと実行ごとの変動を考慮することが重要です。

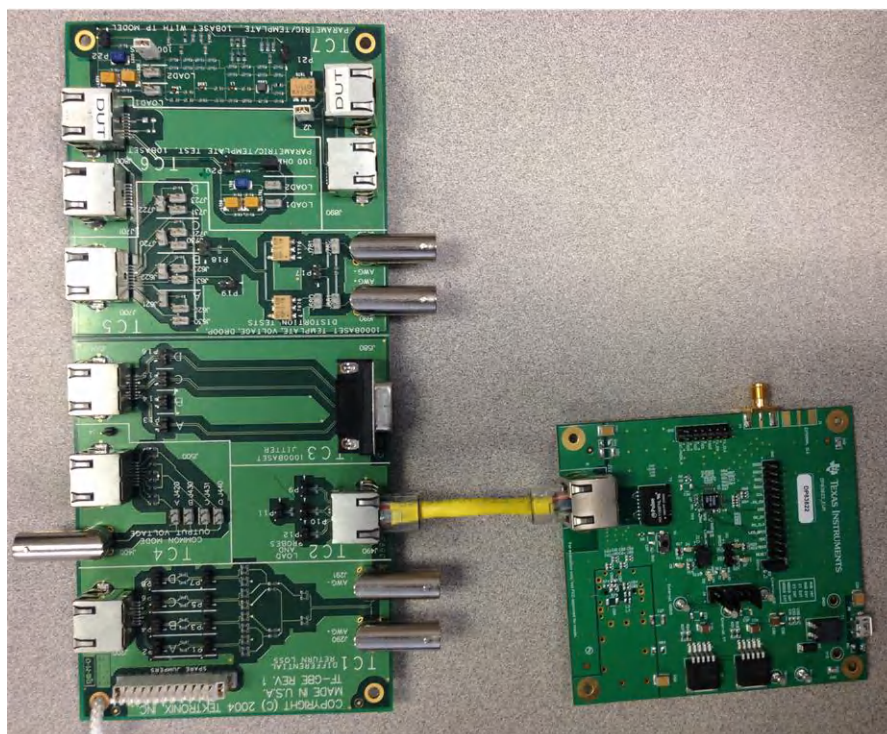


図 3-1. テスト用治具に接続された DP83822

3.2 100BASE-TX 準拠テスト

100BASE-TX レジスタの書き込みについては、[セクション 5](#) を参照してください。以下のテストは強制 MDI で実行されますが、MDIX モードで実行することもできます。

3.2.1 テンプレート(アクティブ出カインターフェイス)

目的: 出力が送信テンプレートに適合することを検証する。

合格条件: MLT-3 アイが指定された ANSI AOI テンプレートに適合する。

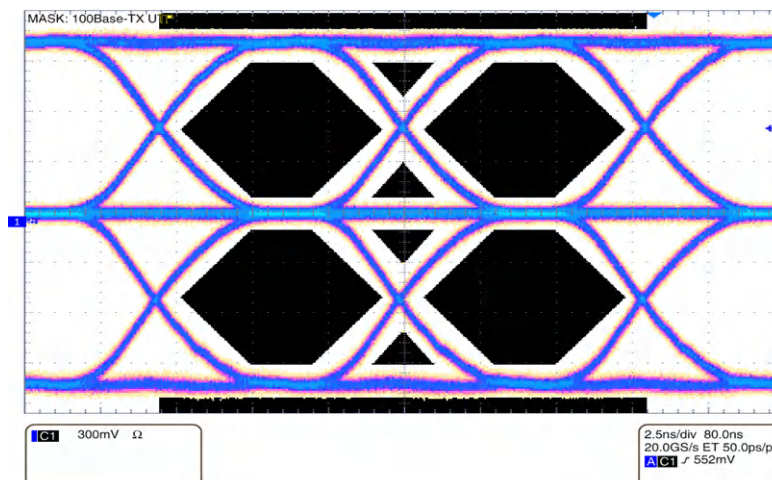


図 3-2. 100BASE-TX テンプレートの波形例

3.2.2 差動出力電圧

目的: 差動出力電圧が規定の範囲内であることを検証する。

合格条件: 差動出力電圧が正の範囲で 950mV~1050mV、負の範囲で -950mV~-1050mV であること。正と負のピークの大きさも、互いに 2% 以内とします。

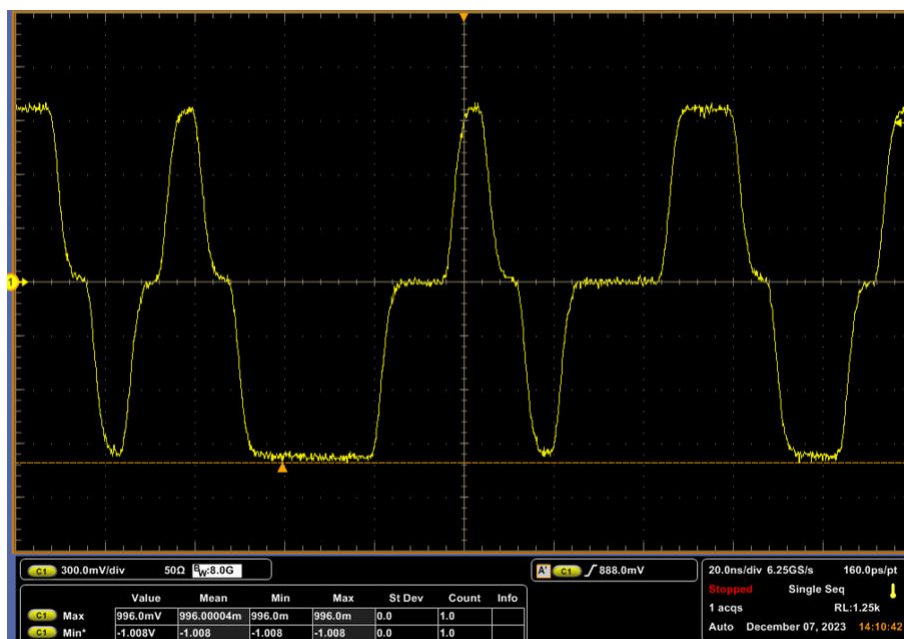


図 3-3. 100BASE-TX 差動出力電圧の波形例

3.2.3 立ち上がりおよび立ち下がり時間

目的: デバイスの立ち上がり時間と立ち下がり時間が、指定された範囲内であることを検証する。

合格条件: 立ち上がり時間と立ち下がり時間 (正と負の両方の電圧レベルの 10%~90%) が 3 ns~5 ns であること。最大および最小立ち上がりおよび立ち下がり時間は 0.5ns 以内とする。

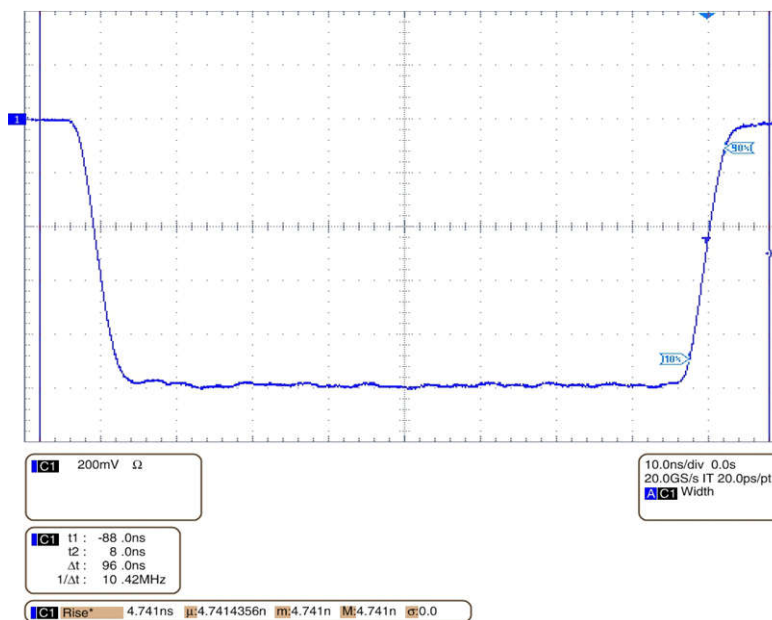


図 3-4. 100BASE-TX 立ち上がり時間の波形例

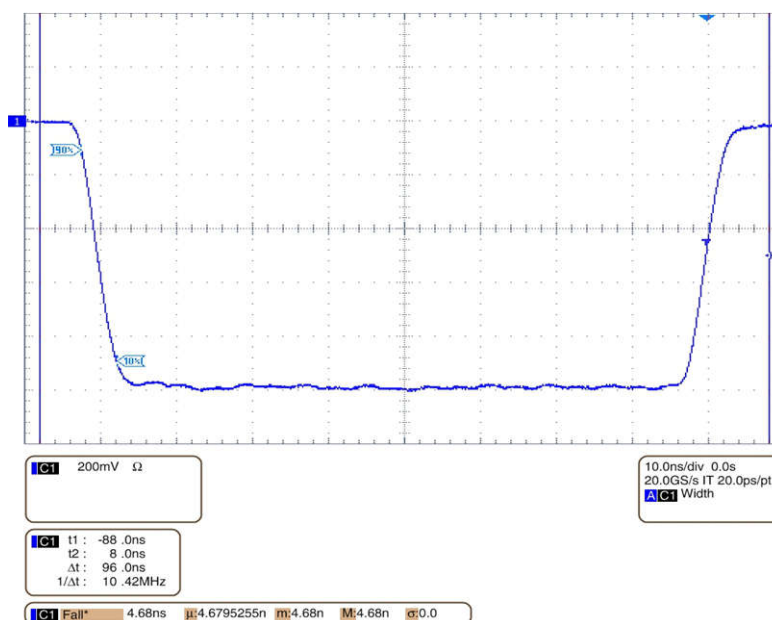


図 3-5. 100BASE-TX 立ち下がり時間の波形例

3.2.4 波形オーバーシュート

目的: 波形オーバーシュートが指定された制限値を下回っていることを検証する。

合格条件: オーバーシュート(遷移時の正と負の両方の最大電圧レベル)が、定常状態の電圧レベル全体にわたって 5% を超えないこと。

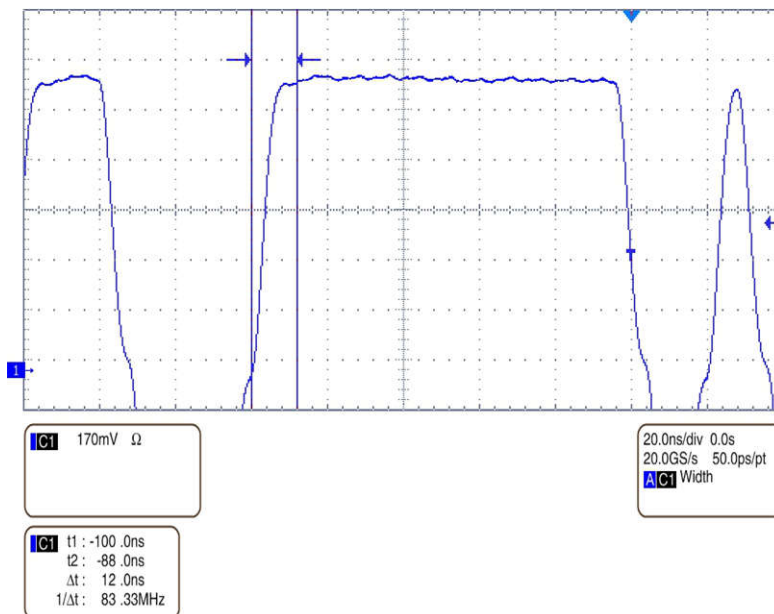


図 3-6. 100BASE-TX の波形オーバーシュートの例

3.2.5 ジッタ

目的: 送信出力ジッタが指定された範囲内にあることを検証する。

合格条件: 送信出力ジッタが 1.4ns 未満であること。

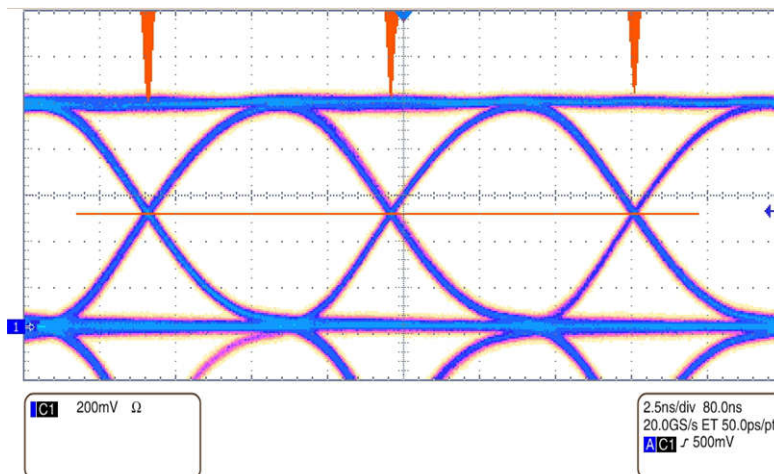


図 3-7. 100BASE-TX ジッタの波形例

3.2.6 デューティ サイクルの歪み

目的: デューティ サイクル歪みが指定された制限値を下回っていることを検証する。

合格条件: デューティ サイクル歪み (V_{out} の 50% を上回る、あるいは下回ることと定義) が ± 0.25 ns を超えないこと。

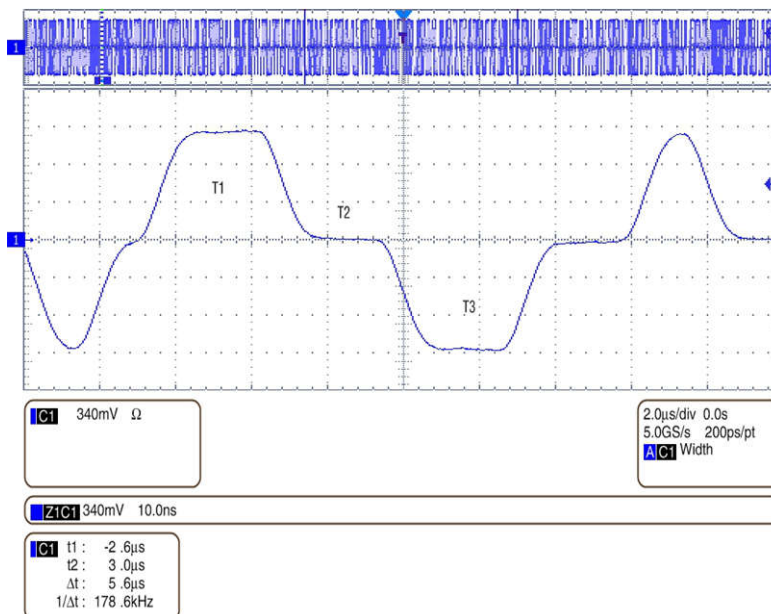


図 3-8. 100BASE-TX デューティ サイクル歪みの波形例

3.2.7 リターン ロス

目的: リターン ロスが指定された減衰を上回っていることを検証する。

合格条件: PHY への入射信号の反射が以下の条件で減衰すること。

- 2 MHz~30 MHz の周波数帯域で ≥ 16 dB。
- 30 MHz~60 MHz の周波数帯域で $\geq 10 - 20 \times \log_{10}(f/30)$ dB (f は MHz 単位の周波数)
- 60 MHz~80 MHz の周波数帯域で ≥ 10 dB。

具体的なテスト構成: テスト用治具の接続が正しいことを確認します。

注

テストで使用されるイーサネット準拠ソフトウェアによっては、スペクトル アナライザが必要になる場合があります。

3.3 10BASE-Te 準拠テスト

それぞれの 10BASE-Te テスト モード スクリプトについては、[セクション 5](#) を参照してください。

3.3.1 リンク パルス

目的:リンク パルスの波形が指定された範囲内にあることを検証する。

合格条件:リンクパルスは IEEE 802.3-2005 第 14.3.1 項における IEEE 定義テンプレートに適合していなければならない。

具体的なテスト構成:テスト用治具の接続を検証します。[セクション 5](#) の 10BASE-Te リンク パルスに従ってレジスタを設定します。

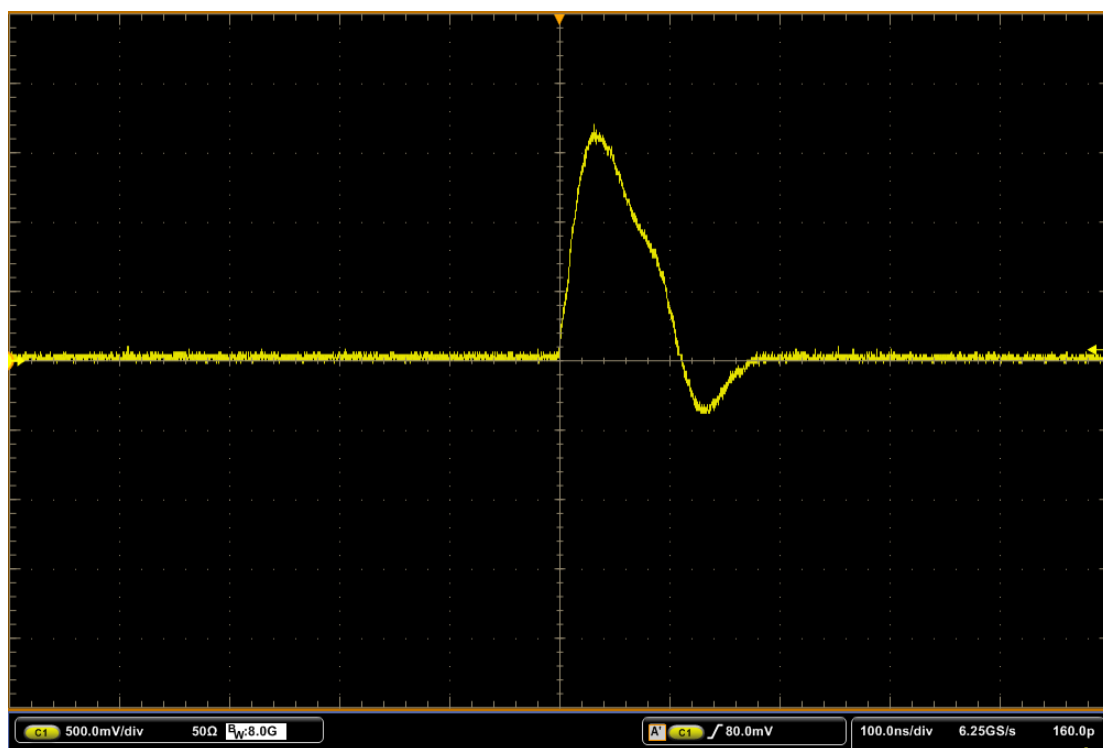


図 3-9. 10BASE-Te リンク パルスの波形例

3.3.2 10BASE-Te 規格

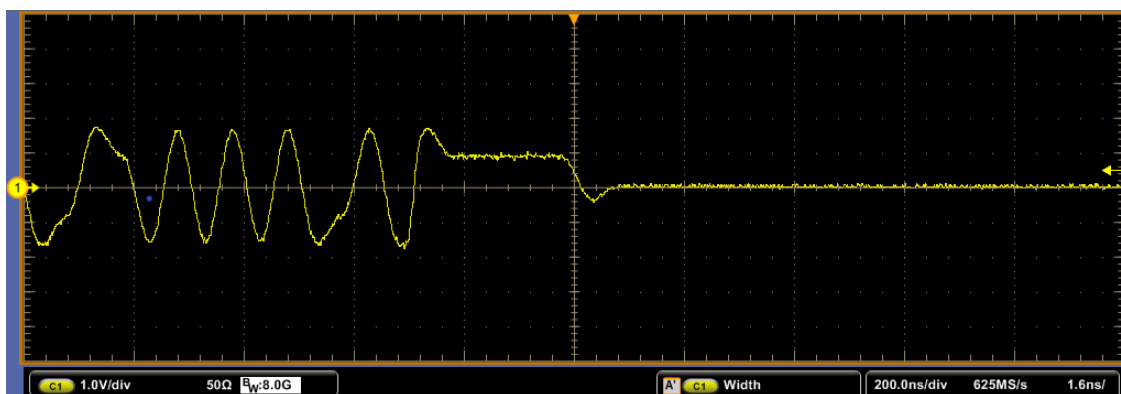


図 3-10. 10BASE-Te 規格出力の波形例

3.3.2.1 TP_IDL

目的: idle 状態に遷移した後のトランスミッタが正しく機能することを検証する。

合格条件: トランスミッタ TP_IDL パルスが、TPM あり/なしで Load 1 と Load 2 のテンプレート内に収まっていること。Load 3 (100Ω) テストは参考としてのテストであり、オプションです。

3.3.2.2 MAU、内部

目的: トランスミッタ出力イコライゼーションが IEEE802.3-2005 付則 14.3.1 で指定された範囲内であることを検証する。

合格条件: 100Ω の抵抗で終端する場合、トランスミッタの波形はすべてのデータシーケンスについて、IEEE 定義のテンプレートに収まること。

3.3.2.3 TPM ありのジッタ

目的: ジッタが指定された範囲内にあることを検証する。

合格条件: トランスミッタ出力ジッタが ± 5.5 ns 未満であること。なお、TPM の障害は、必ずしも非準拠を意味するわけではありません。

3.3.2.4 TPM なしのジッタ

目的: ジッタが指定された範囲内にあることを検証する。

合格条件: トランスミッタ出力ジッタが ± 8.0 ns 未満であること。

3.3.2.5 差動電圧

目的: 差動電圧が規定の範囲内にあることを検証する。

合格条件: 100Ω の抵抗で終端されたとき、ピーク差動電圧が 1.54V~1.96V の範囲内であること。

3.3.2.6 同相電圧

目的: 同相電圧が規定の範囲内であることを検証する。

合格条件: 同相電圧の振幅がピーク時に 50mV 未満であること。

3.3.2.7 リターン ロス

目的: リターン ロスが指定された減衰を上回ることを検証する。

合格条件: PHY への入射信号の反射が 5 MHz~10 MHz の周波数帯域にわたって ≥ 15 dB 減衰すること

具体的なテスト構成: テスト構成によっては、2 つの波形入力が必要になる場合があります。テスト用治具の接続を検証します。

3.3.2.8 高調波コンテンツ

目的: PHY の高調波コンテンツが指定された範囲内であることを検証する。

合格条件: データ出力回路が MDI ライン上のすべての 1 を駆動すること。周波数成分をテスト波形で分析し、それ以降のすべての高調波が基本波より 27dB 下であること。

具体的なテスト構成: セクション 5 に含まれている 10BASE-Te 高調波コンテンツ スクリプトを参照してください。使用する準拠ソフトウェアが、繰り返し発生するテスト波形を検出していることを確認してください。

4 DP83825 VoD スイングのチューニング方法

DP83825 には、VoD スイングをチューニングするための追加の制御機能があります。この制御を使用して、デバイスが IEEE 802.3 で設定された準拠レベル内であることを検証できます。規格では、VoD の変動は $\pm 5\%$ と定義されています。このパラメータは、磁気素子、コネクタ、テスト用治具、レイアウト、前述のすべての許容誤差から大きな影響を受けます。

注

ベスト・プラクティスとして、アプリケーション ノート、『[Ethernet PHY PCB Design Layout Checklist](#)』のレイアウト ガイドラインに従う必要があります。また、レジスタのチューニングの前にデータシート、『[DP83825/ Low Power 10/100 Mbps Ethernet Physical Layer Transceiver](#)』に記載されているトランス仕様の要件も満たす必要があります。

PHY を適切な信号レベルに調整するには、信号レベルを測定し、信号をどの程度（必要に応じて）調整する必要があるかを把握することが推奨されます。測定後、次の表を使用して、必要なレジスタ構成を決定できます。このプロセスは、各ユニットごとにやり直す必要があります。さらに、以下のレジスタは拡張レジスタに分類され、データシート、『[DP83825/ Low Power 10/100 Mbps Ethernet Physical Layer Transceiver](#)』に概要を示すように書き込む必要があります。

表 4-1. VoD チューニング レジスタの構成

VoD 変更	0x30B	0x30C	0x30E
-12.5%	0xC80	0xE	Offset_0
-11.25%			Offset_1
-10%			Offset_2
-8.75%	0xC40	0xF	Offset_-2
-8%			Offset_-1
-6.25%			Offset_0
-5%			Offset_1
-3.75%			Offset_2
-2.5%	0xC00	0x10	Offset_-2
-1.25%			Offset_-1
0% (デフォルト)			Offset_0
+1.25%			Offset_1
+2.5%			Offset_2
+3.75%	0xBC0	0x11	Offset_-2
+5%			Offset_-1
+6.25%			Offset_0
+7.5%			Offset_1
+8.75%			Offset_2
+10%	0xB80	0x12	Offset_-2
+11.25%			Offset_-1
+12.5%			Offset_0

Offset_X を計算するには:

1. Reg 0x333 を読み込みます。この値はユニットによって異なります
2. $A = 0x333[15:11]$ を 10 進数に変換
3. $B = 0x333[10:6]$ を 10 進数に変換
4. $C = 8 - A + B$ 。この変数は 0~15 で有界です。C が境界外であると計算された場合、変数 C は境界内に四捨五入するものとします。C が -2 と計算される場合は、C に 0 を設定します
5. $D(x) = C + x$ 、ここで、x は表 4-1 の Reg 0x30E 列を使用して決定されます
6. $\text{Offset}_x = [2D(x) + 1] \times 2048$; 16 進数に変換

出発点は、RBIAS を 6.34 kΩ に変更し、VoD を -8% に設定して、マージンをさらに改善することです。

4.1 DP83825 VoD スイングのチューニング例

このセクションでは、DP83825 の VoD スイング のチューニング方法の例を紹介します。図 4-1 に、VoD スイング チューニング前の DP83825 を示します。この例では、公称 RBIAS を持つデバイスは、100Mbps で 1.068V と -1.116V の正と負の VoD を測定しています。この速度の境界は [0.95V、1.05V] および [-1.05 V、-0.95 V] であるため、-8% のチューニングが必要です。このチューニングにより、VoD は理論値の 0.98V および -1.0272V になります。

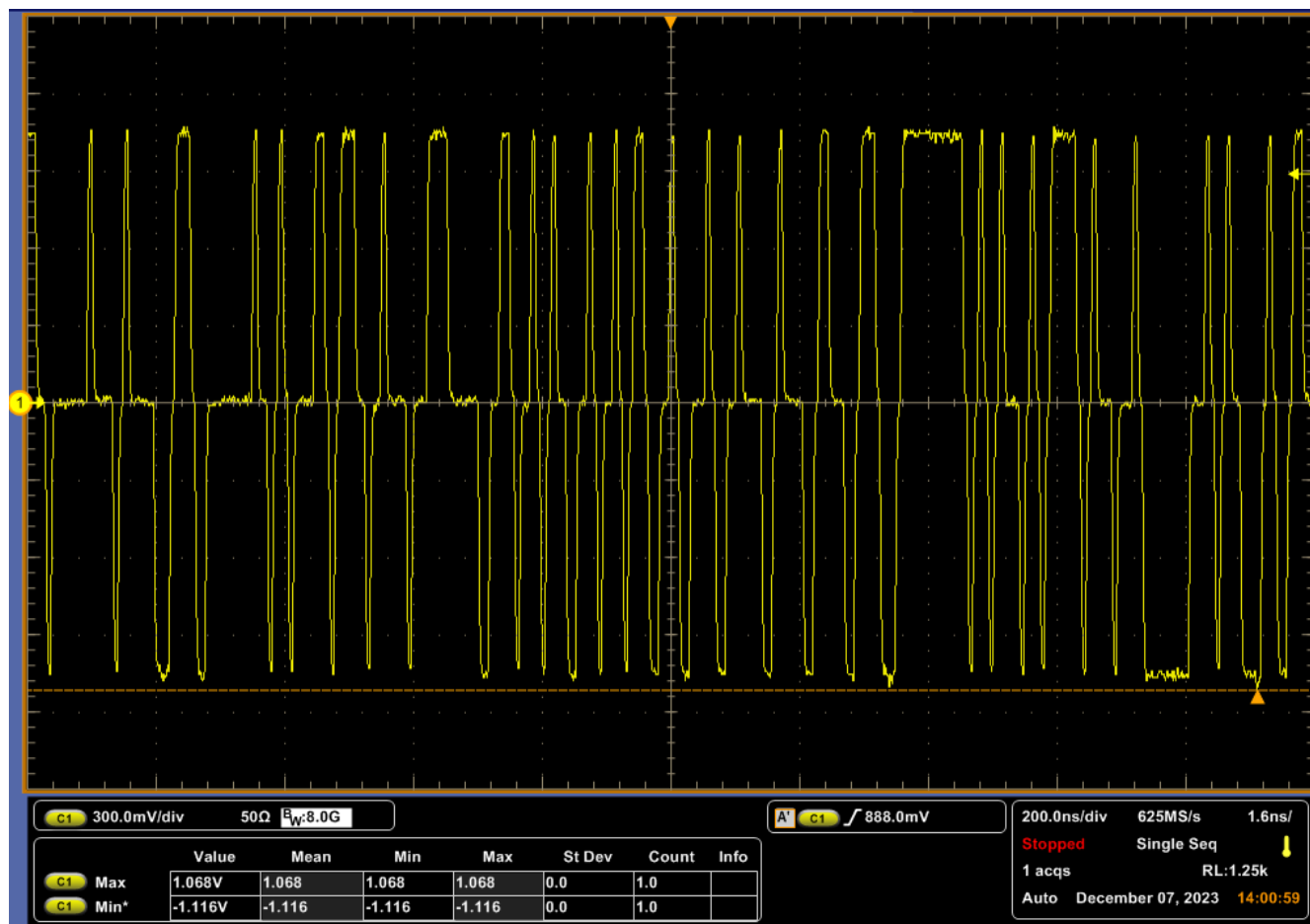


図 4-1. 未チューニングの DP83825 100Mbps VoD

-8% スイング用にデバイスをチューニングするには、以下の手順に従います。

1. レジスタ 0x30B = 0xC40 に設定
2. レジスタ 0x30C = 0xF に設定
3. レジスタ 0x30E = Offset_-1 に設定。
 - a. Reg 0x333 = 0x520B を読み込む。つまり:
 - i. A = 10
 - ii. B = 8
 - b. C = 6
 - c. D = 5
 - d. Offset_-1 = 2048 × (2 × 5 + 1) = 22528 = 0x5800

各レジスタをプログラミングした後、オシロスコープで測定された VoD は 0.996V および -1.008V となります。図 4-2 に -8% チューニング後の出力を示します。

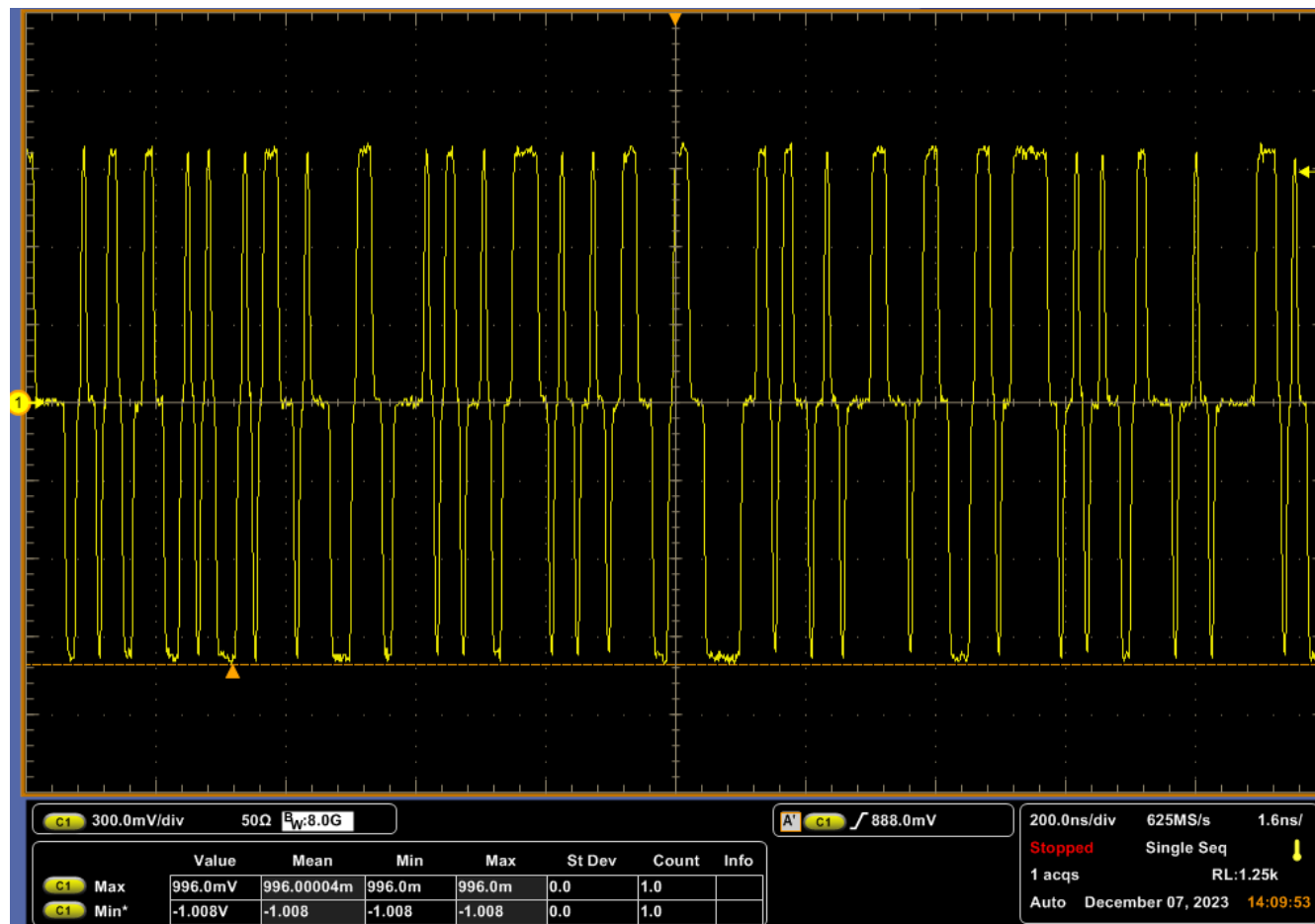


図 4-2. チューニングされた DP83825 100Mbps VoD

5 DP8382x 向けの IEEE802.3u 準拠テスト スクリプト

次のコード ブロックに、100BASE-Tx 規格スクリプトを示します。

表 5-1. 100BASE-Tx 規格

Reg 0x1F = 0x8000	//PHY をリセット
Reg 0x0 = 0x2100	//DUT を速度 100BASE-TX モードを強制するようにプログラム
Reg 0x19 = 0x21	//DUT を強制 MDI モードにプログラム。MDIX モードでは 4021 に設定
Reg 0x1F = 0x4000	//PHY を再起動

表 5-2. 10BASE-Te リンク パルス

Reg 0x1F = 0x8000	//PHY をリセット
Reg 0x0 = 0x100	// DUT を速度 10BASE-Te モードを強制するようにプログラム
Reg 0x19 = 0x21	//DUT を強制 MDI モードにプログラム。MDIX モードでは 4021 に設定
Reg 0x1F = 0x4000	//PHY を再起動

表 5-3. 10BASE-Te 規格(DP83822)

Reg 0x1F = 0x8000	//PHY をリセット
Reg 0x0 = 0x100	// DUT を速度 10BASE-Te モードを強制するようにプログラム
Reg 0x19 = 0x21	//DUT を強制 MDI モードにプログラム。MDIX モードでは 4021 に設定
Reg 0x16 = 0x7108	//DUT がデータを生成し、終端処理を目的としたアナログ ループバック モードを有効にするようにプログラム
Reg 0x1F = 0x4000	//PHY を再起動

表 5-4. 10BASE-Te 規格(DP83825/6)

Reg 0x1F = 0x8000	//PHY をリセット
Reg 0x0 = 0x100	// DUT を速度 10BASE-Te モードを強制するようにプログラム
Reg 0x19 = 0x21	//DUT を強制 MDI モードにプログラム。MDIX モードでは 4021 に設定
Reg 0x16 = 0x7101	//DUT がデータを生成し、PCS ループバック モードを有効にするようにプログラム
Reg 0x1F = 0x4000	//PHY を再起動

表 5-5. 10BASE-Te 高調波コンテンツ

Reg 0x1F = 0x8000	//PHY をリセット
Reg 0x0 = 0x100	// DUT を速度 10BASE-Te モードを強制するようにプログラム
Reg 0x27 = 0x0013	//1 の繰り返しによりテスト モードが有効化される

6 参考資料

DP8382x の詳細については、以下の Texas Instruments の資料を参照してください。

- Texas Instruments、『[DP83822 Robust, Low Power 10/100 Mbps Ethernet Physical Layer Transceiver](#)』、データシート
- Texas Instruments、『[DP83825I Low Power 10/100 Mbps Ethernet Physical Layer Transceiver](#)』、データシート
- Texas Instruments、『[DP83826 Deterministic, Low-Latency, Low-Power, 10/100 Mbps, Industrial Ethernet PHY](#)』、データシート
- Texas Instruments、『[DP83822 Troubleshooting Guide](#)』、アプリケーション ノート。
- Texas Instruments、『[DP83826 Troubleshooting Guide](#)』、アプリケーション ノート。

このアプリケーション ノートに記載されている規格の詳細については、以下のドキュメントも参照してください。

- IEEE Computer Society、『[IEEE 802.3-2018 - IEEE Standard for Internet](#)』、規格。
- ANSI X3.263-1995.

このドキュメントで実施されたテストに関する情報については、次のドキュメントも参照してください。

- Tektronix®、『[TDSET3 Ethernet Test Compliance Software](#)』、ユーザー マニュアル。

7 改訂履歴

Changes from Revision A (December 2023) to Revision B (April 2025)	Page
• 高調波コンテンツを追加.....	10
• 高調波コンテンツ スクリプトを追加.....	14

Changes from Revision * (August 2016) to Revision A (December 2023)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
• 全体を通して、DP8382x ファミリー全体のサポートを追加するように更新.....	1
• 期待されるテスト波形とテストの理論を明確にするために、イーサネット物理レイヤ準拠テストのセクションを更新.....	4
• DP83825 VoD スイングのチューニング方法を、例を挙げて説明するセクション「DP83825 VoD スイングのチューニング方法」を追加しました。.....	11
• DP8382x の IEEE802.3u 準拠テスト スクリプトのレジスタ構成を更新.....	14
• DP8382x データ シートへの参照を追加.....	15

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated