

Application Note

モータードライブにおける UCC23513 フォトカプラ互換絶縁型ゲートドライバ向けディスクリート DESAT



Jerome Shan, Martin Staebler, Roland Bucksch

Systems Engineering Industrial

概要

強化絶縁型ゲートドライバは産業用モータードライブ用の 3 相インバータの重要な部品であり、DESAT はこれらのアプリケーションにおける過電流保護 (OCP) または短絡保護 (SCP) のための最も一般的なアプローチです。このアプリケーション ノートでは、絶縁型コンパレータ AMC23C11 を使用してディスクリート DESAT を実装したフォトカプラ互換の 6 ピン強化絶縁型ゲートドライバ UCC23513 に基づいて、小型フォーム ファクタでコストを最適化した設計を説明します。この組み合わせにより、DESAT 保護機能を内蔵した 16 ピンパッケージのスマート ゲートドライバと比較して、PCB サイズの小型化と低コスト化を実現し、小型モータードライブのアプリケーションにおける柔軟性を高めることができます。また、DESAT 機能のアプリケーション パラメータを柔軟に設定できる設計になっています。

目次

1 はじめに.....	2
2 DESAT 機能を内蔵した絶縁型ゲートドライバに関するシステムの課題.....	4
3 UCC23513 および AMC23C11 を使用したシステム アプローチ.....	5
3.1 システムの概要と主な仕様.....	5
3.2 回路図の設計.....	6
3.3 リファレンス PCB レイアウト.....	10
4 シミュレーションおよびテスト結果.....	11
4.1 シミュレーション回路と結果.....	11
4.2 3 相 IGBT インバータによるテスト結果.....	14
5 まとめ.....	17
6 参考資料.....	18
7 改訂履歴.....	18

図の一覧

図 1-1. 3 相インバータにおける地絡による短絡.....	2
図 1-2. 外付けブレーキ抵抗端子の配線ミスによる短絡.....	2
図 1-3. DESAT 保護機能内蔵 UCC21750.....	3
図 2-1. パッケージサイズの比較: SO-6 と SOIC-16.....	4
図 3-1. システムの概略ブロック図.....	5
図 3-2. 提案する回路の回路図.....	7
図 3-3. レイアウト例の上側および下側.....	10
図 3-4. スマート ゲートドライバ ISO5451 の一般的なレイアウト.....	10
図 4-1. シミュレーション回路.....	12
図 4-2. DESAT トリガのシミュレーション結果.....	13
図 4-3. ローサイド駆動テストのプラットフォーム.....	14
図 4-4. ローサイド駆動テストにおける短絡保護遅延.....	15
図 4-5. モーター動作テスト用プラットフォーム.....	16
図 4-6. モーター動作テスト時の短絡保護遅延.....	17

商標

PSpice™, C2000™, and LaunchPad™ are trademarks of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

1 はじめに

モータードライブ用の 3 相インバータでは、異常な動作条件に起因する損傷からシステムを保護するために、OCP と SCP が重要です。シャントベースのシステムレベル OCP または SCP は、多くの場合、負の DC バスまたは 3 つのローサイドスイッチを流れる電流をセンシングすることで実装されます。特に、フォームファクタとシステムコストが重視される低消費電力で小型のモデルの多くで顕著です。このような保護は、アームショートスルーや位相間の短絡といった一般的に見られるフォルトパターンに対して効果的です。ただし、図 1-1 に示すように、フォルト電流がハイサイドスイッチを流れるときは、どちらもグラウンドの短絡を検出できません。ゲートドライバの DESAT 機能は、このような故障からパワースイッチを保護するために有用です。実際に、デバイスレベル DESAT 保護は、3 相インバータのこれらすべてのフォルトモードに効果的であるため、多くの高電力、高性能モデルで広く使用されています。

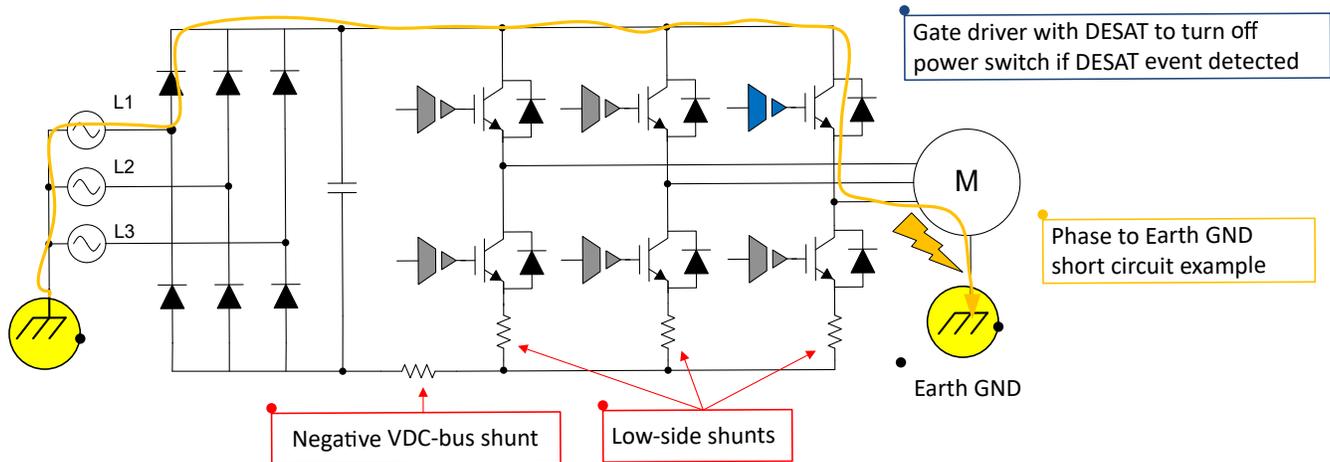


図 1-1. 3 相インバータにおける地絡による短絡

多くの産業用モータードライブには回生ブレーキスイッチもあり、回生ブレーキ動作中に電圧が高くなりすぎた場合に負の VDC バスへの電流をシャントしてバルクコンデンサを放電します。通常、このブレーキ抵抗は外付けで、ドライブの特定の端子でシステムに接続する必要があります。この抵抗の接続を誤ったり、抵抗値が非常に小さいものを誤って使用した場合、図 1-2 に示すように、システムコントローラによってブレーキ動作が開始されると過電流フォルトが発生する可能性があります。この場合、ゲートドライバの DESAT 機能を使用して問題を検出し、パワースイッチを適時に保護することができます。

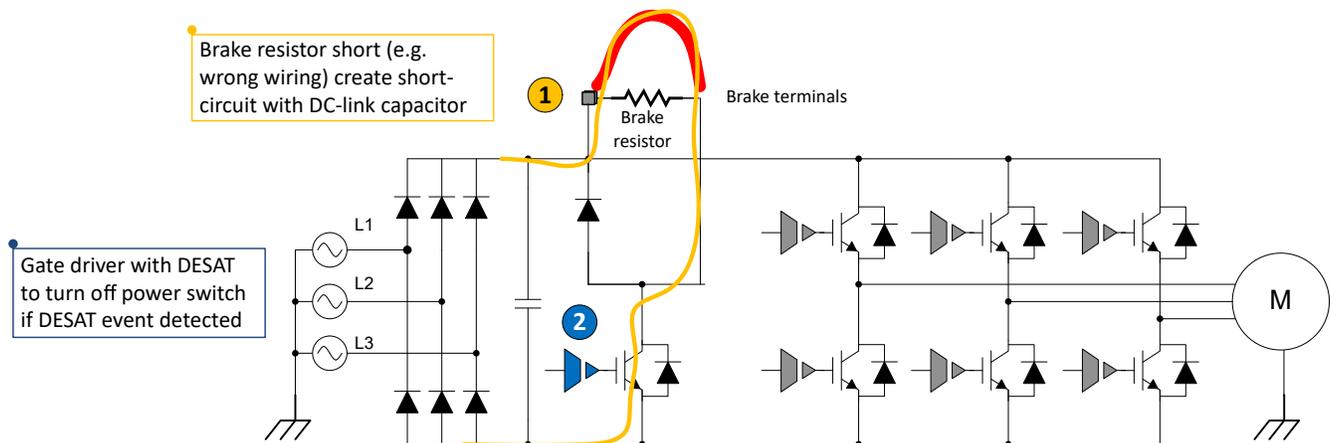


図 1-2. 外付けブレーキ抵抗端子の配線ミスによる短絡

これらの故障からシステムを保護するための一般的なアプローチでは、CMOS 入力を備えた UCC21750 強化絶縁型ゲートドライバなど、DESAT 機能を備えた絶縁型スマートゲートドライバを使用します。図 1-3 に示すように、DESAT ピンは、IGBT がオンしたときの V_{CE} の電圧降下を監視します。この電圧降下が上昇し、設定されたスレッショルドに達したら、

過電流または短絡が発生していることを意味し、ゲートドライバの出力は一度に **Low** にプルされ、フォルト出力が作動して、システムコントローラにフォルトを通知します。

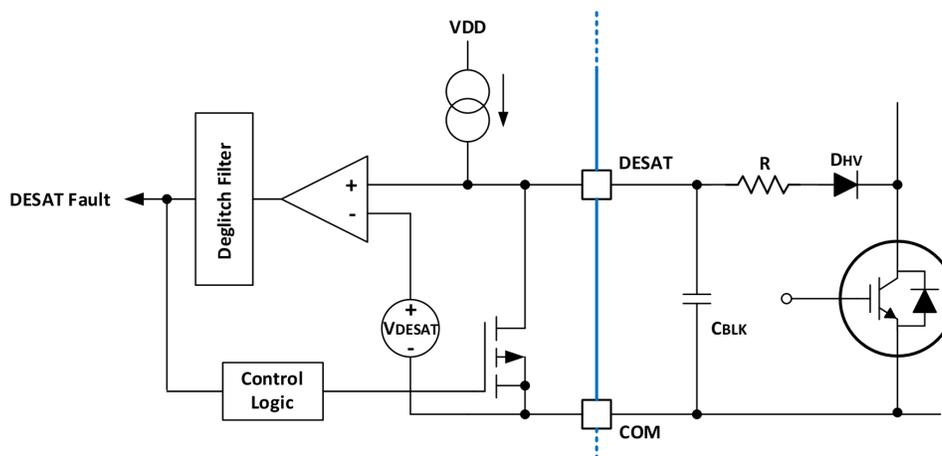


図 1-3. DESAT 保護機能内蔵 UCC21750

2 DESAT 機能を内蔵した絶縁型ゲートドライバに関するシステムの課題

図 2-1 に示すように、DESAT 機能を内蔵した強化絶縁型スマートゲートドライバは 16 ピン SOIC パッケージで供給されるのが一般的ですが、これはストレッチ SO-6 パッケージの DESAT 機能を内蔵していない小型ゲートドライバに比べてはるかに大きいサイズになります。このような 3 相インバータのデバイスをパワーインバータ PCB 上に 6 つ配置することを考慮すると、パッケージの長さはそれに応じて長くなります。長さが短いコンパクトなデバイスを使用する設計なら、PCB サイズで有利になります。回生ブレーキパワースイッチの場合でも、より小型のゲートドライバを使用することで、アプリケーションのレイアウト面積を大幅に削減することができます。ただし、このようなゲートドライバでは、アプリケーション回路のシンプルさとコスト上の理由から、過電流保護機能が犠牲になっています。

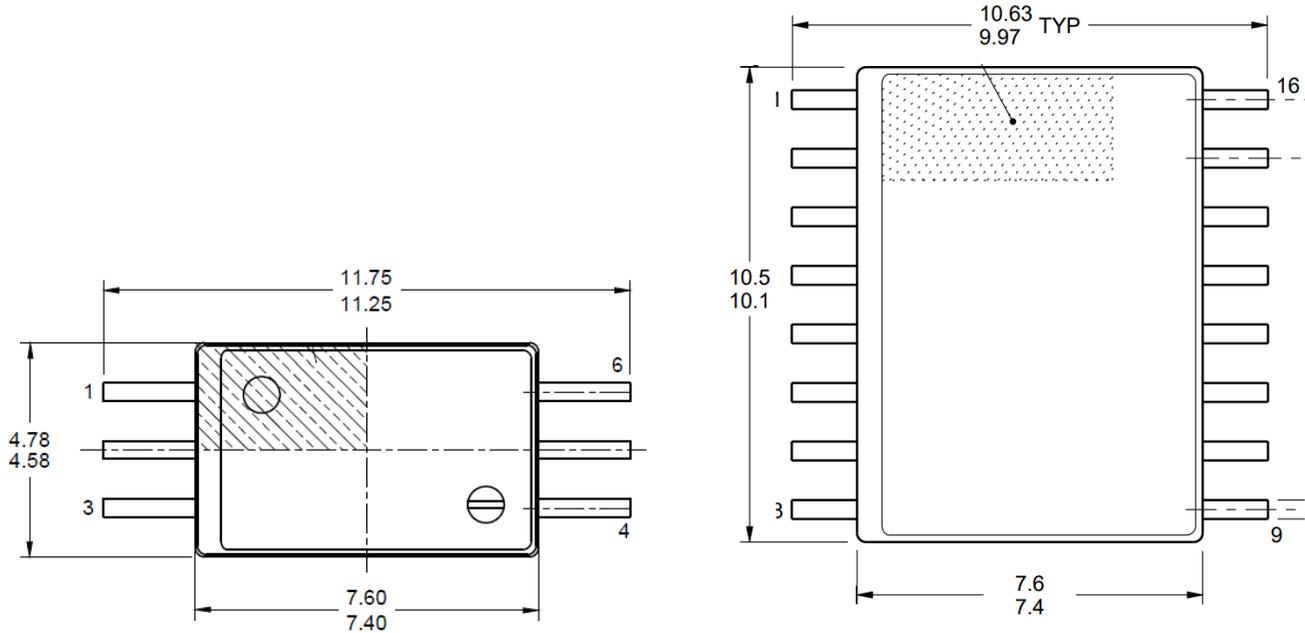


図 2-1. パッケージサイズの比較:SO-6 と SOIC-16

別のアプローチとしては、DESAT なしのより小さいフットプリントの小型ゲートドライバを使用し、絶縁型コンパレータを使って DESAT 機能をディスクリート実装する方法があります。

3 つのローサイドスイッチと 3 つのハイサイドスイッチのどちらかで DESAT 機能のみを必要とする回路構成の場合、このディスクリート DESAT 設計により、6 つのスイッチすべてで同じ 6 ピン強化絶縁ゲートドライバを使用できるため、1 つのアプリケーションシステムでシンプルなゲートドライバとスマートゲートドライバが混在するのを回避できます。外付けの DESAT 機能は、ローサイドとハイサイドのゲートドライバにそれぞれ追加できます。このディスクリート DESAT 実装により、アプリケーション設計に DESAT 電圧、DESAT バイアス電流、DESAT 検出ブランキング時間、DESAT 出力グリッチ除去フィルタのパラメータを柔軟に設定できるようになり、PWM スイッチングノイズに対する耐性を向上させることができます。

3 UCC23513 および AMC23C11 を使用したシステム アプローチ

UCC23513 は、4A ソース、5A シンク、5.7kV_{RMS}、フォトカプラ互換、シングル チャネル強化絶縁型ゲートドライバです。AMC23C11 は、可変閾値電圧、ラッチ機能を有する、高速応答、強化絶縁型コンパレータです。この 2 つのデバイスを組み合わせて使用することで、小型のゲートドライバで外付けの DESAT を実現し、絶縁を強化しながら小型の回路フォームファクタを維持することができます。

3.1 システムの概要と主な仕様

図 3-1 に、本提案の回路の概略ブロック図を示します。ここではパワー スイッチとして IGBT を使用していますが、若干の変更でパワー MOSFET にも適した設計となっています。

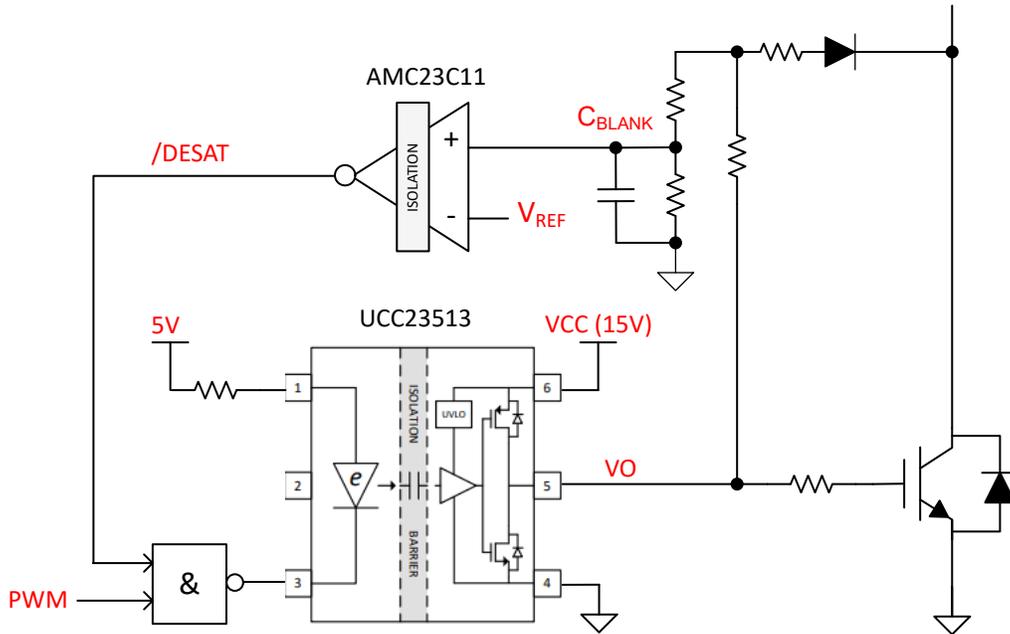


図 3-1. システムの概略ブロック図

NAND ゲートを使用することで、PWM 入力が高レベルのときのみ V_{CE} を監視する機能を実現しています。センシングされた V_{CE} が DESAT スレッシュホールド V_{REF} を超えると、チップはゲートドライバの入力をディセーブルします。アプリケーション回路の主要なパラメータを、表 3-1 に示します。

表 3-1. 設計に関する主要なシステム パラメータ

パラメータ	値	コメント
強化絶縁型ゲートドライバ	UCC23513 または UCC23511 ⁽¹⁾	6 ピン DWY (SO-6) パッケージ。図 2-1 を参照してください。 8V UVLO をサポートする B パージョン。
絶縁型ゲートドライブ電源、 VDD	+15V (IGBT)、+12 V (FET)	ユニポーラ電源
DESAT V_{CE} スレッシュホールド電圧、 $V_{CE(DESAT)}$	8.0 V	構成可能。 セクション 3.2.2 を参照してください。
DESAT バイアス電流、 $i_{BIAS(DESAT)}$	5.5mA	構成可能。 セクション 3.2.2 を参照してください。
DESAT ブランキング フィルタ時定数、 t_{BLANK}	0.8 μ s	$V_{CE(SAT)}=12.5V$ の場合に有効。構成可能。 セクション 3.2.3 の式 8 と表 3-2 を参照してください。
DESAT グリッチ除去フィルタ 遅延、 $t_{DEGLITCH}$	0.2 μ s	構成可能。 セクション 3.2.3 の式 10 を参照してください。
リセット付き DESAT ラッチ	イネーブル	ディセーブルにできます。

表 3-1. 設計に関する主要なシステム パラメータ (続き)

パラメータ	値	コメント
DESAT 応答時間 (2)	約 1.1 μ s~1.6 μ s	デフォルト構成。 テスト結果を参照してください。
PCB サイズ (コネクタなし)	26mm x 8.4mm	

注

- (1) UCC23511 は、UCC23513 と同じパッケージの、1.5A ソース、2A シンクのデバイスです。
- (2) このアプリケーション ノートでは保護プロセスの説明を明確かつ簡単にするために、センシングされたパワー スイッチの電流が設定されたトリガ レベルに達してから、DESAT 保護により電流が低下し始めるまでの期間を、DESAT 応答時間としています。

UCC2351x シリーズは、IGBT、SiC、MOSFET のパワー スイッチの駆動に使用できます。UCC23511 と UCC23513 はどちらも、8.5mm 以上の沿面距離と空間距離を持つ、本体サイズ 7.50mm x 4.68mm のストレッチ SO-6 パッケージで提供されます。どちらのデバイスも、ピン互換性を維持しながら、標準的なフォトカプラ ベースのゲートドライバに比べて性能と信頼性を大幅に向上させます。性能については、高い CMTI、低伝搬遅延、小さなパルス幅歪みといったアドバンテージを持っています。入力段にはダイオード エミュレーション (ediode) が採用されており、従来の LED に比べて長期的な信頼性と優れた経時特性を実現します。

AMC23C11 絶縁型コンパレータは、本体サイズ 5.85mm x 7.50mm の 8 ピンのワイド ボディ SOIC パッケージで供給されます。このデバイスは、VIN ピンの入力電圧を 20mV~2V まで調整可能なスレッショルドと比較し、100 μ A の内部リファレンス電流と外付け抵抗により設定されます。オープンドレイン出力は、入力電圧 VIN がリファレンス電圧 VREF を上回ると能動的に Low にプルされます。VIN がトリップ スレッショルドを下回ると、デバイスの動作は LATCH ピンによって決まります。

- LATCH ピンが Low にプルされると、デバイスは透過モードに設定され、出力状態はトリップ スレッショルドに応じて変化し、入力信号に追従します。
- LATCH ピンが High にプルされる、デバイスはラッチ モードに設定されます。範囲外の状態が検出されると、OUT ピンは Low にプルされてラッチされます。このラッチは、LATCH ピンが少なくとも 4 μ s 間 Low にプルされるまで解除されません。

AMC23C11 の絶縁バリアは、磁気干渉に対して高い耐性があり、最大 5kV_{RMS} の強化ガルバニック絶縁を実現することが認証されています。

3.2 回路図の設計

IGBT を駆動する 15V ユニポーラ電源を使用した設計の回路図を、[図 3-2](#) に示します。若干の変更により、パワー MOSFET 駆動アプリケーションまたはバイポーラ電源アプリケーション用の 12V 電源設計に適合させることができる設計です。詳細については、『[TIDA-00448](#)』リファレンス デザインを参照してください。

抵抗 R9~R14 と高電圧ダイオード D1 は、ターンオン期間中の IGBT の実際の V_{CE} をセンシングして、絶縁型コンパレータ AMC23C11 のリファレンス電圧 VREF に応じてスケールリングするために使用されます。R10 と R11 は、消費電力を分散させるために並列に配置されています。

R14 と並列のコンデンサ C14 は、IGBT ターンオン時の誤トリガ回避のためのブランキング時間を設定します。5.1V のツェナー ダイオード D2 は、IGBT のスイッチングに起因する高電圧スパイクを抑制するためのオプションとして追加されています。内部コンデンサ D2 が C14 と並列になり、ブランキング時間に寄与することに注意してください。テストでは、この D2 は組み立てていません。DESAT の誤トリガを回避して、必要なブランキング時間を最小限に抑えるため、容量が小さい内部コンデンサが搭載された高速スイッチング ダイオード D1 を推奨します。

低電圧側は 3.3V 電源を使用し、C2000™ や Sitara MCU のような一般的な MCU の I/O レベルを直接接続します。R6 および C11 は、LATCH が作動していない場合のコンパレータ出力のグリッチ除去遅延 (デフォルト 0.2 μ s) を設定します。

3.2.2 $V_{CE(DESAT)}$ スレッシュホールドおよび DESAT バイアス電流の構成

抵抗 R9～R14 を使用して、 $V_{CE(DESAT)}$ スレッシュホールドと DESAT バイアス電流 $i_{BIAS(DESAT)}$ を調整できます。以下の式は、さまざまな DESAT スレッシュホールドと DESAT バイアス電流の構成に対して、その値を素早く見積もるために簡略化したものです。

絶縁型コンパレータ AMC23C11 のリファレンス電圧 V_{REF} は、内部の $100\mu A$ 電流源と外付け抵抗 R9 によって設定されます。R9 の値は、この設計では V_{REF} を $1.5V$ に設定するために式 1 で計算されます。ここでは、AMC23C11 を高ヒステリシス モードで動作させるために $1.5V$ が選択されています [1]。

$$R9 = \frac{V_{REF}}{100\mu A} = 15\text{ k}\Omega \quad (1)$$

R10 と R11 は DESAT バイアス電流を決定し、式 2 で計算されます。

$$R10 = R11 = 2 \times \frac{V_{DD} - V_{CE(DESAT)} - V_{FW(D1)} - R12 \times i_{BIAS(DESAT)}}{i_{BIAS(DESAT)} + i_{R13R14(DESAT)}} \quad (2)$$

ここでは、

- V_{DD} は UCC23513 の電源電圧で、この場合は IGBT 駆動用に $15V$ です。
- $V_{CE(DESAT)}$ は目的の DESAT スレッシュホールドで、この設計ではデフォルトで $8V$ です。
- $V_{FW(D1)}$ は高電圧ダイオード D1 の順方向電圧で、 $0.5V$ と想定されます。
- R12 は一般的に 100Ω に設定されます [9]。
- $i_{R13R14(DESAT)}$ は R13 と R14 を流れる電流で、 $0.5mA$ に設定します。設定を低くすると、ノイズ耐性が低下する場合があります。
- $i_{BIAS(DESAT)}$ は IGBT の V_{CE} が $V_{CE(DESAT)}$ に達したときの DESAT バイアス電流で、この設計では $5.5mA$ に設定します。

したがって、この設計では R10 と R11 は $2k\Omega$ で計算できます。

R10 と R11 の電力定格は通常の IGBT 動作用に選択する必要があり、その場合、 $V_{CE(DESAT)}$ は著しく小さくなります。R12 \ll R10 と仮定すると、最大電力損失の概算は式 3 で求められます。

$$P_{R10, MAX} = P_{R11, MAX} = \frac{(V_{DD} - V_{FW(D1)} - R12 \times i_{BIAS(DESAT)} - V_{CE(SAT)})^2}{R10} \times PWM_{DUTY, MAX} \quad (3)$$

表 3-1 のデフォルト設定と標準的な $V_{CE(SAT)}$ が $1.5V$ 場合、最大電力損失 $P_{R10(MAX)}$ と $P_{R11(MAX)}$ は 1000% の PWM デューティ サイクルでも約 $69.8mW$ です。

R13 と R14 は、式 4 と式 5 で計算されます。

$$R13 = \frac{V_{REF}}{i_{R13R14(DESAT)}} \quad (4)$$

$$R14 = \frac{V_{DD} - (i_{BIAS(DESAT)} + i_{R13R14(DESAT)}) \times R10 \div 2}{i_{R13R14(DESAT)}} - R13 \quad (5)$$

パラメータの値を適用すると、R13 は $3k\Omega$ 、R14 は $15k\Omega$ になります。

3.2.3 DESAT ブランキング時間

DESAT 監視のブランキング時間 t_{BLANK} は、IGBT のターンオン時での誤トリガ回避のために必要です。コンデンサ C14 と抵抗 R10～R14 は、 V_{CE} センシング信号が絶縁型コンパレータの入力 $VCIN$ に到達するのを遅延させます。この遅延時間は、分圧器 R13 と R14 の等価抵抗 R_{EQ} を介して C14 の充電時間によって制御されます。

$$R_{EQ} \approx R13 // R14 = 3\text{ k}\Omega // 15\text{ k}\Omega = 2.5\text{ k}\Omega \quad (6)$$

C14 を $330pF$ にすると、RC フィルタの時定数は次のようになります。

$$T_{au} = R_{EQ} \times C14 = 2.5 \text{ k}\Omega \times 330 \text{ pF} = 0.82 \text{ }\mu\text{s} \quad (7)$$

実際のブランキング時間は、過電流発生時における IGBT の実際の $V_{CE(SAT)}$ 電圧に対して構成されている $V_{CE(SAT)}$ 定常状態スレッショルドの比率に依存し、式 8 で概算できます。

$$t_{BLANK} = -\ln\left(1 - \frac{V_{CE(DESAT)}}{V_{CE(SAT)}}\right) \times R_{EQ} \times C14 \quad (8)$$

そのため、 $V_{CE(DESAT)}$ 定常状態 スレッショルドとブランキング時定数を、システムで使用される個々の IGBT に応じて調整することが重要です。 $V_{CE(DESAT)}$ 定常状態スレッショルドをデフォルトの 8V に設定した場合の値については、次の表を参照してください。

表 3-2. デフォルトの $V_{CE(DESAT)}$ 設定時の実効的なブランキング時間

IGBT $V_{CE(SAT)}$ [V]	≥ 14.5	12.5	11	10	9	8.5
t_{BLANK} [μs]	0.7	0.9	1.1	1.4	1.9	2.4

注意

過電流状態では、 $V_{CE(DESAT)}$ 定常状態スレッショルドを IGBT の実際の $V_{CE(SAT)}$ に近づけすぎると、実効的なブランキング時間が構成済みのブランキング時定数よりも大幅に大きくなるため、このような構成は回避してください。

3.2.4 DESAT グリッチ除去フィルタ

R17 と C11 は、時定数を持つ nDESAT 出力信号用のグリッチ除去フィルタを形成します。

$$\tau = 330 \text{ }\Omega \times 2200 \text{ pF} = 726 \text{ ns} \quad (9)$$

最小 Low レベル入力 0.8V の TTL ロジック IC に従えば、グリッチ除去時間はわずか 0.2 μs になります。

$$t_{DEGLITCH} = -\ln\left(1 - \frac{0.8\text{V}}{3.3\text{V}}\right) \times \tau = 202 \text{ ns} \quad (10)$$

絶縁型コンパレータの OUT ピンの内部抵抗が R17 と直列であることを考慮すると、この設計でテストされたグリッチ除去時間は約 340ns~380ns です。詳細については、セクション 4 のテスト結果を参照してください。

3.3 リファレンス PCB レイアウト

この回路では、4 層 PCB 上に 26mm x 8.4mm のアクティブ面積を持つリファレンス レイアウトが作成されています。

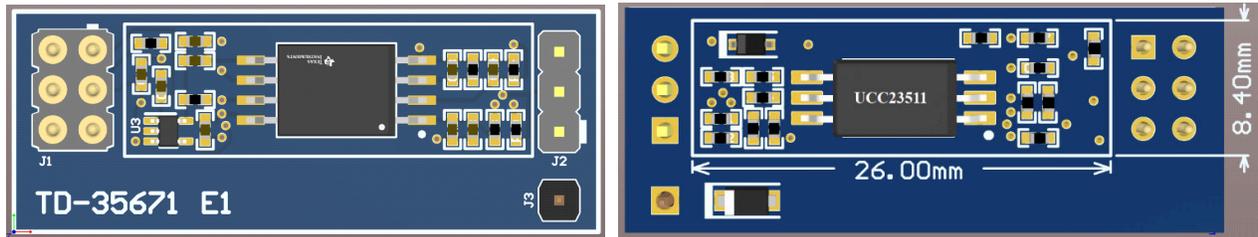


図 3-3. レイアウト例の上側および下側

ゲートドライバとコンパレータを PCB の反対側に配置するように注意深くレイアウト設計することで、16 ピン スマート ゲートドライバに比べて、パッケージ長が短いという利点を生かした小型のフォーム ファクタを実現しています。比較すると、SOIC 16 パッケージに収められた CMOS 入力付きスマートゲートドライバである ISO5451 の一般的なレイアウトは、[図 3-4](#) に示すように、PCB 上のアクティブ面積が 20.83mm x 12.95mm^[10] であり、[図 3-3](#) に示す本提案の UCC23513 と AMC23C11 の設計よりも約 23.5% 大きくなっています。

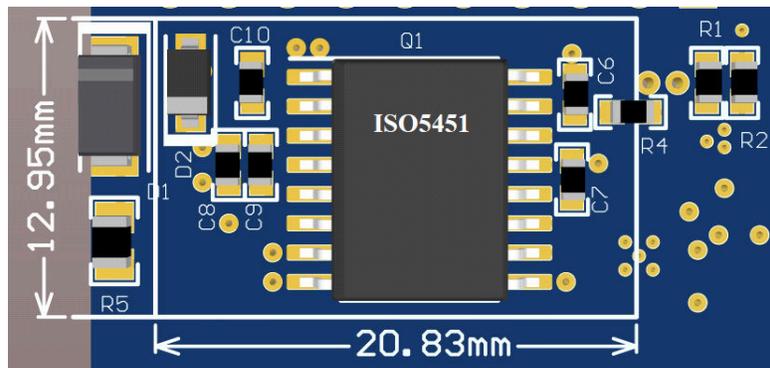


図 3-4. スマートゲートドライバ ISO5451 の一般的なレイアウト

4 シミュレーションおよびテスト結果

4.1 シミュレーション回路と結果

PSpice™ for TI で、アクティブ ブレーキ回路のローサイド IGBT を駆動する回路のシミュレーションを行いました。図 4-1 は、このシミュレーションの回路図です。

AMC23C11 のモデルはまだ TI.com で利用できないため、このシミュレーションでは AMC23C14 の PSpice™ シミュレーション モデルを使用しています。このアプリケーション ノートで説明する DESAT の実装では、回路図の OUT2 (ピン 7) に接続された回路は無視することができ、AMC23C14 は LATCH 入力 (ピン 7) が Low に接続された AMC23C11 と同じ動作を示します。

4.1.1 シミュレーション回路

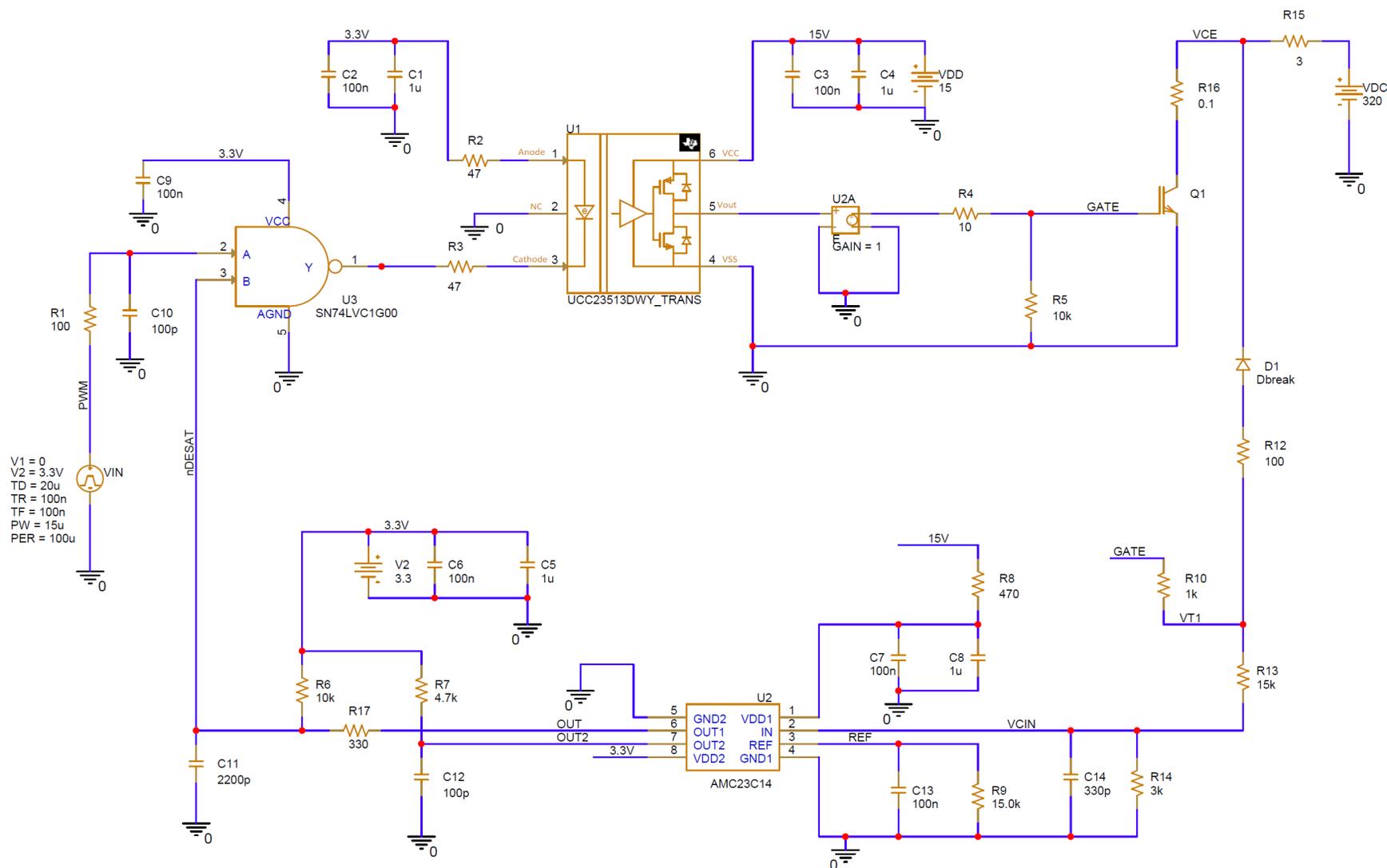


図 4-1. シミュレーション回路

4.1.2 シミュレーション結果

このシミュレーションでは、入力 PWM 信号を 10kHz、デューティサイクル 15% の矩形波に設定しています。他の条件は、一般的なアプリケーションの状況に設定されています。図 4-2 は、DESAT 保護のシミュレーション結果です。

静的な状態では、PWM 入力は Low なので、NAND ゲート出力は High です。UCC23513 には入力電流がないため、GATE の出力も Low になります。したがって、絶縁型コンパレータ AMC23C11 の入力電圧 VCIN はゼロにプルされ、出力 OUT と nDESAT は High にプルされます。

入力 PWM 信号が High になると、nDESAT が High である限り、NAND ゲートの出力は Low にシフトします。その後、UCC23513 は入力電流を受け取り、GATE で High を出力します。その後、IGBT U4 がオンになり、V_{CE} が V_{CE(SAT)} まで下がります。センス電流は GATE から R10、R12、D1 を経由して IGBT U4 のコレクタに流れ、VT1 ノードの電圧は IGBT の実際の V_{CE} に追従し、VCIN 電圧は R13 と R14 の分圧抵抗を経由して VT1 電圧に追従します。VCIN が VREF のスレッショルドに達しない場合、コンパレータの出力 OUT とフィルタ出力 nDESAT は High のままになります。

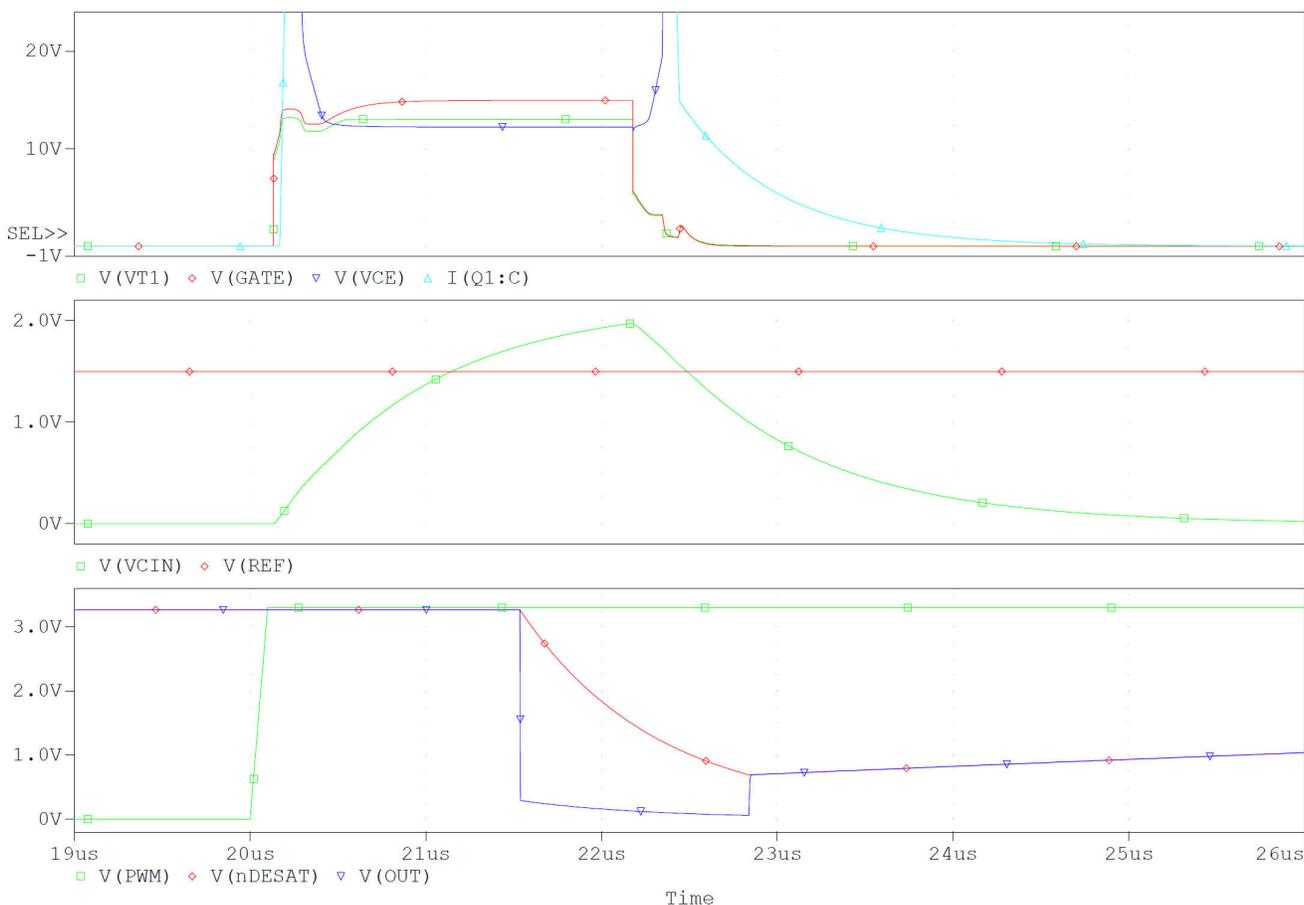


図 4-2. DESAT トリガのシミュレーション結果

上図に示すように、DESAT トリガ プロセスの場合、入力 PWM 信号 (下図の緑色のグラフ) が High になると、IGBT の GATE 電圧 (上図の赤色のグラフ) は間もなく上昇し、IGBT の V_{CE} センス電圧 VT1 (上図の緑色のグラフ) も上昇します。コンパレータの入力 VCIN (中央図の緑色のグラフ) は、比例して VT1 電圧に追従して上昇し始めます。

また、IGBT の V_{CE} (上図の青色のグラフ) の電圧が低下し始めます。V_{CE} が GATE 電圧を下回ると、VT1 電圧は V_{CE} に追従し始めます。

VCIN が VREF によって設定された 1.5V のトリガ スレッショルド (中央図の赤色のグラフ) に達するまで、コンパレータの出力 OUT (下図の青色のグラフ) は High のままになります。VCIN がトリガ レベルに達すると、コンパレータの OUT は通常 240ns の内部伝搬遅延で Low にプルされます。nDESAT のフィルタ出力 (下図の赤色のグラフ) も下がり始めます。

NAND ゲート U3 への入力として、nDESAT が U3 の負方向スレッショルドをトリガすると、ゲートドライバ U1 の入力電流が遮断され、出力 GATE がプルダウンされます。したがって、IGBT もオフになり、 V_{CE} はすぐに上昇します。これが、回路の DESAT 保護プロセスです。

GATE がプルダウンされると、VT1 もプルダウンされ、VCIN が下がり始めます。VCIN がコンパレータの入力スレッショルドを下回ると、OUT は再び上昇します。これは AMC23C14 の場合です。

AMC23C11 は、LATCH 入力のピン 7 が Low に接続されている場合、上記のプロセスとまったく同じように動作します。LATCH ピンが High にプルされると、コンパレータの OUT ピンの出力 Low がラッチされます。このラッチは、LATCH ピンが少なくとも 4 μ s 間 Low にプルされるまで解除されません。

4.2 3 相 IGBT インバータによるテスト結果

本提案の回路のサンプル ボード上で DESAT 保護のテストを実施しました。サンプル ボードを、(1) ローサイドブレーキ IGBT のゲートドライバとして使用、(2) 3 相モータードライブ インバータのハイサイドスイッチ IGBT のゲートドライバとして使用、の 2 つの場合でテストしました。

4.2.1 ブレーキ IGBT テスト

図 4-3 に、ローサイドブレーキ IGBT ゲート駆動テスト用のプラットフォームを示します。LAUNCHXL-F28379D の C2000™ LaunchPad™ をシステム コントローラとして使用し、10kHz、デューティ サイクル 10% の一連の PWM パルス、つまり 100 μ s 周期で 10 μ s のオン タイムを生成して、ローサイド IGBT を駆動します。また、LaunchPad は AMC23C11 の LATCH 入力に対して High 出力を生成し、GPIO で nDESAT 信号を監視します。

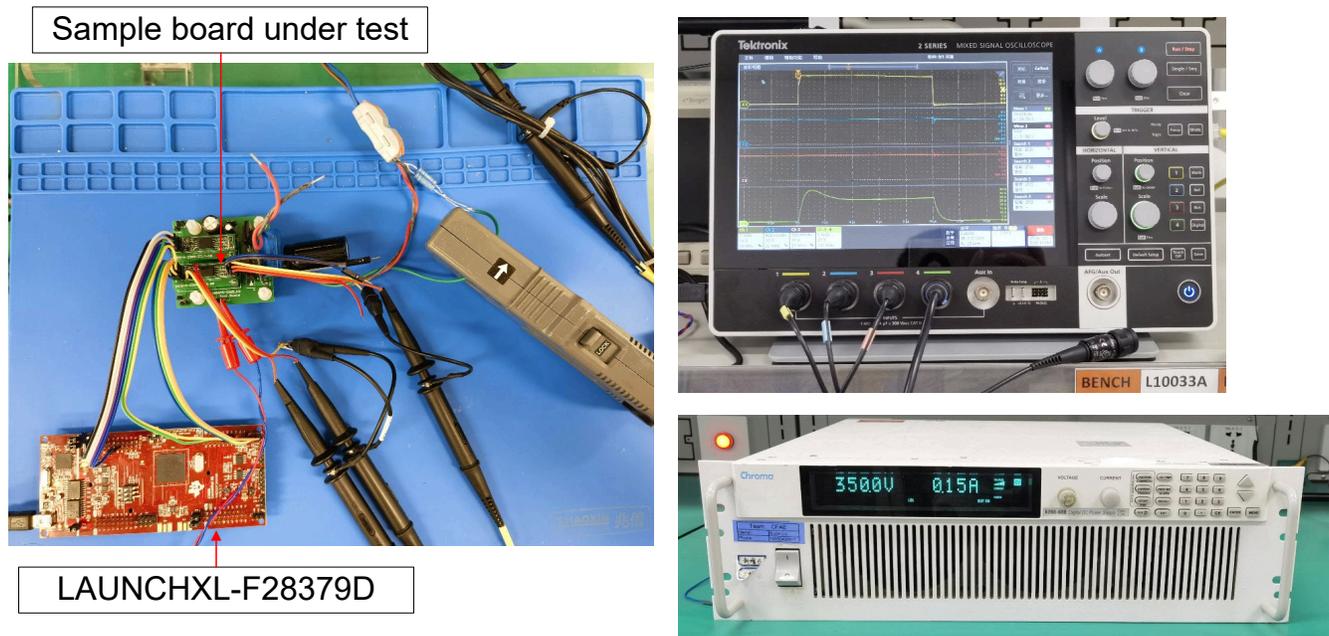


図 4-3. ローサイド駆動テストのプラットフォーム

OCF または SCP の状況をテストするために、600V 10A のディスクリート IGBT を使用し、2 つの 1.5 Ω 3W 抵抗を並列に配置してブレーキ抵抗をエミュレートします。これらの抵抗は、IGBT コレクタと 350V DC+ レールの間に入ります。テスト結果を図 4-4 に示します。

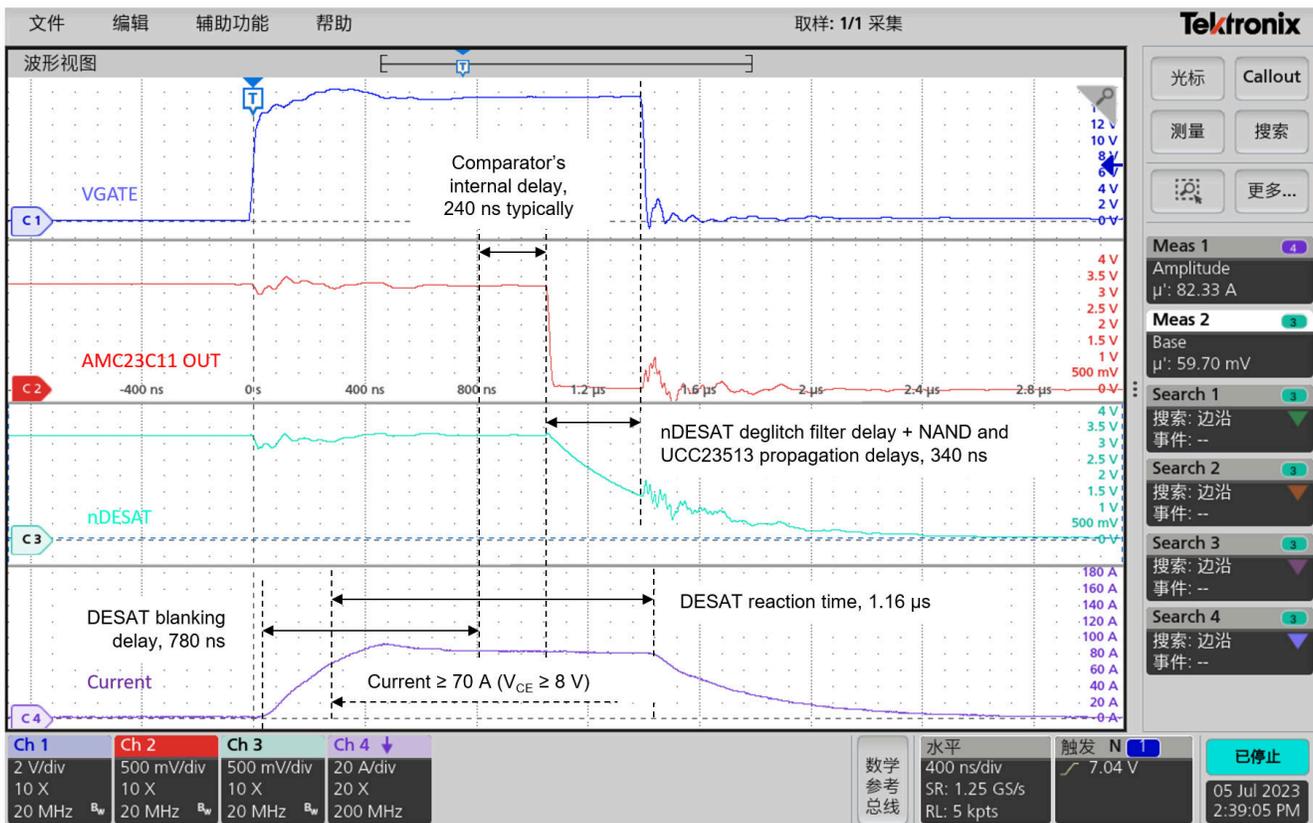


図 4-4. ローサイド駆動テストにおける短絡保護遅延

このテストでは、IGBT がオンになると ($t = 0\text{s}$)、コレクタ電流が上昇し始め、間もなく約 90A で飽和しました ($t = 480\text{ns}$)。テスト済みの IGBT のデータシートによると、コレクタ電流が 70A に達すると、 V_{CE} は回路に設定された 8V のトリガレベルまで上昇します。DESAT は、約 780ns のブランキング時間の後に絶縁型コンパレータ AMC23C11 によって検出されました。通常 240ns の内部遅延の後、AMC23C11 の OUT は Low にシフトし ($t = 1.04\mu\text{s}$)、ラッチされます (LATCH が High に設定されている場合)。nDESAT のグリッチ除去フィルタによる約 340ns の遅延の後、NAND ゲート SN74LVC1G00 の出力が High にシフトし、UCC23513 の入力電流が遮断され、ゲートドライバは VGATE をプルダウンします ($t = 1.44\mu\text{s}$)。IGBT の電流が 70A に達してから、GATE が Low になった後に電流が下がり始めるまでの DESAT 応答時間は、わずか約 $1.16\mu\text{s}$ でした。

4.2.2 位相間短絡が発生した 3 相インバータのテスト結果

テキサス・インスツルメンツのリファレンス デザインである 3 相インバータ プラットフォーム TIDA-010025 を使用したテストを行い、ACIM モーター駆動時の位相間短絡の状態を確認しました。このテストでは、U 相ハイサイド IGBT のゲートドライバを、本提案の回路のサンプル ボードに置き換えています。

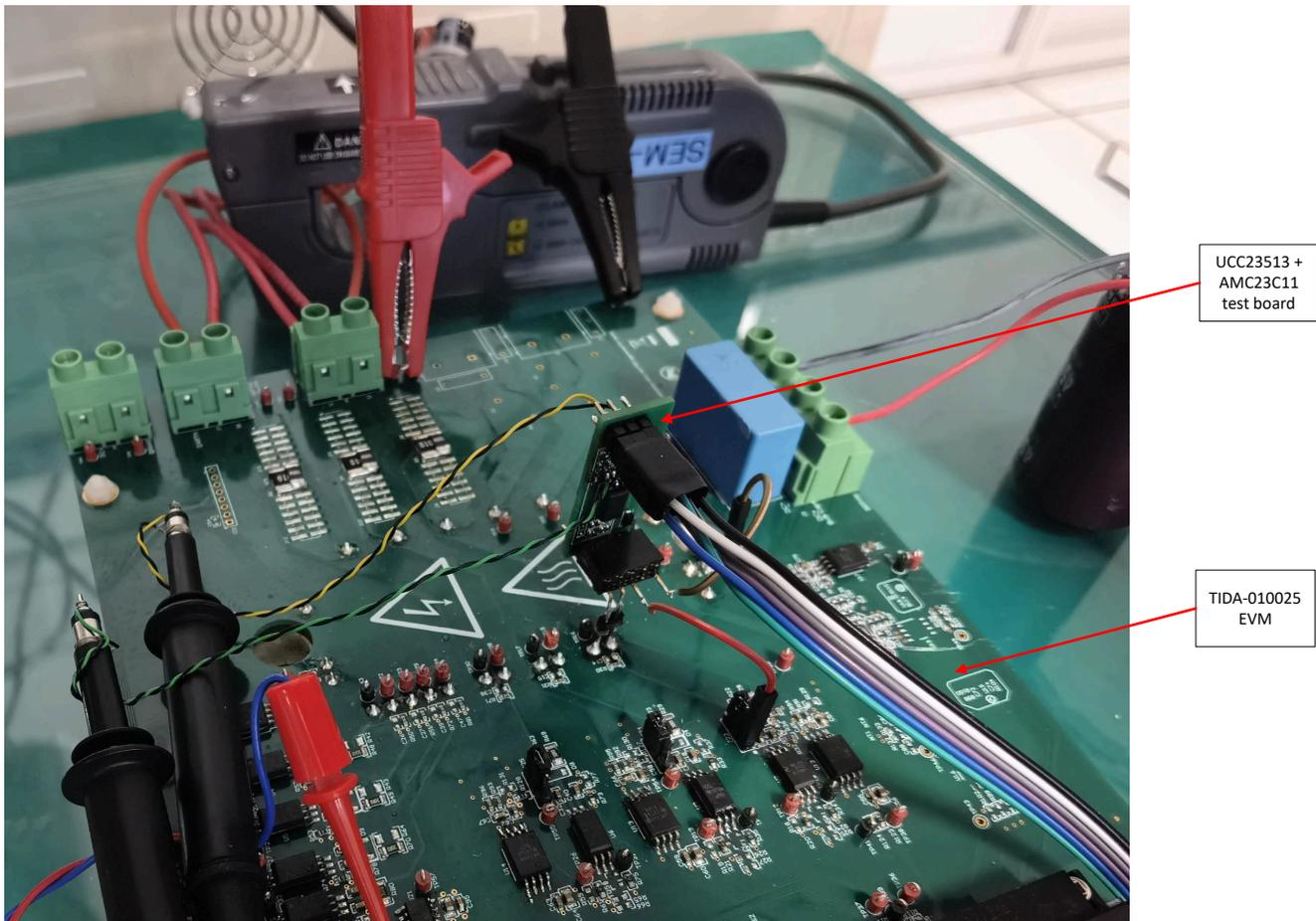


図 4-5. モーター動作テスト用プラットフォーム

TIDA-010025 リファレンス デザインは、電力ボード上に 1200V、25A の PIM パワー モジュールを搭載しており、3 相インバータ段には同じ定格の IGBT を 6 つ内蔵しています。テストの準備として、まず U 相ハイサイド IGBT の元のゲート駆動抵抗を取り外した後、VGATE 出力、15V 電源、サンプル ボードの VCE センス端子を電力ボードに接続しました。リファレンス デザイン独自のハードウェア OCP 機能の影響を回避するために、3 相すべてで元の 10 mΩ シャント抵抗と並列に 5 mΩ シャント抵抗を追加し、OCP トリガレベルを 3 倍の 72A にしました。IGBT の出力特性を確認した後、 $V_{CE(SAT)}$ が 2.5V まで上昇したときに DESAT スレッシュホールドに到達するようにサンプル ボードでも変更を加えました。これは約 45A のコレクター電流に相当します。これらのテストでは、まずモーターを (無負荷で) 50rps まで動作させ、次に電力ボードの端子に接続されたサーキットブレーカでインバータの U 相と W 相を短絡させます。図 4-6 に、テスト結果の波形を示します。

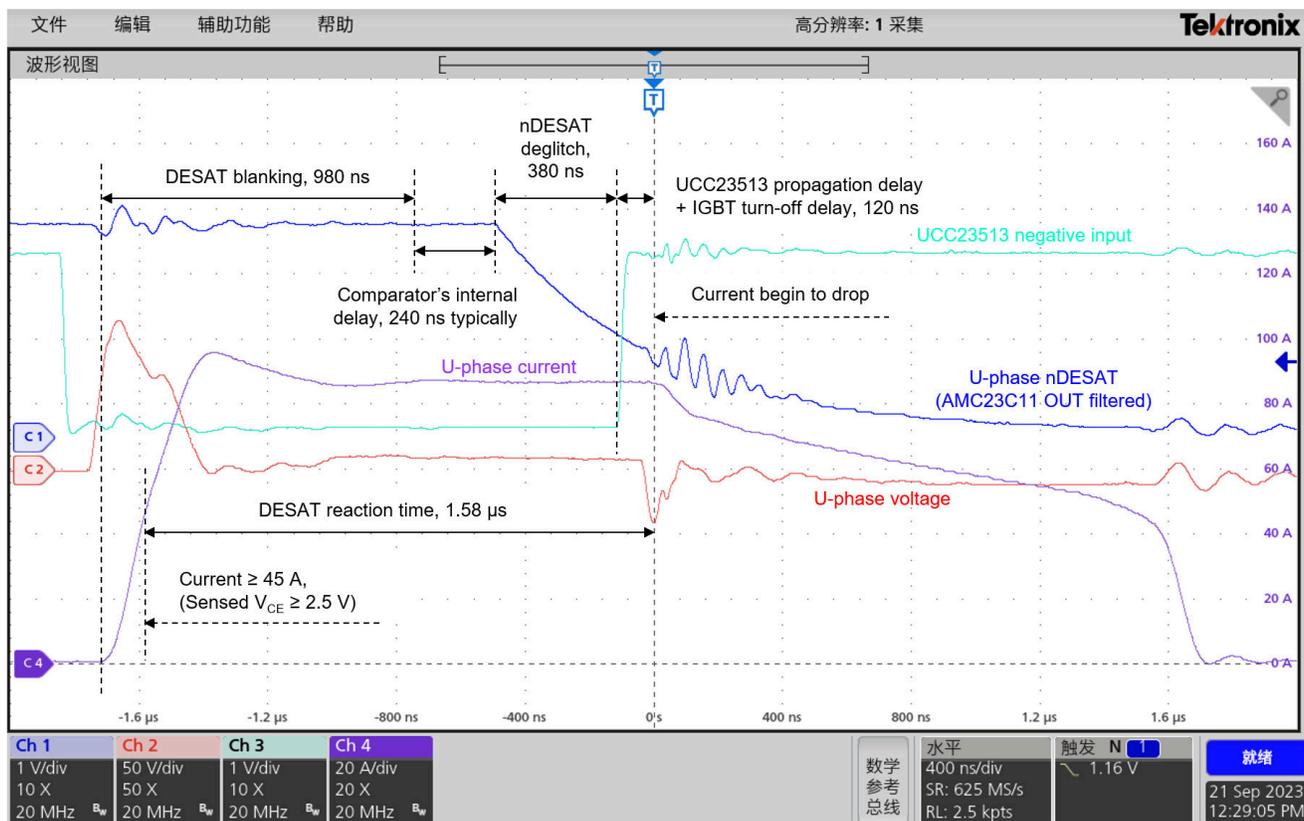


図 4-6. モーター動作テスト時の短絡保護遅延

サーキットブレーカがオンになると、U相とW相が短絡し、U相の電流が急上昇し始めます。飽和電流はすぐに約 95A のピークに達し、その後少し下がって、約 86A で安定しました。980ns の点滅時間の後、AMC23C11 は DESAT 状態を検出しました。通常はさらに 240ns の内部伝播遅延の後、出力 OUT は Low にシフトしました。nDESAT が NAND ゲート入力の負方向スレッシュホールドまで下がり、UCC23513 の入力電流が遮断されるまでには約 380ns を要しました。その後、ゲートドライバは約 120ns かけて IGBT の電流を降下させ始めました。DESAT 応答時間は合計で約 1.58μs でした。

ローサイド駆動テストの結果にはいくつかの違いがあります。これらのばらつきは、テストした 2 つの IGBT の特性とアプリケーション回路の違い、DESAT スレッシュホールドの調整によるものです。

5 まとめ

本アプリケーションノートでは、小型の絶縁型シンプルゲートドライバと DESAT 保護用絶縁型コンパレータの組み合わせが検証されています。ディスクリートアプローチにより、DESAT を内蔵した 16 ピンスマートゲートドライバと比較して、設計サイズを小型化することができます。このアプローチでは、スレッシュホールド、バイアス電流、ブランキング時間、グリッチ除去フィルタなどの DESAT 機能の主要なパラメータを柔軟に構成できます。また、MCU によってリセット可能な DESAT ラッチ機能も備えられています。

このコンセプトはバイポーラゲートドライバ電源にも拡張でき、ローサイドとハイサイドの両方のゲートドライバに同じように適合します。これらのアプリケーションの詳細については、『TIDA-00448』を参照してください。

6 参考資料

1. テキサス・インスツルメンツ、『[AMC23C11: 可変閾値電圧、ラッチ機能を有する高速応答、強化絶縁型コンパレータ](#)』データシート
2. テキサス・インスツルメンツ、『[UCC23513: 4A ソース、5A シンク、5.7kVRMS フォトカプラ互換、シングル チャネル絶縁型ゲートドライバ](#)』データシート
3. テキサス・インスツルメンツ、『[UCC23511: 1.5A ソース、2A シンク、5.7kVRMS、フォトカプラ互換、シングル チャネル絶縁型ゲートドライバ](#)』データシート
4. テキサス・インスツルメンツ、『[UCC21750: アクティブ保護および絶縁アナログ センシング機能搭載、高 CMTI、10A ソース/シンク、SiC/IGBT 向け、強化絶縁シングル チャネル ゲートドライバ](#)』データシート
5. テキサス・インスツルメンツ、『[AMC23C14: デュアル、高速応答、強化絶縁型ウィンドウ コンパレータ、可変スレッショルド付き](#)』データシート
6. テキサス・インスツルメンツ、『[ISO5451: アクティブ保護機能搭載、5.7kVrms、2.5A/5A、シングルチャネル絶縁型ゲートドライバ](#)』データシート
7. テキサス・インスツルメンツ、『[PSpice for TI の設計およびシミュレーション](#)』ツール
8. テキサス・インスツルメンツ、『[UCC21750: UCC217xx と ISO5x5x の DESAT 検出スレッショルドはどのように調整できるか?](#)』FAQ
9. テキサス・インスツルメンツ、『[TIDA-00448: 強化型デジタル アインレータを使用したフレキシブルな大電流 IGBT ゲートドライバ](#)』リファレンス デザイン
10. テキサス・インスツルメンツ、『[TIDA-00638: ソーラー インバータ用アクティブ ミラー クランプ付き絶縁型ゲートドライバ電力段](#)』リファレンス デザイン
11. テキサス・インスツルメンツ、『[TIDA-010025: 光入力エミュレーション ゲートドライバ搭載、200~480VAC ドライブ向け 3 相インバータ](#)』リファレンス デザイン

7 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
October 2023	*	初版

重要なお知らせと免責事項

TI は、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス・デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated