

*Application Note***MSPM0 L シリーズ MCU ハードウェア開発ガイド****概要**

MSPM0 L シリーズ・マイコン (MCU) 製品ラインアップはセンシング、測定、および制御のアプリケーション用に、幅広い超低消費電力 32 ビット MCU と統合型アナログ / デジタル・ペリフェラルを提供します。このアプリケーション・ノートでは、MSPM0 L シリーズ (MCU) を使用したハードウェア開発に必要な情報について説明しています。これには、電源、リセット回路、クロック、デバッグ接続、主要なアナログ・ペリフェラル、通信インターフェイス、GPIO、および基板レイアウトのガイドに関する詳細なハードウェア設計情報が含まれます。

目次

1 MSPM0L ハードウェア設計のチェックリスト	3
2 MSPM0L デバイスの電源	4
2.1 デジタル電源.....	4
2.2 アナログ電源.....	5
2.3 電源および電圧リファレンスを内蔵.....	5
2.4 電源に推奨されるデカップリング回路.....	6
3 リセットおよび電源スーパーバイザ	6
3.1 デジタル電源.....	6
3.2 電源スーパーバイザ.....	7
4 クロックシステム	8
4.1 内部発振器.....	8
4.2 外部クロック出力 (CLK_OUT).....	9
4.3 周波数クロック カウンタ (FCC).....	10
5 デバッグ	11
5.1 デバッグ・ポートのピンとピン配置.....	11
5.2 標準 JTAG コネクタを使用したデバッグ ポート接続.....	11
6 主要なアナログペリフェラル	14
6.1 ADC 設計の検討事項.....	14
6.2 OPA 設計の検討事項.....	14
6.3 DAC 設計の検討事項.....	15
6.4 COMP 設計の検討事項.....	16
6.5 GPAMP 設計の検討事項.....	17
6.6 LCD 設計の検討事項.....	18
7 主要なデジタル・ペリフェラル	19
7.1 タイマリソースと設計の検討事項.....	19
7.2 UART と LIN のリソースと設計の検討事項.....	19
7.3 I2C と SPI 設計の検討事項.....	22
8 GPIO	24
8.1 GPIO 出力のスイッチング速度と負荷容量.....	24
8.2 GPIO 電流シンクおよびソース.....	24
8.3 高速 GPIO.....	25
8.4 オープンドレイン GPIO により、レベルシフタなしで 5V 通信を実現.....	25
8.5 レベルシフタなしで 1.8V デバイスと通信する.....	25
8.6 未使用ピンの接続.....	26
9 レイアウト・ガイド	27
9.1 電源レイアウト.....	27
9.2 グランド レイアウトに関する検討事項.....	27
9.3 トレース、ビア、その他の PCB コンポーネント.....	28

9.4 基板層の選択方法と推奨されるスタックアップ	29
10 ブートローダー	30
10.1 ブートローダーの紹介	30
10.2 ブートローダー・ハードウェア設計の検討事項	30
11 参考資料	30
12 改訂履歴	31

商標

LaunchPad™ and EnergyTrace™ are trademarks of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

1 MSPM0L ハードウェア設計のチェックリスト

表 1-1 に、MSPM0L ハードウェア設計プロセス中にチェックする必要がある主な信号を示します。詳細については、以下のセクションを参照してください。

表 1-1. MSPM0L ハードウェア設計チェックリスト

ピン (1)	説明	要件
VDD	正の電源ピン	VDD と VSS の間に $10\mu F$ と $100nF$ のコンデンサを配置し、これらの部品を VDD と VSS の近くに配置します。
VSS	負の電源ピン	
VCORE	コア電圧 (標準値: 1.35V)	470nF のコンデンサを VSS に接続し、電圧を供給したり、VCORE ピンに外部負荷を加えたりしないでください。
NRST	リセットピン	10nF のプルダウン コンデンサを使用して、47kΩ の外付けプルアップ抵抗を接続します。
ROSC	外部リファレンス抵抗ピン	<ul style="list-style-type: none"> 外部の $100k\Omega \pm 0.1\%$、$25ppm$ 抵抗を VSS に接続すると、必要に応じて高 SYSOSC 精度を実現できます。 SYSOSC に高精度の要件がない場合は、オープンのままにしても問題ありません。
VREF+	外部リファレンス入力用の電圧リファレンス電源	
VREF-	外部リファレンス入力用の電圧リファレンスグランド電源	<ul style="list-style-type: none"> VREF+ と VREF- を使用して ADC などのアナログ ペリフェラル用の外部電圧リファレンスを取り込む場合、デカップリング コンデンサを VREF+ から VREF- / GND に、外部リファレンス ソースに基づく容量で配置する必要があります。 外部電圧リファレンスを使用しない場合は、オープンのままにできます。
SWCLK	デバッグ プローブからのシリアル ワイヤクロック	VDD への内部プルダウン、外部部品は不要。
SWDIO	双方向 (共有) シリアル ワイヤデータ	VSS への内部プルアップ、外部部品は不要。
PA0、PA1	オープンドレイン I/O	出力 HIGH にはプルアップ抵抗が必要です
PA18	デフォルトの BSL 起動ピン	リセット後に BSL モードに移行しないようにプルダウンを維持します。BSL 起動ピンは再マッピングできます。
PAx (PA0、PA1 を除く)	汎用 I/O	対応するピン機能を GPIO (PINCMx.PF = 0x1) に設定し、未使用のピンが Low を出力するように、または未使用のピンが内部プルアップまたはプルダウン抵抗付き入力になるように構成します。
OPAx_IN0- (2)	OPAx 反転端子入力 0	このピンは高インピーダンスであり、使用しない場合は外部部品は不要です。

(1) 汎用 I/O と共にされている機能を持つ未使用ピンについては、「PAx」未使用ピンの接続ガイドラインに従ってください。

(2) MSPM0L134x のみ

TI は、 $10\mu F$ と $0.1nF$ の低 ESR セラミック デカップリング コンデンサを組み合わせて VDD および VSS ピンに接続することを推奨しています。より値の大きいコンデンサを使用することができますが、電源レールの立ち上がり時間に影響を及ぼす可能性があります。デカップリング コンデンサは、デカップリングするピンのできるだけ近くに配置する必要があります (数 mm 以内)。

NRST リセットピンは、外部の $47k\Omega$ プルアップ抵抗を $10nF$ のプルダウン コンデンサに接続するために必要です。

SYSOSC 周波数補正ループ (FCL) 回路は、ROSC ピンと VSS の間に実装される外付けの $100k\Omega$ 抵抗を利用して、SYSOSC に高精度のリファレンス電流を供給することで SYSOSC 周波数を安定させます。SYSOSC FCL がイネーブルでない場合、この抵抗は不要です。

VCORE ピンには $0.47\mu F$ のタンク コンデンサが必要であり、デバイスのグランドとの距離を最小限に抑えてデバイスの近くに配置する必要があります。

5V 許容のオープンドレイン (ODIO) の場合、高出力にプルアップ抵抗が必要です。この抵抗は、ODIO を使用する場合、I2C および UART 機能に必要です。

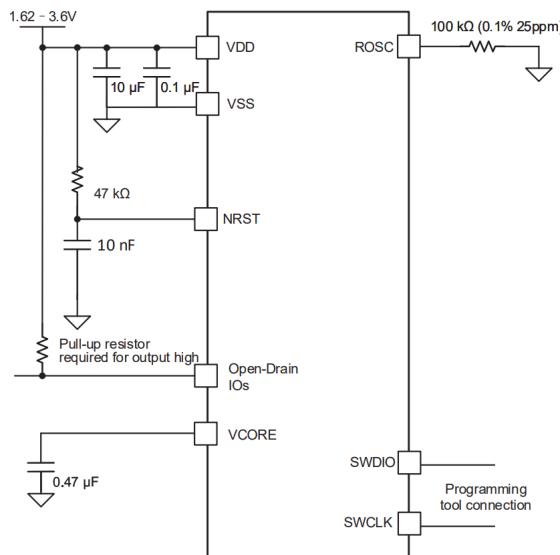


図 1-1. MSPM0L の代表的なアプリケーション回路

2 MSPM0L デバイスの電源

VDD および VSS 接続経由でデバイスに電力が供給されます。このデバイスは、1.62V ~ 3.6V の電源電圧での動作をサポートしており、1.62V の電源で開始できます。パワー マネージメント ユニット (PMU) は、デバイスのレギュレーション済みコア電源を生成し、外部電源の監視を行います。また、PMU や他のアナログ ペリフェラルで使用されるバンドギャップ電圧リファレンスも内蔵しています。VDD は、IO 電源 (VDDIO) とアナログ電源 (VDDA) を供給するために直接使用されます。VDDIO と VDDA は内部で VDD に接続されているため、追加の電源ピンは必要ありません (詳細については、デバイス固有のデータシートを参照してください)。

2.1 デジタル電源

VCORE レギュレータ

デバイス・コアに電力を供給するための 1.35V 電源レールを生成する低ドロップアウト・リニア電圧レギュレータが内蔵されています。一般に、コア・レギュレータ出力 (VCORE) は CPU、デジタル・ペリフェラル、デバイス・メモリなどのコア・ロジックに電力を供給します。コア・レギュレータには、デバイスの VCORE ピンと VSS (グランド) の間に接続された外部コンデンサ (CVCORE) が必要です (図 2-1 を参照)。CVCORE の正しい値と許容誤差については、デバイス固有のデータシートを参照してください。CVCORE は、VCORE ピンの近くに配置する必要があります。

コア・レギュレータは、シャットダウンを除くすべての電力モードでアクティブです。他のすべての電力モード (実行、スリープ、停止、スタンバイ) では、各モードの最大負荷電流をサポートするようにレギュレータの駆動能力が自動的に構成されます。これにより、低消費電力モード使用時のレギュレータの静止電流が減少し、低消費電力性能が向上します。

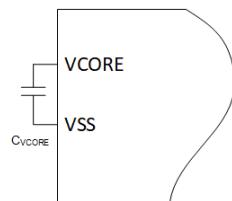


図 2-1. VCORE レギュレータ回路

2.2 アナログ電源

アナログ マルチプレクサ VBOOST

PMU の VBOOST 回路は内部 VBOOST 電源を生成します。この電源は、デバイスに搭載されている場合、COMP、GPAMP、OPA の各アナログ マルチプレクサで使用されます。VBOOST 回路により、外部電源電圧 (VDD) 範囲全体で一貫したアナログ マルチプレクサ性能を実現できます。

VBOOST のイネーブル / ディスエーブル

次のパラメータに基づいて、SYSCTL は VBOOST 回路のイネーブル要求を自動的に管理します。

1. COMP、OPA、GPAMP ペリフェラル PWREN の設定
2. イネーブルになっている任意の COMP のモード設定 (FAST モードと ULP モード)。
3. SYSCTL の GENCLKCFG レジスタの ANACPUMPCFG 制御ビット。

VBOOST は、SYSRST の後でデフォルトでディスエーブルになります。COMP、OPA、または GPAMP を使用する前に、アプリケーションソフトウェアで VBOOST 回路をイネーブルにする必要はありません。アプリケーションソフトウェアによって COMP、OPA、または GPAMP がイネーブルになると、SYSCTL は VBOOST 回路もイネーブルにしてアナログ ペリフェラルをサポートできるようにします。

VBOOST 回路には、ディスエーブル状態からイネーブル状態に遷移するためのスタートアップ時間要件 (標準値 12 μ s) があります。COMP、OPA、または GPAMP の起動時間が VBOOST の起動時間よりも短い場合、VBOOST の起動時間を考慮してペリフェラルの起動時間が延長されます。

バンドギャップ リファレンス

PMU は、温度および電源電圧に対して安定したバンドギャップ電圧リファレンスを提供します。この基準電圧は、以下のような内部機能にデバイスが使用します。

- プラウンアウトリセット回路のスレッショルドの駆動。
- コアレギュレータの出力電圧の設定。
- オンチップ アナログ ペリフェラル向けのオンチップ VREF レベルの駆動。

バンドギャップ リファレンスは、RUN、SLEEP、STOP モードでイネーブルになります。消費電力を低減するために、スタンバイ モードでサンプリングされたモードで動作します。シャットダウン モードではディスエーブルです。SYSCTL はバンドギャップ 状態を自動的に管理し、ユーザー設定は不要です。

2.3 電源および電圧リファレンスを内蔵

MSPM0 L ファミリ用の VREF モジュールは、さまざまなオンボード アナログ ペリフェラルで利用できる共有電圧リファレンス モジュールです。

VREF モジュールの主な特長は次のとおりです。

- ユーザー選択可能な 1.4V および 2.5V の内部リファレンス。
- VREF+ および VREF- デバイスピシンでの外部リファレンスの受信をサポート。
- サンプル / ホールド モードは、スタンバイ動作モードまでの VREF 動作をサポートします。
- ADC、COMP、OPA の内部リファレンスをサポート。

MCU に外部基準電圧を供給する場合、基準ピンのデカップリング コンデンサを、電圧源に基づく値で接続します (図 2-2 を参照)。

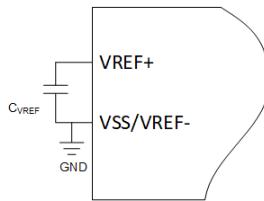


図 2-2. VREF 回路

2.4 電源に推奨されるデカップリング回路

TI は、 $10\mu F$ と $100nF$ の低 ESR セラミック デカップリング コンデンサの組み合わせを DVCC ピンに接続することを推奨します (図 2-3 を参照)。より値の大きいコンデンサを使用することができますが、電源レールの立ち上がり時間に影響を及ぼす可能性があります。デカップリング コンデンサは、デカップリングするピンのできるだけ近くに配置する必要があります (数 mm 以内)。

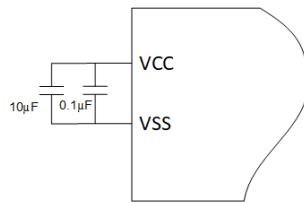


図 2-3. 電源デカップリング回路

3 リセットおよび電源スーパーバイザ

3.1 デジタル電源

このデバイスには 5 つのリセットレベルがあります。

- パワーオン リセット (POR)
- 電圧低下リセット (BOR)
- ブートリセット (BOOTRST)
- システム リセット (SYSRST)
- CPU リセット (CPURST)

リセットレベル間の関係については、『[MSPM0 L シリーズ 32MHz マイクロコントローラ テクニカル リファレンスマニュアル](#)』を参照してください。

コールド スタート後、NRST ピンは NRST モードに設定されます。デバイスが正常に起動するには、NRST ピンが HIGH である必要があります。NRST には内部プルアップ抵抗はありません。外部回路 (DVCC へのプルアップ抵抗またはリセット制御回路) は、デバイスを起動するために NRST をアクティブに HIGH にする必要があります。手動リセットには、コンデンサとオープン ポタンが必要です (図 3-1 を参照)。デバイスが起動した後、持続時間が 1 秒未満の NRST の LOW パルスにより、BOOTRST がトリガれます。NRST の LOW パルスが 1 秒を超えて保持されると、POR がトリガれます。

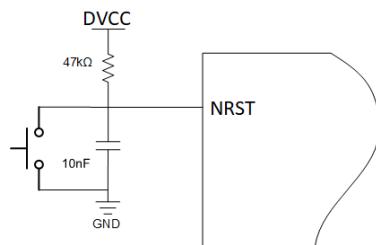


図 3-1. NRST 推奨回路

3.2 電源スーパーバイザ

パワーインリセット (POR) モニタ

パワーインリセット (POR) モニタは外部電源 (VDD) を監視し、SYSCTL に対する POR 違反をアサートまたはデアサートします。コールド パワーアップ時には、VDD が POR+ を通過するまでデバイスは POR 状態に保持されます。VDD が POR+ に合格すると、POR 状態が解放され、バンドギャップ リファレンスと BOR モニタ回路が開始されます。VDD が POR レベルを下回ると、POR 違反がアサートされ、デバイスは再度 POR リセット状態に保持されます。

POR モニタは、VDD がデバイスの正常な動作をサポートするのに十分なレベルに達したことを示していません。代わりに、これはブートプロセスの最初のステップであり、電源電圧がバンドギャップ リファレンスと BOR 回路の電源オンに十分であるかどうかを判定するために使用されます。これを用いて、デバイスが正常に動作するのに十分なレベルに電源が達しているかどうかを判定します。POR モニタはシャットダウンを含むすべての電力モードでアクティブであり、ディスエーブルすることはできません。(POR トリガ波形を図 3-2 に示します)。

ブラウンアウトリセット (BOR) モニタ

ブラウンアウトリセット (BOR) モニタは外部電源 (VDD) を監視し、SYSCTL に対する BOR 違反をアサートまたはデアサートします。BOR 回路の主な役割は、コアレギュレータを含む内部回路が正常に動作できるように、外部電源を十分に高く維持することです。BOR スレッショルド基準電圧は、内部バンドギャップ回路から得られます。スレッショルドはプログラマ可能で、常に POR スレッショルドよりも高くなります。コールドスタート時に、VDD が POR+ スレッショルドを超えると、バンドギャップ リファレンスと BOR 回路が開始されます。その後、VDD が BOR0+ スレッショルドを通過するまで、デバイスは BOR 状態に保持されます。VDD が BOR0+ を通過すると、BOR モニタはデバイスを解放してブートプロセスを続行し、PMU を開始します。(BOR トリガ波形を図 3-2 に示します)。

電源変更時の POR および BOR 動作

電源電圧 (VDD) が POR- を下回ると、デバイス全体の状態がクリアされます。BOR0- スレッショルドを下回っていない VDD の小さな変動は BOR 違反を引き起さず、デバイスは引き続き動作します。BOR 回路は、BOR リセットを直ちにトリガするのではなく、割り込みを生成するように構成されています。

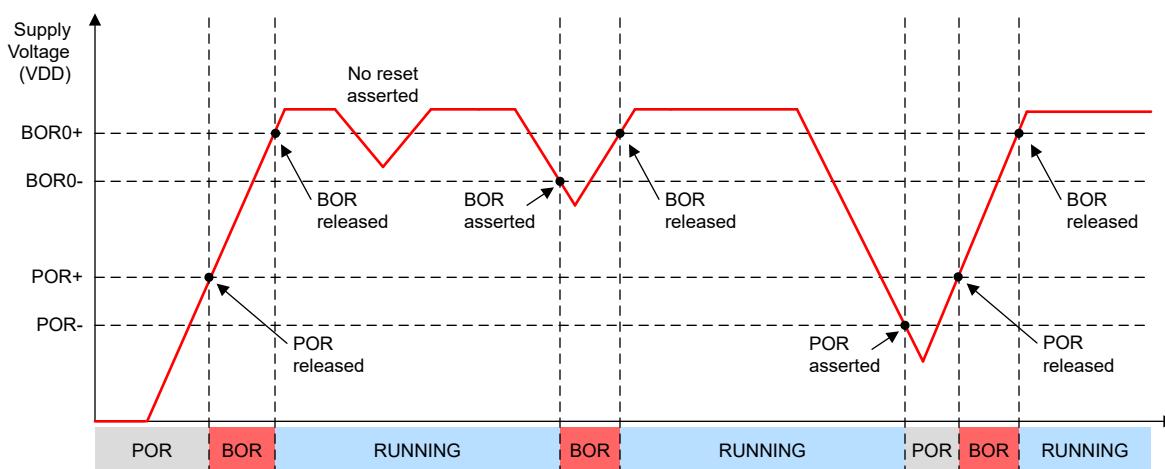


図 3-2. POR / BOR と電源電圧 (VDD) の関係

4 クロックシステム

MSPM0L シリーズのクロックシステムには、内部発振器、クロック モニタ、クロック選択および制御ロジックが含まれています。このセクションでは、さまざまな MSPM0L ファミリ デバイスのクロックリソースと、外部信号またはデバイスとの相互作用について説明します。

4.1 内部発振器

内部低周波数発振器 (LFOSC)

LFOSC はオンチップの低消費電力発振器で、32.768kHz の周波数に工場で調整されています。これはシステムの低消費電力化に役立つ低周波数クロックを提供します。LFOSC は、低い温度範囲で使用する場合、より高い精度を実現できます。詳細については、デバイス固有のデータシートを参照してください。

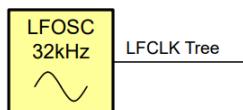


図 4-1. MSPM0L シリーズ LFOSC

内部システム発振器 (SYSOSC)

SYSOSC はオンチップの高精度で構成可能な発振器で、32MHz (ベース周波数) および 4MHz (低周波数) の出荷時に調整された周波数に加えて、24MHz または 16MHz でのユーザー トリム動作もサポートしています。これは、コードの実行と処理性能のために CPU を高速で動作させるための高周波クロックを提供します。

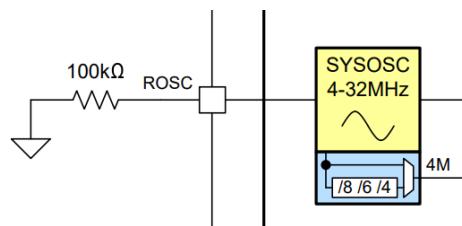


図 4-2. MSPM0L シリーズ SYSOSC

SYSOSC 周波数補正ループ

この発振器の追加ハードウェア設定は、ROSC ピンと VSS の間に実装される外付け抵抗であり、温度範囲全体で $\pm 2.5\%$ の基本精度から SYSOSC を増加させます。

SYSOSC アプリケーション全体の精度は、以下の誤差ソースを組み合わせて総合誤差を求ることで決定されます。

1. ROSC 基準抵抗の誤差 (許容誤差と温度ドリフトによる)
2. FCL モードでの SYSOSC 回路の誤差 (-40°C~85°C で $\pm 0.75\%$ 、-40°C~125°C で $\pm 0.90\%$)

表 4-1 に、2 つの温度範囲にわたる 2 つの異なる ROSC 抵抗仕様について、SYSOSC アプリケーションの精度を計算する方法を示します。詳細については、『MSPM0L シリーズ 32MHz マイクロコントローラ テクニカルリファレンスマニュアル』を参照してください。

表 4-1. ROSC 許容誤差、RSOC TCR、周囲温度 (T_A) による FCL を使用した SYSOSC 精度

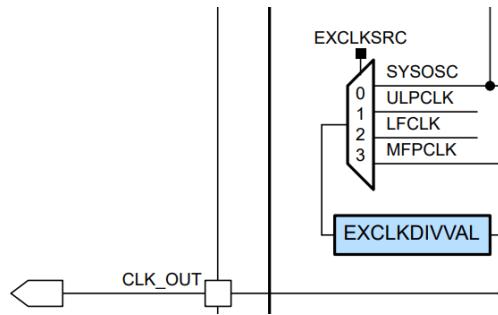
周囲温度 (T_A)	$-40 \leq T_A \leq 125^\circ\text{C}$		$-40 \leq T_A \leq 85^\circ\text{C}$	
	$\pm 0.1\% 25\text{ppm}/^\circ\text{C}$	$\pm 0.5\% 25\text{ppm}/^\circ\text{C}$	$\pm 0.1\% 25\text{ppm}/^\circ\text{C}$	$\pm 0.5\% 25\text{ppm}/^\circ\text{C}$
ROSC 抵抗パラメータ				
公称 ROSC 抵抗 (ROSC_{nom})		100kΩ		
最大 ROSC 抵抗 (25°C 時)	100.1kΩ	100.5kΩ	100.1kΩ	100.5kΩ
最小 ROSC 抵抗 (25°C 時)	99.9kΩ	99.5kΩ	99.9kΩ	99.5kΩ

表 4-1. ROSC 許容誤差、RSOC TCR、周囲温度 (T_A) による FCL を使用した SYSOSC 精度 (続き)

周囲温度 (T_A)	$-40 \leq T_A \leq 125^\circ\text{C}$		$-40 \leq T_A \leq 85^\circ\text{C}$	
ROSC 抵抗パラメータ	$\pm 0.1\% 25\text{ppm}/^\circ\text{C}$	$\pm 0.5\% 25\text{ppm}/^\circ\text{C}$	$\pm 0.1\% 25\text{ppm}/^\circ\text{C}$	$\pm 0.5\% 25\text{ppm}/^\circ\text{C}$
ROSC 抵抗 TCR	25ppm/ $^\circ\text{C}$			
ROSC 温度ドリフト	-0.16%~0.25%		-0.16%~0.15%	
最大 ROSC 抵抗 (高温時) (ROSC _{max})	100.35k Ω	100.75k Ω	100.25k Ω	100.65k Ω
最小 ROSC 抵抗 (低温時) (ROSC _{min})	99.74k Ω	99.34k Ω	99.74k Ω	99.34k Ω
ROSC 抵抗誤差 (高温) (ROSC _{err+})	+0.35%	+0.75%	+0.25%	+0.65%
ROSC 抵抗誤差 (低温) (ROSC _{err-})	-0.26%	-0.66%	-0.26%	-0.66%
SYSOSC 回路エラー (SYSOSC _{err})	$\pm 0.9\%$		$\pm 0.75\%$	
総合精度 (TOT _{err-} , TOT _{err+})	-1.2%~+1.3%		-1.6%~+1.7%	
	-1.0%~+1.0%		-1.4%~+1.4%	

4.2 外部クロック出力 (CLK_OUT)

デバイスから外部回路、または周波数クロック カウンタにデジタル クロックを供給するためのクロック出力ユニットが用意されています。この機能は、クロック ソースを持たない外部 ADC などの外部回路へのクロック供給に役立ちます。クロック出力ユニットには、選択可能なソースの柔軟なセットがあり、プログラマブル デバイダが含まれています。


図 4-3. MSPM0L シリーズの外部クロック出力

CLK_OUT で使用可能なクロック ソース:

- SYSOSC
- ULPCLK
- MFCLK
- LFCLK

選択したクロック ソースは、ピンまたは周波数クロック カウンタに出力する前に 1、2、4、8、16、32、64、または 128 で分周されます。

4.3 周波数クロック カウンタ (FCC)

周波数クロック カウンタ (FCC) を使用すると、デバイス上の各種発振器とクロックのテストとキャリブレーションを柔軟にインシステムで実施できます。FCC は、(2 次基準ソースから派生した) 既知の固定トリガ期間内に、選択したソース クロックで観測されるクロック周期の数をカウントし、ソース クロックの周波数を推定します。

MPQF911

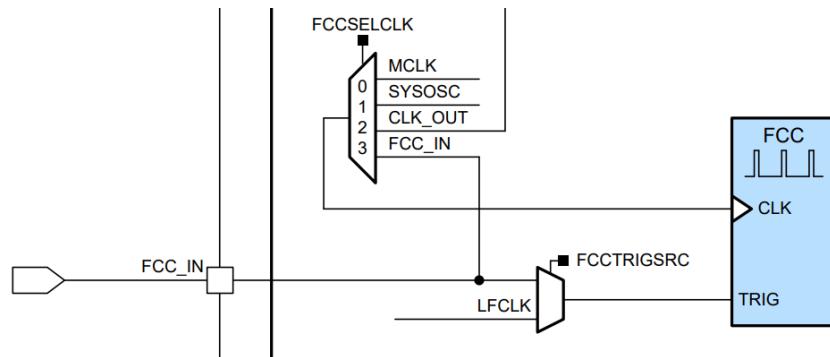


図 4-4. MSPM0L シリーズ周波数クロック カウンタのブロック図

アプリケーションソフトウェアは、FCC を使用して、以下の発振器とクロックの周波数を測定できます。

- MCLK
- SYSOSC
- CLK_OUT
- 外部 FCC 入力 (FCC_IN)

注

外部 FCC 入力 (FCC_IN 機能) は FCC クロック ソースまたは FCC トリガ入力として使用できますが、同じ FCC キャプチャ中に入力を両方の機能に使用することはできません。FCC クロック ソースまたは FCC トリガとして構成する必要があります。

5 デバッガ

デバッガ・サブシステム (DEBUGSS) は、シリアル・ワイヤ・デバッガ (SWD) の 2 線式物理インターフェイスを、デバイス内の複数のデバッガ機能に接続します。MSPM0L デバイスは、プロセッサの実行、デバイスの状態、電力状態 (EnergyTrace テクノロジーを使用) のデバッグをサポートしています。

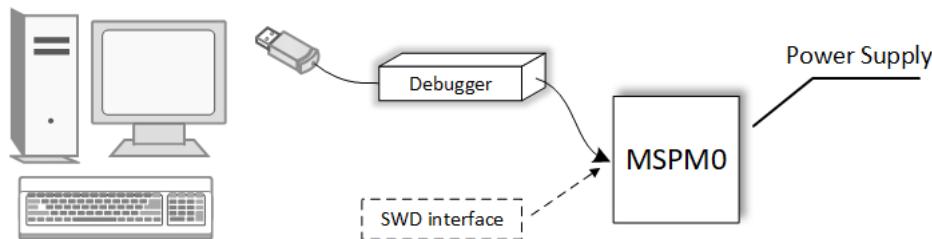


図 5-1. ホストからターゲット・デバイスへの接続

5.1 デバッガ・ポートのピンとピン配置

デバッガ・ポートには、内部プルダウン抵抗とプルアップ抵抗を備えた (表 5-1 を参照) SWCLK と SWDIO が含まれています (図 5-2 を参照)。MSPM0L MCU ファミリは、使用可能なピン数が異なるさまざまなパッケージで提供されています。詳細については、デバイス固有のデータシートを参照してください。

表 5-1. MSPM0L デバッガ・ポート

デバイス信号	方向	SWD 機能
SWCLK	入力	デバッガ・プローブからのシリアル・ワイヤ・クロック
SWDIO	入力 / 出力	双方向 (共有) シリアル・ワイヤ・データ

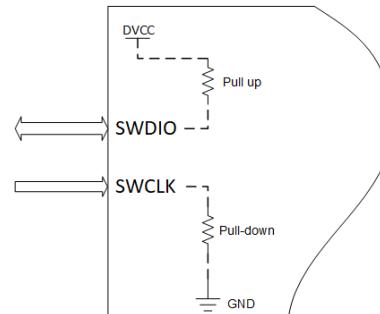


図 5-2. MSPM0L SWD 内部プル

5.2 標準 JTAG コネクタを使用したデバッガ ポート接続

図 5-3 に、MSPM0L ファミリ MCU SWD デバッガ ポートと標準 JTAG コネクタの接続を示します。

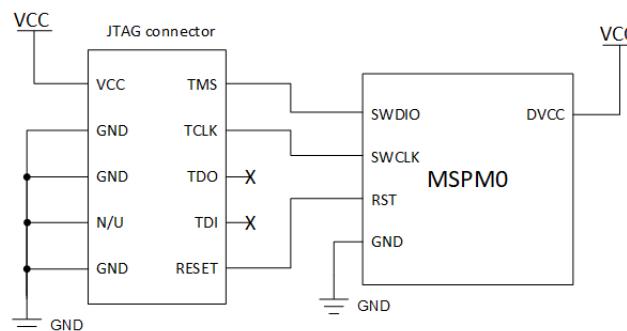


図 5-3. JTAG および MSPM0L 接続

MSPM0L デバイスの場合、XDS110 を使用してデバッグ / ダウンロード機能を実装できます。ここに XDS110 の内容を示し、ハードウェアのインストール手順を示します。

標準 XDS110

標準 XDS110 は、ti.com で購入してください。図 5-4 に、XDS110 プローブの主要な機能領域とインターフェイスの概略図を示します。

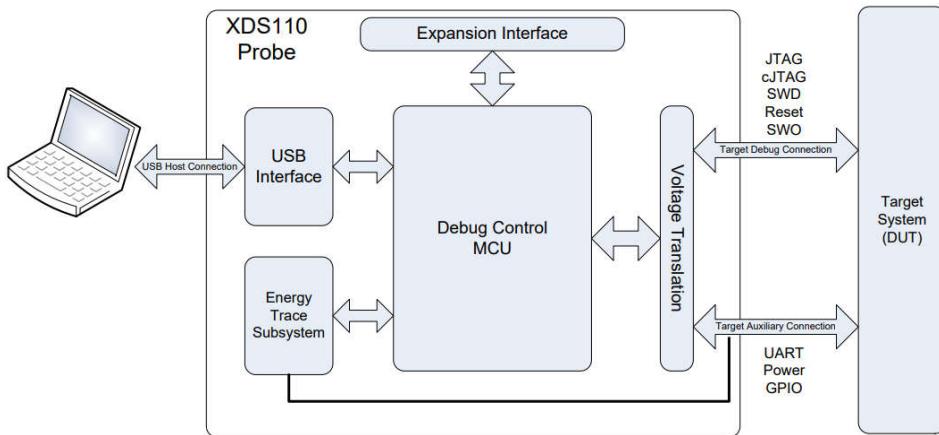


図 5-4. XDS110 プローブの高レベル ブロック図

標準 XDS110 の詳細については、『[XDS110 デバッグ プローブ ユーザー ガイド](#)』を参照してください。

Lite XDS110 (MSPM0 LaunchPad™ キット)

MSPM0 LaunchPad キットには、XDS110-ET (Lite) 回路が含まれています。このデバッガを使用して、ファームウェアを MSPM0 デバイスにダウンロードします。図 5-5 に、XDS110-ET 回路を示します。

XDS110-ET には 2 つのプローブがあります：

2.54mm プローブ: このポートは SWD プロトコルをサポートし、5V または 3.3V の電源を内蔵しています。SWDIO SWCLK 3V3 GND をボードに接続し、ファームウェアを MSPM0L デバイスにダウンロードします。

このプローブは、EnergyTrace™ テクノロジーをサポートしているため、この回路を使用して消費電力をリアルタイムで正確に測定できます。

EnergyTrace テクノロジーの詳細については、[EnergyTrace テクノロジー ツール ページ](#)を参照してください。

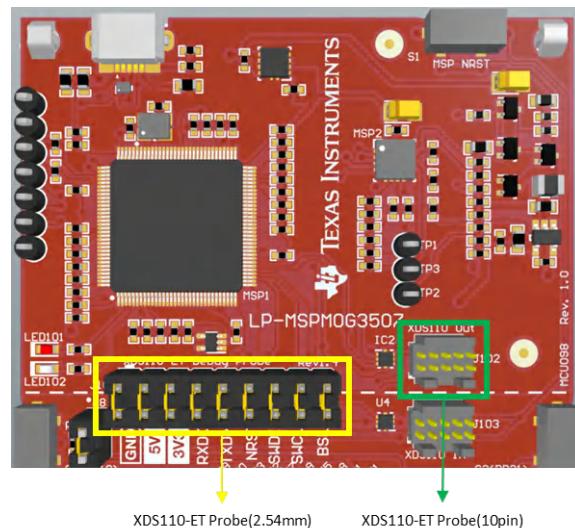


図 5-5. XDS110-ET 回路

10 ピン プローブ:このポートは JTAG および SWD プロトコルをサポートしており、3.3V 電源を内蔵しています。10 ピンケーブルを使用してボードと XDS110-ET を接続し、ファームウェアを MSPM0L デバイスにダウンロードします。[図 5-6](#) に、10 ピン ケーブルを示します。



図 5-6. Arm 標準 10 ピン ケーブル

注

- 標準 XDS110 はデバッグポートのレベルシフトをサポートしており、XDS110-ET は 3.3V のプローブレベルのみをサポートしています。
 - テキサス・インスツルメンツでは、MSPM0L MCU 以外の他のデバイスへの電力供給に XDS110 を使用することを推奨していません。XDS110 には、電流駆動能力が制限された LDO が内蔵されています。
 - XDS110-ET 2.54mm プローブは JTAG プロトコルをサポートしていません。
 - XDS110-ET 10 ピン プローブは EnergyTrace テクノロジーをサポートしていません。
-

6 主要なアナログペリフェラル

MSPM0L シリーズ MCU は、豊富なアナログ・ペリフェラル・リソースを搭載しており、チップ内で多くのアナログ・シグナル・コンディショニング機能を実現できます。MSPM0L アナログ・ペリフェラルの性能を最大限に活用するには、ハードウェア設計でいくつかの検討事項を考慮する必要があります。このセクションでは、多くの代表的なアナログ回路構成に関するアナログ設計上の考慮事項について説明します。

6.1 ADC 設計の検討事項

MSPM0L デバイスには、12 ビット、最大 1Msps の A / D コンバータ (ADC) が搭載されています。この ADC は、12、10、8 ビットの高速な A / D 変換をサポートしています。この ADC は、12 ビットの SAR コア、サンプル / 変換モード制御、最大 4 個の独立した変換 / 制御バッファを実装しています。

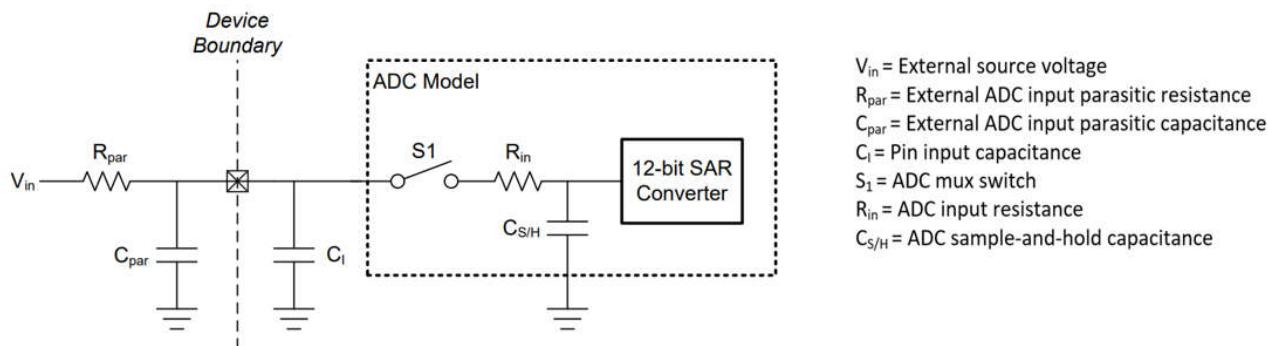


図 6-1. ADC 入力ネットワーク

希望の変換速度を達成し、高い精度を維持するには、ハードウェア設計で適切なサンプリング時間を設定します。サンプリング (サンプル アンド ホールド) 時間は、デジタル変換前に信号をサンプリングする時間を決定します。サンプル時間中は、内部スイッチにより入力コンデンサが充電されます。コンデンサを完全に充電するために必要な時間は、ADC 入力ピンに接続されている外部アナログ フロント エンド (AFE) に依存します。図 6-1 に MSPM0L MCU の代表的な ADC モデルを示します。 R_{in} と $C_{S/H}$ の値は、デバイス固有のデータシートから取得できます。AFE 駆動能力を理解し、信号のサンプリングに必要な最小サンプリング時間を計算することが重要です。 R_{Par} と R_{in} の抵抗は t_{sample} に影響を及ぼします。式 1 は、n ビット変換の最小サンプル時間 t_{sample} の安全な値を計算するために使用できます。

$$t_{sample} \geq (R_{par} + R_{in}) \times \ln(2^{n+2}) \times (C_{S/H} + C_1 + C_{Par}) \quad (1)$$

6.2 OPA 設計の検討事項

MSPM0L OPA は、プログラマブル ゲイン段を備えたゼロドリフト チョッパ安定化オペアンプです。これは、信号の増幅とバッファリングに使用できます。OPA は汎用モード、バッファ モード、PGA モードで動作できます。

OPA を汎用モードで使用する場合は、外付けの抵抗とコンデンサを追加してアンプ回路を作成します。ただし、バッファモードを使用する場合、回路はソフトウェアで構成できます。PGA モードの場合、ソフトウェアは最大 32 倍の PGA ゲインを構成できます。

注

PGA ゲインは負端子のみです。

1 つのデバイスで複数の OPA が利用可能な場合、これら 2 つを組み合わせて差動アンプを形成できます。差動アンプの出力式は、図 6-2 の V_{diff} 式で与えられます。

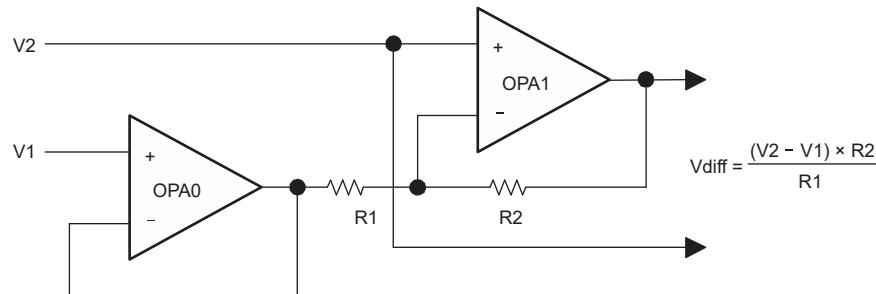


図 6-2. 2 個の OPA 差動アンプのブロック図と式

または、1 つのデバイスで複数の OPA が利用可能な場合、それらの OPA を組み合わせてマルチ ステージまたはカスケードアンプを形成することもできます。プログラマブル入力マルチプレクサを使用すると、反転型と非反転型のマルチステージアンプのすべての組み合わせを実装できます。非反転型から非反転型へのカスケード接続アンプの出力式は、図 6-3 の V_{out} 式で与えられます。

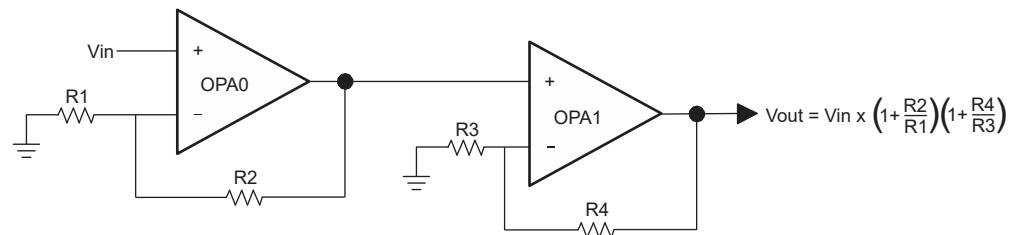


図 6-3. 2 個の OPA 非反転型から非反転型へのカスケード接続アンプのブロック図と式

6.3 DAC 設計の検討事項

MSPM0L デバイスには 8 ビット DAC モジュールが含まれています。DAC は基準電圧として使用でき (図 6-4)、また OPA と組み合わせて出力パッドを直接駆動することもできます (図 6-5)。8 ビット DAC モジュールは通常、OPA および COMP の内部基準電圧として使用されます。外部パッドに出力するには、OPA をバッファ・モードに構成して、ドライブ強度を向上させる必要があります。

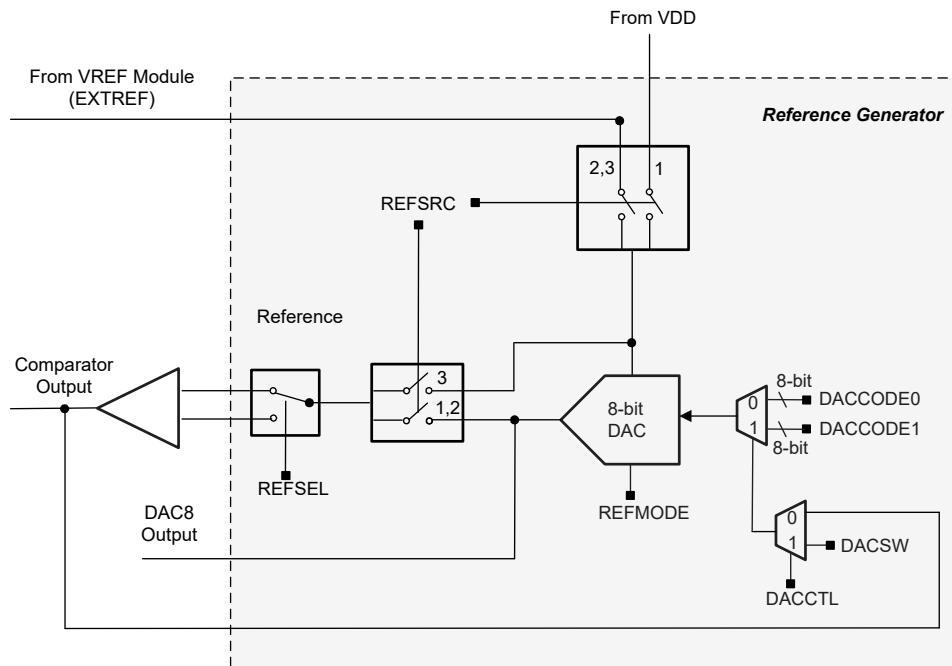


図 6-4. 8 ビット DAC のブロック図

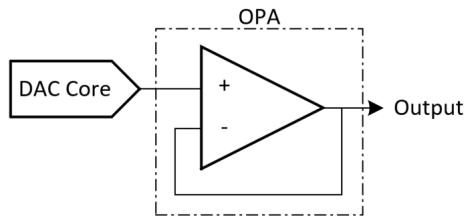


図 6-5. 8 ビット DAC + OPA の出力接続

6.4 COMP 設計の検討事項

MSPM0L コンパレータ モジュール (COMP) は、汎用コンパレータ機能を備えたアナログ電圧コンパレータです。

MSPM0L コンパレータ モジュールには内部および外部入力が含まれており、これらの構造を使用してアナログ信号を柔軟に処理できます。また、内部温度センサを COMP 入力として直接使用できなければなりません。

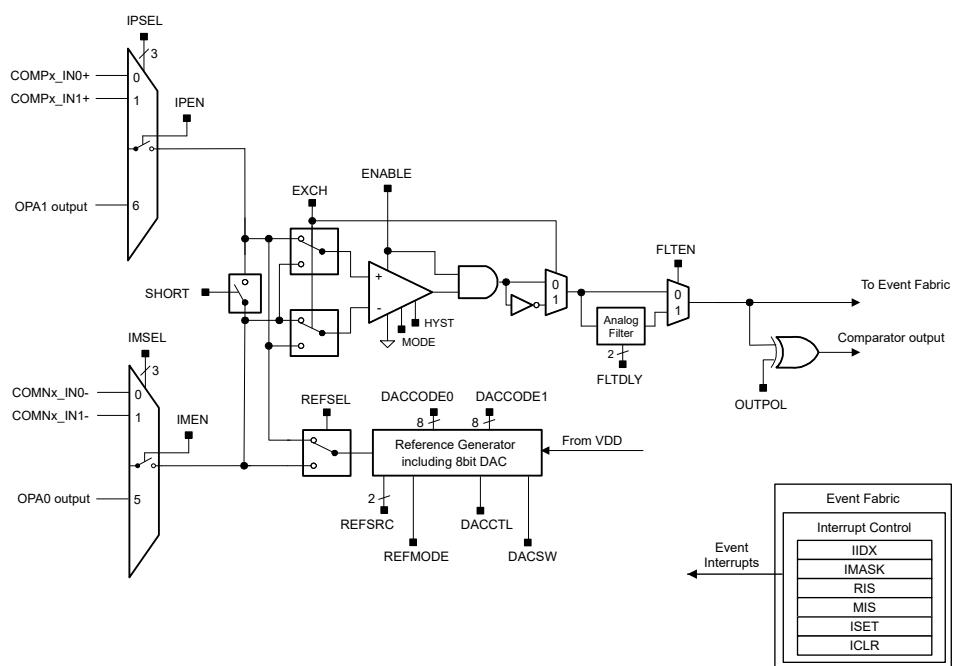


図 6-6. コンパレータのブロック図

MSPM0L コンパレータ モジュールには、コンパレータ用のシンプルなサンプル アンド ホールドの構築に使用できるショートスイッチも含まれています。

図 6-7 に示すように、必要なサンプリング時間はサンプリング コンデンサ (CS) のサイズ、短いスイッチ (R-) と直列に接続された入力スイッチの抵抗、外部ソース (RS) の抵抗に比例します。サンプリング コンデンサ CS は 100pF より大きい必要があります。サンプリング コンデンサ CS を充電する時定数 Tau は、式 2 で計算できます

$$T_{au} = (R_I + R_S) \times C_S \quad (2)$$

必要な精度に応じて、サンプリング時間として 3~10 Tau を使用する必要があります。3 Tau では、サンプリング コンデンサは入力信号電圧レベルの約 95% まで充電され、5 Tau では 99% 以上まで充電されます。10 Tau では、サンプリングされた電圧で 12 ビットの精度を実現できます。

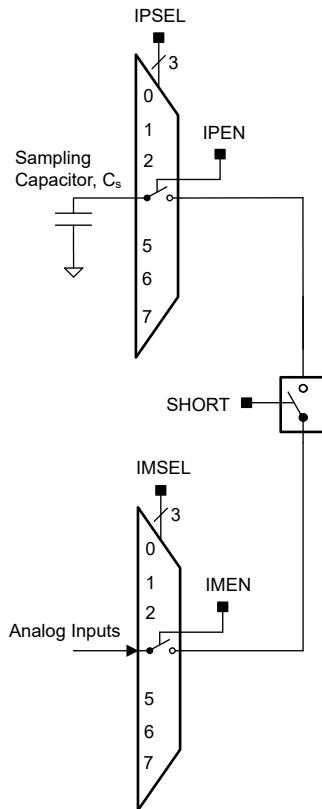


図 6-7. コンパレータ ショート スイッチ

6.5 GPAMP 設計の検討事項

MSPM0L デバイスには、図 6-8 に示すように、いくつかの外部抵抗およびコンデンサを使用した信号增幅に使用できる GPAMP (汎用アンプ) モジュールが含まれています。

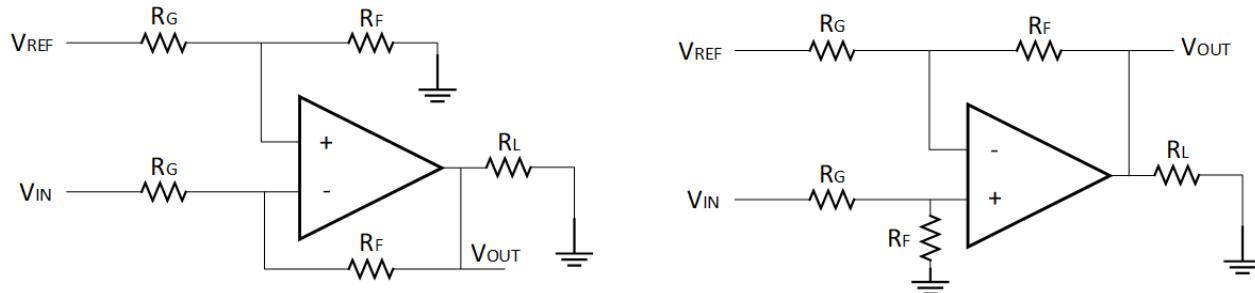


図 6-8. 増幅モードの GPAMP 回路

GPAMP は、内部 ADC のバッファとしても使用できます。図 6-9 に、この構成の例を示します。

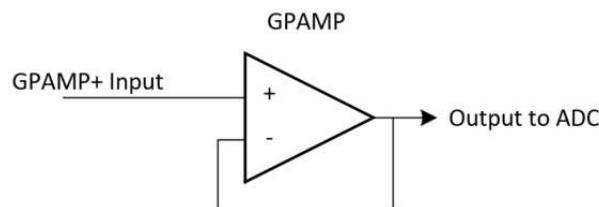


図 6-9. バッファ・モードの GPAMP 回路

6.6 LCD 設計の検討事項

MSPM0L の液晶ディスプレイ (LCD) コントローラは、セグメント (SEG) および COM 電圧信号を介して LCD ディスプレイを直接駆動します。このコントローラは、静的および 2 マルチプレクサから 8 マルチプレクサ モードの LCD セグメントディスプレイをサポートできます。

このセクションでは、回路図と PCB 設計の主な考慮事項についてのみ説明します。LCD 設計の詳細については、『[MSPM0™ MCU とセグメント LCD を使用した設計](#)』を参照してください。

回路図設計については、LCD コントローラは、一般的な使用事例では追加部品を必要とせずに LCD を直接駆動できます。ただし、チャージポンプを使用して定電圧を生成する場合 (特に、VDD 電圧の変動に起因する表示の変動を防ぐために VDD がバッテリ駆動の場合) は、図 6-10 に示すように、LCDCAP0/1 および抵抗 R13、R24、R23、R33 にコンデンサが必要になることがあります。

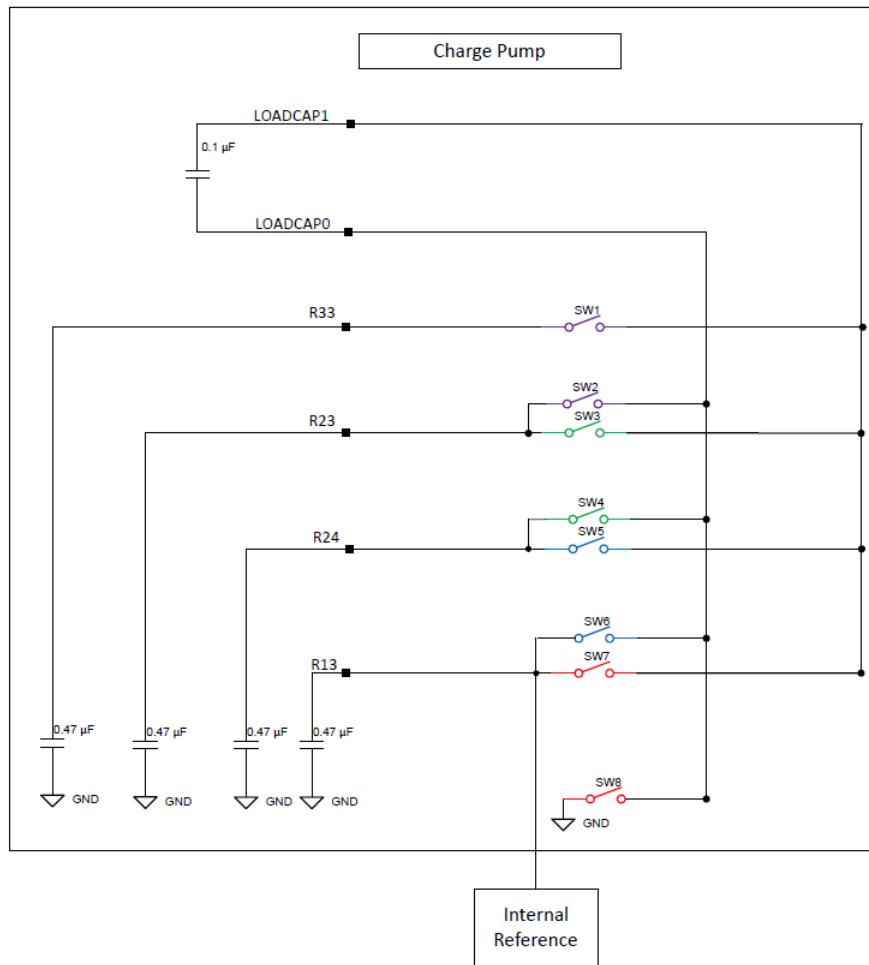


図 6-10. チャージポンプ使用時の LCD コンデンサの設定

PCB 設計については、一般的なレイアウト ルールを以下に示します。

LCD 信号ラインは、ディスプレイ上の画像を維持するために常にスイッチングを行い、ノイズの影響を受けやすいライン (外部水晶振動子接続など) から遠ざけます。ガードリングを使用して、水晶振動子接続や ADC 入力などのノイズに敏感なラインをノイズ カップリングから遮蔽します。LCD パターンの下のグランド プレーンとガード パターンもシールドになります。データバスと同様に、すべての LCD 信号パターン (セグメントと共通ライン) をまとめて配置することをお勧めします。LCD レイアウトを単層に維持することで、影響を受けやすいパターンの上または下に LCD パターンが配線されないようにすることができます。LOADCAP ピンのチャージポンプ コンデンサは、短いパターンで MCU にできるだけ近づけて配置します。

7 主要なデジタル・ペリフェラル

MSPM0 L シリーズ MCU には、タイマ、UART、SPI、LIN などのデジタル・ペリフェラル・リソースが含まれており、豊富な通信機能を提供します。MSPM0L デジタル・ペリフェラルを最大限に活用するには、ハードウェア設計でいくつかの検討事項を考慮する必要があります。このセクションでは、多くの代表的なデジタル・ペリフェラル構成に関する設計上の考慮事項について説明します。

7.1 タイマ リソースと設計の検討事項

タイマは、どの MCU でも最も基本的で重要なモジュールの 1 つであり、このリソースはすべてのアプリケーションで使用されています。タスクの定期的な処理、遅延、デバイス駆動用の PWM 波形の出力、外部パルスの幅と周波数の検出、波形出力のシミュレーションなどに使用できます。

MSPM0 L シリーズ MCU には、以下のような汎用のタイマ モジュールが搭載されています。TIMG。入力信号のエッジと期間の測定 (キャプチャモード) や、PWM 信号のような出力波形の生成 (比較モード出力) など、さまざまな機能に使用できます。表 7-1 に、各タイマのさまざまな機能と構成の概要を示します。

表 7-1. TIMG インスタンスの構成

インスタンス	パワードメイン	カウンタ分解能	プリスケーラ	リピートカウンタ	CCP チャネル	位相負荷	シャドウ負荷	パイプライン CC	デッドバンド	フォールトハンドラ	QEI
TIMG0	PDO	16 ビット	8 ビット	-	2	-	-	-	-	-	-
TIMG1	PDO	16 ビット	8 ビット	-	2	-	-	-	-	-	-
TIMG2	PDO	16 ビット	8 ビット	-	2	-	-	-	-	-	-
TIMG3	PDO	16 ビット	8 ビット	-	2	-	-	-	-	-	-
TIMG4	PDO	16 ビット	8 ビット	-	2	-	あり	あり	-	-	-
TIMG5	PDO	16 ビット	8 ビット	-	2	-	あり	あり	-	-	-
TIMG6	PD1	16 ビット	8 ビット	-	2	-	あり	あり	-	-	-
TIMG7	PD1	16 ビット	8 ビット	-	2	-	あり	あり	-	-	-
TIMG8	PDO	16 ビット	8 ビット	-	2	-	-	-	-	-	あり
TIMG9	PDO	16 ビット	8 ビット	-	2	-	-	-	-	-	あり
TIMG10	PD1	16 ビット	8 ビット	-	2	-	-	-	-	-	あり
TIMG11	PD1	16 ビット	8 ビット	-	2	-	-	-	-	-	あり

- まず、デバイス固有のデータシートを参照して、どの TIMG インスタンスがデバイスで使用可能なのか確認します
- テクニカル リファレンスマニュアルで、各 TIMG インスタンスで利用可能な機能を確認する必要があります

7.2 UART と LIN のリソースと設計の検討事項

MSPM0 L シリーズ MCU には、ユニバーサル非同期送受信機 (UART) が搭載されています。表 7-2 に示すように、UART0 は LIN、DALI、IrDA、ISO7816 マンチェスター符号化機能をサポートしています。

表 7-2. UART の機能

UART の機能	UART0 (拡張)	UART1 (メイン)
停止およびスタンバイ モードでアクティブ	あり	あり
送信 FIFO と受信 FIFO を分離	あり	あり
ハードウェア フロー制御をサポート	あり	あり
9 ビット構成をサポート	あり	あり
LIN モードをサポート	あり	-
DALI をサポート	あり	-
IrDA をサポート	あり	-
ISO7816 スマートカードをサポート	あり	-
マンチェスター符号化をサポート	あり	-

表 7-3. MSPM0L UART 仕様

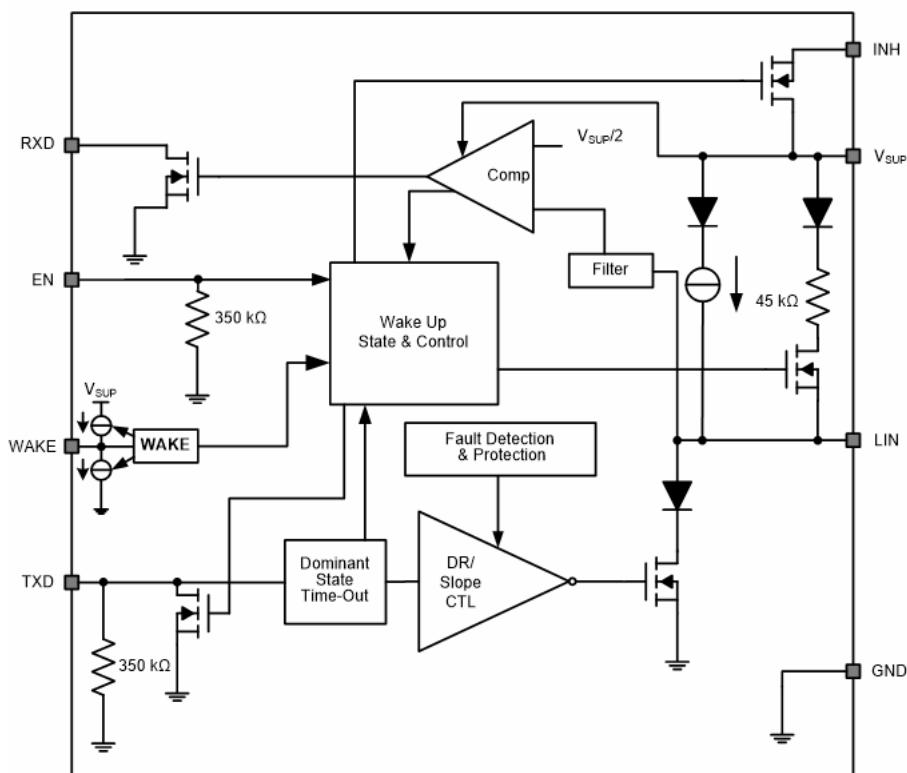
パラメータ		テスト条件	最小値	標準値	最大値	単位
f_{UART}	UART 入力クロック周波数			32		MHz
f_{BITCLK}	BITCLK クロック周波数 (MBaud のポートレートに等しい)			4		MHz
t_{SP}	入力フィルタにより抑制されるスペイクのパルス持続時間	AGFSELx = 0	5	5.5	32	ns
		AGFSELx = 1	8	15	55	ns
		AGFSELx = 2	18	38	115	ns
		AGFSELx = 3	30	74	165	ns

MSPM0L UART モジュールは最大 4MHz のポートデータをサポートでき、ほぼすべての UART アプリケーションをサポートできます。

ローカル相互接続ネットワーク (LIN) は一般的に使用される低速ネットワークインターフェイスで、複数のリモートレスポンダノードと通信するコマンダノードで構成されています。通信に必要なのは 1 本のワイヤのみであり、一般的に車両の配線ハーネスに含まれています。

TLIN1021A-Q1 のトランシミッタは最大 20kbps のデータレートをサポートしています。本トランシーバは、TXD ピン経由で LIN バスの状態を制御し、オープンドレインの RXD 出力ピンでバスの状態を報告します。このデバイスは、電磁放射 (EMI) を低減するために電流制限付き波形整形ドライバを備えています。

TLIN1021A-Q1 は、広い入力電圧動作範囲の 12V アプリケーションに対応するように設計されています。このデバイスは低消費電力スリープモードと、wake over LIN、WAKE ピン、EN ピンによる低消費電力モードからのウェークアップをサポートしています。このデバイスを使用すると、ノードに存在する可能性がある各種電源を TLIN1021A-Q1 の INH 出力ピンで選択的に有効にすることで、バッテリの消費電流をシステムレベルで低減できます。図 7-1 に、テキサス・インスツルメンツ TLIN1021A LIN トランシーバを使用して実装されている代表的なインターフェイスを示します。

**図 7-1. 標準的な LIN TLIN1021A トランシーバ**

通信に必要なのは 1 本のワイヤのみであり、一般的に車両の配線ハーネスに含まれています。図 7-2 図 7-3 に、テキサス・インスツルメンツ TLIN1021A LIN トランシーバを使用して実装されている代表的なインターフェイスを示します。詳細については、TLIN1021 データシートを参照してください。

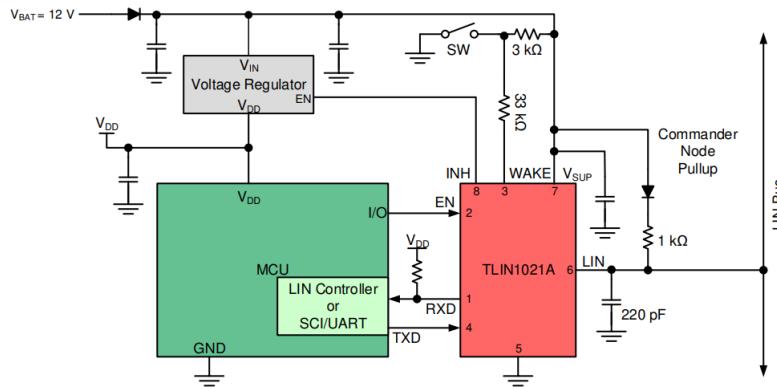


図 7-2. MSPM0L を使用した代表的な LIN アプリケーション (コマンダ)

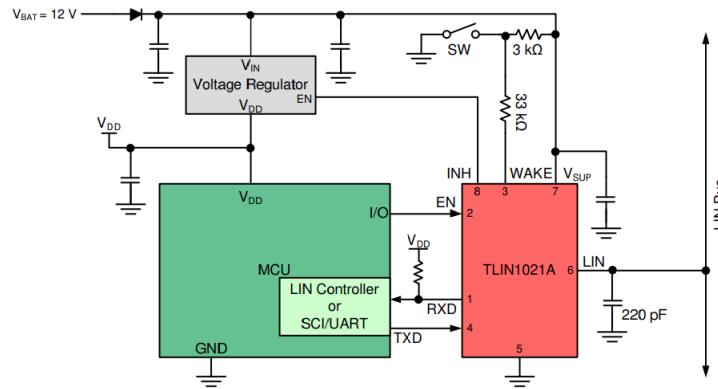


図 7-3. MSPM0L を使用した代表的な LIN アプリケーション (レスポンダ)

7.3 I²C と SPI 設計の検討事項

SPI と I²C の各プロトコルは、MCU とセンサ間のデータ交換など、デバイスまたはボード間の通信に広く使用されています。MSPM0L シリーズ MCU は、最大 16MHz の高速 SPI を搭載しており、3 線式、4 線式、チップ セレクト、コマンド モードをサポートしています。要件に基づいてシステムを設計するには、図 7-4 を参照してください。

一部の SPI ペリフェラル デバイスは、PICO (ペリフェラル入力コントローラ出力) を高ロジックに維持する必要があります。この場合、PICO ピンにプルアップ抵抗を追加します。

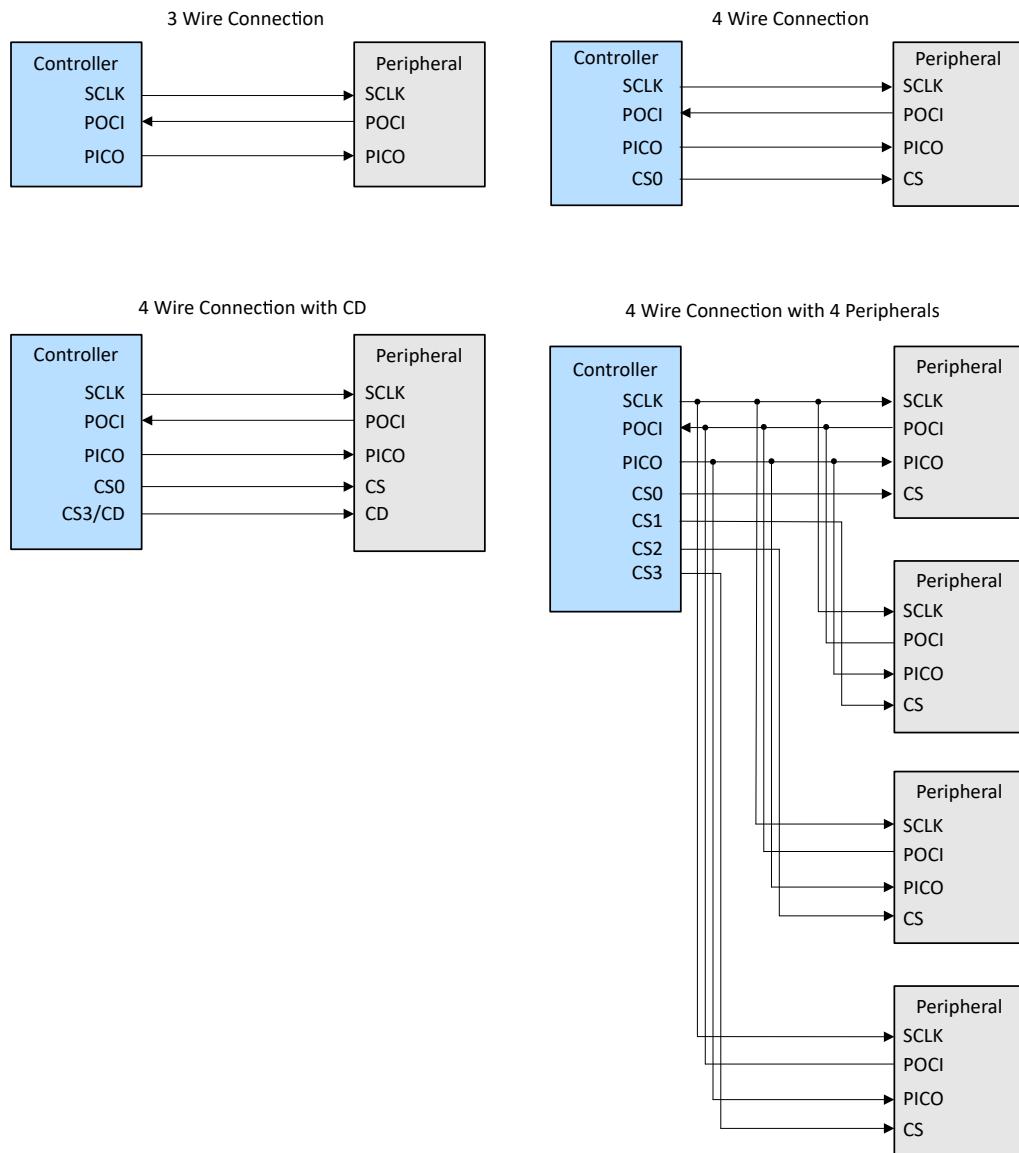


図 7-4. 異なる SPI 構成に対する外部接続

I²C バスの場合、MSPM0L デバイスは表 7-4 に示すように、標準、高速、および高速プラス モードをサポートします。

I²C バスを使用する場合は、外部プルアップ抵抗が必要です。これらの抵抗の値は I²C の速度に依存します。テキサス・インスツルメンツでは、高速プラス モードをサポートするために 2.2k を推奨します。消費電力に関するシステムでは、大きな抵抗値を使用できます。ODIO (GPIO を参照) を使用して、5V デバイスとの通信を実装できます。

表 7-4. MSPM0L I₂C の特性

パラメータ	テスト条件	スタンダード モード		ファスト モード		ファスト モード プラス		単位
		最小値	最大値	最小値	最大値	最小値	最大値	
f _{I₂C}	I ₂ C 入力クロック周波数	パワードメイン 0 の I ₂ C		40	40	40	40	MHz
f _{SCL}	SCL クロック周波数			100K	400K	1M	MHz	
t _{HD,STA}	(リピート) スタートホールド時間			4	0.6	0.26	us	
t _{LOW}	SCL クロックの Low 期間			4.7	1.3	0.5	us	
t _{HIGH}	SCL クロックの High 期間			4	0.6	0.26	us	
t _{SU,STA}	リピートスタートセットアップ時間			4.7	0.6	0.26	us	
t _{HD,DAT}	データホールド時間			0	0	0	us	
t _{SU,DAT}	データセットアップ時間			250	100	50	us	
t _{SU,STO}	ストップセットアップ時間			4	0.6	0.26	us	
t _{BUF}	STOP 条件と START 条件の間のバスフリー時間			4.7	1.3	0.5	us	
t _{VD;DAT}	データ有効時間			3.46	0.9	0.45	us	
t _{VD;ACK}	データ有効アクリッジ時間			3.46	0.9	0.45	us	

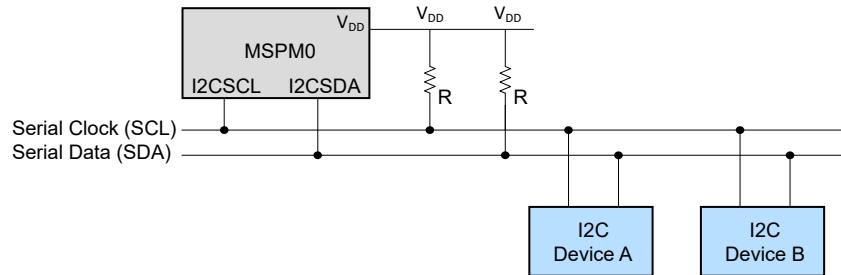


図 7-5. 代表的な I₂C バス接続

8 GPIO

MSPM0L シリーズ MCU は、標準駆動 I/O (SDIO)、高速 I/O (HIO)、5V 許容のオープン・ドレイン I/O (ODIO) を搭載しています。ユーザーは、実際の要件に基づいて適切な I/O タイプを柔軟に選択できます。また、ハードウェア設計では、以下の特性を考慮する必要があります。

8.1 GPIO 出力のスイッチング速度と負荷容量

GPIO を I/O として使用する場合、正しい動作を検証するために設計上の検討事項を考慮する必要があります。負荷容量が大きくなると、I/O ピンの立ち上がり / 立ち下がり時間が長くなります。この容量には、ピンの寄生容量 ($C_i = 5\text{pF}$ (標準値)) と基板のパターンの影響が含まれます。I/O 特性は、デバイスのデータシートに記載されています。[表 8-1](#) に MSPM0L デバイスの I/O 出力周波数特性を示します。

表 8-1. MSPM0L GPIO のスイッチング特性

パラメータ		テスト条件		最小値	標準値	最大値	単位
f_{max}	ポート出力周波数	SDIO	VDD $\geq 1.71\text{V}$ 、 $C_L = 20\text{pF}$			16	MHz
			VDD $\geq 2.7\text{V}$ 、 $C_L = 20\text{pF}$			32	
		HSIO	VDD $\geq 1.71\text{V}$ 、DRV = 0、 $C_L = 20\text{pF}$			16	
			VDD $\geq 1.71\text{V}$ 、DRV = 1、 $C_L = 20\text{pF}$			24	
			VDD $\geq 2.7\text{V}$ 、DRV = 0、 $C_L = 20\text{pF}$			32	
			VDD $\geq 2.7\text{V}$ 、DRV = 1、 $C_L = 20\text{pF}$			40	
		ODIO	VDD $\geq 1.71\text{V}$ 、FM ⁺ 、 $C_L = 20\text{pF} \sim 100\text{pF}$			1	
t_r, t_f	出力立ち上がり / 立ち下がり時間	ODIO を除くすべての出力ポート	VDD $\geq 1.71\text{V}$			$0.3 \times f_{max}$	s
t_f	出力立ち下がり時間	ODIO	VDD $\geq 1.71\text{V}$ 、FM ⁺ 、 $C_L = 20\text{pF} \sim 100\text{pF}$	$20 \times VDD / 5.5$		120	ns

注

- 出力電圧は、指定されたトグル周波数で 10% 以上、90% V_{CC} に達します。
- オープン・ドレイン I/O の出力立ち上がり時間は、プルアップ抵抗と負荷容量によって決まります。

8.2 GPIO 電流シンクおよびソース

表 8-2. MSPM0L GPIO 絶対最大定格

		最小値	公称値	最大値	単位
VDD	電源電圧	1.62		3.6	V
VCORE	VCORE ピンの電圧		1.35		V
C_{VDD}	VDD と VSS の間に配置されたコンデンサ		10		μF
C_{VCORE}	VCORE と VSS の間に配置されたコンデンサ		470		nF
T_A	周囲温度、T バージョン	-40		105	°C
	周囲温度、S バージョン	-40		125	
T_A	周囲温度、Q バージョン	-40		125	°C
T_J	最大接合部温度、T バージョン			125	°C
T_J	最大接合部温度、S および Q バージョン			130	°C
f_{MCLK}	MCLK、CPUCLK、ULPCLK 周波数、1 のフラッシュ待機状態			32	MHz
	MCLK、CPUCLK、ULPCLK 周波数、0 のフラッシュ待機状態			24	

注

- I/O の合計電流は、 I_{VDD} の最大値未満である必要があります。
- HSIO と ODIO には固定ピンのパッチが適用されています。デバイスのデータシートを参照してください。

SDIO と HSIO は最大電流 6mA (標準値) のシンクまたはソースが可能で、標準的な LED を駆動するのに十分です。合計結合電流は I_{VDD} (標準値 80mA) 未満である必要があります。

8.3 高速 GPIO

HSIO は最大 40MHz の周波数をサポートでき、この速度はバス・クロック、電源電圧、負荷容量に関係します。また、出力の最大周波数は、DIO レジスタの DRV ビットを使用して選択することもできます。

8.4 オープンドレイン GPIO により、レベルシフタなしで 5V 通信を実現

ODIO は 5V 入力に対応しています。ODIO はオープンドレインであるため、ピンが HIGH に出力できるようにするには、外部プルアップ抵抗が必要です。この I/O は、さまざまな電圧レベルの UART または I2C インターフェイスに使用できます。電流を制限するには、ピンとプルアップ抵抗の間に直列抵抗を配置し、RSERIES を 250Ω 以上にする必要があります。図 8-1 に示すように、テキサス インストゥルメンツは 270Ω を推奨します。プルアップ抵抗の値は、出力周波数によって異なります (セクション 7.3 を参照)。

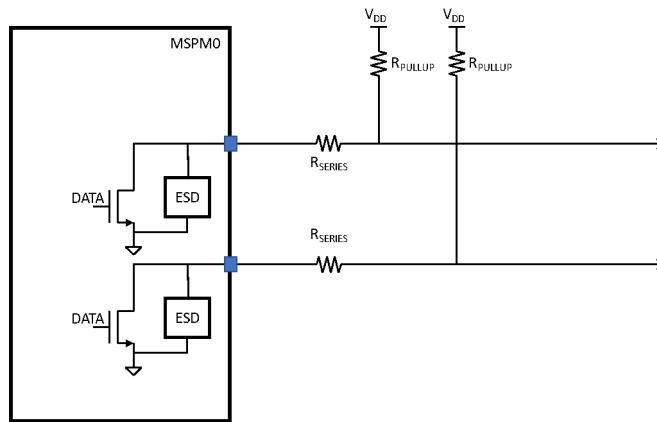


図 8-1. 推奨される ODIO 回路

8.5 レベルシフタなしで 1.8V デバイスと通信する

MSPM0L シリーズのデバイスは、3.3V のロジックレベルを使用します (ODIO を除く)。外部レベルシフタ デバイスなしで 1.8V デバイスと通信できるように、図 8-2 に 1.8V デバイスとインターフェイスするための推奨回路を示します。

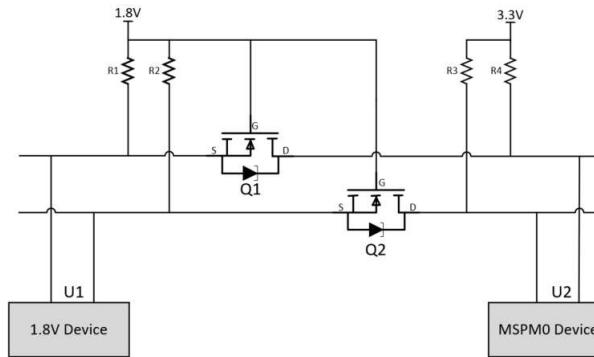


図 8-2. 1.8V デバイスで推奨される通信回路

この回路では 2 個の MOSFET を使用しています。VGS をチェックし、この MOSFET が低い RDS (on) で完全にオンになることを確認します。1.8V デバイスの場合、1.8V 未満の VGS MOSFET を使用します。ただし、VGS MOSFET を

過度に低く使用しないでください。この場合、MOSFET は非常に小さな電圧でオンし (MCU ロジックは 0 と判定)、通信ロジック エラーが発生します。

U1 出力と U2 入力

1. U1 出力は *1.8V high*、Q1 VGS は 0 付近のため、Q1 はオフになり、U2 は R4 で *3.3V high* と表示されます。
2. U1 出力が *low* の場合、Q1 VGS が 1.8V 付近となるため、Q1 はオンになり、U2 は *low* と表示されます。

U1 入力と U2 出力

1. U2 出力は *3.3V high*、U1 は R1 で 1.8V を維持、Q1 はオフになるため、U1 は *1.8V high* と表示されます。
2. U2 出力が *low* の場合、最初は U1 が R1 で 1.8V を維持しますが、MOSFET のダイオードが U1 を 0.7V にプルダウンします (ダイオードの電圧降下)。これにより VGS がターンオン電圧よりも高くなり、Q1 がオンになり、U1 は *low* と表示されます。

8.6 未使用ピンの接続

すべてのマイコンはさまざまなアプリケーション向けに設計されており、多くの場合、特定のアプリケーションでは MCU リソースの 100% を使用していません。

EMC 性能を向上させるため、未使用的クロック、カウンタ、I/O をフリーまたはプローティングのままにしないでください。たとえば、I/O を 0 または 1 に設定し (未使用的 I/O ピンのプルアップまたはプルダウン)、未使用的機能を無効にします。

表 8-3. 未使用ピンの接続

ピン	潜在的な	コメント
PAx	オープン	対応するピン機能を GPIO (PINCMx.PF = 0x1) に設定し、未使用的ピンを内部プルアップまたはプルダウン抵抗で LOW または入力を出力するように構成します。
OPAx_IN0-	オープン	このピンは高インピーダンスです。
NRST	VDD	NRST はアクティブ "Low" のリセット信号であり、VCC にプルアップして HIGH に維持する必要があります。そうしないと、デバイスを起動できません。

注

- リークを低減するため、I/O をアナログ入力として構成するか、プッシュプルとして構成し、0 に設定することをお勧めします。
- リセット後に BSL モードに移行しないように、BSL 起動ピンをプルダウンする必要があります。

9 レイアウト・ガイド

9.1 電源レイアウト

図 9-1 に、電源レイアウトの代表的な部品配置と配線を示します。MSPM0L 部品に合わせて適切に変更する必要があります。オプションとして、VCC および MCU VDD ピンと直列にフィルタ インダクタを接続できます。このインダクタを使用して、DC / DC のスイッチングノイズ周波数をフィルタリングします。この値については、DC / DC ベンダのデータシートを参照してください。MSPM0L デバイスのデータシートに掲載されている C1、C2、C3 の値とレイアウト。

注

- 最小の容量は、MCU VDD ピンにできるだけ近い値 ($C1 < C2 < C3$) に維持します。
- すべてのトレースは、ビアなしで直接接続する必要があります。

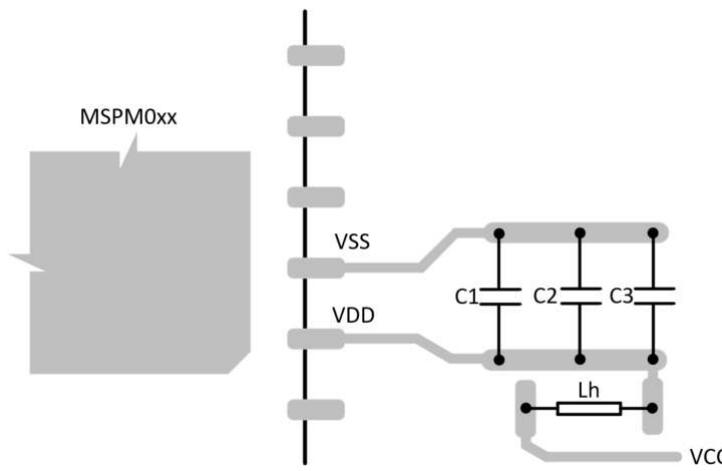


図 9-1. 推奨される電源レイアウト

9.2 グランドレイアウトに関する検討事項

システムグランドは、ボード上のノイズと EMI の問題に関連する最も重要な領域と基盤です。これらの問題を最小化する最も実用的な方法は、個別のグランドプレーンを用意することです。

グランドノイズとは？

回路 (ドライバ) から発生する各信号は、グランドパスを経由してソースに電流を戻します。周波数が高くなるにつれて、またはリレーのように単純で大電流のスイッチングを行う場合でも、接地方式で干渉を発生させるラインインピーダンスに起因する電圧降下が発生します。リターンパスは常に最小抵抗を経由します。DC 信号の場合、最も抵抗性の低いパスになり、高周波信号の場合は、最もインピーダンスの低いパスになります。これは、グランドプレーンを使用して問題を簡素化する方法を説明し、シグナルインテグリティを確保するための鍵となります。

テキサスインスツルメンツは、デジタル復帰信号がアナログ復帰 (グランド) 領域内に伝搬することは推奨しません。したがって、グランドプレーンを分割して、すべてのデジタル信号復帰ループをグランド領域内に維持する必要があります。この分割は慎重に行う必要があります。多くの設計では、单一 (コモン) の電圧レギュレータを使用して、同じ電圧レベル (3.3V など) のデジタルおよびアナログ電源を生成します。アナログレールとデジタル電源レール、およびそれぞれのグランドを互いに絶縁します。グランドを絶縁するときは、両方のグランドをどこかに短絡する必要があるため、注意してください。図 9-2 に、デジタル信号のリターンパスがアナロググランドを通過するループを形成できないことを示します。各設計で、部品の配置などを考慮して一般的なポイントを決定します。グランドトレースと直列にインダクタ (フェライトビーズ) や抵抗 (ゼロ Ω ではない) を追加しないでください。高周波での関連インダクタンスによりインピーダンスが増加し、電圧差が生じます。デジタルグランドを基準とする信号は、アナロググランドまたは他の方向には配線しないでください。

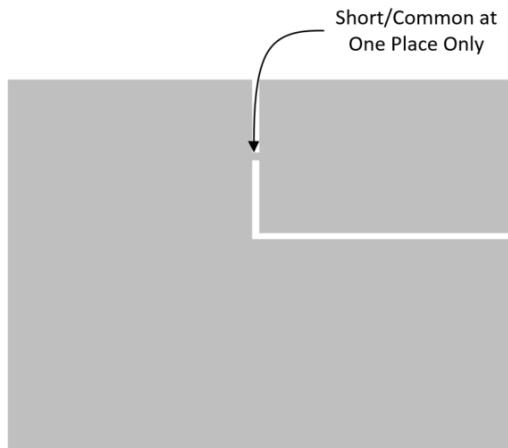


図 9-2. デジタル グランドとアナログ グランド、および共通領域

9.3 トレース、ビア、その他の PCB コンポーネント

トレース内で直角を使用すると、より多くの放射線が発生する可能性があります。コーナーの領域で静電容量が増加し、特性インピーダンスが変化します。このインピーダンス変化は反射を引き起します。トレース内で直角の曲げを避け、45 度のコーナーを 2 個以上使用してそれらを配線してください。インピーダンスの変化を最小限に抑えるために、図 9-3 に示すように、最適な配線は円形の曲げです。

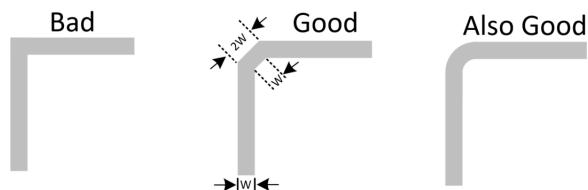


図 9-3. トレースを直角に曲げる不適切な方法と適切な方法

クロストークを最小限に抑えるために、1 つの層の 2 つの信号間だけでなく、隣接する層の間にも 90 度で配線します。より複雑な基盤では、配線時にビアを使用する必要がありますが、ビアを使用する際はビアによってインダクタンスと容量が追加されるため、注意が必要です。また、特性インピーダンスの変化により反射が発生します。また、ビアを使用するとトレースの長さも長くなります。差動信号を使用する場合は、両方のトレースにビアを使用するか、もう一方のトレースでも遅延を補償します。

信号トレースの場合、特に比較的小さいアナログ信号（センサ信号など）に高周波パルス信号が及ぼす影響に注意を払います。クロスオーバーが多すぎると、高周波信号の電磁ノイズがアナログ信号に結合され、信号の信号対雑音比が低くなり、信号の品質に影響を及ぼします。したがって、設計時に交差しないでください。ただし、確実に回避できない交点が存在する場合、TI は電磁ノイズの干渉を最小限に抑えるために垂直に交差することを推奨します。図 9-4 に、このノイズを低減する方法を示します。

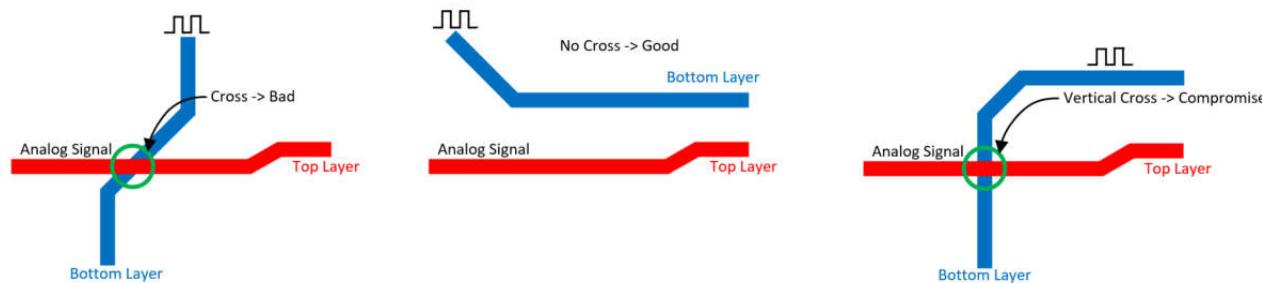


図 9-4. アナログ信号と高周波信号の不適切なクロス トレースと適切なクロス トレース

9.4 基板層の選択方法と推奨されるスタックアップ

高速信号の反射を低減するには、ソース、シンク、伝送ライン間のインピーダンスを一致させます。信号トレースのインピーダンスは、その形状と、基準プレーンに対する信号トレースの位置に依存します。

特定のインピーダンス要件に対する差動ペア間のパターン幅と間隔は、選択した PCB スタックアップによって異なります。PCB テクノロジーの種類やコスト要件に応じて、最小のパターン幅と間隔に制限があるため、必要なインピーダンスをすべて実現できるように、PCB スタックアップを選択する必要があります。

使用できる最小構成は 2 つのスタックアップです。複数の高速信号を持つ高密度 PCB には、4 層または 6 層の基板が必要です。

以下のスタックアップ (図 9-5 を参照) は、スタックアップの評価と選択を支援するための出発点として使用できる 4 層の例です。これらのスタックアップ構成では、電源プレーンに隣接する GND プレーンを使用して静電容量を増加させ、GND と電源プレーンの間のギャップを小さくします。そのため、最上層の高速信号にはソリッドな GND リファレンスプレーンがあり、EMC 放射の低減に役立ちます。これは、層数が増加し、各 PCB 信号層に GND リファレンスを配置することで、放射 EMC 性能がさらに向上するためです。

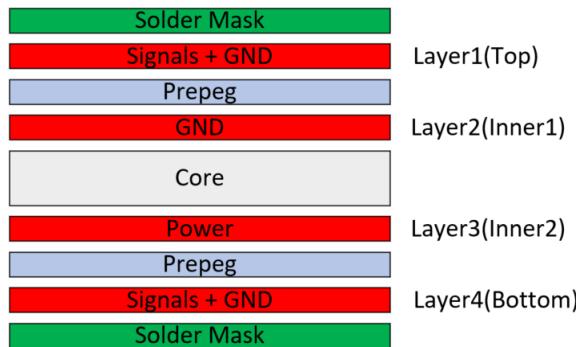


図 9-5. 4 層 PCB スタックアップの例

システムがそれほど複雑ではない場合、高速信号や敏感なアナログ信号が存在しないため、2 つのスタックアップ構造で十分です。

10 ブートローダー

10.1 ブートローダの紹介

ブートローダは、ファームウェア IP (デバイスに事前にプログラムされたソフトウェア出荷済み) であり、UART や I2C などのシリアル・インターフェイスを使用して SoC のメモリ (フラッシュと SRAM) をプログラムするために使用できます。ブートローダは通常、デバイスが顧客のアプリケーションを起動しようとするときに、ブートコードが完了した後に起動されます。量産プログラミングの使用事例をサポートするために、一部のブートローダは SPI や CAN などのより多くのインターフェイスも提供しています。ブートローダは、現場での更新にも使用できます。

10.2 ブートローダー・ハードウェア設計の検討事項

10.2.1 物理的通信インターフェイス

MSPM0L ブートローダ (BSL) は、UART および I2C シリアル・インターフェイスに実装されています。MSPM0L デバイスでは、BSL はデバイスとの通信に使用するインターフェイスを自動的に選択できます。BSL 通信ピンは、ROM ベースのブートローダで事前定義されています。使用するペリフェラル・インターフェイスの具体的なインスタンスは、選択したデバイスによって異なり、デバイス固有のデータシートに掲載されています。ハードウェア設計前に BSL 通信機能にどのピンが割り当てられているかについては、データシートを参照してください。

注

リセット後に BSL モードに移行しないように、BSL 起動ピンをプルダウンする必要があります。

10.2.2 ハードウェア起動

ブートローダは、GPIO を使用した BOOTRST 後のハードウェア起動をサポートしています。NONMAIN フラッシュ・メモリの BSL 構成には、GPIO を起動するためのパッド、ピン、極性の定義が含まれています。デバイスはテキサス・インスツルメンツから特定の GPIO と極性用に構成されていますが、ソフトウェアは、NONMAIN フラッシュ・メモリの BSL 構成で GPIO ピン構成を変更することで、このデフォルトを変更できます。デフォルトの BSL 起動 GPIO を決定するには、デバイス固有のデータシートを参照してください。図 10-1 に、ブートローダをトリガするための高レベルの GPIO ピン PA18 の例を示します。

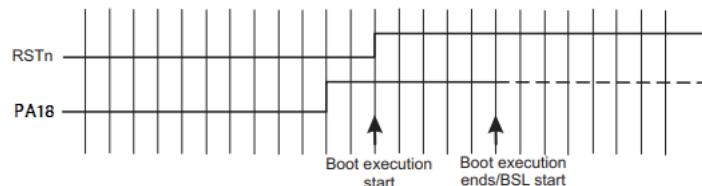


図 10-1. 構成済み GPIO ピンでの BSL エントリ・シーケンス

11 参考資料

- 『MSPM0L130x ミックスド・シグナル マイクロコントローラ、データシート』。
- 『MSPM0 L シリーズ 32MHz マイクロコントローラ、テクニカル・リファレンス・マニュアル』。
- 『MSPM0 G シリーズ MCU ハードウェア開発ガイド、アプリケーションノート』。
- 『TLIN1021A-Q1 フォルト保護 LIN トランシーバ、インヒビットおよびウェイク機能付き (Rev. B)、データシート』。

12 改訂履歴

Changes from Revision A (March 2023) to Revision B (September 2025)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新。.....	3
• セクション 1 を更新。.....	3
• LCD 設計上の検討事項を追加.....	18

重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Webツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適したTI製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているTI製品を使用するアプリケーションの開発の目的でのみ、TIはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TIや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TIおよびその代理人を完全に補償するものとし、TIは一切の責任を拒否します。

TIの製品は、[TIの販売条件](#)、[TIの総合的な品質ガイドライン](#)、[ti.com](#)またはTI製品などに関連して提供される他の適用条件に従い提供されます。TIがこれらのリソースを提供することは、適用されるTIの保証または他の保証の放棄の拡大や変更を意味するものではありません。TIがカスタム、またはカスタマー仕様として明示的に指定していない限り、TIの製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TIはそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025年10月