

# TMS320C6454/5 DDR2 PCB レイアウトの実装

アプリケーション技術部

## アブストラクト

この文書には、TMS320C6454/5に搭載されているDDR2 インターフェイス用の実装方法の説明が含まれています。DDR2 インターフェイスに対してタイミングを規定するアプローチは、以前のデバイスとは異なります。

以前のアプローチでは、データシートでの規定およびシミュレーション・モデルという点からデバイスのタイミングを規定していました。システム・デザイナーは、互換性のあるメモリ・デバイスだけでなくデバイス固有のデータシートおよびシミュレーション・モデルを入手する必要がありました。それから、この情報を用いて、システム・タイミングを満たすようにハイスピード・シミュレーションを使用し、プリント基板(PCB)を設計していました。

C6454/5 DDR2 インターフェイスにおいては、互換性のあるDDR2 デバイスを指定し、PCB 配線ルールをそのまま提供するというアプローチを取っています。TI はDDR2インターフェイスのタイミングを満たしていることを確認するために、シミュレーションおよびシステム・デザインを行っています。この文章では、要求される配線ルールを述べています。

C6454/5 EVM は、これらの配線ルールに従ったPCBレイアウトの一例であり、またこれはFCC EMI条件をクリアしています。お客様は、このレイアウトのDDR2 部分を直接コピーできますが、ここでの目的は、他のPCB 要求事項を満たすための配線ルールの中で十分なフレキシビリティを持たせ、お客様が特定アプリケーションの最適なレイアウトを得ることです。

## 目次

1	TMS320C6454/5.....	3
1.1	DDR2インターフェイス.....	3
2	参考文献.....	13

## 図

図 1.	C6454/5 32ビットDDR2ハイレベル回路図.....	4
図 2.	C6454/5 16ビットDDR2ハイレベル回路図.....	5
図 3.	C6454/5とDDR2デバイスの配置.....	6
図 4.	DDR2キープアウト領域.....	7
図 5.	VREF配線とトポロジー.....	10
図 6.	CKおよびADDR_CTRL配線とトポロジー.....	10
図 7.	DQSおよびDQ配線とトポロジー.....	11
図 8.	DQGATE配線.....	12

## 表

表 1.	最小PCB層構成.....	3
表 2.	C6454/5の最小PCB層構成.....	3
表 3.	PCB層構成(スタックアップ)の仕様.....	6
表 4.	配置仕様.....	7
表 5.	大容量バイパス・コンデンサ (キャパシタ).....	8
表 6.	高速バイパス・コンデンサ.....	8
表 7.	クロック・ネットクラスの定義.....	9
表 8.	信号ネットクラスの定義.....	9
表 9.	DDR2信号終端.....	9
表 10.	CKおよびADDR_CTRL配線仕様.....	11
表 11.	DQSおよびDQ配線仕様.....	12
表 12.	DQGATE配線仕様.....	13

## 1 TMS320C6454/5

### 1.1 DDR2 インターフェイス

ここでは、PCBデザインや製造仕様書としてDDR2インターフェイスにおけるタイミング仕様について説明します。PCBトレース長やPCBトレース・スキュー、シグナル・インテグリティ、クロストーク、信号タイミングといった設計ルールに制約を設けています。続けて、これらの規則は、複雑なタイミング・クロージャ・プロセスを必要とせずに、信頼性の高いDDR2メモリ・システムをもたらします。このDDR2規格を用いたガイドラインに関するより詳細な情報は、『*Understanding TI's PCB Routing Rule-Based DDR2 Timing Specification (SPRAAV0)*』を参照してください。

#### 1.1.1 DDR2 インターフェイス回路図

図1にx32 DDR2メモリ・システムにおけるDDR2インターフェイスの回路図を示します。x16 DDR2システム回路図では、DDR2デバイスの上位ワードを使用しないことを除いて同じになります。C6454/5におけるピン番号は、*TMS320C6454 Fixed-Point Digital Signal Processor Data Manual (SPRS311)*、及び *TMS320C6455 Fixed-Point Digital Signal Processor Data Manual (SPRS276)* のピン配置の章に記載されています。DDR2デバイスのピン数は、それらのデバイス固有のデータシートから入手できます。

#### 1.1.2 互換性のある JEDEC DDR2 デバイス

表1にDSPデバイスのインターフェイスと互換性のあるJEDEC DDR2デバイスのパラメータを示します。一般的に、DDR2インターフェイスは、x16 DDR2-533スピード・グレードDDR2デバイスと互換性があります。

表 1. 最小PCB層構成

No.	パラメータ	最小	最大	単位	注意事項
1	JEDEC DDR2デバイス・スピード・グレード	DDR2-533			下記参照(1)
2	JEDEC DDR2デバイス・ビット幅	x16	x16	ビット	
3	JEDEC DDR2デバイス・カウント	1	2	デバイス	下記参照(2)
4	JEDEC DDR2デバイス・ボール・カウント	84	92	ボール	下記参照(3)

- (1) より高いDDR2スピード・グレード品は、JEDEC DDR2固有の下位互換性を持っているためサポートされます。
- (2) 16ビットDDR2メモリ・システムでは1つ、32ビットDDR2メモリ・システムでは2つのDDR2デバイスを使用します。
- (3) 従来のサポートを維持するための92ボールデバイスです。新たな設計では、84ボールDDR2デバイスに移行してください。92と84ボールDDR2デバイスの電気的特性は同じです。

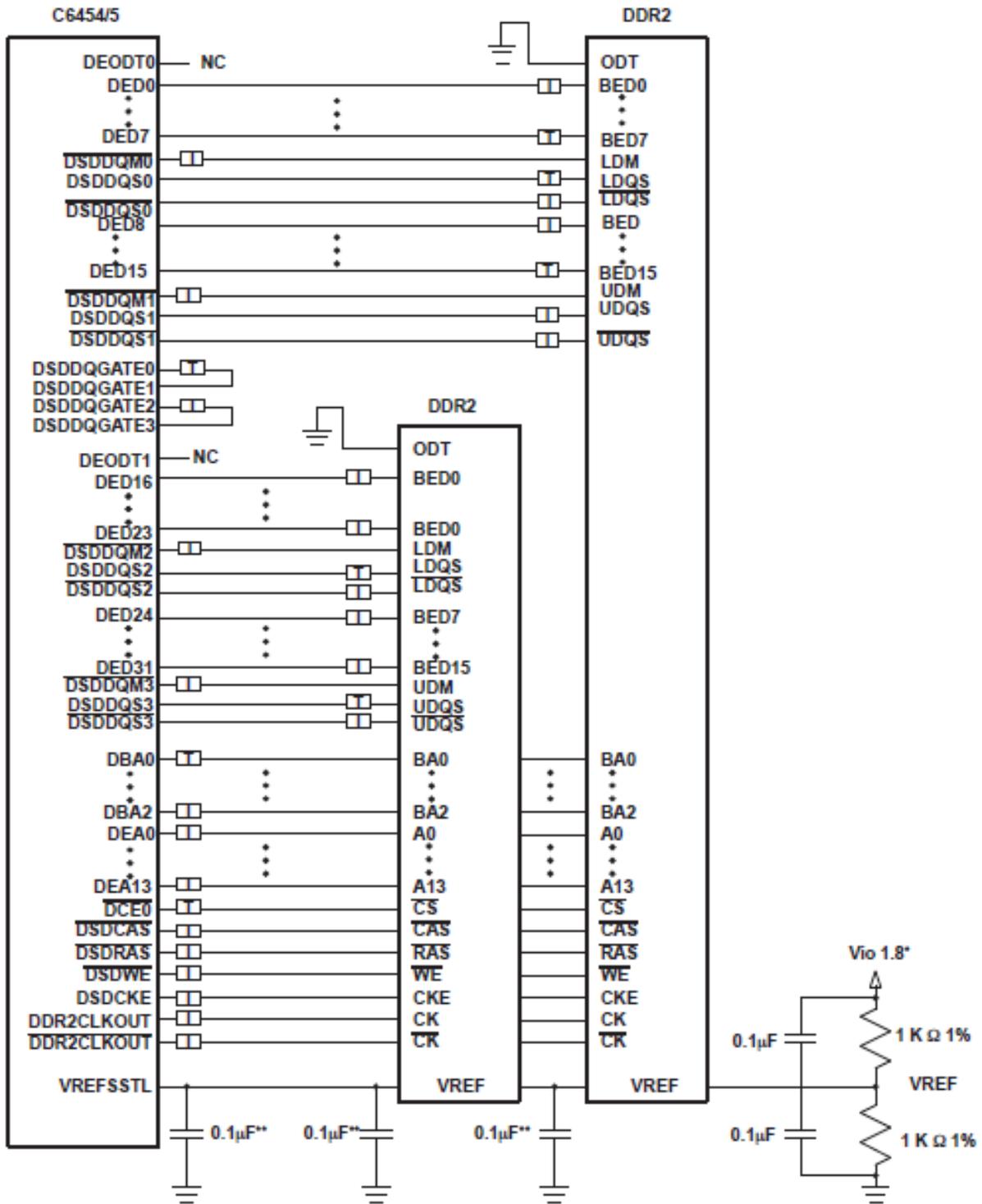
#### 1.1.3 PCB 層構成 (スタックアップ)

C6454/5を配線するために最小な層構成は、表2に示す6層構成です。他の回路用やPCBフットプリントのサイズを小さくするために、追加の層がPCB層構成に追加されるかもしれません。

表 2. C6454/5の最小PCB層構成

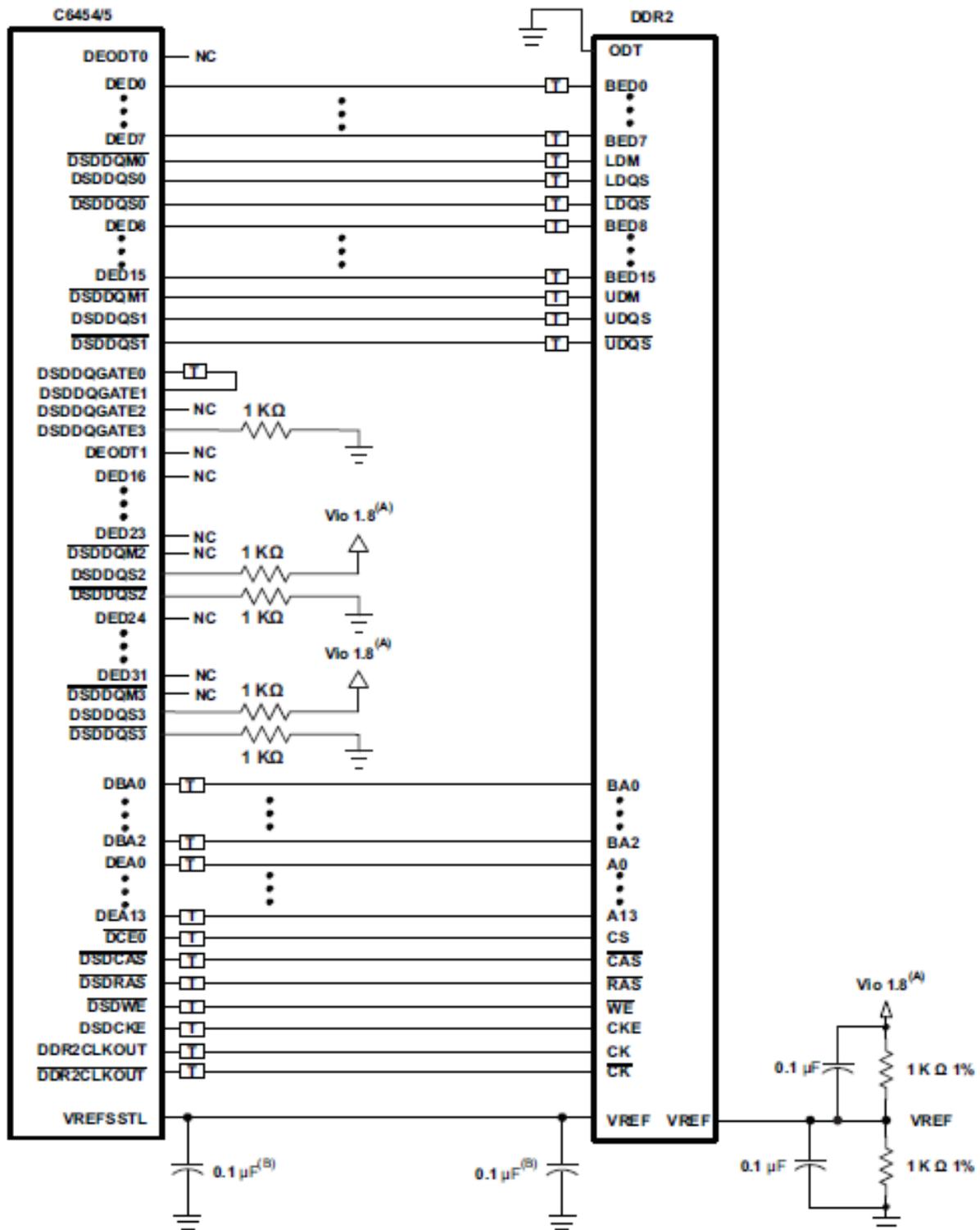
層	種類	説明
1	信号	トップ配線、主に平行
2	プレーン	グラウンド
3	プレーン	電源
4	信号	内部配線
5	プレーン	グラウンド
6	信号	ボトム配線、主に垂直

完全な層構成の仕様を表 3 に示します。



- ターミネータ (必要ならば、終端に関する節を参照)
- \* Vio1.8は、DDR2メモリおよびC6455 DDR2インターフェイスへの電源です。
- \*\* これらのコンデンサのうち1つは、分圧抵抗とコンデンサをデバイスのVREFピンの近くに配置すると削除できます。

図 1. C6454/5 32ビットDDR2ハイレベル回路図



□ ターミネータ (必要ならば、終端に関する節を参照)

A Vio1.8は、DDR2インターフェイスへの電源です。

B これらのコンデンサのうち一つは、分圧抵抗とコンデンサをデバイスのVREFピンの近くに配置すると削除できます。

図 2. C6454/5 16ビットDDR2ハイレベル回路図

表 3. PCB層構成(スタックアップ)の仕様

No.	パラメータ	最小	通常	最大	単位	注意事項
1	PCB配線/プレーン層	6				
2	信号配線層	3				
3	DDR2配線領域下の完全なグラウンド層	2				
4	DDR配線領域内で許容されるグラウンド・プレーン・カット数			0		
5	各DDR2配線層に要求されるグラウンド・リファレンス・プレーン数	1				
6	DDR2配線層とリファレンス・グラウンド・プレーン間の層数			0		
7	PCB配線形状		4		Mils	
8	PCBトレース幅 w		4		Mils	
9	PCB BGAエスケープ・ピッチ・サイズ		18		Mils	
10	PCB BGAエスケープ・ピッチ・ホール・サイズ		8		Mils	
11	DSPデバイスBGAパッド・サイズ					下記参照(1)
12	DDR2デバイスBGAパッド・サイズ					下記参照(2)
13	信号終端インピーダンス, $Z_0$	50		75	$\Omega$	
14	インピーダンス制御	Z-5	Z	Z+5	$\Omega$	下記参照(3)

(1) DSPデバイスのBGAパッド・サイズは、『Flip Chip Ball Grid Array Package Reference Guide (SPRU811)』を参照してください。

(2) DDR2デバイスのBGAパッド・サイズは、DDR2デバイス・メーカーの資料を参照してください。

(3) Zは、項目13で規定されたPCBで選択された公称シングルエンド・インピーダンスです。

### 1.1.4 配置

図 3は、C6454/5デバイスとDDR2デバイスに要求される配置を示しています。図 3の寸法を表 4 に示します。この配置におけるPCBのデバイス実装面の制限はありません。最大トレース長の制限や適切な配線スペースを考慮することが、配置する上での最大の目的となります。16ビットDDRメモリ・システムにおいて、上位ワードのDDR2デバイスは配置から除外されます。

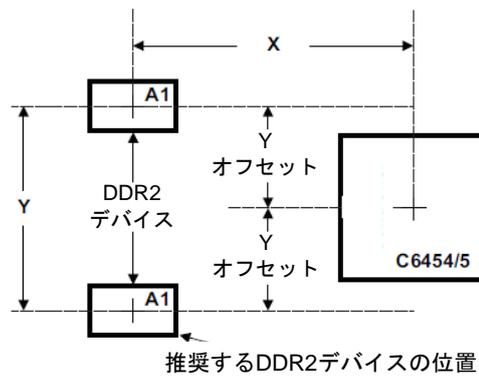


図 3. C6454/5とDDR2デバイスの配置

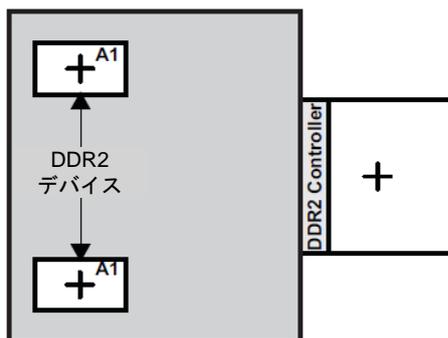
表 4. 配置仕様

No.	パラメータ	最小	最大	単位	注意事項
1	X		1660	Mils	下記参照(1, 2)
2	Y		1280	Mils	下記参照(1, 2)
3	Y オフセット		650	Mils	下記参照(1, 2, 3)
4	DDR2キープアウト領域				下記参照(4)
5	非DDR2信号からDDR2キープアウト領域までの間隔	4		w	下記参照(5)

- (1) 形状においては図 1を参照してください。
- (2) DSPデバイスの中心からDDR2デバイスの中心までの寸法です。
- (3) 16ビット・メモリ・システムにおいて、Yオフセットは可能な限り小さくすることを推奨します。
- (4) DDR2配線エリア全体を取り囲むDDR2キープアウト領域です。
- (5) 非DDR2信号がグランド層によってDDR2配線層から切り離されていれば、DDR2キープアウト領域内にあっても構いません。

### 1.1.5 DDR2 キープアウト領域

DDR2回路に用いられるPCBの領域は、他の信号から分離されなければなりません。これを達成するためにDDR2キープアウト領域が定義され、それを図 4に示します。この領域の大きさは、配置とDDR配線によって異なります。キープアウト領域の他に要求される間隔は表 4に示されます。



領域は、すべてのDDR2回路をカバーしていなければならないが、配置に依存して変化します。DDR2信号以外の信号は、DDR2キープアウト領域内においてDDR信号層に配線するべきではありません。DDR2信号以外の信号は、この領域内において、グランド層によってDDR2信号層と隔たれた別の層に配線することができます。この領域内でリファレンスのグランド層を分割するべきではありません。さらに、1.8V電源プレーンは、キープアウト領域のすべてをカバーしなければなりません。

図 4. DDR2キープアウト領域

### 1.1.6 大容量バイパス・コンデンサ (キャパシタ)

DDR2やその他の回路の適切な速度でバイパスするために、大容量バイパス・コンデンサ (キャパシタ) が必要となります。表 5は、大容量バイパス・コンデンサに要求される最小個数とキャパシタンス (容量) を示しています。この表はDSPとDDR2インターフェイスのバイパス要求のみを対象としていることに注意してください。これ以外にその他の回路において大容量バイパス・コンデンサが必要になる場合があります。

表 5. 大容量バイパス・コンデンサ

No.	パラメータ	最小	最大	単位	注意事項
1	DV <sub>DD18</sub> 大容量バイパス・コンデンサ数	3		デバイス	下記参照(1, 2)
2	DV <sub>DD18</sub> 大容量バイパス・トータル・キャパシタンス	30		μF	
3	DDR#1 大容量バイパス・コンデンサ数	1		デバイス	下記参照(1, 2)
4	DDR#1 大容量バイパス・トータル・キャパシタンス	10		μF	
5	DDR#2 大容量バイパス・コンデンサ数	1		デバイス	下記参照(1, 2)
6	DDR#2 大容量バイパス・トータル・キャパシタンス	10		μF	下記参照(2)

- (1) これらのデバイスはバイパスしているデバイス近傍に配置する必要がありますが、高速(HS)バイパス・コンデンサ(キャパシタ)の配置を優先してください。
- (2) 32ビット幅のDDR2メモリ・システムのみ使用します。

### 1.1.7 高速バイパス・コンデンサ (キャパシタ)

高速バイパス・コンデンサは、DDR2インターフェイスを適切に動作させるために重要なものです。高速バイパス・コンデンサやDSP/DDRの電源、DSP/DDRのグランド接続の寄生シリーズ・インダクタンスを最小にすることが特に重要です。表 6は高速バイパス・コンデンサとPCBの電源接続における仕様を示しています。

### 1.1.8 ネットクラス

表 7にDDR2インターフェイスのクロック・ネットクラスのリストを示します。表 8には、DDR2インターフェイスの信号における信号ネットクラスおよび関連するクロック・ネットクラスのリストを示しています。これらのネットクラスは以下に示される終端処理や配線ルールに用いられます。

表 6. 高速バイパス・コンデンサ

No.	パラメータ	最小	最大	単位	注意事項
1	HSバイパス・コンデンサ・パッケージ・サイズ		0402	10 Mils	下記参照(1)
2	HSバイパス・コンデンサとバイパスされるデバイスとの距離		250	Mils	
3	各HSバイパス・コンデンサの接続ビアの数	2		バイアス	下記参照(2)
4	バイパス・コンデンサ接点と接続ビアまでのトレース長	1	30	Mils	
5	各DDR2デバイス電源またはグランド・ボールの接続ビアの数	1		バイアス	
6	DDR2デバイス電源ボールから接続ビアまでのトレース長		35	Mils	
7	DVDD18 HSバイパス・コンデンサ数	20		デバイス	下記参照(3)
8	DVDD18 HSバイパス・コンデンサの総電気容量	1.2		μF	
9	DDR#1 HSバイパス・コンデンサ数	8		デバイス	下記参照(3)
10	DDR#1 HSバイパス・コンデンサの総電気容量	0.4		μF	
11	DDR#2 HSバイパス・コンデンサ数	8		デバイス	下記参照(3, 4)
12	DDR#2 HSバイパス・コンデンサの総電気容量	0.4		μF	下記参照(4)

- (1) LxW, 10mil単位。例: 0402は、40x20 mil 表面実装コンデンサです。
- (2) ボードの反対側に実装する場合のみ、HSバイパス・コンデンサは接続ビアを共有することができます。
- (3) これらのデバイスは、できる限りバイパスするデバイスの近くに配置してください。
- (4) 32ビット幅のDDR2メモリ・システムのみ使用します。

表 7. クロック・ネットクラスの定義

クロック・ネットクラス	DSPピン名
CK	DDR2CLKOUT/DDR2CLKOUT
DQS0	DSDDQS0/DSDDQS0
DQS1	DSDDQS1/DSDDQS1
DQS2 <sup>(1)</sup>	DSDDQS2/DSDDQS2
DQS3 <sup>(1)</sup>	DSDDQS3/DSDDQS3

(1) 32ビット幅のDDR2メモリ・システムのみ使用

表 8. 信号ネットクラスの定義

クロック・ネットクラス	関連するクロック・ネットクラス	DSPピン名
ADDR_CTRL	CK	DBA[2:0], DEA[13:0], DCE0, DSDCAS, DSDRAS, DSDWE, DSD_CKE
DQ0	DQS0	DED[7:0], DSDDQM0
DQ1	DQS1	DED[15:8], DSDDQM1
DQ2 <sup>(1)</sup>	DQS2	DED[23:16], DSDDQM2
DQ3 <sup>(1)</sup>	DQS3	DED[31:24], DSDDQM3
DQGATEL	CK, DQS0, DQS1	DSDDQGATE0, DSDDQGATE1
DQGATEH <sup>(1)</sup>	CK, DQS2, DQS3	DSDDQGATE2, DSDDQGATE3

(1) 32ビット幅のDDR2メモリ・システムのみ使用

### 1.1.9 DDR2 信号終端

シグナルインテグリティやオーバーシュートの仕様を満たすための各種終端は必要ありません。もし必要とされる場合、EMIのリスクを軽減するためにシリアル・ターミネータが許容されますが、許容されるシリアル・ターミネーションは1種類のみです。表 9は、シリーズ・ターミネータにおける仕様を示しています。

表 9. DDR2信号終端

No.	パラメータ	最小	通常	最大	単位	注意事項
1	CKネットクラス	0		10	Ω	下記参照(1)
2	ADDR_CTRLネットクラス	0	22	Z <sub>0</sub>	Ω	下記参照(1, 2, 3)
3	データ・バイト・ネットクラス (DQS0-DQS3, DQ0-DQ3)	0	22	Z <sub>0</sub>	Ω	下記参照(1,2,3,4)
4	DQGATEネットクラス (DQGATEL, DQGATEH)	0	10	Z <sub>0</sub>	Ω	下記参照(1, 2, 3)

(1) シリーズ・ターミネーションのみ許容され、パラレル、またはSSTは許容されません。

(2) EMI問題を解決するためだけに推奨される通常より大きなターミネータ値です。

(3) ネットクラス全域でターミネーション値は均等に行ってください。

(4) データライン上でターミネーションを使用しない(0Ω)とき、DDR2デバイスは60%強度で動作するようにプログラムする必要があります。

### 1.1.10 VREF 配線

VREFは、DDR2メモリの入力バッファと同様にC6454/5のメモリ・インターフェイスでリファレンスとして用いられます。VREFは、DDR2の電源供給電圧の半分となるように、図 1に示される抵抗分配を使用して生成してください。VREF生成の推奨するその他の方法はありません。図 5にVREFにおけるレイアウトのガイドラインを示します。

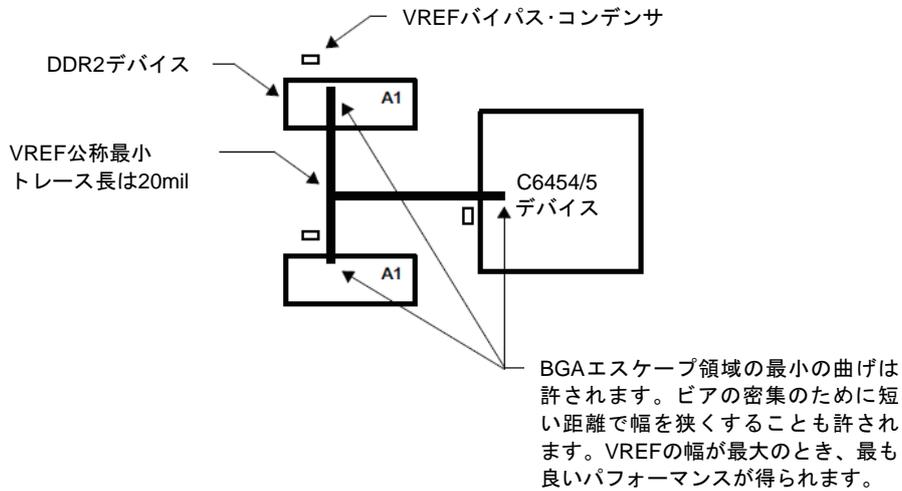


図 5. VREF配線とトポロジー

### 1.1.11 DDR2 CK 及び ADDR\_CTRL 配線

図 6は、CK及びADDR\_CTRLネットクラスにおける配線のトポロジーを示しています。セグメントBとCの長さが等しくなるように、Tバランス配線となります。さらに、Aの長さは最大に取るようにしてください。

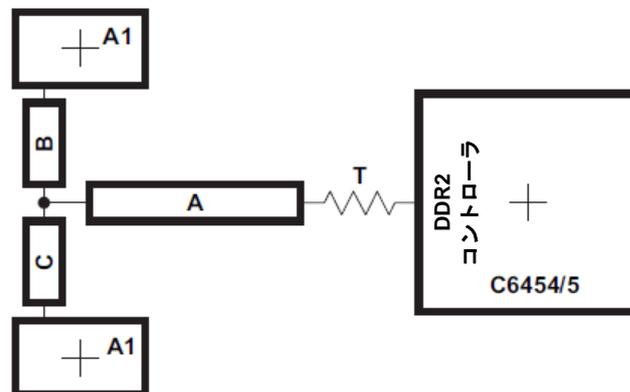


図 6. CKおよびADDR\_CTRL配線とトポロジー

表 10. CKおよびADDR\_CTRL配線仕様

No.	パラメータ	最小	通常	最大	単位	注意事項
1	CK-CKの中心間距離			2w		
2	CK A to B/A to Cのスキュー長のずれ			25	Mils	下記参照(1)
3	CK B to Cのスキュー長のずれ			25	Mils	
4	CKと他のDDR2トレースの中心間距離	4w				下記参照(2)
5	CK/ADDR_CTRLの公称トレース長	CACLM-50	CACLM	CACLM+50	Mils	下記参照(3)
6	ADDR_CTRLとCKのスキュー長のずれ			100	Mils	
7	ADDR_CTRLとADDR_CTRLのスキュー長のずれ			100	Mils	
8	ADDR_CTRLと他のDDR2トレースの中心間距離	4w				下記参照(2)
9	ADDR_CTRLと他のADDR_CTRLトレースの中心間距離	3w				下記参照(2)
10	ADDR_CTRL A to B/A to Cのスキュー長のずれ			100	Mils	下記参照(1)
11	ADDR_CTRL B to Cのスキュー長のずれ			100	Mils	

- (1) シリーズ・ターミネータ。使用する場合には、DSP近傍に配置してください。
- (2) 中心間距離は、BGAエスケープや配線ふくそうに適應するために配線長の500milまで最小限に抑えられます。
- (3) CACLMは、CKとADDR\_CTRLネットクラスの最も長いマンハッタン距離です。

図 7はDQSとDQネットクラスにおけるトポロジーと配線を示しています。配線はポイント・ツー・ポイントになります。バイト全体のスキューにおいて、マッチングの必要性や推奨はありません。

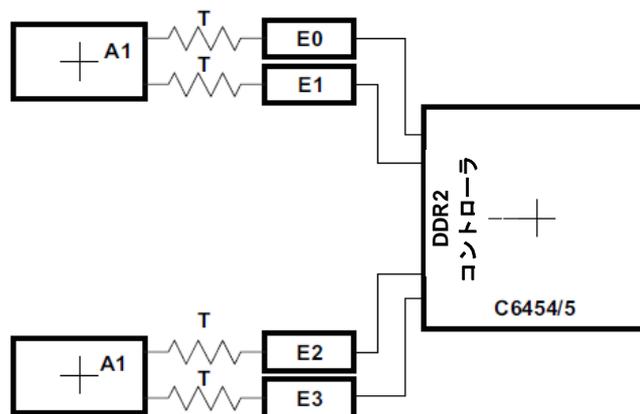


図 7. DQSおよびDQ配線とトポロジー

表 11. DQSおよびDQ配線仕様

No.	パラメータ	最小	通常	最大	単位	注意事項
1	DQS-DQSの中心間距離			2w		
2	DQS E スキュー長のずれ			25	Mils	
3	DQSと他のDDR2トレースの中心間距離	4w				下記参照(2)
4	DQS/DQの公称トレース長	DQLM-50	DQLM	DQLM+50	Mils	下記参照(1,3,4,5)
5	DQとDQS スキュー長のずれ			100	Mils	下記参照(3, 4, 5)
6	DQとDQ スキュー長のずれ			100	Mils	下記参照(3, 4, 5)
7	DQと他のDDR2トレースの中心間距離	4w				下記参照(2, 6)
8	DQと他のDQトレースの中心間距離	3w				下記参照(2, 7)
9	DQ/DQS E スキュー長のずれ			100	Mils	下記参照(3, 4, 5)

- (1) シリーズ・ターミネータ。使用する場合には、DDR近傍に配置してください。
- (2) 中心間距離は、BGAエスケープや配線密度を調整するために配線する長さが500milまでになるようにしてください。
- (3) 16ビットDDRメモリ・システムはデータ・ネットクラスを2セット持ち、1つはデータ・バイト0、もう一つはデータ・バイト1であり、それぞれ関連したDQSを伴います。
- (4) 32ビットDDRメモリ・システムはデータ・ネットクラスを4セット持ち、それぞれがデータ・バイト0~3に対応し、それぞれ関連したDQSを伴います。
- (5) 例えば、DQS0とデータ・バイト0からDQS1とデータバイト1へのように、データ・バイトに渡るスキューのマッチは必要なく、推奨もありません。
- (6) 他のDQSドメインからのDQは他のDDR2トレースと見なされます。
- (7) DQLMは、それぞれのDQSとDQネットクラスの最も長いマンハッタン距離です。

図 8にDQGATEネットクラスにおける配線を示します。表 12は配線仕様となります。

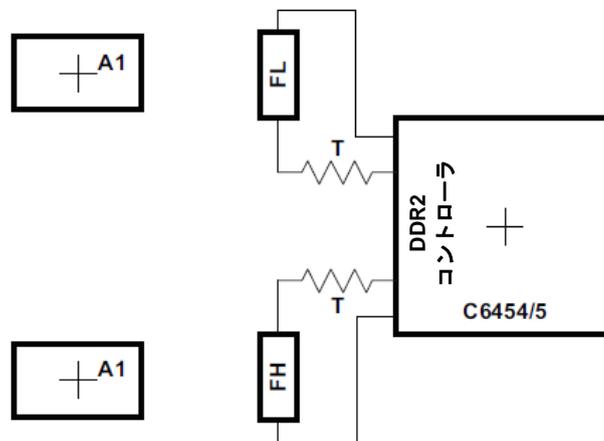


図 8. DQGATE配線

表 12. DQGATE配線仕様

No.	パラメータ	最小	通常	最大	単位	注意事項
1	DQGATEL 長さF		CKB0B1			下記参照(1)
2	DQGATEH 長さF		CKB2B3			下記参照(2, 3)
3	DQGATEと他のトレースの中心間距離	4w				
4	DQS/DQの公称トレース長	DQLM-50	DQLM	DQLM+50	Mils	
5	DQGATELスキュー			100	Mils	下記参照(4)
6	DQGATEHスキュー			100	Mils	下記参照(3, 5)

- (1) CKB0B1は、CKネットの長さDQS0とDQS1ネットの平均の長さの和です。  
(2) CKB2B3は、CKネットの長さDQS2とDQS3ネットの平均の長さの和です。  
(3) 32ビット幅のDDR2メモリ・システムのみ使用  
(4) CKB0B1からのスキュー  
(5) CKB2B3からのスキュー

## 2 参考文献

- *TMS320C6454 Fixed-Point Digital Signal Processor Data Manual* ([SPRS311](#))
- *TMS320C6455 Fixed-Point Digital Signal Processor Data Manual* ([SPRS276](#))
- *Understanding TI's PCB Routing Rule-Based DDR2 Timing Specification* ([SPRAAV0](#))
- *Flip Chip Ball Grid Array Package Reference Guide* ([SPRU811](#))

# ご注意

日本テキサス・インスツルメンツ株式会社(以下TIJといひます)及びTexas Instruments Incorporated(TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといひます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIJは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメータに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIJは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIJは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは承認をすることを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIJにより示された数値、特性、条件その他のパラメータと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIJは、そのような説明については何の義務も責任もありません。

TIJは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIJがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2009, Texas Instruments Incorporated  
日本語版 日本テキサス・インスツルメンツ株式会社

## 弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

### 1. 静電気

素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。

弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使用すること。

マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

### 2. 温・湿度環境

温度: 0 ~ 40 °C、相対湿度: 40 ~ 85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

直射日光があたる状態で保管・輸送しないこと。

### 3. 防湿梱包

防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。

### 4. 機械的衝撃

梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。

### 5. 熱衝撃

はんだ付け時は、最低限260 °C以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)

### 6. 汚染

はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上