

Application Note

フルブリッジコンバータにおけるアクティブクランプ回路の設計上の検討事項



Forest Fu, Daniel Gao, Sheng-yang Yu

概要

電気自動車アプリケーション用の DC/DC コンバータでは、フルブリッジトポロジが広く利用されており、同期整流器に電圧ストレスがかかることが設計上の大きな課題となっています。本書では、次のように構成されています: セクション 1 では、電圧ストレス生成の根底にある基本的なメカニズムを検証し、さまざまなスナバ回路ソリューションを比較します。セクション 2 では、アクティブクランプ (ACL) 回路の分類に関する包括的な分析と、対応するハードウェア実装戦略を示します。セクション 3 では、ACL 回路に関連する制御原理とソフトウェアアーキテクチャを示します。ここで提示している結果は、スナバ回路の設計と最適化に携わるエンジニアにとっての技術参考資料となることを目的としています。

目次

1 概要.....	2
1.1 同期整流器の電圧ストレス.....	2
1.2 スナバ回路の概要.....	4
2 アクティブクランプ回路.....	10
2.1 ACL 回路のさまざまな種類.....	10
2.2 ACL 回路のハードウェア設計.....	13
2.3 ACL 回路のソフトウェア設計.....	17
3 まとめ.....	22
4 参考資料.....	22

商標

すべての商標は、それぞれの所有者に帰属します。

1 概要

高電圧から低電圧への DC/DC 変換アプリケーションでは、ガルバニック絶縁を実現する能力があると同時に、大電力の伝送を容易に実現できるため、フルブリッジ回路が広く採用されています。フルブリッジトポロジには、ハードスイッチングフルブリッジ、位相シフトフルブリッジ (PSFB)、デュアルアクティブブリッジ (DAB)、フルブリッジ LLC 共振コンバータトポロジなど、いくつかのアーキテクチャバリエーションが含まれます。ハードスイッチングと位相シフトフルブリッジ構成では一般的に、セカンダリ側の同期整流器で電圧ストレスが上昇するため、より高い電圧定格の半導体デバイスを実装する必要があります。この要件により、部品表 (BOM) コストが増加します。さらに、より高い電圧定格を持つデバイスは、本質的にオン状態抵抗 ($R_{DS(on)}$) が増大し、システム全体の電力変換効率が低下します。

1.1 同期整流器の電圧ストレス

代表的な例として、[図 1-1](#) に示す位相シフトフルブリッジ (PSFB) トポロジを見てみましょう。1 次側はフルブリッジ構成で成り立っており、Q1、Q2、Q3、Q4 が 1 次側パワースイッチングデバイスを構成しています。2 次側は倍電流同期整流方式を採用しており、Q5 と Q6 が 2 次側パワースイッチとして機能します。このトランスは、N:1 の巻数比と、寄生リーケージインダクタンス L_k および磁化インダクタンス L_m を特徴としています。特に、リーケージインダクタンス L_k は、ゼロ電圧スイッチング (ZVS) 動作範囲とデューティサイクル損失の間で適切なトレードオフを実現するために、慎重に最適化する必要があります。

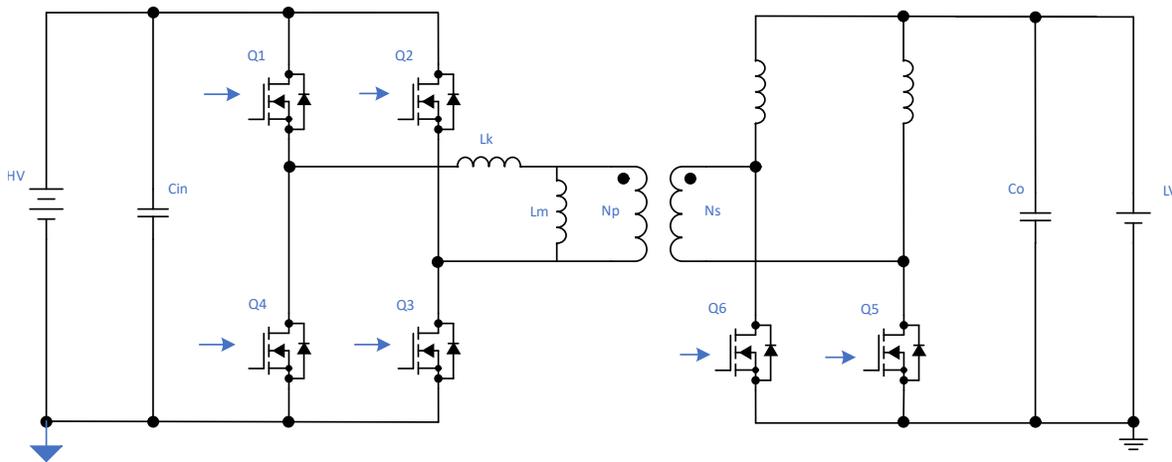


図 1-1. 位相シフトフルブリッジトポロジのブロック図

[図 1-2](#) に示すように、2 次側 MOSFET にかかる高電圧ストレスは、 L_k と、2 次側 MOSFET の寄生出力キャパシタンス (C_{oss}) 間の共振によって発生します。

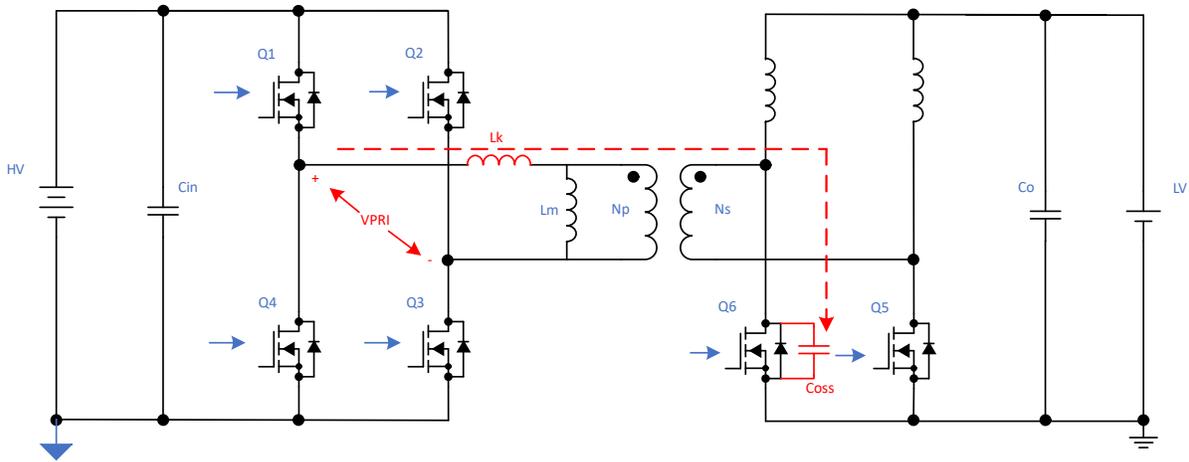


図 1-2. 共振が原因で発生する電圧ストレス

図 1-2 に示されている等価回路は、図 1-3 に示されている簡略化されたモデルで表すことができます。この表現では、 L_k は 2 次側に反映される 1 次側リーケージ インダクタンス、 C_{oss} は同期整流器の出力キャパシタンス、 V_{in} は 1 次側入力電圧、 I_o は負荷電流を表しています。Q6 がオフになると、 C_{oss} 両端の初期電圧は 0V になり、回路は LC 直列共振ネットワークのゼロ状態応答特性を示します。反射入力電圧 V_{in}/N が C_{oss} を充電すると、 L_k と C_{oss} の間で共振が発生します。寄生抵抗が無視される理想的なケースでは、この共振動作により、 C_{oss} の両端のピーク電圧は理論的には定常電圧値の 2 倍に達する可能性があります。

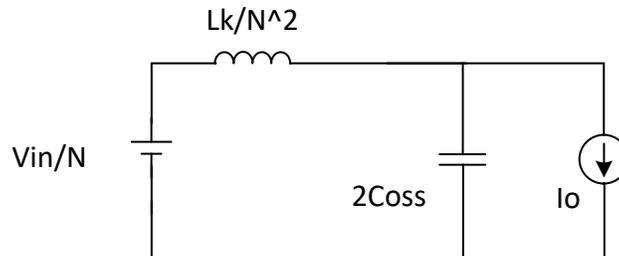


図 1-3. 電圧ストレスの等価回路

400V から 14 V への変換を行う一般的な車載 DC/DC コンバータの場合、最大入力電圧は約 430V です。トランスの巻数比が 6:1、全負荷動作が 3.5kW であると仮定すると、理論計算では、2 次側スイッチ全体の最大電圧ストレスが 143V、定常プラトー電圧が 71.5V になることがわかります。図 1-4 に、スナバ回路が存在しない場合の電圧ストレス波形のシミュ

レーション結果を示します。クランプの介入なしでは、ピーク電圧は **125.8V** に達します。理論上の最大値からの逸脱とその後の減衰は、1 次側パワー デバイスでの電圧降下と、システムに固有の等価直列抵抗 (ESR) に起因します。

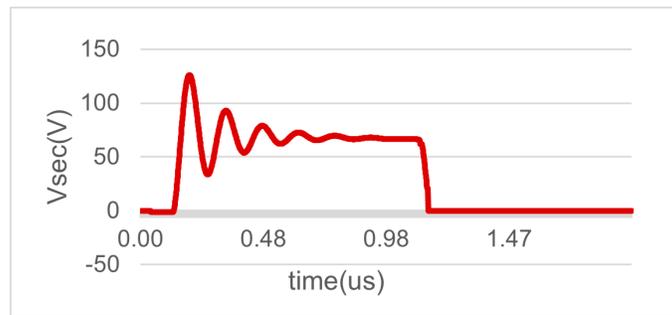


図 1-4. スナバ回路を使用しない電圧ストレスのシミュレーション波形

図 1-4 から明らかなように、過渡電圧は同期整流回路に直接印加されるため、クランプ対策がない場合には電圧定格 **150V** のパワー デバイスを選択する必要があります。前述のように、この要件により **BOM コスト** が増加し、このようなデバイスの **RDSon** が高くなるため、システム全体の効率が低下します。したがって、電圧ストレスを抑制するためのスナバ回路の実装は、実際のアプリケーションではより一般的でコスト効率の高い設計手法となります。

1.2 スナバ回路の概要

スナバ回路は一般的に、パッシブ スナバ回路とアクティブ クランプ回路という 2 つの主要な分類に分けられます。以降のセクションでは、各回路トポロジの詳細な分析を行います。

1.2.1 RC スナバ

RC スナバは、図 1-5 に示すように、コスト効率に優れているため広く採用されている従来型のクランプ設計です。RC 直列ネットワークは同期整流器と並列に接続され、コンデンサはエネルギー バッファとして機能し、抵抗は過渡電流の大きさを制限します。Q6 のターンオフ時、Q6 の両端の電圧ストレスがコンデンサ電圧を超えると、コンデンサは抵抗を通して充電され、それにより電圧ストレスをコンデンサの電圧レベルに近い値にクランプします。逆に、Q6 のターンオン遷移中に、コンデンサは抵抗を経由して Q6 へ放電し、充電バランスを維持し、定常状態のコンデンサ電圧を確立します。

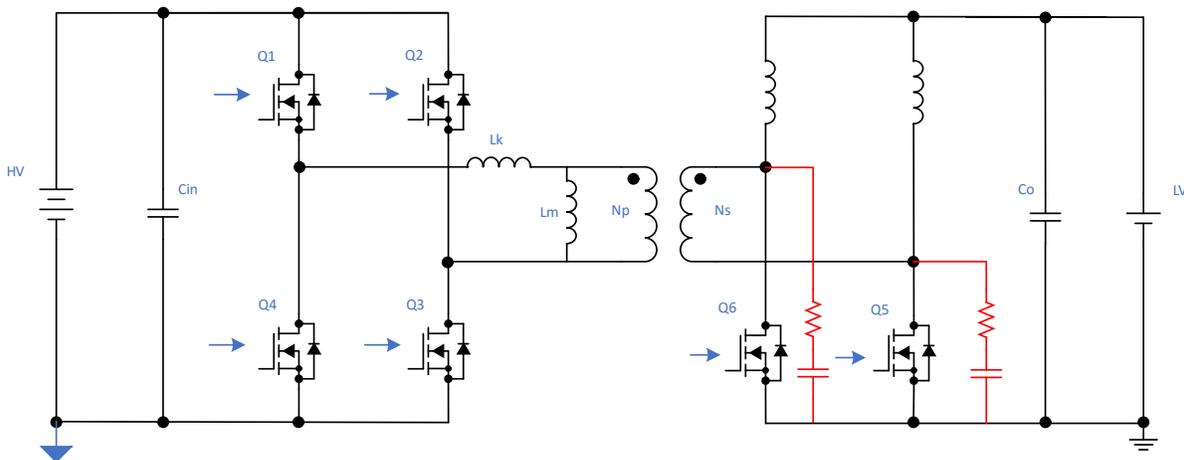


図 1-5. RC スナバ回路のブロック図

RC スナバ回路の主な制限は、コンデンサが同期整流器のパワー スイッチを通して放電し、抵抗内での完全なエネルギー消費が生じることです。このメカニズムにより、システムの効率が低下し、抵抗性発熱による熱管理の大きな課題が発生します。図 1-6 に、**10Ω** の抵抗と **3nF** のコンデンサを使用して RC スナバ回路を実装した場合の電圧ストレス波形のシミュレーション結果を示します。シミュレーション結果では、ピーク電圧ストレスが **125.8V** から **113.1V** に低減されていること

が示されています。比較効率分析の結果、RC スナバによって 19W の追加の電力損失が生じることが明らかになりました。これは、システム全体の効率が 0.54% 低下することに相当します。

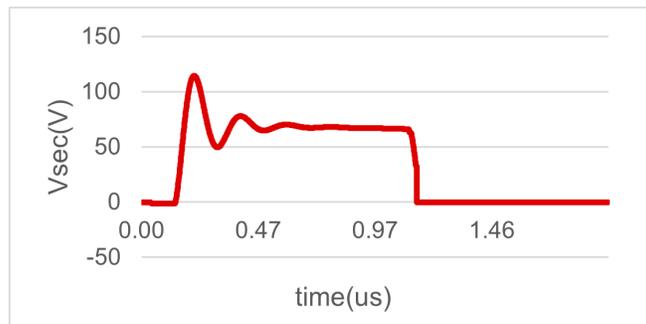


図 1-6. RC スナバ回路を使用した電圧ストレスのシミュレーション波形

1.2.2 RCD スナバ

RCD スナバ回路は、図 1-7 に示すように、直列ダイオードを追加した RC 構成の拡張を表します。ダイオードアノードは同期整流デバイスのドレイン端子に接続され、カソードはコンデンサに接続されます。コンデンサと出力側で抵抗をブリッジ接続します。Q6 のターンオフ時に、Q6 の両端の電圧ストレスがコンデンサ電圧を上回ると、コンデンサはダイオードを経由して充電され、電圧ストレスをコンデンサの電圧レベルに実質的にクランプします。このコンデンサは抵抗を経由して DC/DC コンバータ出力へ放電されるため、充電バランスを維持し、定常状態のコンデンサ電圧が確立されます。

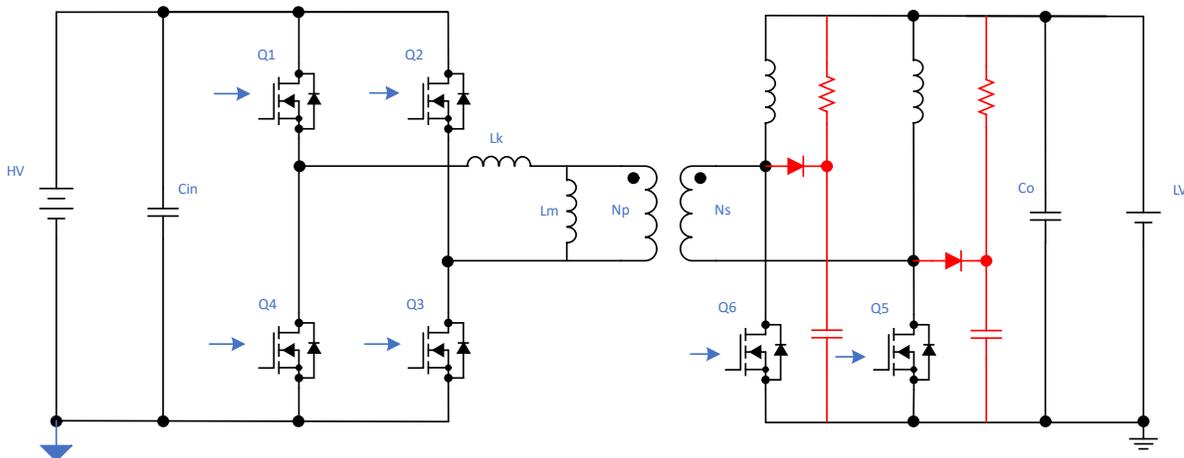


図 1-7. RCD スナバ回路のブロック図

RC スナバ回路に比べて、RCD スナバ構成には 2 つの大きな利点があります。第 1 に、コンデンサの充電プロセスはダイオードを介して容易になり、その結果、コンデンサの電圧とダイオードの順方向電圧降下に等しいクランプ電圧が得られます。一方、RC スナバは、コンデンサ電圧と抵抗電圧降下の合計に等しいクランプ電圧を示し、通常はこれが大きくなります。その結果、RCD スナバにより実効クランプ電圧が低くなります。第 2 に、コンデンサは同期整流器を介してではなく、抵抗を介してコンバータの出力へ放電されます。これにより、出力への部分的なエネルギー回復が可能になるため、RC スナバの完全なエネルギー消費特性に比べて抵抗性損失を低減し、全体的な効率を向上させることができます。

RCD スナバ回路では、直列抵抗によって充電電流を制限しないため、ダイオードに十分な電流処理能力が必要で、コンデンサには過渡電流スパイクにより発生する過電圧状態を防止するための十分な容量が必要です。図 1-8 に、510Ω の抵抗と 100nF コンデンサを使用した RCD スナバ回路での電圧ストレス波形のシミュレーション結果を示します。シミュレーション結果は、ピーク電圧ストレスが 125.8V から 101.2V に低減されていることを示しています。比較効率分析の結果、RCD スナバによって 15W の追加の電力損失が生じることが明らかになりました。これは、システム全体の効率が 0.42% 低下することに相当します。

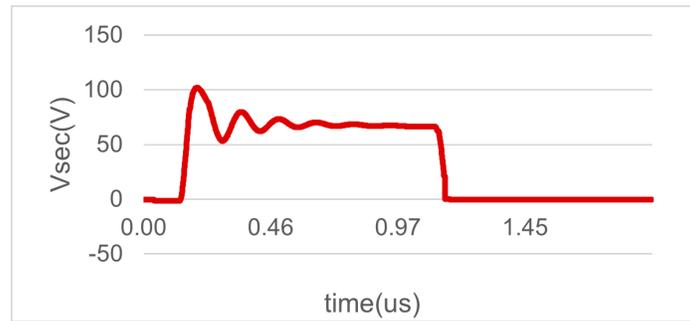


図 1-8. RCD スナバ回路を使用した電圧ストレスの波形

1.2.3 ダイオードクランプ

ダイオードクランプ手法は一般的に、2次側ツェナーダイオードクランプと1次側ショットキーダイオードクランプの2つのカテゴリに分類されます。2次側のツェナーダイオードクランプは、図 1-9 に示すように、簡単な実装手法を表します。ツェナーダイオードは、同期整流デバイスと並列に接続されています。電圧ストレスがツェナー降伏電圧を上回ると、ダイオードはアバランシェ導通に移行し、特性降伏電圧レベルに電圧ストレスを実質的にクランプします。

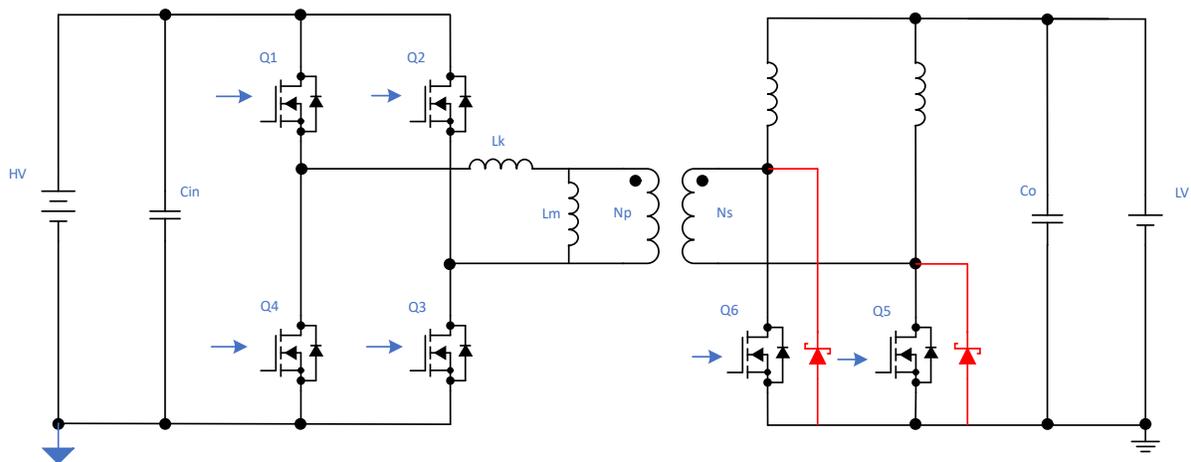


図 1-9. ツェナーダイオードクランプ回路のブロック図

この回路トポロジは単純ですが、制限は大きくなります。吸収されたエネルギー全体がツェナーダイオード内で消費されるため、システムの効率が低下し、デバイスに大きな熱ストレスが発生します。そのため、この手法は通常、スタンドアロン設計としてではなく相補型クランプ回路と組み合わせて採用されます。図 1-10 に、ツェナーダイオードクランプを実装した状態での電圧ストレス波形のシミュレーション結果を示します。このシミュレーションは、ピーク電圧ストレスが 125.8V から 101.2V に低減されていることを示しています。比較効率分析により、ツェナーダイオードクランプ回路が 27W の追加の電力損失をもたらすことがわかります。これは、システム全体の効率の 0.78% の低下に相当します。

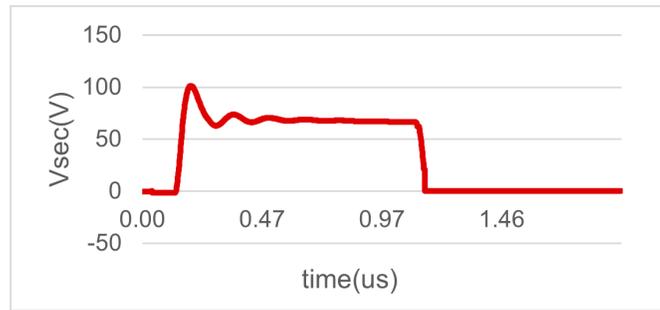


図 1-10. ツェナー ダイオード クランプ回路を使用した電圧ストレスのシミュレーション波形

図 1-11 に示すように、1 次側ショットキー ダイオード クランプは、より広く採用されている実装です。クランプ ネットワークは、次のように構成されている 2 個のショットキー ダイオードで成り立っています：一方のダイオードではトランスの 1 次側巻線にアノードが接続され、カソードが正の高電圧バス (HV BUS+) に接続されています。もう 1 つのダイオードは、カソードが 1 次側巻線に接続され、アノードが負の高電圧バス (HV BUS-) に接続されています。過剰な過渡電圧が 2 次側に発生した場合、1 次側の反射電圧 (トランスの巻線比でスケール) がダイオードによってクランプされ、トランス結合を通じて 2 次側で発生する最大電圧ストレスが制限されます。

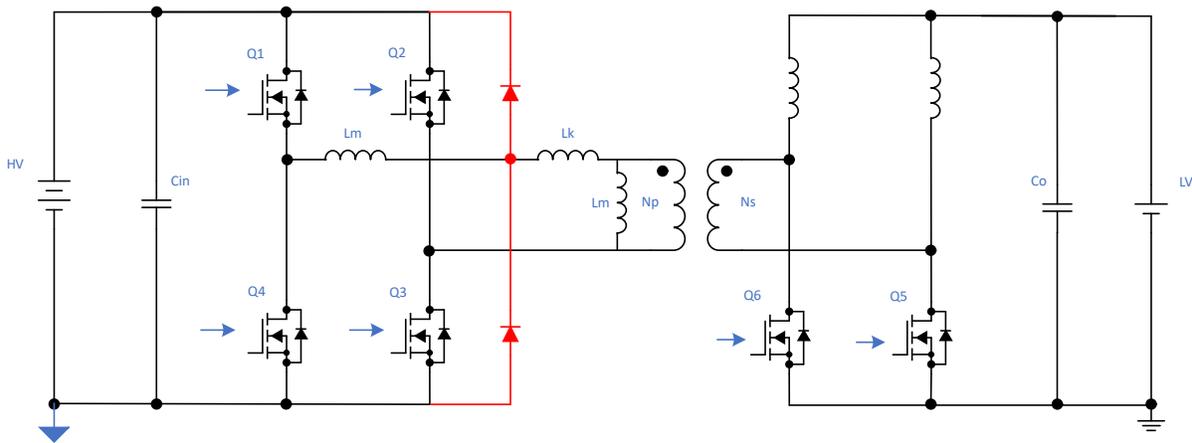


図 1-11. ショットキー ダイオード クランプ回路のブロック図

このソリューションは、効果的な電圧ストレス抑制を示していますが、2 つの大きな制限があります。第 1 に、従来型の設計では、外部インダクタ L_r とトランスのリーケージ インダクタンス L_k がまとめて、PSFB 動作に必要なインダクタンスを提供します。ただし、1 次側ショットキー ダイオードは、外部インダクタ L_r と出力キャパシタンス C_{oss} の間の共振によって生じる電圧ストレスをクランプすることしかできず、トランスのリーケージ インダクタンス L_k と C_{oss} の間の共振によって生じる電圧ストレスに対しては効果的ではありません。最新の DC/DC コンバータ設計では電力密度の最適化がますます強調されている現状で、設計者は多くの場合、外部インダクタ L_r を排除し、トランスのリーケージ インダクタンス L_k のみに依存しています。そのような条件下では、このクランプ手法は効果がありません。

第 2 に、ショットキー ダイオードは、DC/DC コンバータの全入力電圧に耐える定格と、超高速の逆方向回復特性を備えている必要があります。800V 入力の DC/DC システムでは、通常 1200V SiC ショットキー ダイオードが必要となり、BOM コストが大幅に増加します。

図 1-12 に、1 次側ショットキー ダイオード クランプを実装したときの電圧ストレス波形のシミュレーション結果を示します。このクランプ手法の有効性を正確に評価するために、シミュレーション モデルでは 1 次側インダクタンスを外部インダクタ L_r とトランスのリーケージ インダクタンス L_k に明示的に分割しました。結果は、ピーク電圧ストレスが 125.8V から 86.9V に低減されていることを示しています。比較効率分析によると、ショットキー ダイオード クランプ回路に起因する追加の電力損失は無視できるほど小さく、システム全体の効率を著しく低下させることはないことが示されています。

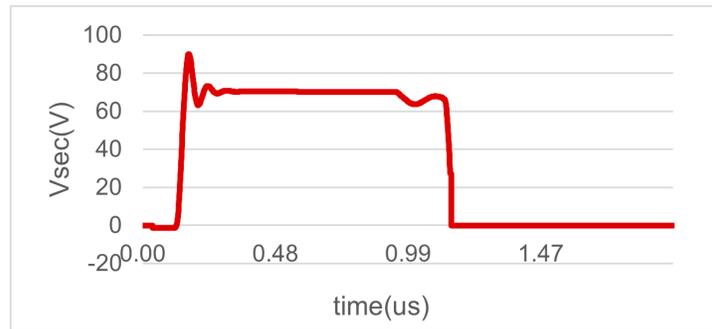


図 1-12. ショットキー ダイオード クランプ回路を使用した電圧ストレスのシミュレーション波形

1.2.4 アクティブ クランプ

ACL 回路は現在、DC/DC コンバータで採用されている最も一般的なクランプトポロジを表しています。アクティブ クランプ アーキテクチャには多数のバリエーションが存在し、セクション 2 で包括的に分析しています。このセクションでは、図 1-13 に示されている代表的な構成を中心に説明します。アクティブ クランプ パワー スイッチがクランプ コンデンサと直列に接続され、この組み合わせは同期整流器と並列に配置されています。Q6 のターンオフ時に、Q6 の両端の電圧ストレスがコンデンサ電圧を超えると、コンデンサはアクティブ クランプ スイッチの逆並列ボディダイオードを通じて充電され、コンデンサの電圧レベルに電圧ストレスがクランプされます。アクティブ クランプ スイッチのターンオンのタイミングと導通時間を精密に制御することで、クランプ コンデンサに蓄積されたエネルギーを出力側に完全に転送できるため、消費電力ではなくエネルギー回復が可能になります。

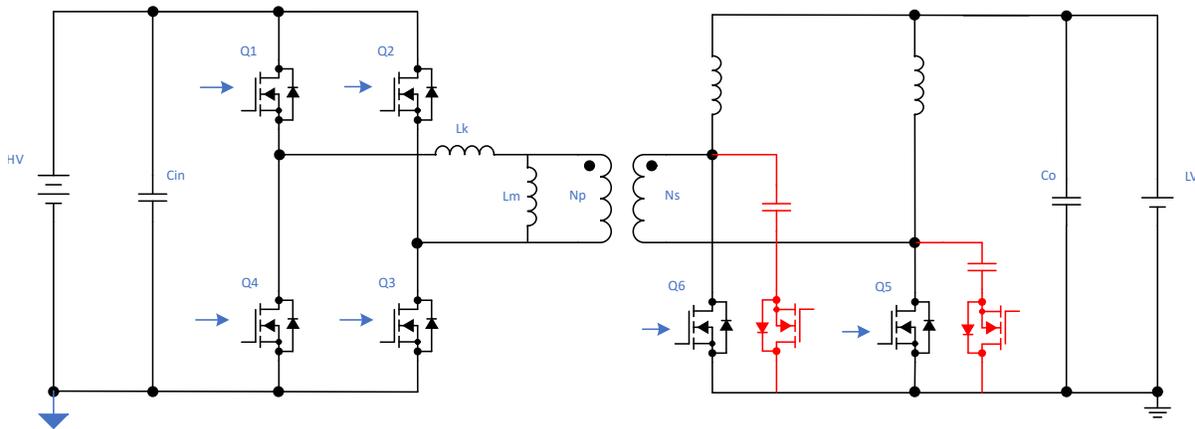


図 1-13. アクティブ クランプ回路のブロック図

アクティブ クランプ回路では、充電パスは RCD スナバ構成に似ていますが、放電パスがアクティブに制御され、電流制限抵抗をバイパスします。その結果、このトポロジは、高効率の電圧ストレス抑制を実現します。図 1-14 に、アクティブ クランプを実装した状態での電圧ストレス波形のシミュレーション結果を示します。シミュレーション結果では、ピーク電圧ストレスが 125.8V から 80.5V に低減されていることが示されています。比較効率分析によると、アクティブ クランプ回路に起因する追加の電力損失は無視できるほど小さく、システム全体の効率を著しく低下させることはないことが示されています。

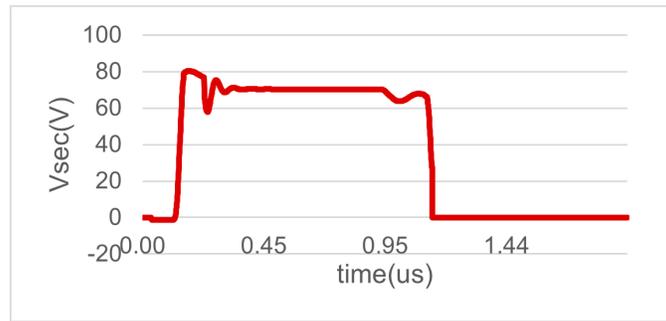


図 1-14. アクティブ クランプ回路を使用した電圧ストレスのシミュレーション波形

表 1-1 に、説明したすべてのクランプ回路トポロジの包括的な比較を示します。比較分析から明らかのように、ACL 回路は電圧ストレス抑制の有効性と効率の点で大きな利点を示しており、これが現代の DC/DC コンバータ設計で広く採用されている理由です。セクション 2 では、ACL 回路設計の方法論と実装上の考慮事項の詳細を説明しています。

表 1-1. すべてのクランプ回路の概要

クランプ回路	クランプなし	RC スナバ	RCD スナバ	ツェナー クランプ	ショットキー クランプ	アクティブ クランプ
電圧ストレス	125.8V	113.1V	101.2V	101.2V	86.9V	80.5V
パワー スイッチの電圧定格	150V	120V	120V	120V	100V	100V
追加の電力損失	0W	19W	15W	27W	無視できる範囲	無視できる範囲
利点	/	最小コスト	低コスト、部分的なエネルギー リサイクル	シンプルな回路	優れたクランプ性能	優れたクランプ性能
制約	/	大きな電力損失	大きな電力損失	最大の電力損失	高額、TF による制限	制御が複雑

2 アクティブ クランプ回路

2.1 ACL 回路のさまざまな種類

2.1.1 ACL の配置の違い

図 2-1 に示す PSFB トポロジは、高電圧から低電圧への DC/DC 変換アプリケーションで広く採用されています。セクション 1 で説明したように、同期整流器は、寄生出力キャパシタンスとトランスのリーケージ インダクタンスとの間の共振に起因する大きな電圧ストレスの影響を受けやすくなっています。整流器にかかるピーク電圧ストレスは、理論的には式 1 で表される振幅に達する可能性があります。

$$V_{ds_max} = 2 \times V_{in} \times N_s/N_p \quad (1)$$

N_p と N_s はそれぞれトランスの 1 次巻線と 2 次巻線です。

セクション 1 で説明したように、設計者は主にパワー レベル要件とパッシブ スナバトポロジに固有の大きな電力消費のために、SR MOSFET の場合、RCD スナバよりも ACL 回路を好みます。図 2-1 に、フルブリッジ SR アプリケーションで一般的に実装されている、代表的な ACL 回路構成を示します。

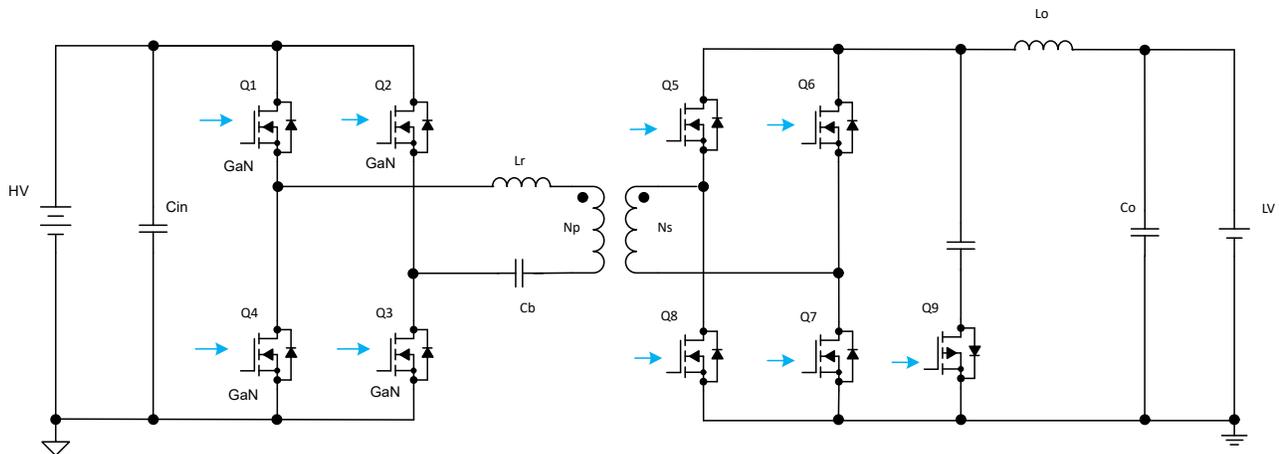


図 2-1. PSFB 同期整流 MOSFET の従来型のアクティブ クランプ回路

図 2-1 に、ACL 回路の主要部品である P チャネル金属酸化膜半導体電界効果トランジスタ (PMOS) Q9 とスナバコンデンサを示します。スナバコンデンサは 1 つの端子で出力インダクタに接続され、PMOS ソース端子はグラウンドに接続されています。従来型の PSFB アクティブ クランプ構成では、SR MOSFET Q5 と Q7 では、Q6 と Q8 と同様に同じ回路配置が採用されています。PMOS は、SR MOSFET のターンオフ遷移に続いて適切な遅延でアクティブになります。

図 2-2 に、ACL 回路を使った PSFB トポロジの制御タイミング方式を示します。図 2-2 に示すように、PMOS スイッチング周波数は 1 次側スイッチング周波数 (fsw) の 2 倍で動作します。

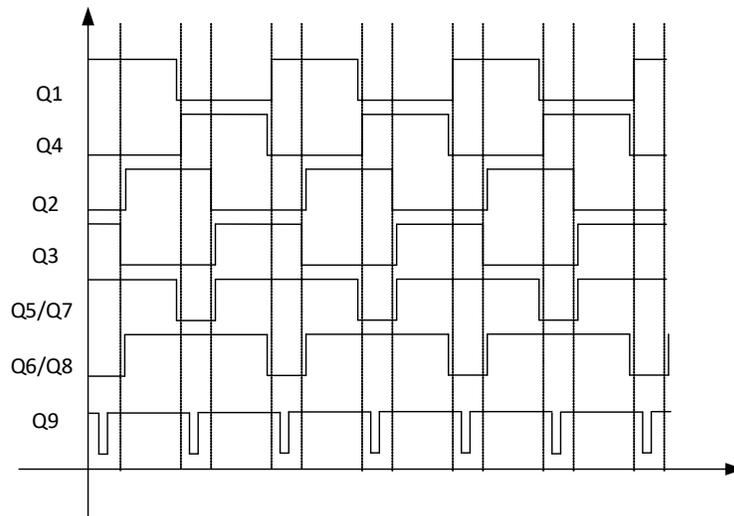


図 2-2. アクティブ クランプ PMOS Q9 の制御方式。

式 2 から式 6 を使用して ACL PMOS の電力損失を計算できます。導通損失 (P_{on_state}) を除き、他のすべての損失成分はスイッチング周波数に比例して増加します。PMOS スwitching 周波数が 1 次側の 2 倍の周波数で動作する場合、関連する損失はそれに応じて 2 倍になり、熱管理に関する大きな課題が生じます。小型化と電力密度の要件を満たすためにスイッチング周波数が高くなると、こうした熱に関する検討事項はますます重要になります。

$$P_{on_state} = I_{rms}^2 \times R_{dson} \quad (2)$$

$$P_{turn_on} = 0.5 \times V_{ds} \times I_{on} \times t_{on} \times f_{sw} \quad (3)$$

$$P_{turn_off} = 0.5 \times V_{ds} \times I_{off} \times t_{off} \times f_{sw} \quad (4)$$

$$P_{drive} = V_{drv} \times Q_g \times f_{sw} \quad (5)$$

$$P_{diode} = I_{snubber} \times V_{sd} \times t_d \times f_{sw} \quad (6)$$

性能指数 (FOM) を備えた PMOS デバイスを選択するか、熱伝導率を高めたサーマル インターフェイス マテリアルを採用することが、実行可能なアプローチです。しかし、熱ストレスが単一の部品内に集中するという根本的な制限が残り、効果的な熱管理が本質的に困難になります。

より効果的な戦略としては、デュアル アクティブ クランプ回路を実装して、熱負荷を複数の部品に分散する方法があります。図 2-3 に示すように、この構成は、スナバ コンデンサ端子を 2 次側レグのスイッチング ノードに接続することで実現されています。このトポロジでは、Q11 は Q5 と Q7 のターンオフ遷移後のみアクティブになり、Q10 は Q6 と Q8 のターンオフ遷移後のみアクティブになります。図 2-4 に、このデュアル アクティブ クランプ構成による PSFB トポロジの制御タイミング方式を示します。

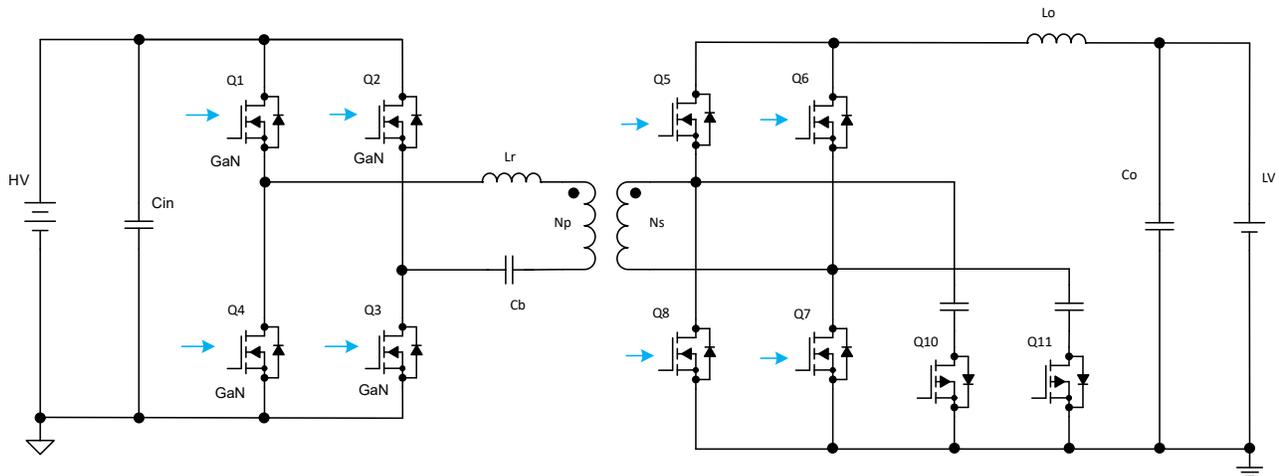


図 2-3. PSFB 同期整流 MOSFET 用の新しいアクティブ クランプ回路

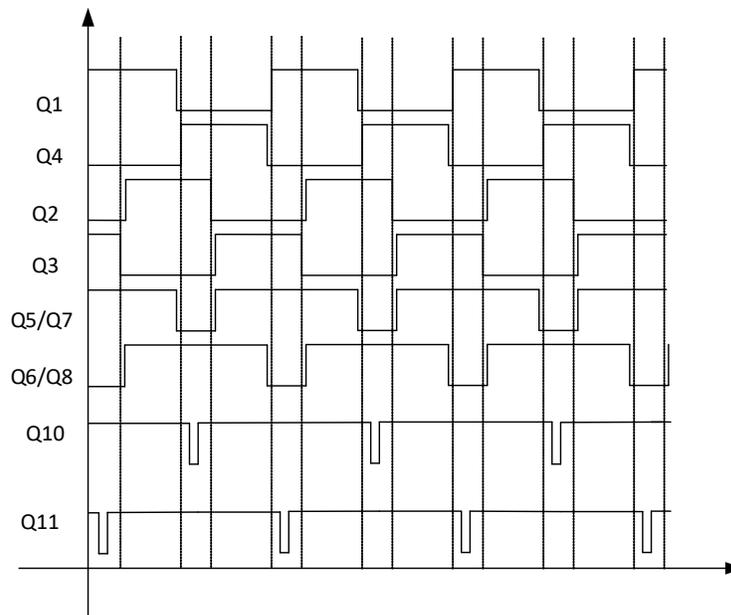


図 2-4. PSFB と新しいアクティブ クランプの制御方式

2.1.2 PMOS タイプと NMOS タイプ

PMOS デバイスに加えて、N チャネル MOSFET (NMOS) も ACL 回路を実装するための実行可能なオプションとなります。適切な ACL MOSFET タイプを選択する際には、設計者は 2 つの基本的な設計原理を考慮する必要があります。

原則 1: ドライバ回路の複雑さ

一般的に、ドライバ回路トポロジが簡素化され、BOM コストが削減されるため、PMOS デバイスを推奨します。従来の NMOS ドライバ回路と比較して、PMOS の実装では追加のダイオードとセラミック コンデンサのみで済みます。逆に、クランプ MOSFET として NMOS を採用すると、NMOS のソース端子が固定電位ではなくスイッチング ノードに接続されるため、絶縁型ゲートドライバ回路が必要になります。この要件は、回路の複雑さが大幅に増し、BOM コストの上昇をもたらします。セクション 2.2.2 に、これらのドライバ回路構成に関する包括的な詳細を示します。

原則 2: パルス電流能力

NMOS トランジスタは通常、PMOS デバイスと比較して優れた電流容量と高速なスイッチング特性を示します。これは主に NMOS における電子移動度が高いこと (PMOS のホール移動度の約 2 ~ 3 倍) によるものです。出力電流が 100A 未満のコンバータの場合、PMOS クランプ MOSFET が適切な選択肢になります。ただし、出力電流が 200A に近い高電圧から低電圧 (HV-LV) の DC/DC コンバータなどの高電流アプリケーションでは、パフォーマンス特性が強化されている NMOS クランプ MOSFET が推奨されます。図 2-5 に、NMOS デバイスを使用した PSFB コンバータの従来の ACL 回路トポロジを示します。

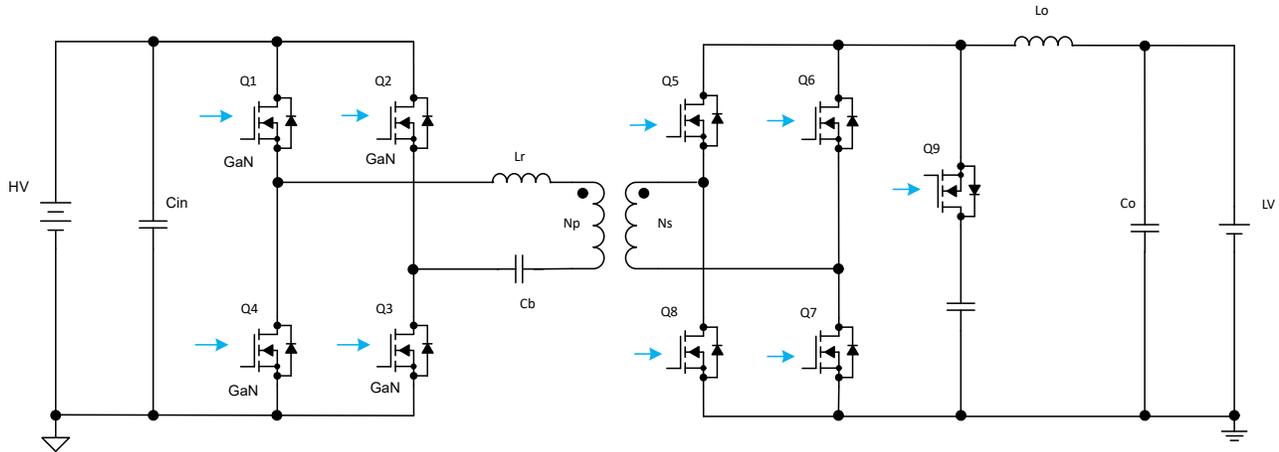


図 2-5. NMOS をクランプ FET として使用した PSFB の従来型アクティブ クランプ回路

2.2 ACL 回路のハードウェア設計

2.2.1 クランプ コンデンサ

アクティブ クランプ コンデンサを選択するには、電圧リップル、過渡応答特性、全体的な効率に関する設計上の複数のトレードオフを慎重に検討する必要があります。主な設計パラメータには、容量値 (C_{clamp}) と電圧定格が含まれます。設計者は、スイッチング周波数に対する共振周波数を評価し、容量が十分に大きく、電圧リップルを最小限に抑えながら、迅速な過渡応答を促進するのに十分な小ささであることを確認する必要があります。さらに、スイッチング遷移中に過度の放熱や電圧オーバーシュートを発生させることなく共振電流を効果的に処理するには、セラミック コンデンサなどの低等価直列抵抗 (ESR) のコンデンサ タイプを選択する必要があります。

1. 動作電圧の決定:

ACL を使用すると、2 次側 SR FET の V_{ds} が以下にクランプされます

$$V_{ds_sr} = K \times V_{in_max} \times N_s/N_p \quad (7)$$

この場合、 K は 1.5 未満です

複数のクランプ コンデンサが SR FET と並列に接続されていることを前提とすると、クランプ コンデンサの両端の電圧は SR FET のドレイン ソース間電圧 (V_{ds}) に等しくなります。クランプ コンデンサには、以下に等しい DC バイアス電圧も印加される点に注意することが重要です。

$$V_{dc_bias} = 2 \times D \times V_{in_max} \times N_s/N_p \quad (8)$$

この場合、 D はトランスの 1 次巻線で実効的なデューティであり、

$$0 \leq D < 0.5 \quad (9)$$

2. 共振周波数 (f_r) を選択します。 f_r は、ACL なしの共振周波数 f_R よりも十分に低い値に設定します (たとえば、 $f_r \approx 0.1 \times f_R$ 以下)。

$$f_R = \frac{1}{2 \times \pi \times \sqrt{\left(\frac{N_s}{N_p}\right)^2} \times L_r \times 2 \times C_{oss}} \quad (10)$$

$$f_r = \frac{1}{2 \times \pi \times \sqrt{\left(\frac{N_s}{N_p}\right)^2} \times L_r \times (C_{clamp} + 2 \times C_{oss})} \quad (11)$$

3. 計算: C_{clamp} 。

例として PSFB のトポロジを使用します。 $C_{clamp} = 1 / ((N_s/N_p)^2 \times L_r \times (2\pi f_r)^2)$ を使用します。ここで、 L_r は 1 次側の共振インダクタを表します。ディスクリートの共振インダクタを使用しない他のトポロジでは、 L_r はトランスの 2 次側巻線のリーケージ インダクタンスに相当します。 C_{clamp} が大きいほど、共振周波数 f_r が低くなり、それに伴いコンデンサの電圧リップルも低減します。コンデンサの電圧リップルをこのように小さくすることで、SR FET の V_{ds} ストレスが減少しますが、これによりコンバータの過渡応答性能も低下します。

4. 確認: I_{clamp} 。

設計値 K を 1.1 とし、コンデンサの電圧リップルを $0.1 \times V_{in} \times N_s/N_p$ と仮定すると、 I_{clamp} は次式で求めることができます。

$$I_{clamp} = C_{clamp} \times (0.1 \times V_{in} \times N_s/N_p) \times T_{delay} \times f_r \quad (12)$$

I_{clamp} とコンデンサの温度上昇データに基づき、必要なコンデンサの数を決定します。注意したいのは、 I_{clamp} はクランプ時間における RMS 電流を示すということです。 T_{delay} の詳細については、[セクション 2.3.1](#) を参照してください。

5. コンデンサのタイプの選択:

高周波 AC 性能を得るために、低 ESR のセラミック コンデンサ (X7R、C0G など) を使用します。

表 2-1. クランプ コンデンサの概要チェックリスト

パラメータ	選択基準
V_c	ピーク電圧を安全に取り扱う必要があります。通常は $V_{in} + V_{out}$ または $2V_{in}$ (トポロジによって異なる) で、これにマージンを加味します。
C_{clamp}	C_{clamp} 。ドレイン電圧リップルが低減されます (効率は向上します) が、過渡応答は遅くなります。 C_{clamp} 減少時: 過渡応答は向上しますが、リップルが増加します。 性能トレードオフ: リップルが許容可能で、過渡応答が十分高速なスイート スポットを特定します (たとえば、設計ツールやデータシートの推奨事項を使用)。
ESR	コンデンサ内で消費されるエネルギーを管理するうえで、特に高速スイッチング時に不可欠です。クランプ回路は共振電流を処理するため、発熱と電圧スパイクを最小限に抑えるには、低 ESR (セラミック コンデンサが最適) が推奨されます。

2.2.2 パワー スイッチ

ACL 回路用の MOSFET を選択する (順方向 / フライバック コンバータ トポロジのトランス コアのリセットや、誘導性電圧スパイクに対する保護のために一般的に使用される) には、電圧ストレス定格、スイッチング速度特性、ゲート駆動要件を慎重に最適化する必要があります。

1. 降伏電圧 (V_{DSS})

MOSFET は、アバランシェ降伏に移行せずに最大クランプ電圧に耐える必要があります。 AV_{DSS} は、入力電圧の変動と過渡電圧スパイクに対して十分な余裕を持たせるために、[式 7](#) で計算される予想されるピーク クランプ電圧より少なくとも 30% 高い値を選択する必要があります。

2. ボディ ダイオードの特性

ACL MOSFET は、初期リセット フェーズ中に電流を伝導するために、内部のボディ ダイオードに依存します。ボディ ダイオードは、ピーク反射電流に耐えるために適切な電流処理能力を備えている必要があります。電流伝導は MOSFET の内部ボディ ダイオードを介して行われるため、このアプリケーションには固有のボディ ダイオードがない窒化ガリウム (GaN) デバイスは適していません。

I_{clamp} (セクション 2.2.1 で計算) に基づいて FET の初期電流定格を決定できますが、これは RMS 値のみを表していません。ピーク電流 (I_{clamp_peak}) を求めるには、回路のシミュレーションが必要です。または、『PSFB コンバータのアクティブ クランプにより高い変換効率を実現する』で概説されている方法論を参照して解析的に計算することもできます。デバイスのデータシートに記載されている「ソースドレイン パルス電流」定格は、計算されたピーク電流と比較して検証する必要があります。PMOS のパルスドレイン電流 $I_{D,pulse}$ がこの定格に近づくか、またはそれを超える場合は、直列パワー抵抗を組み込んで電流の大きさを制限することができます。

表 2-2. クランプ FET の概要チェックリスト

パラメータ	選択基準
V_{DSS}	最大クランプ電圧 + 20 ~ 30% のマージン。
$I_{D,pulse}$	ピーク電流パルスを上回る必要があります。
極性	ハイスайд クランプは、通常は N チャネルを使用します。ローサイドはコントローラによっては N チャネルまたは P チャネルを使用できます

2.2.3 ゲートドライバ

通常は、図 2-6 に示すように、PMOS デバイスを駆動するためにローサイド ゲートドライバを使用できます。コンデンサ C1 を使用して PMOS の負のゲート電圧を生成し、初期値は 10nF で、出発点として使用します。ダイオード D1 は、最大の正電圧を順方向電圧降下 (VF) までクランプします。その結果、PMOS に印加される有効な負のゲートソース間電圧は ($V_{DD} - V_F$) になります。

C1 の容量が過度に大きい場合、PMOS のゲート信号は立ち下がり時間が遅くなることに注意してください。コンバータのソフトスタート動作中にドレインソース間電圧 (V_{ds}) 過電圧の問題をトラブルシューティングする際には、この現象に特に注意する必要があります。

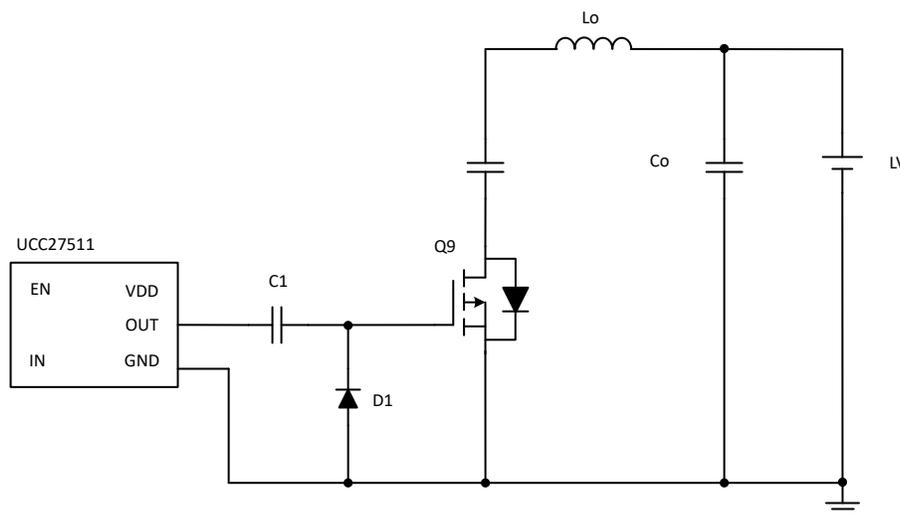


図 2-6. PMOS のローサイドドライバ

ACL 回路のクランプ MOSFET として NMOS デバイスを使用する場合、図 2-7 に示すように絶縁型ゲートドライバが必要です。あるいは、図 2-8 に示すように、ローサイドドライバと組み合わせたデジタル アイソレータを使用することもできま

す。絶縁型部品に電力を供給するため、ブートストラップ回路が実装されています。表 2-3 は、ACL 回路アプリケーションでの実装に適した TI のゲートドライバ IC の選択肢を示しています。

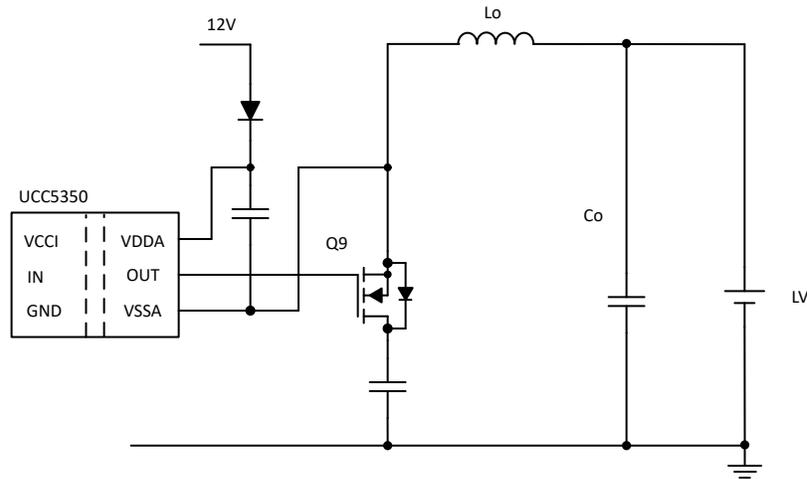


図 2-7. NMOS の絶縁型ドライバ

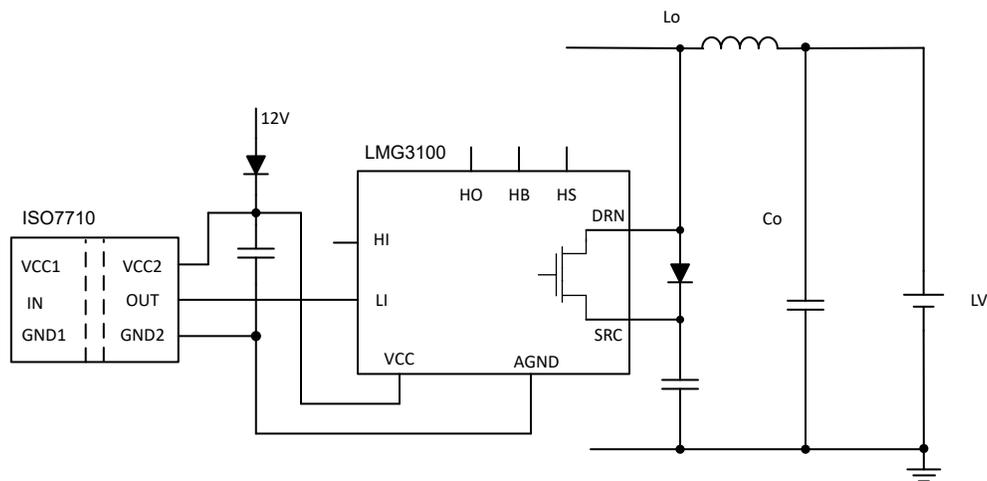


図 2-8. NMOS のデジタル アイソレータとロー サイドドライバ

表 2-3. ACL の TI 部品

タイプ	部品番号	仕様
ローサイドドライバ	UCC27511A	4A ピーク ソースおよび 8A ピーク シンクのシングル チャネル、高速ローサイド ゲートドライバ
	UCC27524A1	デュアル 5A、高速ローサイド ゲートドライバ、負入力電圧機能付
絶縁型ドライバ	UCC5350	シングル チャネルの絶縁型ゲートドライバ
	UCC21331	4A、6A、3.0kVRMS 絶縁型デュアル チャネル ゲートドライバ
デジタル アイソレータ	ISO7710	高速、堅牢な EMC 強化型シングル チャネル デジタル アイソレータ
	ISO6420	汎用、基本および強化型デュアル チャネル デジタル アイソレータ

2.3 ACL 回路のソフトウェア設計

ハードウェア回路の設計が完了したら、ACL パワー スイッチの制御方式を実装する必要があります。アクティブ クランプ回路の性能は、アクティブ クランプ スイッチのターンオン遅延時間とターンオン時間という 2 つの重要なパラメータに大きく影響されます。これらのパラメータの影響を分析する前に、ACL 回路の動作原理を包括的に理解することが不可欠です。分析は、図 2-9 に示す回路図と、図 2-10 に示す対応するタイミング図を使用して行います。

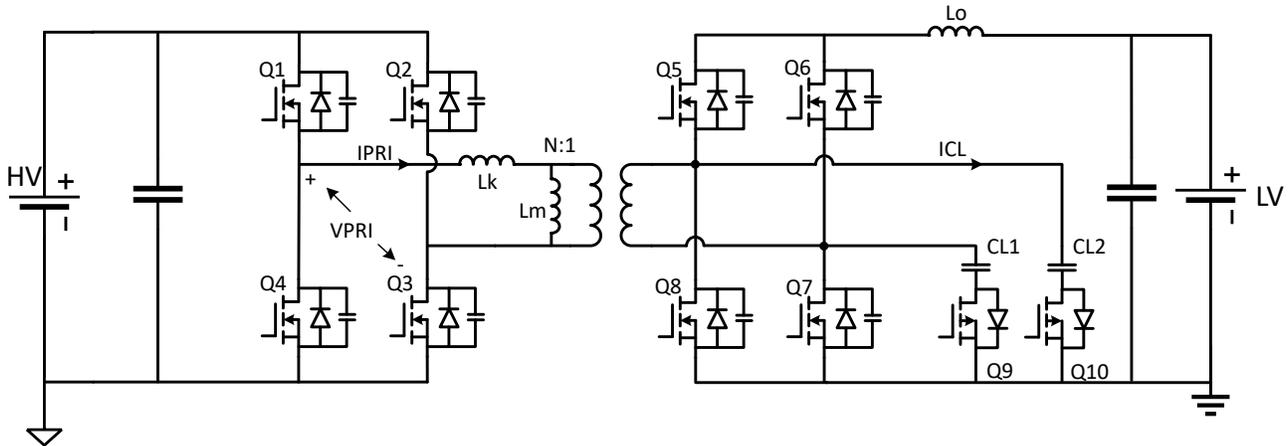


図 2-9. アクティブ クランプ回路を搭載したフル ブリッジ同期整流器のブロック図

[t0-t1]: t0 より前では、スイッチ Q1 と Q2 が導通しており、1 次側電流 IPRI は、図 15 に定義した基準極性と反対方向に流れています。t0 で Q2 がターンオフするため、IPRI は Q2 の Coss を充電すると同時に、Q3 の Coss を放電します。その結果、1 次側電圧 VPRI は 0V から 400V に上昇します。この期間中、負荷電流が維持されるように、同期整流器 Q5 ~ Q8 が導通状態を維持します。トランスの 2 次側巻線は実質的に短絡し、その結果、Q8 両端のドレインソース間電圧 (VDS = 0V) はゼロになります。

[t1-t2]: t1 で Q3 がオンになります。Q3 の Coss はデッドタイム中に完全に放電されているため、Q3 はゼロ電圧スイッチング (ZVS) ターンオンを実現します。トランス 2 次側の短絡状態により、1 次側電圧 VPRI がリーケージ インダクタンス Lk の両端に完全に印加されるため、IPRI は急速に減少し、逆方向になり、その後逆極性で急速に増加します。この期間中、2 次側の動作は [t0-t1] の動作と同じままです。トランスが短絡したまま入力電圧が VPRI に印加されるため、エネルギーは 2 次側に伝送できません。その結果、この期間はデューティ サイクルの損失期間を表します。

[t2-t3]: t2 では、IPRI が十分に増加して負荷電流に対応できるようになると、同期整流器 Q6 および Q8 のフリーホイール導通が停止し、t2 の直後にゼロ電流スイッチング (ZCS) をオフにできます。Q6 および Q8 のターンオフ後、Q8 のドレインソース間の電圧 VDS は徐々に上昇を始めます。VDS がアクティブ クランプ コンデンサ電圧 VCL2 を上回ると、電圧ストレスは VCL2 にクランプされます。

図 1-3 に示すように、リーケージ インダクタンス Lk と出力キャパシタンス Coss の間の共振に起因して電圧ストレスが発生します。期間 [t2-t3] の間にアクティブ クランプ (ACL) 回路を実装した場合、等価容量は、クランプ コンデンサ CL2 と並列に接続された Coss で構成されます。CL2 は Coss よりも大幅に大きいため (CL2 >> Coss)、電圧変動は大幅に減少し、共振周波数は大幅に低くなります。共振周期は次のように表すことができます。

$$T = 2\pi\sqrt{\left(\frac{1}{N}\right)^2 \times L_k \times (2C_{oss} + C_{CL2})} \quad (13)$$

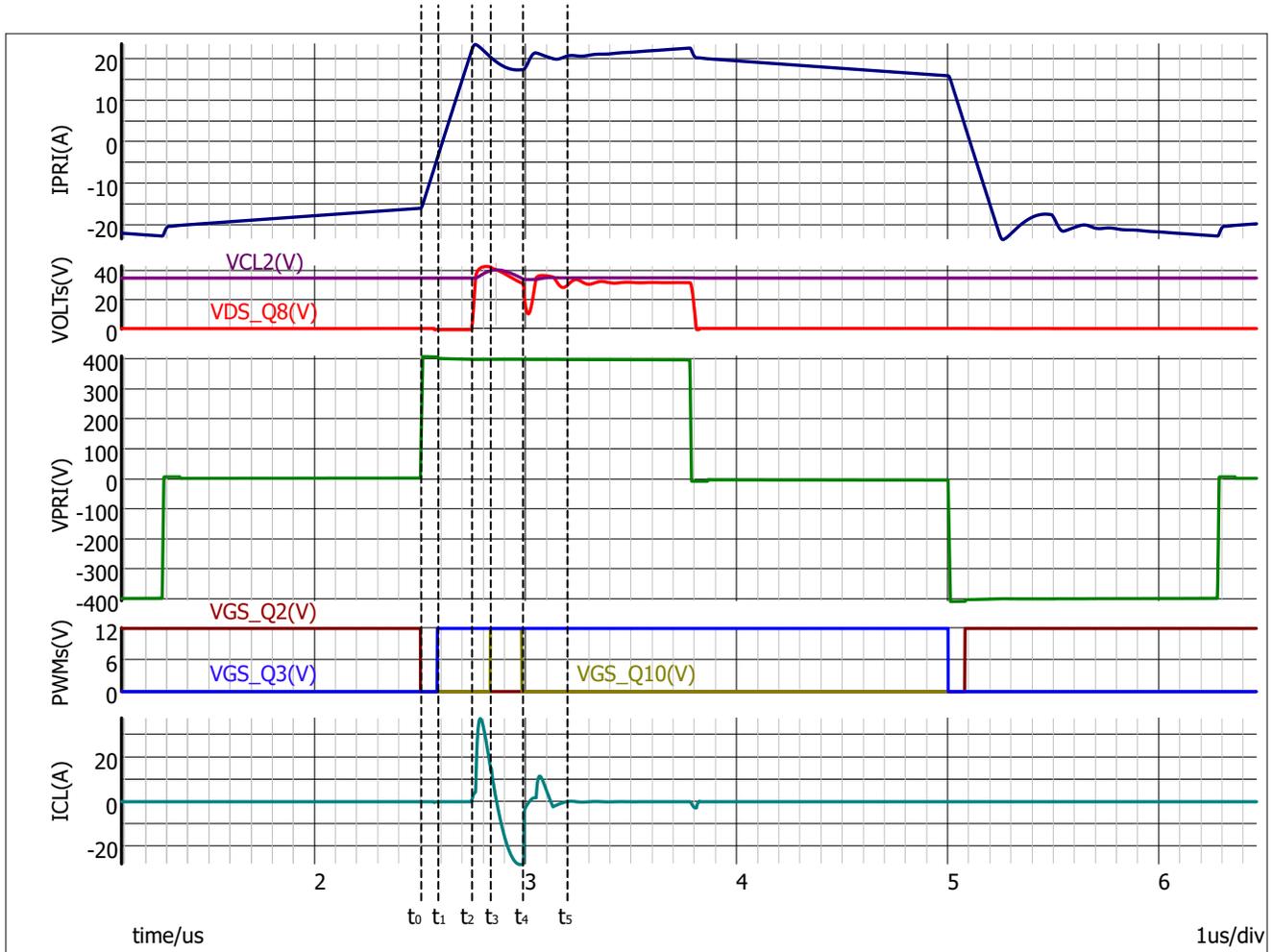


図 2-10. アクティブ クランプ回路を備えた位相シフトフルブリッジのシーケンス

[t3-t4]: t3 で、アクティブ クランプ スイッチ Q10 がオンになります。クランプ電流 ICL はこの時点では順方向のままのため、Q10 のボディダイオードはフリーホイール モードで導通し、Q10 のゼロ電圧スイッチング (ZVS) ターンオンが可能になります。Q10 の導通により、クランプ コンデンサ CL2 の放電パスが確立されます。その結果、共振サイクルの半分が経過すると、ICL の方向が反転し、CL2 が放電を開始し、蓄積されたエネルギーが出力側に転送されます。

ICL が方向を反転すると、これは 1 次側反射電流 IPRI と組み合わせて負荷電流を供給します。この期間中、負荷電流は本質的に一定に保たれるため、電流バランスを維持するために、IPRI に対応する低下が観測されます。

[t4-t5]: t4 で、アクティブ クランプ スイッチ Q10 がオフになります。Q10 がオフになると、CL2 の放電パスが排除され、ICL が急速にゼロまで減衰します。負荷電流は一定に保たれるため、Q8 の出力キャパシタンス C_{oss} は IPRI とともに負荷電流を供給し、Q8 のドレインソース間電圧 VDS を大幅に低減します。その後、IPRI が増加するにつれて、Q8 の VDS はクランプ電圧レベルに再充電されます。

Q8 の VDS がクランプ電圧に達すると、回路は次の共振サイクルに移行し、ICL が上昇して CL2 が充電されます。ただし、この共振サイクルのエネルギー成分は前のサイクルよりもはるかに低くなり、クランプ電圧 VCL2 はほぼ一定に保たれます。Q10 はもう導通しておらず放電パスも存在しないため、半サイクル後に共振は終了します。

2.3.1 ターンオン遅延

上記の分析から、期間 [t1-t2] は位相シフトフルブリッジトポロジのデューティサイクル損失フェーズを構成しています。このフェーズ中は、1 次側電流 IPRI が増加し続けますが、すべての 2 次側パワー スイッチはフリーホイール モードのままです。この段中にアクティブ クランプ スイッチが導通した場合、クランプ コンデンサ CL2 が急速に放電され、大きな逆クランプ電流 ICL が生成されます。その結果、アクティブ クランプ コンデンサから 1 次側へ望ましくないエネルギーが逆流し

ます。したがって、Q2 のターンオフの瞬間に対して測定される最小ターンオン遅延は、図 2-10 の期間 [t0-t2] に対応するデューティ サイクル損失期間の持続時間以上である必要があります。

出力インダクタ電流が I_{Lo} であると仮定すると、期間 [t0-t2] 中に 1 次電流 IPRI は $-I_{Lo}/N$ から $-I_{Lo}/N$ に遷移します。その結果、最小ターンオン遅延は次のように表すことができます。

$$T_{dmin} = 2 \times L_k \times I_{Lo}/N \times V_{in} \quad (14)$$

この式から、最小ターンオン遅延はいくつかの要因に依存し、入力電圧が高く、負荷電流が小さく、共振インダクタンスが小さいほど減少することがわかります。特定の DC/DC コンバータの場合、最小ターンオン遅延のワースト ケースは、入力電圧が最小値で、負荷電流が全負荷のシナリオです。

期間 [t3-t4] の瞬間 t3 で、クランプ電流 ICL はゼロを超え、方向を反転します。このゼロ交差の前に ACL スイッチがオンになった場合、ボディダイオードがフリーホイール モードで導通し、ZVS ターンオンが可能になります。したがって、Q2 のターンオフを基準に測定される最大ターンオン遅延は、ICL 電流のゼロ交差の瞬間によって制限されます。最大ターンオン遅延は、次のように表すことができます。

$$T_{dmax} = T_{dmin} + \frac{T}{2} \quad (15)$$

リファレンス デザイン PMP41078 では、スイッチング周波数が 200kHz、入力電圧範囲が 200V ~ 450V、出力電圧範囲は 9V ~ 16V、最大出力電力は 3.5kW です。上記で導き出された式に基づいて、計算された最小ターンオン遅延は 265ns で、計算された最大ターンオン遅延は 557.5ns です。したがって、十分なマージンを得るために設計値として 400ns を選択します。

2.3.2 ターンオン期間

アクティブ クランプ スイッチのターンオフ後、アクティブ クランプ コンデンサは放電パスを失います。そのため、アクティブ クランプ スイッチの最小ターンオン期間は、目的のクランプ電圧のボルト秒バランスを実現するように設計する必要があります。図 2-10 に示すように、ICL がゼロを超える瞬間に Q10 がオフになると、ZCS ターンオンを達成できます。この原理に従ってターンオン期間を構成することで、スイッチング性能を最適化できます。この時間間隔は、シミュレーションによって得られます。

さまざまな動作条件では、位相シフト角度が最大値に達したときにワーストケースのシナリオが発生します。これは、通常は電圧レギュレーション範囲の要件によって決まります。この動作ポイントでは、1 次側電圧 VPRI の等価デューティ サイクルが最小値に達します。同期整流器 Q8 のターンオン遷移は VPRI の立ち下がリエッジと一致しているため、アクティブ クランプ スイッチ Q10 の最大導通期間は、Q8 のターンオンの前にターンオフを確認する必要があります。これは、最小実効デューティ サイクルからデューティ サイクル損失の時間間隔を引いた値です。この制約を満たさないと、Q8 がクランプ コンデンサ CL2 を短絡し、過剰な過渡電流が発生します。

リファレンス デザイン PMP41078 では、1 次側の等価デューティ サイクルの最小値は 20% です。そのため、ワーストケースのシナリオでは、ターンオン遅延とターンオン時間の合計が 500ns を超えないようにする必要があります。ターンオン遅延は 400ns に選択されているため、PMP41078 ではターンオン時間は 100ns に設定されます。

図 2-11 から図 2-12 は、リファレンス デザイン PMP41078 の波形です。図 2-11 はクランプ回路がない場合の波形を示し、図 2-12 と図 2-13 はアクティブ クランプがある場合の波形を示しています。CH1 は 1 個の同期整流器パワー スイッチの VGS、CH2 はこのパワー スイッチの VDS、CH3 はトランスの 1 次側電圧の波形、CH4 はトランスの 1 次側電圧の波形です。

図 2-11 および図 2-12 は、200V 入力電圧 (最小入力電圧) で測定されます。アクティブ クランプがない場合、電圧ストレスは 32V ですが、アクティブ クランプを使用すると電圧ストレスは 22V まで低減できます。電圧オーバーシュートは 92% から 30% に抑制されます。

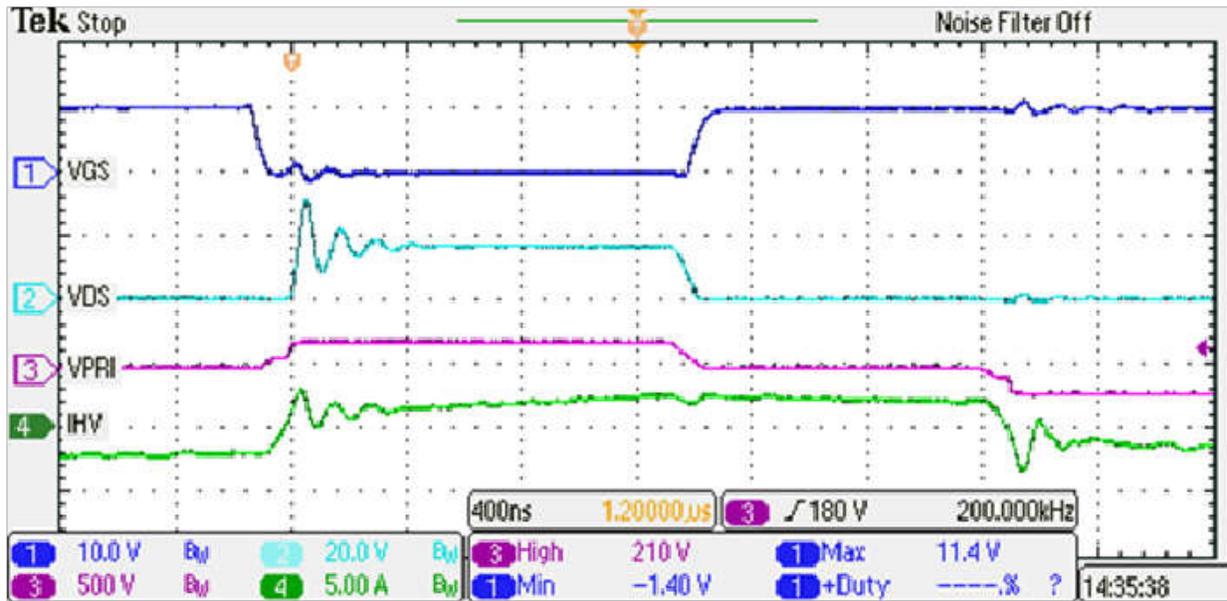


図 2-11. $V_{in} = 200V$ 、 $I_{out} = 20A$ でクランプなし

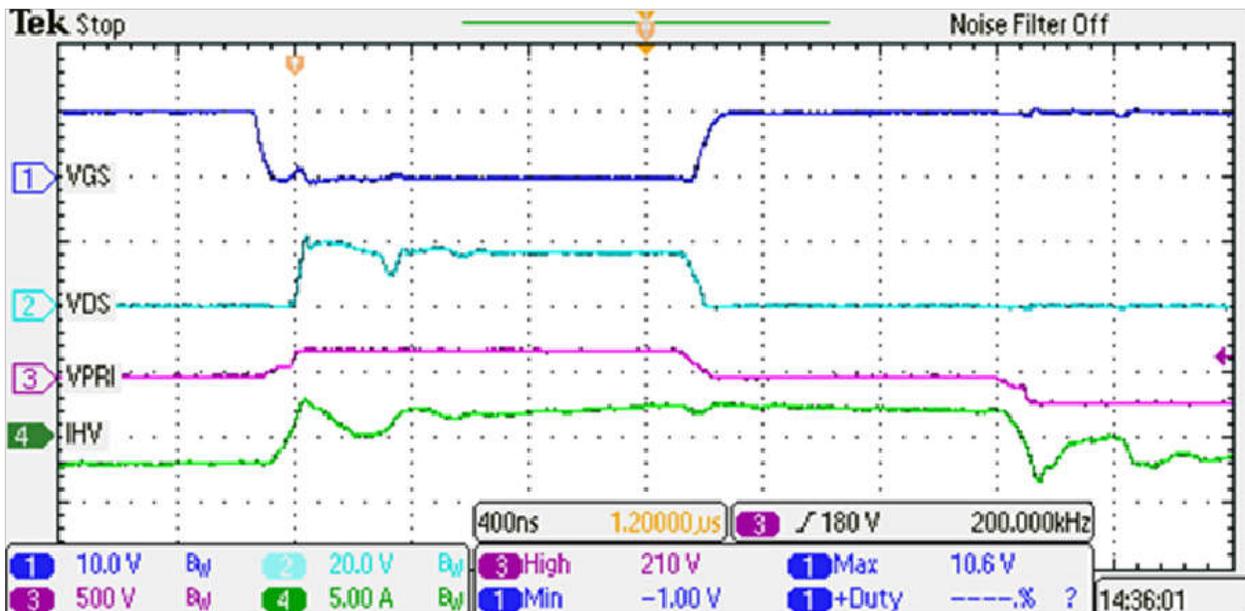


図 2-12. $V_{in} = 200V$ 、 $I_{out} = 20A$ でアクティブ クランプ

図 2-13 は 450V 入力電圧 (最大入力電圧) で測定されます。電圧ストレスは、アクティブ クランプで 45.6V です。したがって、この DC/DC コンバータでは 60V パワー スイッチで十分です。

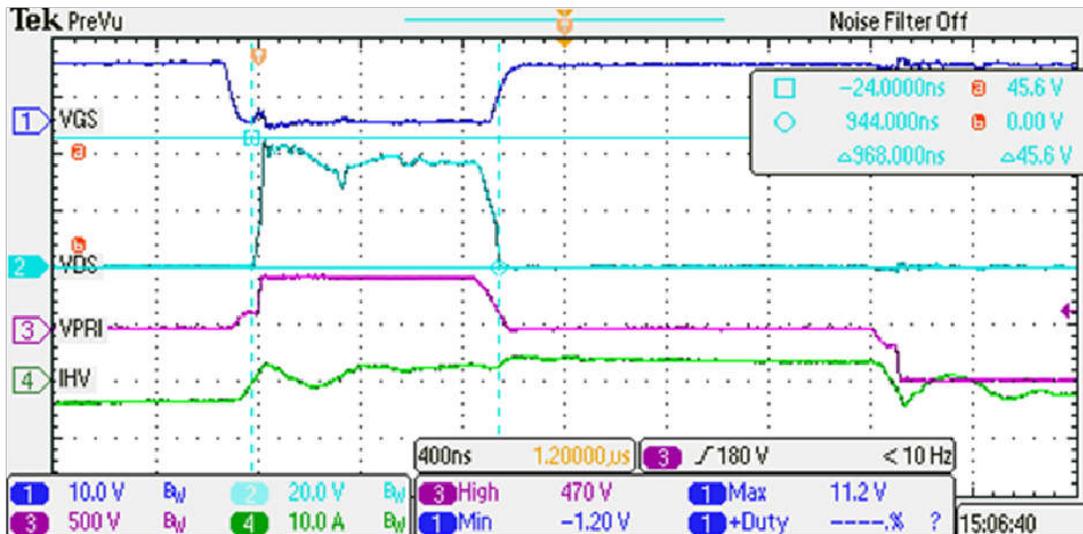


図 2-13. $V_{in} = 450V$ 、 $I_{out} = 20A$ でアクティブ クランプ

図 2-14 は入力電圧 320V で測定されます。CH1 はアクティブ クランプ コンデンサの電圧です。各サイクルで、コンデンサの電圧は 28V で安定化され、共振エネルギーを吸収するために 32.8V まで充電されます。

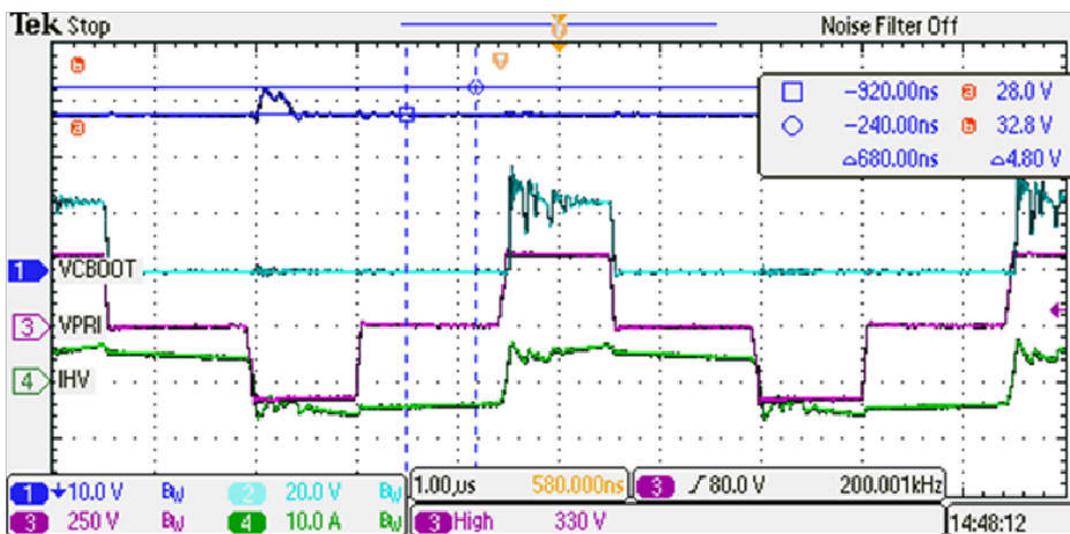


図 2-14. アクティブ クランプ コンデンサの電圧

PMP41078 と PMP41139 は、車載アプリケーションで使用されるリファレンス デザインです。PMP41078 は 400V 高電圧バッテリー アプリケーションに使用され、PMP41139 は 800V 高電圧バッテリー アプリケーションに使用されます。PMP23126 と PMP22951 は、産業用アプリケーションで使用されているリファレンス デザインであり、車載アプリケーションと比較して仕様が異なります。PMP23126 は 12V 出力アプリケーションで使用します。PMP22951 は 54V 出力アプリケーションで使用します。本書で紹介したアクティブ クランプ回路は、これらのリファレンス デザインで検証したものです。

3 まとめ

このアプリケーション ノートでは主に、フルブリッジ コンバータトポロジにおける電圧ストレス生成の根底にあるメカニズムを検証し、主なクランプ手法の概要を示しています。広く採用されているアクティブ クランプ手法については、ハードウェア回路の実装とソフトウェア制御アルゴリズムの両方を網羅する包括的な設計手法を紹介しています。これらの設計原理は、実践的なリファレンス デザインの実装によって検証されています。

4 参考資料

1. テキサス インスツルメンツ、『[PMP41078 GaN HEMT 付き高電圧 ~ 低電圧 DC/DC コンバータリファレンス デザイン](#)』、製品ページ。
2. テキサス インスツルメンツ、『[PMP41139 3.5kW、800V ~ 14V DC/DC コンバータリファレンス デザイン](#)』、製品ページ。
3. テキサス インスツルメンツ、『[PMP23126 アクティブ クランプ搭載、270W/ 立方インチ \(16.48W/ 立方 cm\) を上回る電力密度、3kW 位相シフト フルブリッジのリファレンス デザイン](#)』、製品ページ。
4. テキサス インスツルメンツ、『[PMP22951 アクティブ クランプ搭載、54V、3kW 位相シフト フルブリッジのリファレンス デザイン](#)』、製品ページ。
5. テキサス インスツルメンツ、『[PSFB コンバータのアクティブ クランプにより高い変換効率を実現する](#)』、Analog Design Journal。
6. テキサス インスツルメンツ、『[位相シフト フルブリッジ コンバータの基礎](#)』、セミナー。

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月