

UCG2882x GaN 内蔵、自己バイアス型高周波数 QR フライバック コンバータ

1 特長

- 170mΩ の $R_{ds(on)}$ オプションを備えた 750V GaN を内蔵
- 動的 QR/DCM/CCM 動作モード
- 高電力密度: 最大 500kHz のスイッチング周波数で動作
- 統合により BOM コストを低減
 - 自己バイアスにより補助巻線不要
 - 入出力電圧センシング機能を内蔵
 - 統合型の電流センス機能
 - HV スタートアップを内蔵
 - X コンデンサ放電機能を内蔵
- 高い効率と低い EMI 特性
 - 非常に小さいスタンバイ消費電力: <30mW
 - 周波数フォールドバックおよびバースト モード
 - バレー ロック
 - 周波数ディザリング
 - 切り替え可能なスルーレート制御
- 包括的な保護機能
 - 過熱保護
 - 過電圧保護
 - 短絡保護
 - サイクル単位の電流制限
 - LPS による 2 レベルの過電力保護
 - ブラウンインおよびブラウンアウト保護
 - オープン フィールドバック保護
- 外付け抵抗によるフレキシブルな構成が可能
 - X コンデンサ放電および CCM モード無効化
 - スルーレート切り替えを選択可能
 - 複数のクランプ周波数設定
 - フォルト ラッチまたは自動リスタート
 - 最大および最小ピーク電流比
 - ディザリング振幅

2 アプリケーション

- ポータブル電子機器用 USB-PD アダプタ
- USB 壁コンセントおよびドッキングステーション
- 産業用 DIN レール電源
- サーバ補助電源

3 説明

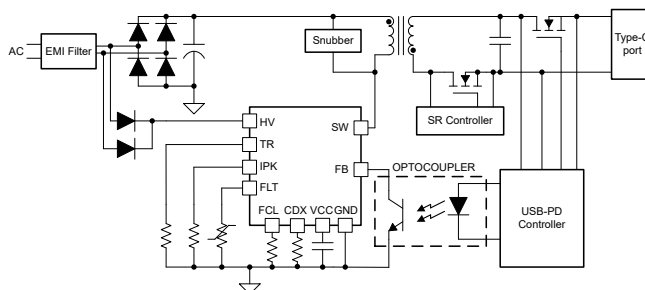
UCG2882x は、AC-DC 電力変換用に、750V GaN 高電子移動度トランジスタ (HEMT) を内蔵し、 $R_{ds(on)}$ が 170mΩ と低い、高周波、準共振型フライバック コンバータです。携帯電話の高速充電器やノート PC アダプタなど、電力密度の高いアプリケーションに最適です。このデバイスの主な特長は、自己バイアスおよび補助巻線レスセンシング方式であり、補助巻線が不要で、より高い効率のシステム設計を簡素化できます。

また、インテリジェントなモード遷移 (CCM/QR/DCM) を備えており、広い電力範囲にわたって高効率を実現し、スタンバイ消費電力は 30mW 未満になっています。さらに、UCG2882x は、ブラウンイン / アウト保護、SCP、OVP、OPP、LPS、OFB、OTP などの保護機能一式も備えています。サイクルごとの電流制限により、フォルト状態に迅速に応答することで、システムが保護され、信頼性が向上します。小型の 5×5mm パッケージに収納された UCG2882x には専用構成ピンがあり、より柔軟性が向上しています。各システムで特定のパラメータを調整するために必要なのは抵抗だけなので、単一のデバイスでプラットフォームの設計を実現できます。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (2)
UCG28824	REZ (QFN, 12)	5mm × 5mm
UCG28826		
UCG28828		

- 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
- パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



UCG2882x を使用した AC/DC フライバック コンバータの概略回路図



目次

1 特長.....	1	7.3 ピンの詳細説明.....	13
2 アプリケーション.....	1	7.4 機能説明.....	17
3 説明.....	1	8 アプリケーションと実装.....	32
4 デバイス比較表.....	3	8.1 アプリケーション情報.....	32
5 ピン構成および機能.....	4	8.2 代表的なアプリケーション.....	32
6 仕様.....	5	8.3 電源に関する推奨事項.....	37
6.1 絶対最大定格.....	5	8.4 レイアウト.....	37
6.2 ESD 定格.....	5	9 デバイスおよびドキュメントのサポート.....	39
6.3 推奨動作条件.....	5	9.1 ドキュメントの更新通知を受け取る方法.....	39
6.4 熱に関する情報.....	6	9.2 サポート・リソース.....	39
6.5 電気的特性.....	7	9.3 商標.....	39
6.6 代表的特性.....	9	9.4 静電気放電に関する注意事項.....	39
7 詳細説明.....	11	9.5 用語集.....	39
7.1 概要.....	11	10 改訂履歴.....	39
7.2 機能ブロック図.....	12	11 メカニカル、パッケージ、および注文情報.....	39

4 デバイス比較表

型番	説明
UCG28824	750V、270mΩ GaN FET を使用した 45W の設計向け自己バイアス QR フライバック コンバータ。
UCG28826	750V、170mΩ GaN FET を使用した 65W の設計向け自己バイアス QR フライバック コンバータ。
UCG28828	750V、170mΩ GaN FET を使用した 120W の設計向け自己バイアス QR フライバック コンバータ (PFC 入力付き)。
UCC28881	FET 内蔵の 4.5W、700V AC/DC フライバック コンバータ。
UCC28910	6W と 7.5W、700V の 1 次側安定化フライバック コンバータ。

5 ピン構成および機能

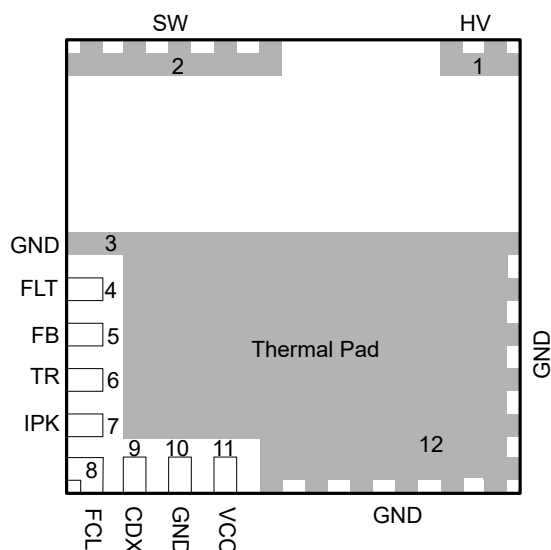


図 5-1. UCG2882x 5mm × 5mm パッケージ、12 ピン QFN (上面図)

表 5-1. ピンの機能

ピン		種類 ⁽¹⁾	説明
名称	番号		
HV	1	P	HV 起動、AC ライン入力存在検出、X コンデンサ放電。
SW	2	P	内蔵高電圧 GaN HEMT のドレイン ピン。これは、バレー スイッチングおよび保護の検出ピンでもあります。
GND	3、10	G	信号グランド。電源グランドに内部接続されています。
FLT	4	O	外部過熱保護用のフォルト ピン。このピンから NTC を GND に接続します。
FB	5	I	フィードバック信号。このピンは、オプトカブラのコレクタに接続します。
TR	6	I	巻線比の設定。このピンと GND の間に抵抗を接続すると、トランスの巻線比 N_p/N_s が設定されます。
IPK	7	I	ピーク電流および周波数ディザリング設定ピン。このピンと GND の間に抵抗を接続すると、1 次側ピーク電流とディザリング深度の最大/最小値が設定されます。
FCL	8	I	スイッチング周波数のクランプとフォルト動作の設定。
CDX	9	I	CCM モード、スイッチング スルー レート設定、X コンデンサ放電のイネーブル/ディセーブルを実行する多機能ピン。
VCC	11	P	IC バイアス電源。このピンと GND との間に外付けコンデンサ (10V 以上の定格) を接続します。コンデンサの値は、15 μ F から 47 μ F である必要があります。コンデンサの値は、入力ライン サイクルが消失した場合のホールドアップ時間によって決定されます。
GND	12	G	電源グランド。入力バルク コンデンサのマイナス端子に接続します。PCB への効率的な熱伝導を実現するため、サーマル パッドの下に十分な銅領域を持つグランド プレーンを追加します。

(1) I = 入力、O = 出力、I/O = 入力または出力、G = グランド、P = 電源。

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

			最小値	最大値	単位
V _{HV(surge)}	GaN HEMT のドレインソース間電圧、サージ条件			800	V
V _{SW(tr)(surge)}	GaN パワー HEMT 過渡ドレインソース間電圧、サージ条件 ^{(2) (4)}			800	V
V _{SW(tr)}	GaN パワー HEMT のドレインソース間過渡電圧、各スイッチング サイクル ^{(3) (4)}			750	V
V _{SW}	GaN パワー HEMT 連続ドレインソース間電圧、FET オフ			700	V
I _{DS}	GaN パワー HEMT 連続電流、FET オン		内部的に制限		A
	ピン電圧	FLT、TR、IPK、FCL、CDX、FB	-0.3	5.5	V
		VCC	-0.3	6.5	
T _J	接合部温度		-40	150	°C
T _{stg}	保存温度		-65	150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- (2) 期間が 100μs 未満に制限された 1 回のイベント
- (3) <900ns で V_{SW(Plateau)} = 600V に減衰
- (4) GaN パワー HEMT スwitchング機能の詳細については、『[GaN パワー FET スwitchング機能](#)』を参照してください。

6.2 ESD 定格

			値	単位
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠 ⁽¹⁾	±2000	V
V _(ESD)	静電放電	デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 ⁽²⁾	±750	V

- (1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
- (2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
I _{SW}	SW ピン電流、連続、UCG28826	内部的に制限			A
V _{VCC}	VCC 電源、自己調整	5.2		6	V
C _{VCC}	VCC ピン上のコンデンサ	15		47	μF
C _{X2}	X2 の容量	0.1		1	μF
L _{MAG}	1 次磁化インダクタンス、UCG28826	130		400	μH
L _{LK}	1 次巻線リーク インダクタンス			3	%
C _{SW}	SW ピン容量 (GaN HEMT は除く)			300	pF
C _{HV}	HV ピン寄生容量		50	100	pF
T _A	周囲温度	-40		105	°C
T _J	接合部温度	-40		125	°C

6.4 熱に関する情報

熱評価基準 ⁽¹⁾		UCG28826	単位
		REZ (QFN)	
		12 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	28.5	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	28	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	5.7	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	2	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	5.6	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	1.6	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション レポートを参照してください。

6.5 電気的特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
バイアス電源						
V _{VCCSHORT}	VCC 起動電流を低減するスレッシュホールド		0.65	0.9	1.2	V
I _{HVLO}	低減された HV 起動電流	、VCC が V _{VCCSHORT} に達するまで	0.55	1	1.6	mA
I _{HVHI}	最大 HV 起動電流	、VCC が V _{VCCSHORT} を超えた後	2.2	4	5.65	mA
V _{VCC(OFF)}	VCC 低電圧誤動作防止スレッシュホールド	他のスレッシュホールドの変動を追跡	4.9	5.1	5.3	V
V _{VCC(REG)}	VCC レギュレーション電圧と起動スレッシュホールド	他のスレッシュホールドの変動を追跡	5.6	5.8	6	V
V _{VCC(CHG)}	VCC 充電トリガ スレッシュホールド	VCC 充電を V _{VCC(REG)} にトリガ、他のスレッシュホールドの変動を追跡	5.4	5.6	5.8	V
I _{VCC}	動作電源電流	スイッチングなし		700		μA
I _{VCCSLEEP}	バースト モードの電源電流	スイッチングなし		260	310	μA
I _{VCCFAULT}	保護がトリガされたときの供給電流			260		μA
GAN パワー トランジスタ						
R _{DS(ON)}	ドレインソース間オン抵抗	T _J = 25°C、UCG28826		170	220	mΩ
C _{OSS}	出力容量	V _{SW} = 400V、UCG28826		40		pF
GAN ゲートドライバ						
	ターンオン dV/dt	SW ノードの場合、V _{DS} = 325V、オプション 1		10		V/ns
	ターンオン dV/dt	SW ノードの場合、V _{DS} = 325V、オプション 2		7		V/ns
	ターンオン dV/dt	SW ノードの場合、V _{DS} = 325V、オプション 3		5		V/ns
ピーク電流制御						
I _{PKMAX}	最大ピーク電流、UCG28826	オプション 1	2.65	2.8	3	A
		オプション 2	2.95	3.1	3.3	
		オプション 3	3.35	3.5	3.7	
I _{PKMAX} / I _{PKMIN}	最大値と最小値のピーク電流比	オプション 1		4		
		オプション 2		3		
T _{SS}	ソフト スタート時間			4		ms
フィードバック制御						
R _{FB}	FB ブルアップ抵抗			60		kΩ
V _{FBOPEN}	オープン FB ピン電圧		3.3	3.45		V
V _{BST_OFF}	バーストオフ スレッシュホールド	ターンオフ スwitchング		250		mV
V _{BST_ON}	バーストオン スレッシュホールド	バースト スwitchング再開		300		mV
V _{BST_EX}	バースト モード終了スレッシュホールド	周波数フォールドバックに終了		500		mV
f _{MIN, CLAMP}	最小周波数クランプ	通常動作中	23	25		kHz
		ソフト スタート中		10		
T _{SWMAX}	最大期間			40	43	μs
T _{ONMAX}	最大オン時間			17	19	μs
f _{MAX, CLAMP}	周波数クランプ	オプション 1		140		kHz
		オプション 2		100		
		オプション 3		250		
		オプション 4		500		
T _{DDCM}	DCM リング固定タイマ	最後に見られた DCM リング バレー、UCG28826		3.75		μs

6.5 電気的特性 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
EMI ディザリング						
f _c	キャリア周波数		6.25			kHz
I _{Dither, max}	キャリア振幅	瞬間的ピーク電流の %, オプション 1	±6.25			%
		瞬間的ピーク電流の %, オプション 2	±12.5			
保護						
V _{TH_BI}	ブラウンイン スレッシュォルド		106	112	118	V
V _{TH_BO}	ブラウンアウト スレッシュォルド		93	98	103	V
T _{DBO}	ブラウンアウト遅延時間		60			ms
I _{FLT}	FLT ピン ソース電流		75			μA
V _{TH_OTP}	FLT スレッシュォルド電圧	外部過熱フォルトをトリガ	0.58	0.6	0.62	V
T _{IFLTON}	時間通りの I _{FLT}		260			μs
T _{IFLTperiod}	I _{FLT} 期間		10			ms
N _{FLTTSO}	外部 I _{FLT} サイクル数	フォルトがトリガされるまで	3			
R _{SW}	SW ピンのインピーダンス		8.2	9.5		MΩ
V _{OVP}	OVP 検出スレッシュォルド	V _{OUT} スレッシュォルド	23	25	27	V
	内部過熱保護シャットダウン スレッシュォルド	温度上昇	150			°C
	内部過熱保護ヒステリシス	温度低下	10			°C
T _{RETRY}	自動再試行時間		1			s
P _{OPPL}	過電力保護スレッシュォルド、Low	UCG28826、4.2s 後にトリガ	89	100	114	W
P _{OPPH}	過電力保護スレッシュォルド、High	UCG28826、120ms 後にトリガ	125	140	160	W
I _{LPS}	LPS フォルト出力電流スレッシュォルド	UCG28826、入力換算、4.2s 後にトリガ	6.3	7.5	8.65	A
I _{SCP}	短絡保護機能	1 次側電流スレッシュォルド、UCG28826	4.5			A
	短絡保護機能	サイクル数	3			
t _{SCP}	短絡応答時間		140			ns
X コンデンサの放電						
I _{ACDET}	ライン除去検出電流	HV ピンからの電流シンク	1.5	2	2.5	mA
I _{XDIS}	X コンデンサの放電電流		3.8	5	6.2	mA
T _{XDIS}	X コンデンサの放電時間	C _{XCAP} = 1μF	1			s

6.6 代表的特性

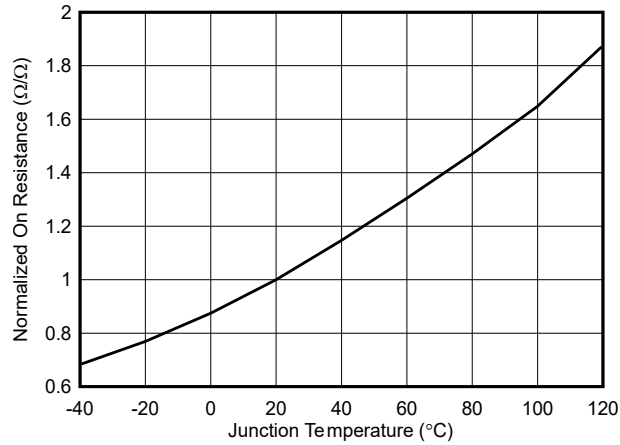


図 6-1. 接合部温度と正規化オン抵抗との関係

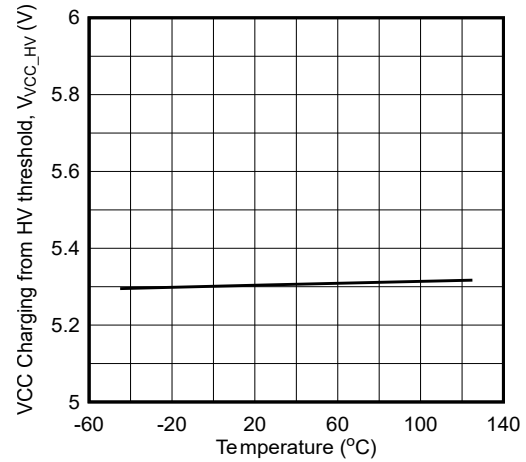


図 6-2. HV ピンからの充電における VCC スレッシュホールド対接合部温度

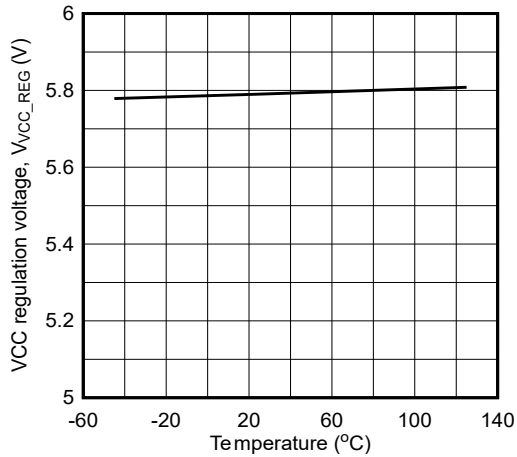


図 6-3. VCC レギュレーション電圧と接合部温度との関係

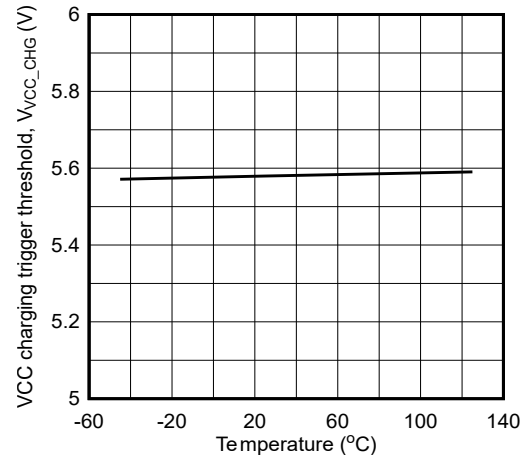
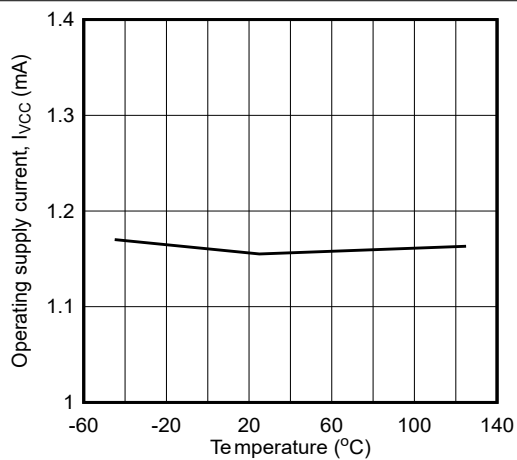
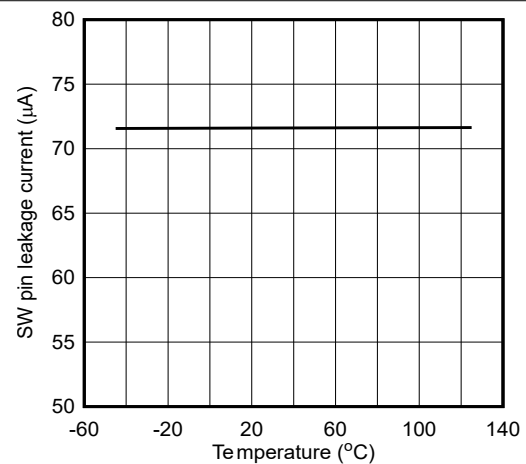


図 6-4. VCC 充電トリガ電圧と接合部温度との関係



100KHz のスイッチング周波数

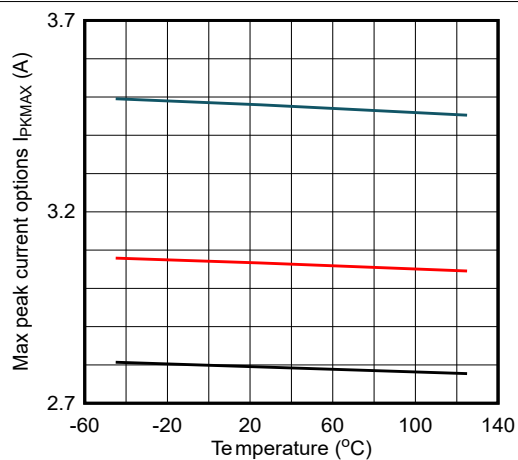
図 6-5. 動作供給電流と接合部温度との関係



V_SW = 650V

図 6-6. SW ピンのリーク電流と接合部温度との関係

6.6 代表的特性 (続き)



2.8A、3.1A、3.5A を中心としたピーク電流オプション

図 6-7. 最大 1 次側ピーク電流と接合部温度との関係

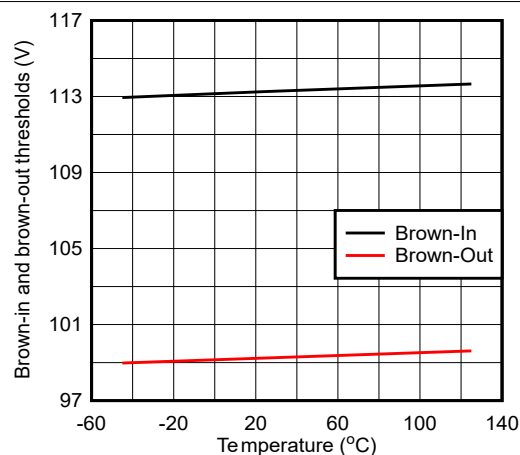


図 6-8. ブラウンインおよびブラウンアウトのスレッシュホールドと接合部温度との関係

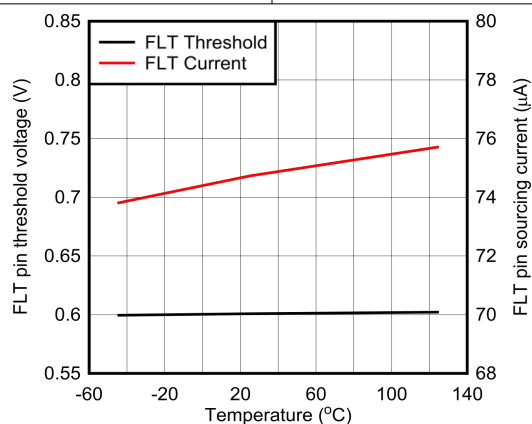


図 6-9. FLT ピンの電圧および電流と接合部温度との関係

7 詳細説明

7.1 概要

UCG2882x は、最大 120W の AC/DC 電源で使用するよう設計された 750V 1 次側 GaN HEMT (高電子移動度トランジスタ)(以下 GaN HEMT) を内蔵した高周波疑似共振 (QR) AC/DC フライバック コンバータです。このデバイスは、GaN の統合によって、最大 500kHz の高いスイッチング周波数で高い電力密度を実現します。

UCG2882x は、業界初の自己バイアス機能を搭載した補助フライバック アーキテクチャを採用しており、トランス内の補助巻線を必要とせずに、小型で低コストの電源設計を実現できます。自己バイアス機能により、低ドロップアウト レギュレータ (LDO) や関連する損失を排除してデバイス バイアスを生成することにより、USB-PD チャージャのような広い出力電圧範囲のアプリケーションで損失を低減し、効率を向上させることができます。

UCG2882x は、低ライン入力条件下で、トランス サイズを拡大することなく、最小 130W (公称出力 65W の 2 倍) の一時的な出力電力条件において、最大 10msec の連続伝導モード (CCM) 動作をサポートし、スペースとコストを節約します。このデバイスには、軽負荷および無負荷状況での動作効率を向上させるため、それぞれ周波数フォールドバック モードとバースト モードも搭載されています。X コンデンサ放電回路は、入力 EMI フィルタの X コンデンサを 1 秒以内に 0V まで放電して、コンセントから電源を抜いたときにユーザーが感電しないようにし、さまざまな安全基準要件を満たしています。

UCG2882x は、目的の動作ポイントで性能を最適化するための最大限の柔軟性を実現できるように、抵抗のプログラム可能なオプションをユーザーに提供することで、内蔵コンバータのシステム設計制限を克服します。また、このデバイスは、出力過電圧保護 (OVP)、短絡保護 (SCP)、2 レベルの過電力保護 (OPPH および OPPL)、過熱保護 (OTP) など多くの保護機能を内蔵しており、自動再起動とラッチ応答により堅牢な電源設計を実現し、このようなフォルト条件での損傷を防止します。

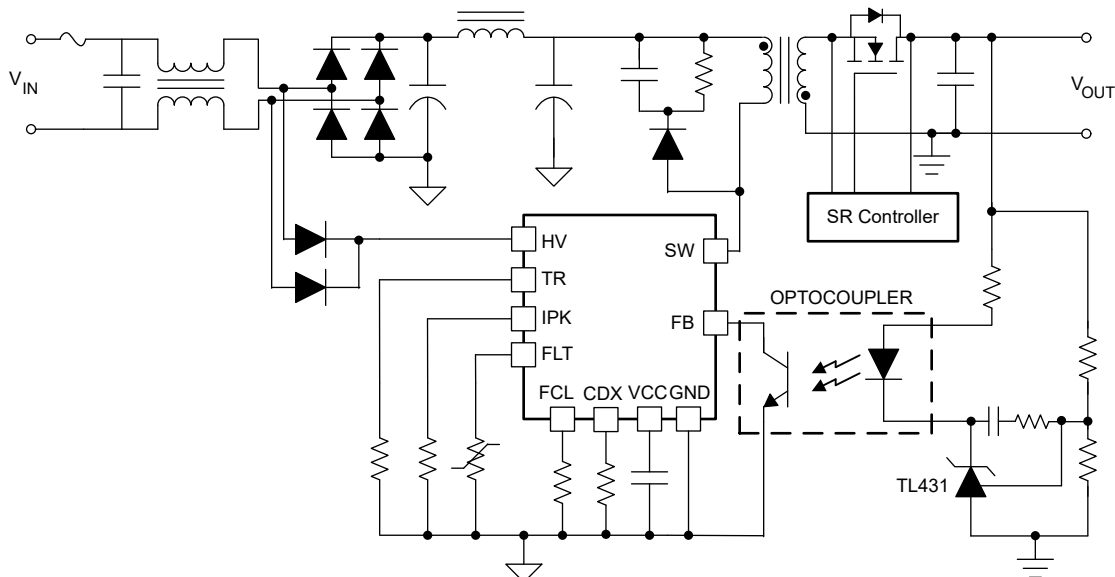
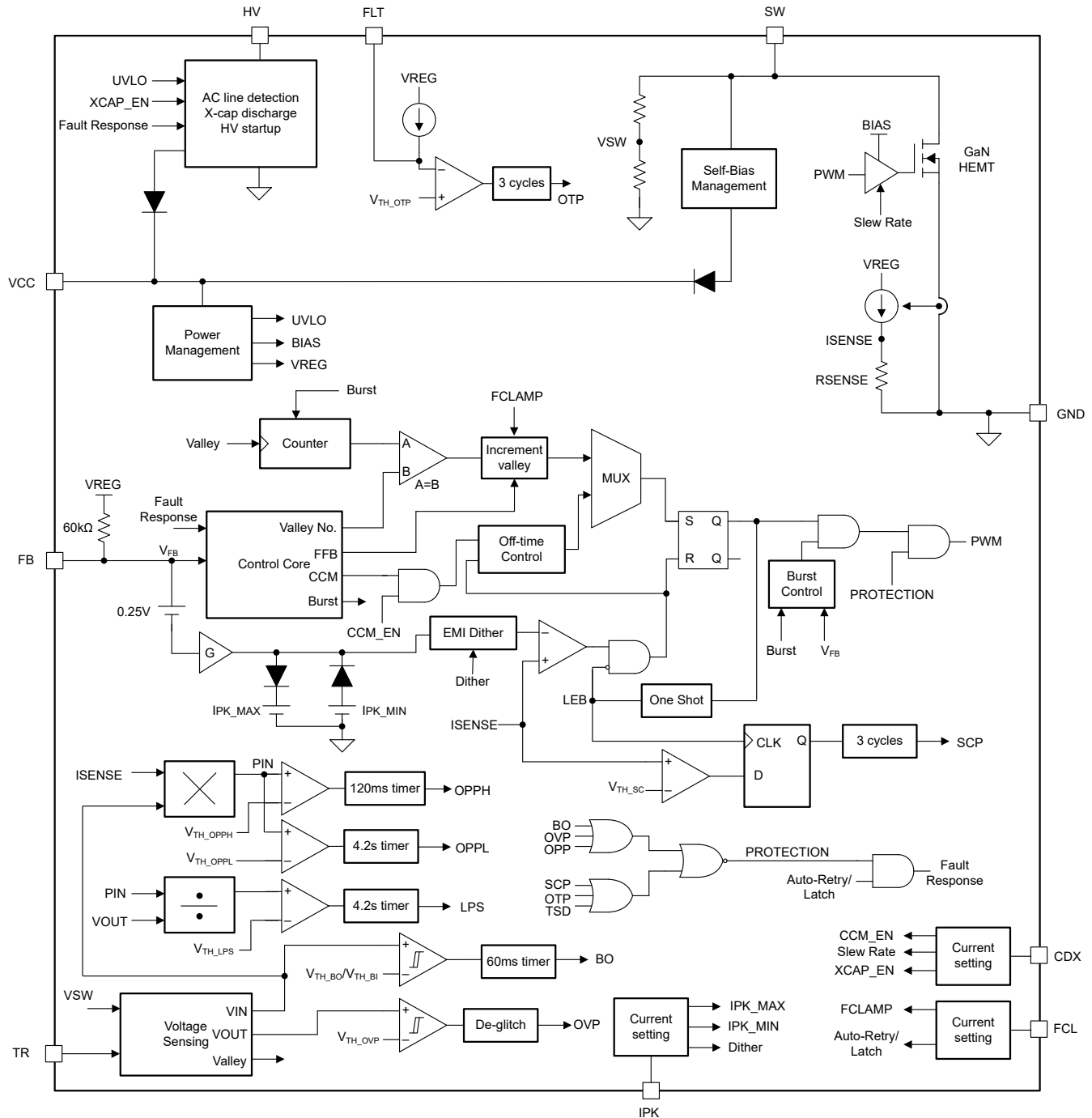


図 7-1. UCG2882x を使用した AC/DC フライバック コンバータの回路図

7.2 機能ブロック図



7.3 ピンの詳細説明

UCG2882x は、自己バイアスと補助センシング機能を搭載した 750V GaN HEMT を内蔵した QR フライバック コンバータです。UCG2882x は、フライバック出力段部品とのインターフェイスに使用する HV、SW、GND の各ピンを実装しています。さらに、このデバイスにはバイアス電源と 2 次側レギュレーション用のフィードバック ピンがあります。ユーザーが、電源設計を最適化するようにデバイスを構成するための、複数のプログラム可能な構成ピンがあります。これらのプログラミング ピンにはグラウンドとの間に抵抗が必要で、出力段の設計時に各種パラメータを最適化できる柔軟性が得られるため、単一のデバイスでプラットフォーム設計を実現できます。プログラミング ピンの抵抗値は UVLO ターンオン イベント時に検出され、IC 内に記録されます。これにより、IC ノイズ耐性が向上します。動作中は抵抗の設定を動的に変更することはできません。

7.3.1 HV - 高電圧入力

高電圧 (HV) ピンは、[図 7-1](#) に示すように、ライン入力の X コンデンサの両端に 2 個のダイオードを経由して接続する必要があります。このピンで起動時にバイアス電源 (VCC) コンデンサを充電します。入力ライン電圧が取り除かれると、HV ピンは X コンデンサも放電します。X コンデンサ放電が不要な場合でも、スタンバイ消費電力を最小限に抑えるために、この接続は必要です。DC 入力アプリケーション向けに設計する場合、HV ピンを入力バルク コンデンサに直接接続し、CDX ピンの対応する抵抗設定を使用して、X コンデンサ放電機能を無効にできます。DC 入力アプリケーションでは、スタンバイ消費電力がわずかに増加します。

7.3.2 SW - スイッチ ノード

SW ピンは、フライバック コンバータの 1 次側のスイッチ ノードに接続されます。これは内蔵の 750V GaN HEMT のドレインです。これは、バレー スイッチングと OVP、OPP、LPS 保護用の検出ピンでもあります。スイッチング損失を低く維持するため、このピンのスイッチ ノード合計容量の最大値は最小限に抑える必要があります。SW ピンに印加される静電容量には、トランスの寄生容量、GaN HEMT のドレインソース間容量、2 次側からの反射容量、スイッチ ノードのターンオン/ターンオフのスルー レートを低速化するために追加できる追加容量が含まれます。

7.3.3 GND - グランド帰還

GND ピンは外部帰還ピンであり、内部回路の基準点と、デバイスのゲート駆動を提供します。これは電力段の帰還ピンで、入力バルク コンデンサの負端子に接続する必要があります。サーマル パッドは GND に接続し、熱を放散するために十分な銅領域が必要です。

ピン 10 の GND は、できるだけ短いパターンでピン 3 と 12 に接続する必要があります。VCC のバイパス コンデンサは、ピン 10 に戻る必要があります。

7.3.4 FLT - 外部過熱フォルト

デバイス外部の電源上の重要なポイントの温度を監視するために、このピンと GND の間に負の温度係数 (NTC) 抵抗を接続し、過熱保護をトリガして部品の損傷を防止します。このデバイスは、75 μ A の電流を NTC に供給します。検出温度の上昇に伴って NTC 抵抗が減少すると、FLT ピンの電圧が 0.6V 未満に低下したとき、外部過熱フォルトがトリガされます。過熱保護の詳細については、[セクション 7.4.10.5](#) を参照してください。また、FLT ピンを Low にプルして、外付けのディスクリート回路によるフォルトをトリガすることもできます。FLT ピン以外にも、本デバイスは内部過熱保護機能も備えており、デバイスが許容される最大接合部温度を超えないようにします。

7.3.5 FB - フィードバック

出力レギュレーションを行うには、フィードバック (FB) ピンをオプ्टカプラのコレクタに接続します。このピンには、オプ्टカプラのバイアス用に 60k Ω の内部プルアップが備わっています。このピンの瞬間電圧は、[図 7-3](#) の制御規則に基づいて、スイッチング周波数、ピーク電流、動作モード (バースト、フォールドバック、バレー スイッチング、または CCM) を決定し、必要な出力電力を供給します。高周波ノイズ フィルタリングのため、このピンとグラウンドとの間に 100pF または 220pF のコンデンサを接続します。

7.3.6 TR - 巻線比

表 7-1 に示す値に従って、このピンと GND との間の抵抗を使用してトランスの巻線比情報を設定します。この巻線比情報は出力電圧センシングに使用されます。この抵抗は 1% 精度である必要があります。

表 7-1. 巻線比の設定抵抗値

TR ピン抵抗 (kΩ)	巻数比	V _{OUT} OVP スレッシュホールド (V、1 次側に反映)
0	7.875	196.9
5.23	6	150
6.34	6.125	153.1
7.68	6.25	156.2
9.31	6.375	159.4
11.3	6.5	162.5
13.7	6.625	165.6
16.9	6.75	168.7
20.5	6.875	171.9
25.5	7	175
31.6	7.125	178.1
39.2	7.25	181.2
51.1	7.375	184.4
66.5	7.5	187.5
84.5	7.625	190.6
113	7.75	193.7
174	7.875	196.9

7.3.7 IPK - ピーク電流とディザリング

このピンでは、ピーク電流スレッシュホールドとディザリングを設定できます。以下の仕様で推奨されるオプションを選択するため、このピンと GND との間に、表 7-2 の値に従って抵抗を接続します。

- 最大ピーク電流
- ピーク電流の最大値と最小値の比率
- EMI ディザリング深度

表 7-2. IPK ピンのプログラミング抵抗値

IPK ピン抵抗 (kΩ)	最大ピーク電流 (A)	I _{PK, MAX} /I _{PK, MIN}	EMI ディザリング深度 (%)
0	3.1	4	6.25
5.23	2.8	4	12.5
6.34	3.1	4	12.5
7.68	3.5	4	12.5
9.31	2.8	3	12.5
11.5	3.1	3	12.5
14.3	3.5	3	12.5
17.8	2.8	4	6.25
22.6	3.1	4	6.25
28.7	3.5	4	6.25
36.5	2.8	3	6.25
51.1	3.1	3	6.25
75	3.5	3	6.25

7.3.8 FCL - 周波数クランプとフォルト応答

FCL ピンを使用して、最大スイッチング周波数クランプ値とフォルト応答動作を選択します。表 7-3 に、特定の動作条件で使用する抵抗値を示します。この抵抗は 1% 精度である必要があります。

表 7-3. FCL ピンのプログラミング抵抗値

FCL ピン抵抗 (kΩ)	周波数クランプ (kHz)	フォルト応答
0	140	EXTOTP および OVP ラッチ、その他は自動再試行
5.23	140	すべてラッチ
6.34	100	すべてラッチ
7.68	250	すべてラッチ
9.31	500	すべてラッチ
11.5	140	すべての自動再試行
14.3	100	すべての自動再試行
17.8	250	すべての自動再試行
22.6	500	すべての自動再試行
28.7	140	EXTOTP フォルトおよび OVP ラッチ、その他は自動再試行
36.5	100	EXTOTP フォルトおよび OVP ラッチ、その他は自動再試行
51.1	250	EXTOTP フォルトおよび OVP ラッチ、その他は自動再試行
75	500	EXTOTP フォルトおよび OVP ラッチ、その他は自動再試行

7.3.9 CDX-CCM、駆動強度、X コンデンサ放電

CDX ピンを使用して CCM モードおよび X コンデンサ放電をイネーブル/ディセーブルし、GaN HEMT をオンにするときの SW ノードのスルー レートを選択します。所定の動作ポイントについて、このピンと GND との間に接続する抵抗値については、表 7-4 を参照してください。この抵抗は 1% 精度である必要があります。CDX ピンは、フォルト通知にも使用されるため、設計中のデバッグを簡単に行うことができます。詳細については、保護のエラー コード を参照してください。このピンを GND に接続してはいけません。

表 7-4. CDX ピンのプログラミング抵抗値

CDX ピン抵抗 (kΩ)	CCM	SW ノードのターンオン スルー レート	X コンデンサの放電
5.23	ディセーブル	10V/ns	イネーブル
6.34	ディセーブル	7V/ns	イネーブル
7.68	ディセーブル	5V/ns	イネーブル
9.31	ディセーブル	10V/ns	ディセーブル
11.5	ディセーブル	7V/ns	ディセーブル
14.3	ディセーブル	5V/ns	ディセーブル
17.8	イネーブル	10V/ns	イネーブル
22.6	イネーブル	7V/ns	イネーブル
28.7	イネーブル	5V/ns	イネーブル
36.5	イネーブル	10V/ns	ディセーブル
51.1	イネーブル	7V/ns	ディセーブル
75	イネーブル	5V/ns	ディセーブル

7.3.10 VCC 入カバイアス

VCC ピンはデバイスへのバイアスとして機能し、内部リファレンス、ゲートドライバ、レギュレータ、制御回路、保護機能に電力を供給します。自己バイアス機能による VCC 電圧の安定化には、このピンから GND に対して 10 μ F 以上の容量のコンデンサを使用してください。低 ESR およびこのピンの最小オーバーシュート/アンダーシュートには、追加で 10nF のセラミック コンデンサを並列に使用することを推奨します。入力に 2 サイクル分の信号が失われた場合にリセットせずにホールドアップするには、このピンに容量 30 μ F のコンデンサを使用します。

7.4 機能説明

7.4.1 自己バイアスと補助なしセンシング

UCG2882x は、トランスの補助巻線を不要にするために、自己バイアスと補助なしのセンシング機能を内蔵しています。これにより補助巻線や関連部品を不要にし、システム設計を簡素化、小型化し、コストを削減できます。

自己バイアス機能は、出力電圧範囲の広い USB-PD チャージャなどのアプリケーションに特に役立ちます。通常、このような設計では、補助巻線によってデバイスの電源電圧 (V_{CC}) が、最小 V_{OUT} が 3.3V で、UVLO スレッシュホールドより高い電圧に生成されます。このような場合、 $V_{OUT} = 20V$ の場合、補助巻線の電圧は 6 倍上昇します。そのため、 V_{CC} 範囲に縮小するには、内部/外部の電力変換段が必要です。これにより、外部部品が増加し、効率が低下します。UCG2882x の自己バイアス機能により、 V_{CC} ピンでこのような電力変換段を追加する必要がなくなり、部品数を削減し、電力損失を回復できます。自己バイアス回路は、デバイスの周囲にある部品がデータシートの推奨範囲内で使用されていることを前提として、デバイス動作範囲全体にわたって V_{CC} が UVLO スレッシュホールドよりも高く維持されるように設計されています。補助なしセンシング回路は、 SW ピンに接続されています。このデバイスは、バレー検出および各種保護のために、 SW の電圧を検出します。入力バルクコンデンサの電圧と出力電圧は、 SW ピンの電圧から生成されます。

7.4.2 制御規則

UCG2882x は、ピーク電流モード制御 QR フライバックコンバータです。コンバータは、1 次側の内蔵 GaN HEMT をオンにすることで起動します。トランスの 1 次側巻線 I_{PRI} の電流は、 V_{IN} 、1 次側の磁化インダクタンス L_M に依存する傾きで増加し、 V_{IN}/L_M に等しくなります。 I_{PRI} がピーク値 $I_{PK, PRI}$ に達すると、GaN HEMT がオフになります。フライバック動作により、2 次側巻線電圧が上昇して同期整流器 (SR) FET のボディダイオードをオンにして、出力電圧 V_{OUT} にクランプします。この期間中、2 次側巻線電流は、2 次側ピーク電流 $I_{PK, SEC}$ で勾配 V_{OUT}/L_S が減少します。ここで、 L_S は 2 次側巻線のインダクタンスです。スイッチノード電圧は V_{IN} と 1 次側と 2 次側の巻線比 N に V_{OUT} を加えた値に等しくなり、これをプラトー電圧と呼びます。2 次側電流が 0 まで減少すると、 L_M とスイッチノードの合計容量 C_{SW} が共振を始め、磁化リングを引き起こします。UCG28826 はこの磁化リングのバレーで 1 次側 GaN HEMT をオンにして、ターンオンスイッチング損失を低減します。

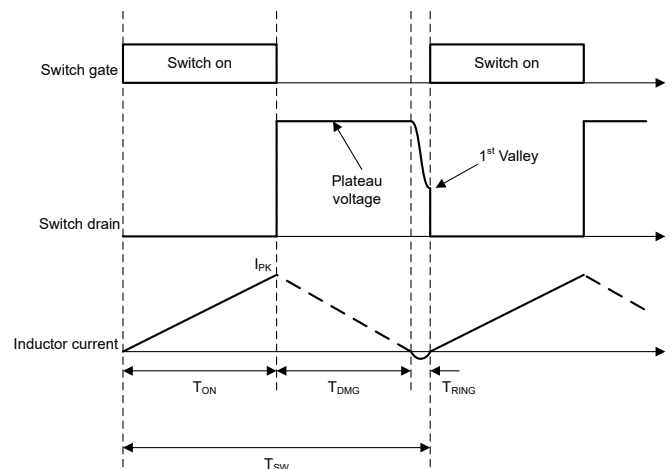


図 7-2. フライバックコンバータの波形

したがって、UCG2882x では、各スイッチング サイクルで、ピーク電流スレッシュホールドに達した後に、1 次側 GaN HEMT がオフになり、不連続モード (DCM) 動作中に磁化リングで次のターゲット バレーでオンになります。1 次側ピーク電流とターゲットの瞬時値は、図 7-3 の制御規則に従って帰還 (FB) ピン電圧によって決定されます。FB ピンをオプトカプラ コレクタに接続します。負の帰還ループは、出力で特定の V_{OUT} および P_{OUT} をサポートするために必要な値に FB ピンの電圧を設定します。後で説明するように、本デバイスはバースト、周波数フォールドバック、バレー スwitchング、連続導通モードの 4 つの動作モードのいずれかで動作できます。

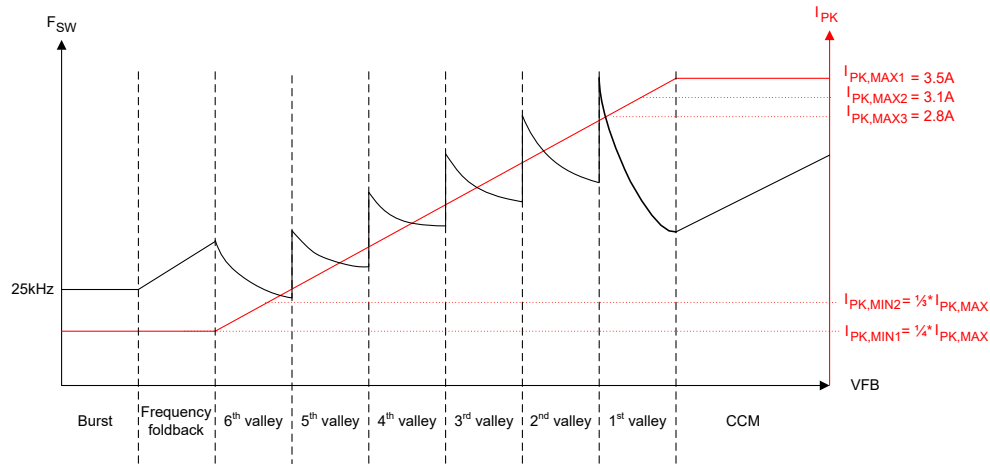


図 7-3. UCG2882x 制御規則

図 7-3 に示す制御規則では、UCG2882x は最大ピーク電流 $I_{PK, MAX}$ を選択できる柔軟性を備えており、定格負荷および変圧器サイズでのスイッチング周波数に対して最適化できます。 $I_{PK, MAX}$ の各設定について、最小ピーク電流 $I_{PK, MIN}$ に対して 1/3 または 1/4 のスケーリング比を使用できます。この $I_{PK, MIN}$ 値によって、フライバック コンバータが周波数フォールドバックまたはバースト モードで動作しているときの軽負荷条件でのスイッチング周波数および損失が決定されます。 $I_{PK, MAX}$ 、 $I_{PK, MIN}$ のすべての値について、式 1 のとおり、制御規則のピーク電流と帰還電圧の勾配は同じに変わりません。表 7-5 に、表 7-2 のさまざまなピーク電流設定に対する、異なるモード間およびバレー間で遷移するためのスレッシュホールド電圧を示します。

表 7-5. 各種のピーク電流設定用の FB ピン電圧スレッシュホールド

	パラメータ	テスト条件	$I_{PK, MAX} = 2.8A$	$I_{PK, MAX} = 3.1A$	$I_{PK, MAX} = 3.5A$	単位
V_{FBOPEN}	オープン FB ピン電圧		3.3	3.45	3.65	V
$V_{THCCMto1}$	CCM から 1 番目のバレー スレッシュホールド	VFB 減少	2.18	2.4	2.65	
V_{TH12}	1 番目から 2 番目のバレー スレッシュホールド		1.09	1.19	1.31	
V_{TH23}	2 番目から 3 番目のバレー スレッシュホールド		0.97	1.05	1.16	
V_{TH34}	3 番目から 4 番目のバレー スレッシュホールド		0.91	0.98	1.08	
V_{TH45}	4 番目から 5 番目のバレー スレッシュホールド		0.85	0.92	1.0	
V_{TH56}	5 番目から 6 番目のバレー スレッシュホールド		0.79	0.85	0.93	
V_{TH65}	6 番目から 5 番目のバレー スレッシュホールド	VFB 増加	1.16	1.25	1.38	
V_{TH54}	5 番目から 4 番目のバレー スレッシュホールド		1.22	1.32	1.46	
V_{TH43}	4 番目から 3 番目のバレー スレッシュホールド		1.28	1.39	1.53	
V_{TH32}	3 番目から 2 番目のバレー スレッシュホールド		1.34	1.45	1.61	
V_{TH21}	2 番目から 1 番目のバレー スレッシュホールド		1.46	1.59	1.76	
$V_{TH1toCCM}$	1 番目から CCM のスレッシュホールド		2.18	2.4	2.65	
V_{THFF}	バレーから周波数フォールドバックのスレッシュホールド	$I_{PK, MIN}=1/4 \times I_{PK, MAX}$	0.73	0.78	0.85	
		$I_{PK, MIN}=1/3 \times I_{PK, MAX}$	0.89	0.96	1.05	

7.4.2.1 バレー スイッチング

UCG2882x は、スイッチング損失を低減するため、ソフト スイッチングとバレーでの 1 次側 FET ターンオンで動作するように設計されています。コンバータは、ピーク負荷過渡時を除き、バレー スイッチングで動作します。ピーク負荷過渡時には、CCM モード (CDX ピンを使用して有効化されている場合) に制御が移行する場合があります。バレー スイッチングモード中、目標バレーおよびピーク電流スレッシュホールドは [図 7-3](#) および [式 1](#) の制御規則によって制御されます。

$$I_{PK} = 1.45 \times (V_{FB} - 0.25) \quad (1)$$

バレー スイッチング時、出力電力を大きくすると、上記の式に従ってピーク電流スレッシュホールドは線形的に増加し続けます。また、スイッチング周波数は、FB ピンの瞬時電圧に対応する I_{PK} とバレー ターゲットに基づいて変化します。軽負荷から定格電力まで出力電力が増加すると、制御は 6 番目のバレーから 1 番目のバレーまで遷移し、それに対応する I_{PK} スレッシュホールドの線形上昇に伴います。出力電力がさらに増加し、FB 電圧が 1 番目のバレー動作の限界値に達すると、コンバータは I_{PK} が最大値 $I_{PK, MAX}$ にクランプされ、CCM モード動作に移行し、出力負荷の増加に伴いスイッチング周波数 F_{SW} が増加します。この $I_{PK, MAX}$ へのクランプにより、高密度電源の設計でトランスのサイズが制限されます。CCM モード時の動作については、[セクション 7.4.2.4](#) を参照してください。6 番目のバレーで動作している間に、出力電力が減少すると、制御は周波数フォールドバック モードに遷移してより高いバレーと低周波数で動作し、スイッチング損失をさらに低減します。

バレー遷移時の FB ピン電圧スレッシュホールドにはヒステリシスが含まれ、 P_{OUT} の増加または減少に応じて変化してバレーロックを実現し、バレー間のホッピングによる可聴ノイズを防止します。UCG2882x の動作モードを決定する FB ピンの電圧スレッシュホールドについては、「電気的特性」表を参照してください。大きな P_{OUT} でオプトカプラ コレクタ電流がゼロの場合、FB ピンが 60kΩ 抵抗を介して V_{FBOPEN} にプルアップされます。

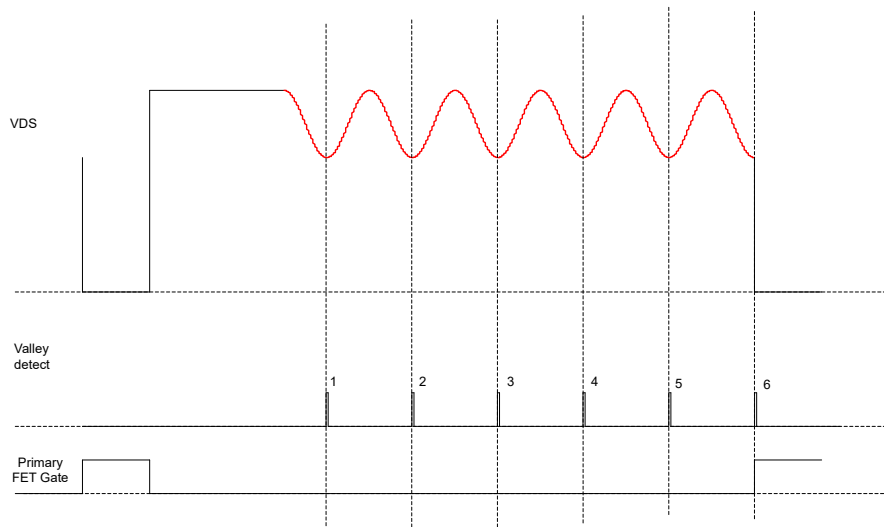


図 7-4. 連続バレー発生機能付きのバレー カウンタ

通常、制御はバレーをカウントし、目標バレーに達すると 1 次側 GaN HEMT をオンにします (図 7-4 を参照)。SW ノードの波形が減衰されて、目標のバレーに達する前にバレーが消失する場合、図 7-5 に示すように、3.75 μ s の DCM リング固定タイマはバレーのカウントを継続し、バレー目標に達すると 1 次側 GaN HEMT をオンにします。スタートアップ (ソフト スタート) 中に V_{OUT} が小さいとき、バレーが現れない場合、ラッチ アップ状態を回避するため、最初の数サイクルは 10kHz (ソフト スタート中の最小周波数クランプ) でスイッチングするため、最初の数サイクルは 100 μ s 後に 1 次側 GaN HEMT をオンにします。

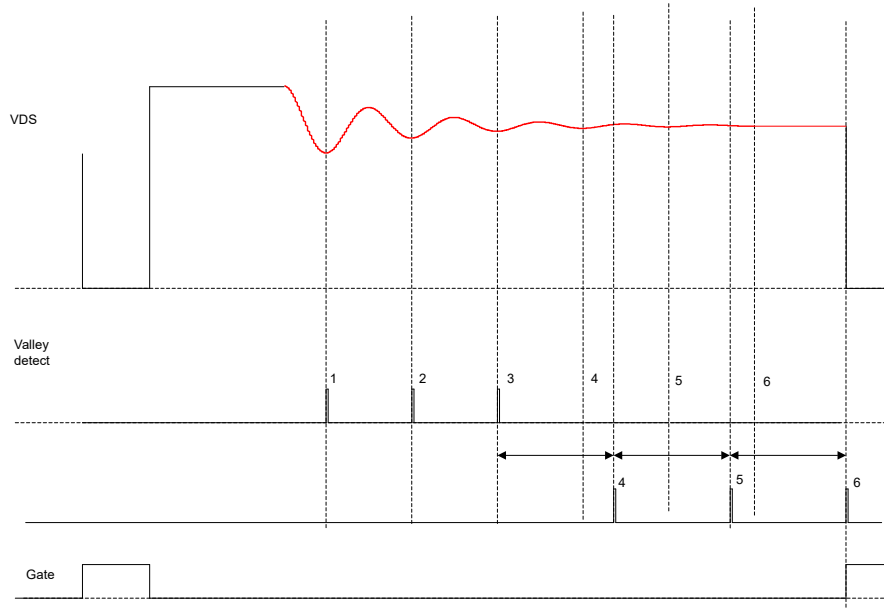


図 7-5. バレーなしのバレー カウンター

このデバイスは、ノート PC のチャージャなどのアプリケーションで見られるような過渡的な出力負荷条件に対応するため、最大 10ms 間 CCM モードで動作します。この 10ms CCM タイマが満了すると、コンバータは最初バレー QR 動作に戻ります。CCM モードに再度移行できるのは、FB ピンの電圧が $V_{TH1toCCM}$ スレッショルドを下回った後です。UCG2882x の動作中常に、最大スイッチング周波数は、セクション 7.3.8 に示すように、FCL ピンと GND の間の抵抗を使ってプログラムできる周波数クランプ設定によって制限できます。

7.4.2.2 周波数フォールドバック

6 番目のバレーで動作している間に出力電力が低下し、FB ピンの電圧が V_{THFF} を下回ると、コンバータは周波数フォールドバック モードに遷移して、バレー スwitchングを中止します。ピーク電流スレッショルドは $I_{PK, MIN}$ にクランプされ、コンバータは FB ピンの電圧に応じて、6 番目のバレー後の高いバレーで動作します。これにより、目標のバレー数が増加すると、スイッチング周波数が 25kHz に低下してクランプされるまで、スイッチング周波数はさらに低下します。最小スイッチング周波数は 25kHz にクランプされており、可聴ノイズを防止します。合計スイッチング サイクル時間は 40 μ s です。出力電力をさらに低減すると、コンバータをバースト モードに移行して、周期的なスイッチングによる不要なスイッチング損失を低減し、非常に小さいスタンバイ消費電力を実現できます。

7.4.2.3 バースト モード

周波数フォールド バックモード中に出力電力が低下し続ける場合、本デバイスは FB ピンの電圧が初めて $0.25V$ に達して、デバイスがスイッチングを停止したとき、バースト モードに移行します。これにより、出力電力によっては、FB ピンの電圧が $0.3V$ に回復した後、デバイスがバースト モードでスイッチングを再開することになります。

UCG2882x のバースト モードでは、最初のパレー QR スwitchング サイクルが 3 回発生した後、次のバースト パケットが開始するまでに最小 $70\mu s$ 遅延が発生します。パレー スwitchングによりスswitchング損失を低減します。この遅延によりバースト モードでの電力供給が制限され、大電力ではデバイスが他の動作モードに遷移して出力電力の範囲で高効率を維持します。バースト モードでは、周波数クランプは $250kHz$ に固定され、クランプ タイマが満了した後、次のパレーで 1 次側 GaN HEMT がオンになります。このため、パレー スwitchングではスswitchング損失を低く維持し、電磁放射を制限し、放射規格に合格するための最小ピーク電流を供給できます。図 7-6 に、バースト モードのスswitchング波形を示します。

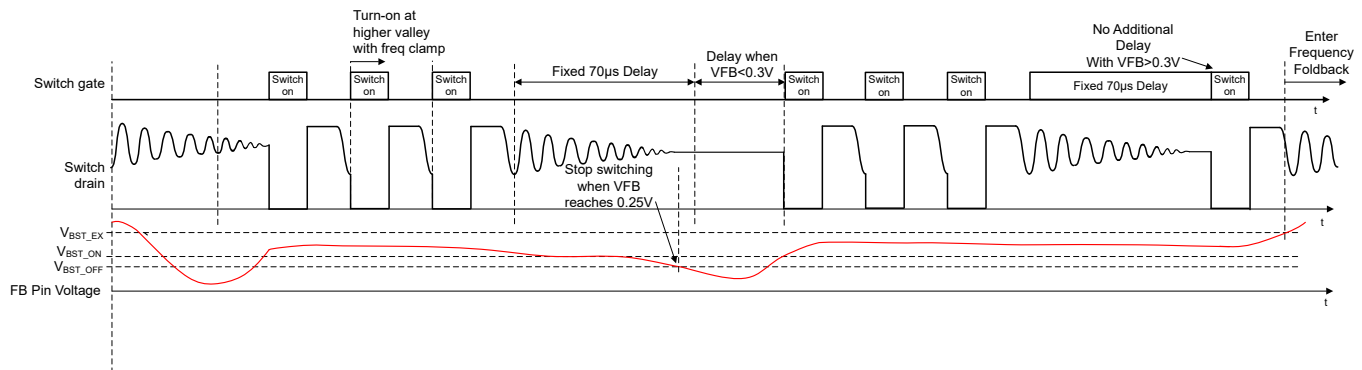


図 7-6. バースト モードの開始/終了波形

7.4.2.4 連続導通モード (CCM)

図 7-3 に示すように、出力電力が増加して最初のパレー QR 動作の境界に達すると、制御は I_{PK} を選択された最大値 $I_{PK, MAX}$ にクランプし、CCM モードで 2 次側導通時間 T_{OFF} の減少を開始します。この T_{OFF} 時間の減少は、FB ピンの電圧が QR モードのオフ時間の 50% まで上昇することに比例して、QR モードの出力電力供給能力の最大 1.5 倍に達します。CCM モードでは、1 次側磁化インダクタンス L_M を使用し、CCM モードで周波数クランプに当たらないよう十分な大きさで、またアプリケーションの要件に応じて出力電圧リップルを増大させる可能性のある低調波発振を避ける必要があります。長時間の出力電力過渡に対して、コンバータは 10ms CCM タイマが満了した後に最初のパレー QR モードに戻り、QR モードで動作している間、QR および CCM モードの遷移点で可能な最大の出力電力を供給し続けます。表 7-4 の値に応じて、CDX ピンと GND の間に抵抗を接続して CCM モード動作をイネーブル/ディセーブルにできる柔軟性があります。

7.4.3 GaN HEMT スイッチング能力

UCG2882x 1 次側の内蔵 GaN HEMT のスイッチング機能は、[図 7-7](#) を活用して説明します。この図は、フライバック アプリケーションにおける 2 つの異なるスイッチング サイクルにおける、UCG2882x のドレインソース間電圧 (SW ピンの電圧と同じ) を示しています。1 つ目は通常のスイッチング サイクルで、その後に DCM/バレー スイッチング条件でサージ スイッチング サイクルが発生するものです。

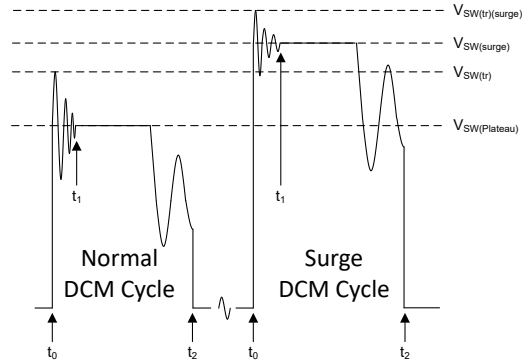


図 7-7. GaN HEMT スイッチング能力

各サイクルは t_0 より前に開始し、GaN HEMT がオン状態になります。 t_0 の時点で GaN HEMT はターンオフし、寄生素子によってドレインソース間電圧に高周波でリングングが生じます。高周波リングングは、 t_1 だけ減衰しました。 t_1 と t_2 の間の HEMT のドレインソース間は平坦なプラトー電圧になり、フライバック設計での 2 次巻線電流が低減します。 t_2 の時点で、GaN HEMT はバレーをオンにします。通常動作では、デバイスはスイッチング サイクルごとに最大 750V のリーク過渡電圧 ($V_{SW(tr)}$) で安全に動作させることができます。まれに発生するサージ事象では、過渡リング電圧は 800V に制限され、プラトーは 750V に制限されます。

7.4.4 ソフトスタート

フライバック コンバータがオンになると、0V の出力電圧で起動します。これによって、フィードバック電圧 FB が最大値にクランプされ、過負荷保護がトリガされる可能性があります。これを防ぐため、UCG2882x はソフト スタート モードで起動します。[図 7-8](#) に示すように、この期間中、内部 FB 電圧ランプは 0V から最大値 (4ms) まで 8 ステップ増加します。内部 FB ランプの最大値は、FB ピン電圧が $I_{PK, MAX}$ の 80% に相当する値であり、IPK ピンのさまざまな抵抗設定に対して変化します。この期間中は、この内部ランプ電圧のうち小さい方と実際の FB ピン電圧を使用して、[図 7-3](#) の制御規則でデバイスの動作点を決定します。4ms の終わりに内部 FB ランプ電圧が最大値に達すると、出力レギュレーション用に制御が FB ピン電圧に転送されます。ソフト スタート シーケンスは、起動時、またはフォルト (自動再試行またはラッチ) およびブラウナウト状態から回復するたびに実行されます。最小周波数クランプは、ソフト スタート時にのみ 10kHz に変更されます (その他の場合は、通常動作中 25kHz)。これは、起動時にバレーが欠落しており、制御法則により、出力コンデンサを充電するために、最後のターンオン エッジから 100 μ s ごとに 1 次 GaN HEMT のターンオンが強制される場合に役立ちます。

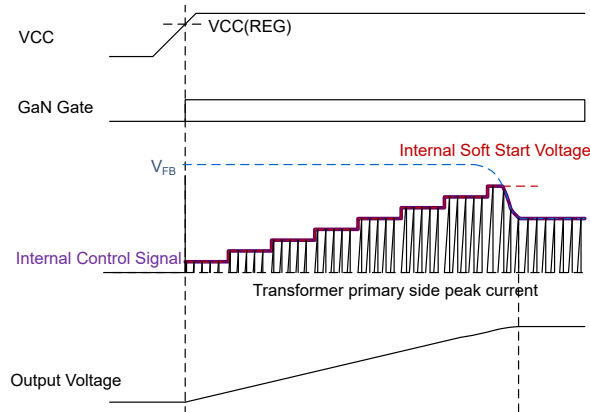


図 7-8. ソフト スタート シーケンス

7.4.5 周波数クランプ

UCG2882x には、最大スイッチング周波数を制限するための周波数クランプが内蔵されています。これは、電磁波規格に合格し、スイッチング周波数を特定の値に制限してスイッチング損失を低減するための設計最適化で有用です。このデバイスには 100kHz、140kHz、250kHz、500kHz の 4 つの最大周波数クランプ設定があり、表 7-3 の値に示すように、FCL ピンとグラウンドの間の抵抗を使用して選択できます。いかなる状態であっても、スイッチング周波数はクランプ周波数の選択値を超えません。ただし、クランプ周波数が 250kHz に設定されているときはバースト モードを除きます。最小スイッチング周波数も 25kHz 固定にクランプされ、フライバック コンバータからの可聴周波数範囲内のスイッチングとノイズを防止します。このような低いスイッチング周波数は、より高いバレーや周波数フォールドバック モードでの動作中に発生することがあります。

図 7-9 に、周波数クランプの動作の波形の例を示します。この場合、FB ピン電圧に基づくバレー目標値は 2 番目のバレーです。2 次巻線電流が 0 まで減少した後、SW ピンの VDS 電圧は共振を開始し、バレー検出ブロックによってバレーがカウントされます。周波数クランプ タイマがまだカウントしているため、2 番目のバレーで 1 次側 GaN HEMT はターンオンしません。周波数クランプ タイマが満了してから初めて、1 次側 GaN HEMT が次のバレー (この場合は 3 番目のバレー) でオンになります。このロジックに基づき、1 次側 GaN HEMT のターンオンは、周波数クランプ タイマの次のバレー終了後にのみ発生します。

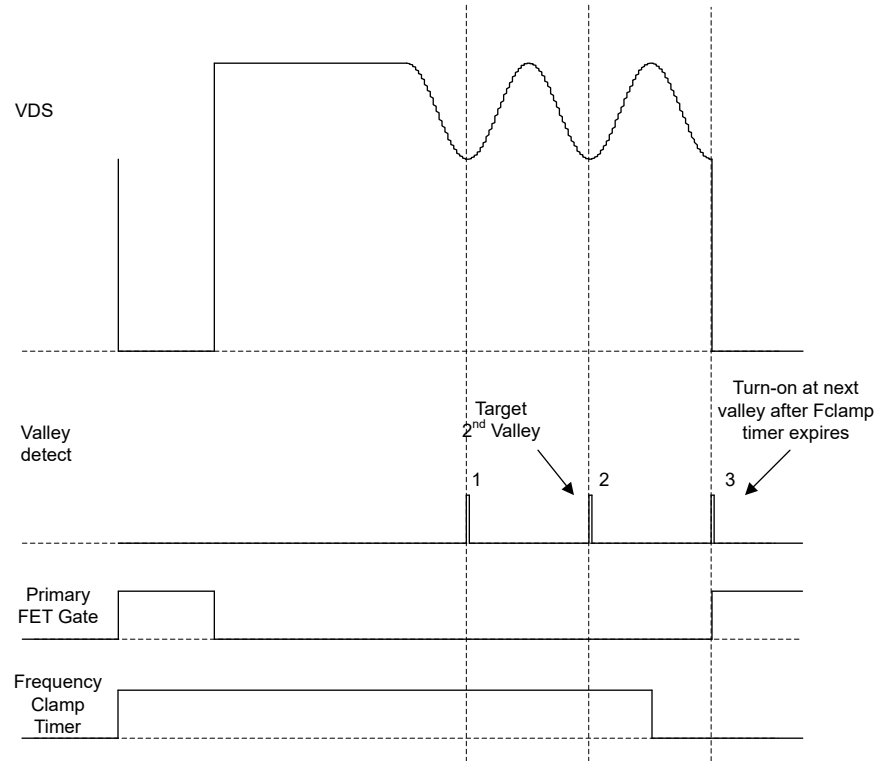


図 7-9. 周波数クランプによる 1 次側 GaN HEMT ターンオン遅延

7.4.6 周波数ディザリング

UCG2882x は周波数ディザリングを備えており、スイッチング周波数の周囲にスペクトラムのエネルギーを拡散することで電磁放射を低減しているため、各種の放射規格の認定が容易になります。このデバイスはピーク電流モード制御を使って 1 次側 GAN HEMT をオフにしておき、スイッチング周波数を設定するための固定クロック信号がないため、スイッチングサイクルごとにピーク電流スレッショルド値をわずかに変更するだけで、周波数のディザリングを実現できます。これにより、各サイクルでピーク電流が変化し、オン時間、オフ時間、スイッチング周波数が変化します。ピーク電流スレッショルドへの割合の変化は、6.25kHz の固定三角波キャリア信号によって変化します。この信号は、キャリア サイクルごとに最小値 (0%) から最大値 (ディザリング深度、 $\pm 6.25\%$ 、 $\pm 12.5\%$ と呼ばれる) への遷移ごとに、32 のステップが信号で交互に発生します。各ステップでディザリング振動の交代符号と、フライバック コンバータトポロジの低周波数出力極はサイクル間の電力供給を平均化し、ディザリングによる出力リップルに小さな影響を与えます。ピーク電流へのディザリングの振動はスイッチング周波数と非同期であり、ピーク電流の瞬間的な変化は、1 次側 GAN HEMT ターンオン時間中のディザリング信号に基づいて計算されます。

ディザリング深度は、表 7-2 に示すように、IPK ピンと GND の間の抵抗によって選択できます。図 7-10 に、スイッチング周波数をディザリングするためのディザリング キャリアおよびピーク電流振動の波形を示します。

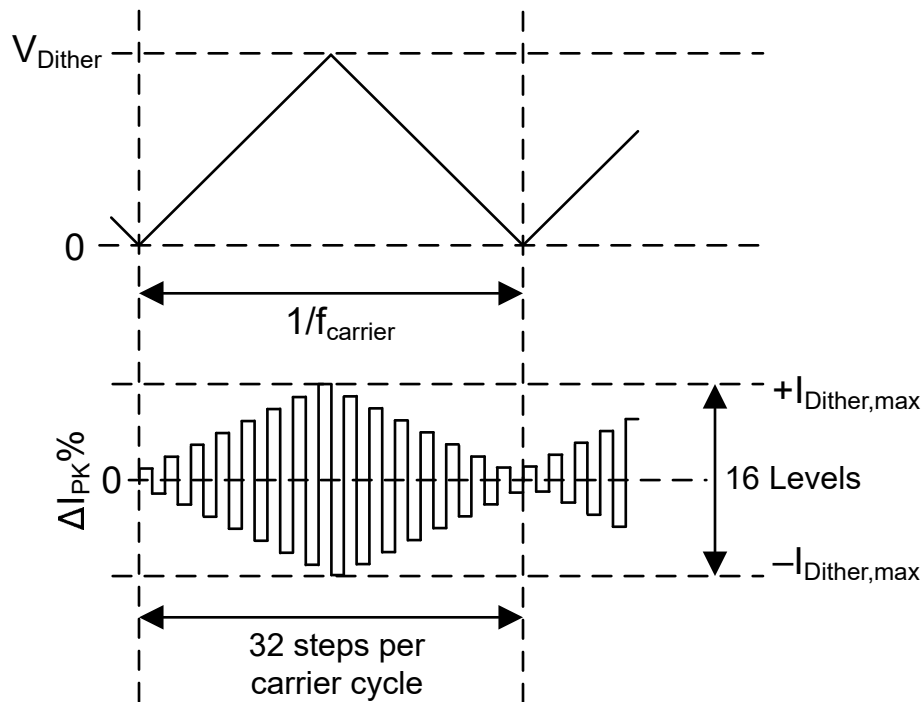


図 7-10. 周波数ディザリングにより放射を低減

7.4.7 スルー レート制御

UCG2882x には、1 次側 GaN HEMT ターンオン時に、スイッチ ノードのバレー電圧からグラウンドへのドレイン電圧を低減するためのスルー レート オプションが含まれています。バレー スイッチング中の GaN HEMT ターンオンは、電流がほぼゼロのときに発生し、追加の損失は無視できる程度です。スルー レート制御に起因するターンオンが低速なため、各種の電磁放射規格を満たすのに役立ちます。5V/ns、7V/ns、10V/ns の 3 つのスルー レート オプションが利用でき、これらはバレー電圧に基づいてわずかに変動します (図 7-11 を参照)。

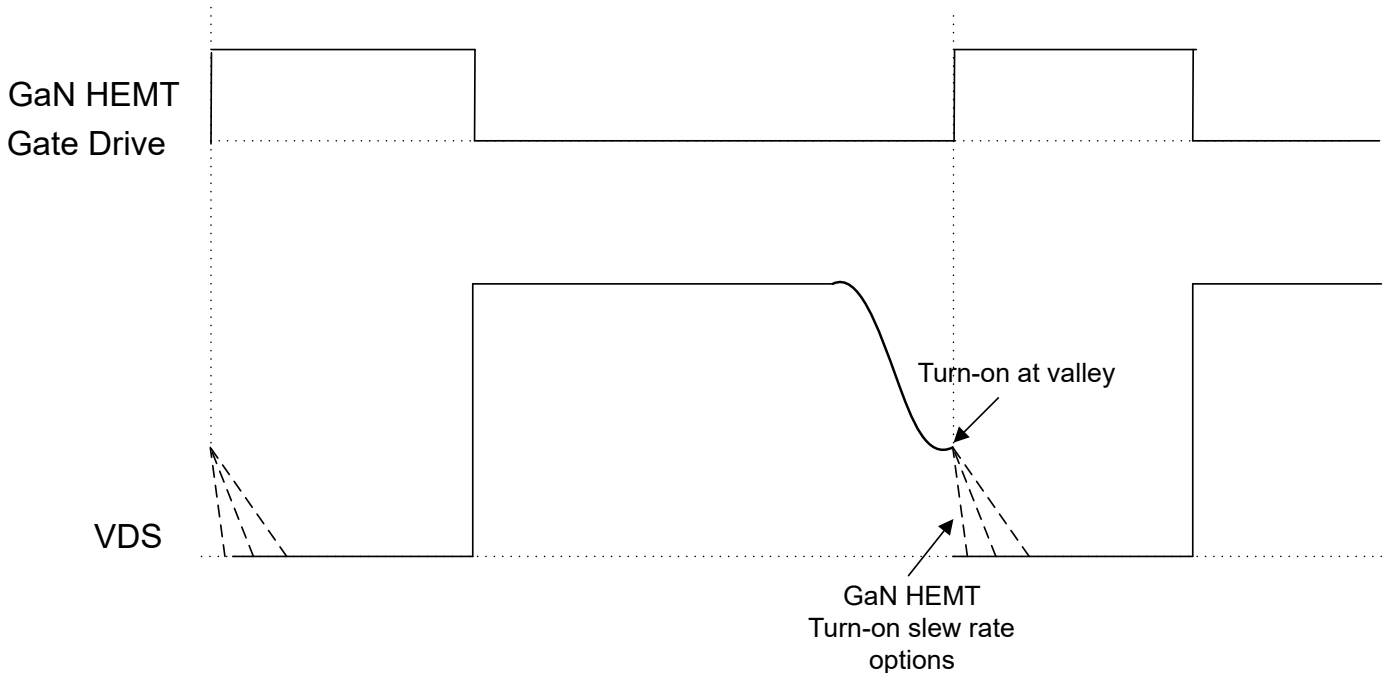


図 7-11. GaN HEMT ターンオン スルー レート制御

表 7-4 の値に応じて、CDX ピンと GND の間の抵抗を使用して必要なスルー レート値を選択します。1 次側 GaN HEMT ターンオフの瞬間で、SW ノード電圧の上昇は I_{PK} およびスイッチ ノードの合計容量 C_{SW} に依存します。このターンオフ スルー レートを減らすと、ゲート駆動電流が制御されて損失が大幅に増加する可能性があります。GaN HEMT ターンオフ スルー レートのこのような低減が必要な場合は、このターンオフ瞬間のスイッチ ノード電圧の上昇率を低減するために、GaN HEMT ドレイン (スイッチ ノード) と GND の間にコンデンサを追加してください。

7.4.8 インバータのピーク電力能力

UCG2882x は、短時間に大電力のバーストを必要とするアプリケーション向けに、最小 2 倍の過渡ピーク出力電力能力をサポートしています。トランスやパワー FET などの各種部品のサイズを大きくすることなく、これを実現します。また、同じフライバック設計が短時間で 2 倍の連続出力電力定格に使用できます。これにより、UCG28826 を使用して設計した 65W フライバック コンバータは、高ライン電圧時の最大 120ms の持続時間、低ライン動作条件時に 10ms の最小 130W の過渡ピーク出力電力を供給できます。

高ライン入力では、過渡ピーク電力供給は DCM/QR 動作モードで行われ、[セクション 7.4.10.4](#) に示す OPPH 保護に従い、最大 120ms の持続時間に制限されます。低ライン入力では、DCM/QR モードからの電力供給時の制限のため、連続導通モード (CCM) により、動作が公称電力定格の最小 2 倍に拡張され、最大 10ms の持続時間に制限されます。高ライン入力での大きな出力電力供給を制限するため、入力バルク コンデンサ電圧が 200V DC を超える場合は CCM モードが無効化されます。さらに、低ライン入力 (200V DC 未満) での CCM 動作モードは最大 10ms に制限され、10ms タイマの満了時間までに過渡出力負荷が減少しない場合、本デバイスは最初のバレー QR モード動作に戻ります。CCM 動作モードについては、[セクション 7.4.2.4](#) で説明します。120ms を超える時間にわたって 140W を超える DCM/QR モードでのピーク電力供給により、OPPH フォルトがトリガされます ([セクション 7.4.10.4](#) を参照)。最小 2 倍の過渡出力電力がサポートされますが、DCM/QR/CCM モードでの最大瞬間過渡出力電力は、入力バルク コンデンサ電圧と出力段部品の値に依存し、それぞれの CCM、OPPH、および OPPL タイマによって時間が制限されます。

7.4.9 X コンデンサの放電

オフライン AC/DC 電源では、X コンデンサを備えた EMI フィルタを入力に使用します。UCG2882x には内蔵の X コンデンサ放電回路が含まれており、規制規格で要求されているように、X コンデンサを完全に放電し、主電源入力から電源を抜いたときにユーザーを感電から保護します。

[図 7-1](#) に示すように、X コンデンサは 2 個のダイオードを経由してデバイスの HV ピンに接続されています。このパスには抵抗は不要です。入力ライン電圧をフライバック コンバータから取り外すと、HV ピンの電流シンクによって X コンデンサが放電されます。このデバイスは、1 μ F までの X コンデンサ値について、45Hz から 66Hz のライン周波数に対して X コンデンサが 1 秒以内に放電されることを保証します。

7.4.10 フォルト保護

UCG2882x は、各種のフォルト保護機能を備えており、FCL ピンに適切な抵抗を使用して、自動再試行またはラッチ応答をプログラムできます (表 7-3 を参照)。自動再試行応答では、図 7-12 に示すように保護がトリガされると、1 秒間スイッチングが停止し、その後通常動作が再開されます。ラッチ応答を使用すると、保護をトリガするとき、デバイスは電源電圧 V_{CC} が $V_{VCC(OFF)}$ を下回るまで待機し、その後 $V_{VCC(REG)}$ を上回るまで回復してスイッチングと通常動作を再開します (図 7-13 を参照)。

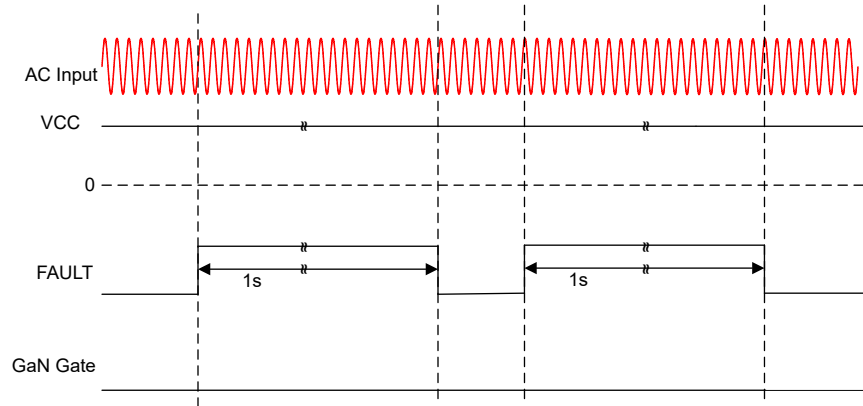


図 7-12. 自動再試行フォルト応答

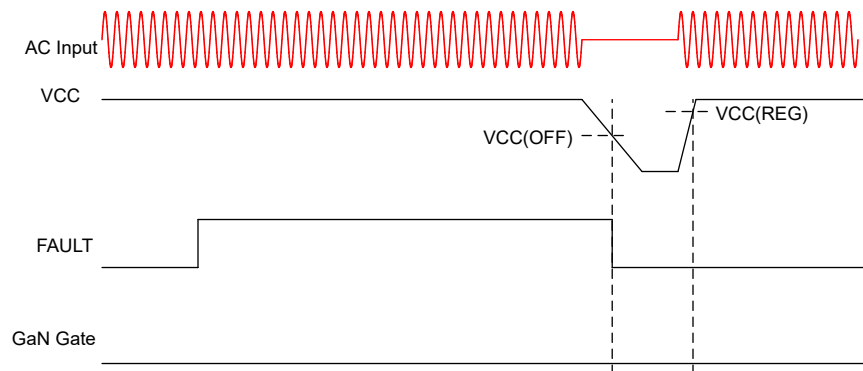


図 7-13. ラッチ フォルト応答

7.4.10.1 ブラウンアウト保護

入力バルクコンデンサ電圧 V_{BULK} が減少し、60ms よりも長い時間にわたって 98V (DC または 70V (AC) 入力) を下回ると、デバイスはスイッチングを停止し、ブラウンアウト保護を開始します。満了前に V_{BULK} が 100V (DC) を超えると、60ms カウンタはリセットされます。ブラウンアウト保護機能は、不規則なライン入力条件が発生した場合に、1 次側の大電流の発生や、それに伴う導通損失の発生を防止します。低いライン入力条件では、 V_{BULK} は P_{OUT} が大きい場合、ラインサイクルごとに 98V (DC) 未満に低減できます。この期間中、ラインの半サイクルごとに V_{BULK} が 100V (DC) を上回るまで回復するため、カウンタはリセットされ、ブラウンアウト障害がトリガされることを防止し、通常のスイッチングと電力伝送を継続できます。ブラウンアウト保護がトリガされると、 V_{BULK} が 112V (DC または 80V AC 入力) を上回るまで回復した場合、デバイスは 1 秒の遅延後に自動的に再起動され、その後ソフトスタートシーケンスが通常動作に移行します。

7.4.10.2 短絡保護

UCG2882x は、過負荷状態時の損傷を検出して防止するための過電流保護回路を内蔵しています。これは、トランス巻線の短絡、SR FET のドレインソース間端子、またはフライバック コンバータの出力中に発生する可能性があります。本デバイスは、GND への SW ノード容量放電のため、1 次側 GaN HEMT がオンになった直後およびリーディング エッジ ブランキング (LEB) 間が満了した直後に、 I_{SCP} (標準値 4.5A) を超える 1 次側電流を検出します。短絡電流スレッシュホールドが連続 3 サイクルにわたってトリガされると、短絡フォルトが宣言され、スイッチングが停止します。フォルト応答、自動再試行、ラッチは、FCL ピンの抵抗による選択に従います。

7.4.10.3 出力過電圧保護

デバイスは、SW ピンからの出力電圧を監視します。 V_{OUT} が 25V を超えると、過電圧保護 (OVP) がトリガされ、スイッチングが停止します。これにより、出力過電圧イベント時の出力コンデンサの損傷を防止できるため、ラッチ フォルトとなります。この保護の誤トリガを避けるため、適切な TR ピン抵抗値を使用するように注意する必要があります。固定出力電圧の設計では、1 次/2 次巻線比のトランスを使用して、出力の反射電圧を 20V の出力の場合と TR ピン設定に一致させ、出力過電圧保護が公称 V_{OUT} より 25% 高い値でトリガされるようにします。

7.4.10.4 過電力保護 (OPP、LPS)

制限付き電源 (LPS) 規制規格では、フライバック コンバータの出力電流と出力電力がそれぞれ 5 秒後に 8A と 100W を超えないことが要求されています。UCG28826 は、故障状態で出力への過剰な電力供給を防止するために、100W を超える入力電力に対して過電力保護 (Low、OPPL) をトリガするか、 I_{LPS} (7.5A) を 4.2s を超える出力電流 (入力換算) をトリガします。このデバイスは、定格出力電力の 2 倍以上 (65W 設計の場合 130W) の過渡負荷要件も、最大 120ms までサポートしています。それ以上になると、過電力保護 (High、OPPH) が作動します。本デバイスは、最大 10ms の期間、 $V_{BULK} < 200V$ の場合、CCM モードで動作します。UCG28828 では、OPPL および LPS 保護がディセーブルになり、OPPH 保護スレッシュホールドが 190W に拡張されます。

7.4.10.5 過熱保護

UCG2882x は過熱保護機能を備えており、過度に高い温度でのシステム動作を防止し、部品が最大周囲温度定格を超えないように制限します。このデバイスは、ダイ温度を制限するための独立した内部過熱保護機能と、負の温度係数 (NTC) の抵抗を使用してシステム温度を監視および制限するための外部過熱保護機能を備えています。ダイ温度が 150°C を超えてスイッチングが停止すると、内部過熱フォルトがトリガします。デバイスは通常動作に復帰し、ダイ温度が 140°C 以下に低下するとスイッチングが再開されます。内部過熱保護は自動再試行フォルトです。

外部過熱フォルトの場合は、NTC を FLT ピンと AGND ピンの間に接続します。このフォルトを確認するため、FLT ピンから外付け抵抗を経由してグランドに 75μA の電流が供給されます。この電流は、10ms ごとに 250μs オン時間に対して供給されます。 V_{FLT} がソース電流で 0.6V (標準値) を下回ると、アップダウン カウンタは毎回インクリメントします。250μs 期間中に V_{FLT} が 0.6V (標準値) を上回ると、このカウンタはデクリメントします。外部過熱フォルトは 3 カウントで通知されます。これがラッチ フォルトです。

7.4.10.6 オープン FB 保護

UCG2882x は、これが発生したときに最大値にクランプされる FB ピン電圧によって、出力に過剰な電力が供給されるのを防止するため、オープン FB ピン状態を監視します。この状態は、オプトカプラの故障や断線、あるいは (フライバック コンバータの定格電力を超える) 大電力が長時間流れた場合に発生します。この保護は、FB ピン電圧が CCM エントリ スレッシュホールドを >120ms 超過した場合にアサートされます。

7.4.10.7 保護のエラー コード

1 つ以上の保護をトリガした後にデバイスがフォルト モードに移行すると、**CDX** ピンにエラー コードが送信されます。これにより、トリガされる保護機能について通知され、電源設計プロセス中に迅速なデバッグが可能になり、ユーザーの開発期間が短縮されます。図 7-14 に、各保護について **CDX** ピンで送信されるエラー コードを示します。保護がトリガされると、対応するエラー コードが **CDX** ピンに 3 回送信されます。また、**UCG2882x** が構成ピンがオープンであることを検出した場合、または非有効な抵抗が構成ピンに接続されている場合、またはメモリ内の内部 **CRC** エラーが発生すると、ピン構成エラー コードが生成されます。複数の保護がトリガされた場合、出力コードには、トリガされる保護に対応する複数の 1 (ロジック High) が含まれます。

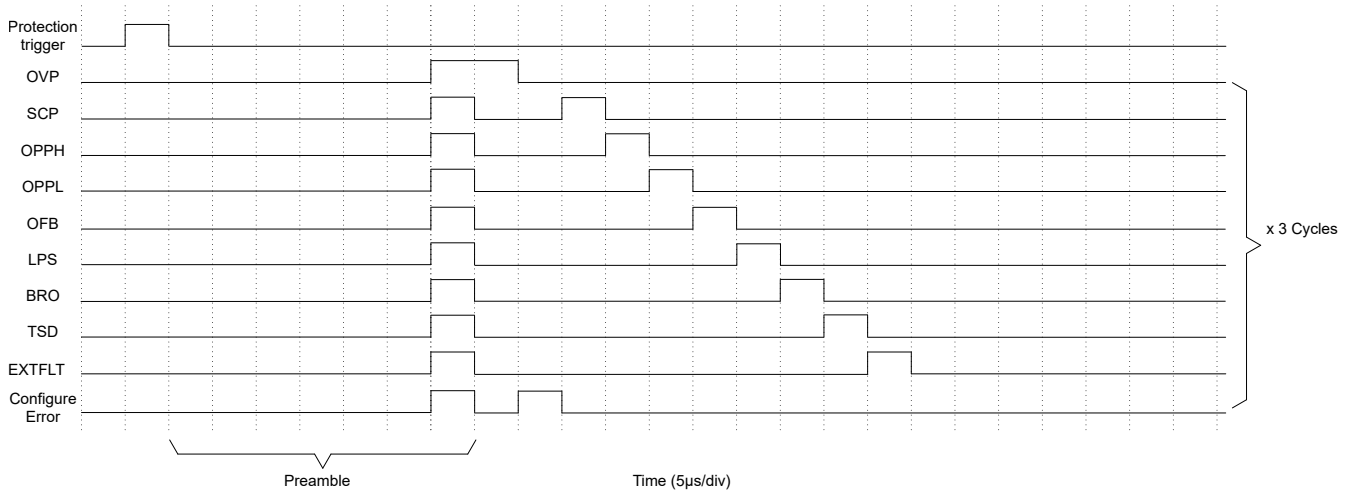


図 7-14. さまざまな保護のための CDX ピンのエラー コード

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

UCG28826 は、750V GaN HEMT を内蔵し、オプトカブラを使用した 2 次側出力電圧安定化機能を搭載した 65W AC/DC フライバック コンバータです。このデバイスは自己バイアス機能と補助なしのセンシング機能を搭載しているので、トランスの補助巻線が不要になり、シンプルで低コストの設計を実現できます。統合型 GaN HEMT を持つ UCG2882x は、最大 500kHz のスイッチング周波数で動作できるため、小型フォーム ファクタと電力密度の高いフライバック設計を実現できます。

8.2 代表的なアプリケーション

UCG28826 は、65W AC/DC フライバック設計をサポートしており、携帯端末やノート PC のチャージャ、USB 電源コンセント、産業用電源レール、サーバー補助電源などのアプリケーションに便利です。内蔵の GaN HEMT と補助なしセンシングにより、主要な電力段部品とプログラミング抵抗のみを接続して、対象アプリケーションに合わせて設計を構成する必要があります。表 8-1 に、標準的な 65W ノート PC チャージャの設計要件を示します。

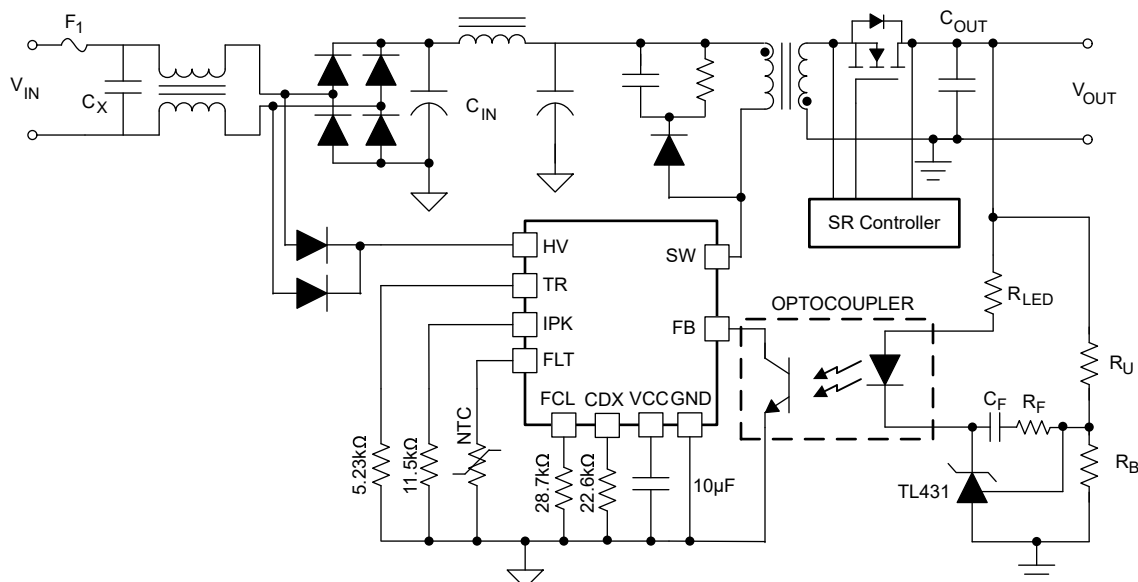


図 8-1. 代表的なアプリケーション回路図

8.2.1 設計要件

表 8-1. 設計パラメータ

パラメータ	テスト条件	最小値	標準値	最大値	単位
ライン入力電圧		90	115/230	264	VAC
入力バルク コンデンサ電圧		80			V
ライン周波数		45	50/60	66	Hz
出力電圧/電流	USB-PD 出力	5V/3A、9V/3A、15V/3A、20V/3.25A			
出力電力				65	W
出力リップル				200	mV
効率		全負荷時で 93% 超			
無負荷時入力電力				30	mW
小負荷時入力電力	P _{OUT} = 180mW			300	mW
スイッチング周波数				140	kHz

8.2.2 詳細な設計手順

このセクションでは、出力段部品の値を計算する方法について説明します。

8.2.2.1 入力バルク コンデンサ

バルク コンデンサには、ブリッジ整流器の出力に 1 つまたは複数の高電圧電解コンデンサが並列に接続されます。これらは、定格出力電力を供給している間に瞬時線間入力電圧がピーク値以下に低下したときのエネルギーを蓄えるために必要です。入力 EMI フィルタの設計については、このデータシートの範囲外であり、説明していません。

ブラウンアウトを防止し、十分な電力供給を確保するため、一定の最小入力バルク コンデンサ電圧 ($V_{BULKmin}$) を維持する必要があります。この設計では、 $V_{BULKmin}$ は 75V と仮定しています。必要な最小入力バルク容量 (C_{IN}) は、式 2 を使用して推定できます。この値は、定格入力電力 $V_{BULKmin}$ 、最小 AC ライン入力電圧と、このコンデンサが $V_{BULKmin}$ を下回ることなく出力負荷をサポートする必要がある時間に依存します。

$$C_{IN} = \frac{2P_{IN} \times \left(\frac{1}{4f_{AC}} + \frac{1}{2\pi f_{AC}} \arcsin \left(\frac{V_{BULKmin}}{\sqrt{2}V_{ACmin}} \right) \right)}{(\sqrt{2}V_{ACmin})^2 - (V_{BULKmin})^2} \quad (2)$$

上の式を使用すると、65W の P_{OUT} に対して最小 C_{IN} の値を 100μF に決定し、85VAC の V_{ACmin} で 93% の効率を達成します。複数のコンデンサを並列に使用することで、この値を実現することで、これらのコンデンサの合計 ESR とサイズを削減できます。

8.2.2.2 変圧器の 1 次側インダクタンスと巻線比

トランスの巻線比は、1 次側 GaN HEMT の最大ドレインソース間電圧 (V_{DS}) 定格によって制限され、2 次側 SR FET の電圧定格とスイッチング損失によって決定されます。スナバ損失を低減し、効率を向上させるため、この設計では巻線比を 6 に選択します。UCG2882x は、20V 出力の場合、6 から 7.875 の範囲の巻線比をサポートします。

トランスの 1 次側インダクタンスにより、UCG2882x を使用してフライバック コンバータの動作の範囲を通してスイッチング周波数が決定されます。この設計では、スイッチング周波数を最大制限である 140kHz の半分と想定しています。この値は、低ライン入力 90VAC の場合、70kHz です。この入力電圧と全負荷 65W では、コンバータは 1 次バレー QR モードで動作し、消磁リング期間は無視されて、デューティサイクルは次のようになります。

$$D_{max} = \frac{NV_{OUT}}{V_{IN} + NV_{OUT}} \quad (3)$$

ここで、巻線比 N は次の式で与えられます。

$$N = \frac{N_P}{N_S} \quad (4)$$

式 3 と 式 4 から、1 次側インダクタンスは次のように求められます。

$$L_M = \frac{V_{BULKmin}^2 \times D_{max}^2 \times T_{SW} \times \eta}{2P_{OUTmax}} \quad (5)$$

巻線比 6 に基づき、2 次側 SR FET の電圧定格と電流定格はそれぞれ 式 6 と 式 7 を使用して計算されます。マージンが 25% になり、定格が 100V および 24A 以上の SR FET を使用します。

$$V_{SRFET} = \frac{\sqrt{2}V_{ACmax}}{N} + V_{OUT} \quad (6)$$

$$I_{SEC,PK} = N \times I_{PRI,PK} \quad (7)$$

8.2.2.3 出力コンデンサ

出力コンデンサの値は、出力電圧リップルと出力過渡電圧応答 (オーバーシュート/アンダーシュート) という 2 つの仕様に基いて決定します。無負荷から全負荷までの負荷ステップに対する最小コンデンサ値は、次の式で求められます。

$$C_{OUT} = \frac{I_{step} \times t_{response}}{\Delta V_{OUT}} \quad (8)$$

ここで、

- I_{step} は最大出力電流
- $t_{response}$ はループ応答時間
- ΔV_{OUT} は許容可能な出力電圧の変化

$$t_{response} = \frac{0.33}{f_C} + T_{SW} \quad (9)$$

ここで、

- f_C はおおよそのループ クロスオーバー周波数で、ここでは **5kHz** に設定
- T_{SW} は、負荷ステップ前の初期負荷条件でのスイッチング時間

クロスオーバー周波数が **3kHz**、バースト モードでのスイッチング周波数が **250kHz**、出力電流ステップが **3.25A**、電圧アンダーシュートおよびオーバーシュートが **0.5V** の場合、必要な最小出力コンデンサ値は **740μF** になります。電圧および温度ディレーティングのマーヅンを考慮して、**820μF** コンデンサを使用します。

8.2.2.4 選択抵抗

UCG2882x は、IPK、TR、CDX、FCL ピンの抵抗によるプログラミング オプションを提供しており、ユーザーは必要な構成に合わせてデバイスを構成できます。ノート PC 充電器アプリケーションに必要な巻線比 **6**、最大 **3.1A**、最小ピーク電流 **1.03A**、CCM 対応、X コンデンサ放電対応、**140kHz** 周波数クランプを設定するための抵抗値については、[表 7-1](#)、[表 7-2](#)、[表 7-3](#) および [表 7-4](#) を参照してください。

8.2.3 アプリケーション曲線

以下の図は、UCG28826 の 65W ユニバーサル入力評価基板で測定したものです。これらの波形は、さまざまな出力電力、周波数フォールドバックとバースト モード動作、および 20V と 5V 出力で無負荷から全負荷までの過渡事象と、異なるバレーでのスイッチングを示しています。

黄: SW ノード、緑: 入力バルク コンデンサ電圧、ピンク: FB ピン電圧

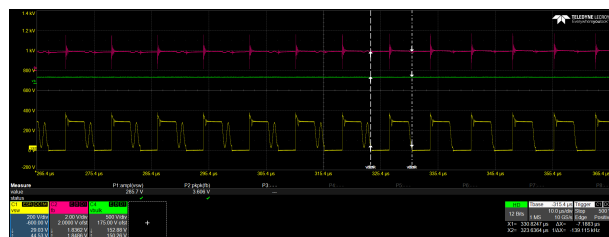


図 8-2. 115VAC での第 1 および第 2 バレー動作

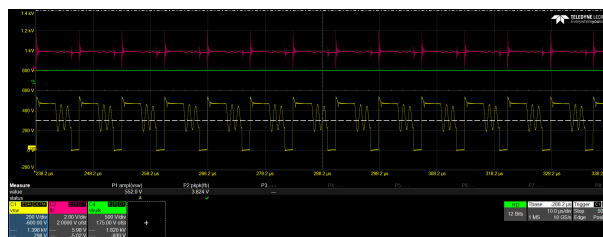


図 8-3. 230VAC での第 3 バレー動作

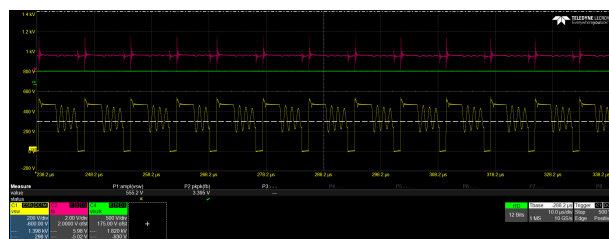


図 8-4. 230VAC での第 4 バレー動作

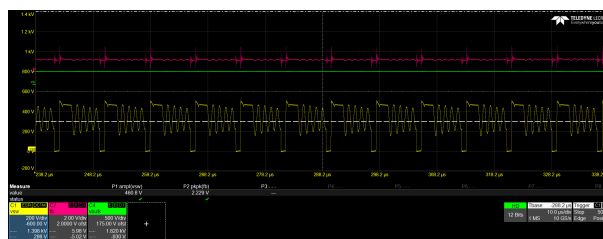


図 8-5. 230VAC での第 5 バレー動作

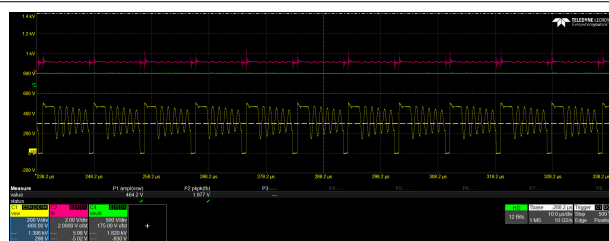


図 8-6. 230VAC での第 6 バレー動作

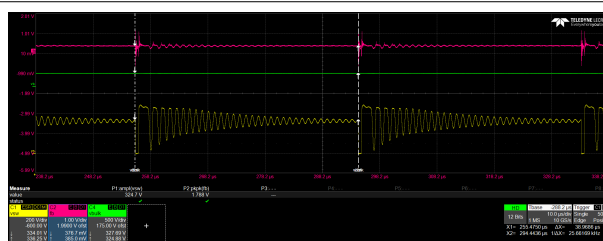


図 8-7. 230VAC での周波数フォールドバック モード

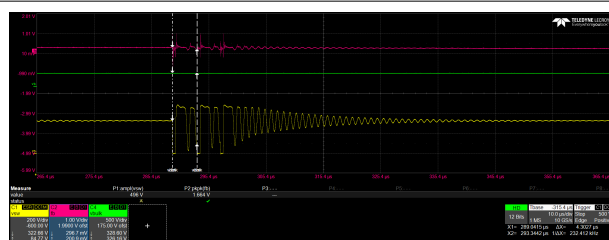
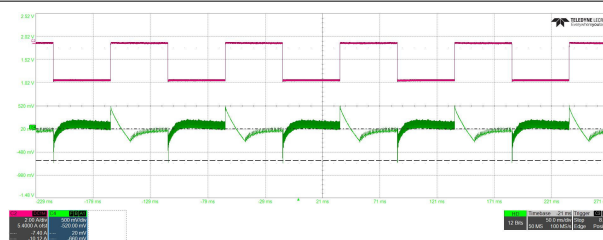
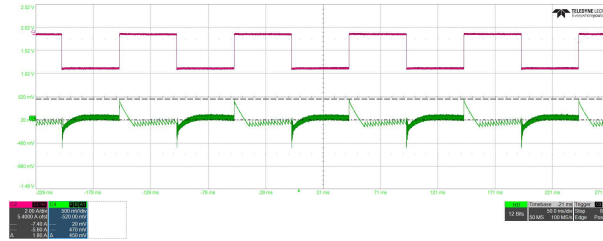


図 8-8. 230VAC でのバースト モード



緑: V_{OUT} 、ピンク: 出力電流

図 8-9. 230VAC および 20V 出力時の負荷過渡応答



緑: V_{OUT}、ピンク: 出力電流

図 8-10. 230VAC および 5V 出力時の負荷過渡応答

8.3 電源に関する推奨事項

UCG2882x は、85VAC から 264VAC、45Hz から 66Hz のレンジでユニバーサル AC 入力を受け入れる AC/DC アダプタ向けに設計されており、フライバックトポロジを使用して最大 65W の出力を供給します。UCG2882x は USB-PD チャージャ アプリケーションに有用ですが、このコンバータは 12V、24V、36V などの固定出力電圧を使用する他の産業用アプリケーションにも使用できます。TR ピンの抵抗は、デフォルトの最大 20V の出力電圧設定とは異なる出力電圧に対応するように変更する必要があります。2 次側フィードバックでは、USB-PD コントローラまたは TL431 を使用して、固定出力設計で出力レギュレーションを実現できます。

UCG2882x は、自己バイアス テクノロジーを採用し、フライバック補助巻線の不要化、設計の簡素化、効率の向上、EMI 設計の簡素化を実現します。VCC 電圧は、V_{VCC(REG)} レベルまで自己制御されます。自己バイアス メカニズムにより、VCC ピンと GND ピンの間に、高周波、低 ESL の 0.01 から 0.1µF のセラミック コンデンサをできるだけ近づけて配置する必要があります。

さらに、全体の VCC 容量は、ライン周波数とラインドロップアウトのテスト要件に基づいて選択します。コンバータのスタンバイ電力を最小化するため、VCC コンデンサは、UCG2882x に半ライン サイクルを通してバースト モード (I_{VCCSLEEP}) で供給電流を供給するのに十分なエネルギーを保持する必要があります。電源がラインドロップアウトテストに合格する場合、ラインドロップアウト期間中、バースト モード (I_{VCCSLEEP}) で供給するのに十分なエネルギーを VCC コンデンサに保持する必要があります。VCC の容量は、これら 2 つのうち長いホールドアップ時間によって決まります。対応するコンデンサ値を、式 10 に基づき選択します。この静電容量は電圧の印加によって低下するので、静電容量のデレーティングが必要です。

$$C_{VCC} > (T_{holdup} \times I_{VCCSLEEP}) / 0.3V \quad (10)$$

8.4 レイアウト

8.4.1 レイアウトのガイドライン

設計の信頼性および実現性を高めるため、PCB レイアウトに関する以下のガイドラインに従うことを推奨します。これらのガイドラインは、すべての電源設計について従うことができる一般的な推奨事項であり、一般的にトポロジに依存しません。電源レイアウトの主なテーマは、結合や、基板の寄生成分に起因する不正確なセンシングに起因する追加の損失や誤スイッチングを防止するために、大電流ループをできるだけ小さくすることです。

1. 大電流ループを最小化し、寄生容量とインダクタンスを低減します。UCG2882x では、これらは 1 次側電源ループ、2 次側電源ループ、リーク スナバ ループです。
2. スイッチング ノイズを低電圧信号から分離するために、デバイスの信号グランドを高電流グランドから分離します。UCG2882x では、ピン 4-11 の部品は GND ピン 3 とピン 10 を基準としており、これらの部品はデバイスのサーマルパッドと GND 電源プレーンに接続されているため、この推奨に従ってください。
3. VCC ピン上のバイパス コンデンサは、デバイスの VCC ピンおよび GND ピンにできるだけ近づけて配置してください。

4. フライバック コンバータの入力へのスイッチング ノイズ結合を最小限に抑え、EMI フィルタ部品をバイパスすることを避けるため、HV ピンから 2 個のダイオードを経由して X コンデンサを直交させ、SW ピン/パターンから離して配線します。

『UCG28826 評価基板ユーザー ガイド』は、回路基板の設計時の参考として使用できます。

8.4.2 レイアウト例

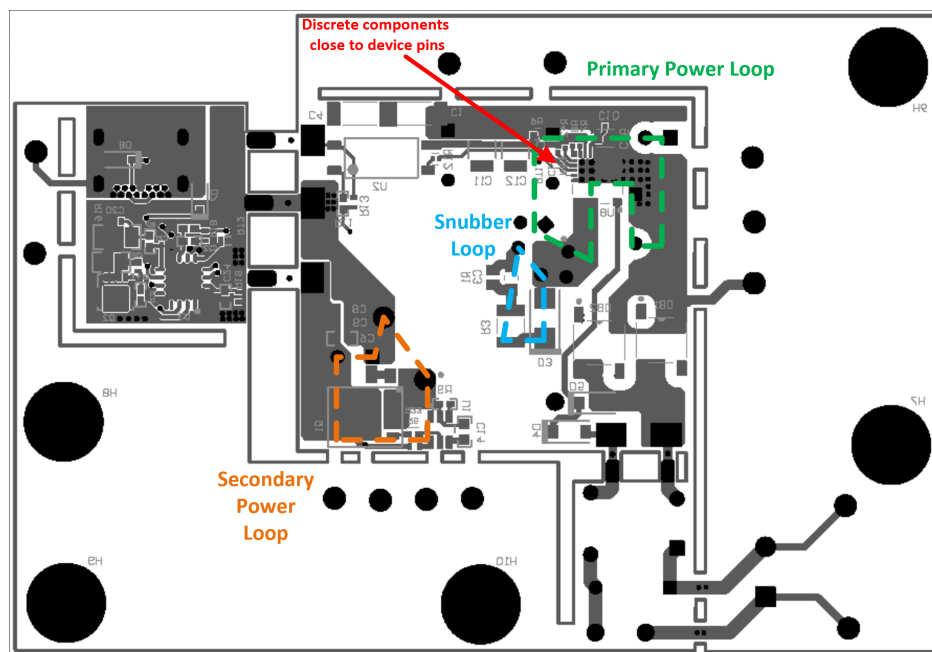


図 8-11. UCG28826EVM-093 評価ボードの下層レイアウト

9 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

9.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (October 2024) to Revision A (May 2025)	Page
• ドキュメントのステータスを <i>事前情報</i> から: 「量産データ」	1

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PUCG28826-1REZR	Active	Preproduction	VQFN (REZ) 12	100 LARGE T&R	-	Call TI	Call TI	-40 to 105	
PUCG28826-1REZR.A	Active	Preproduction	VQFN (REZ) 12	100 LARGE T&R	-	Call TI	Call TI	-40 to 105	
PUCG28826-1REZR.B	Active	Preproduction	VQFN (REZ) 12	100 LARGE T&R	-	Call TI	Call TI	-40 to 105	
UCG28826-1REZR	Active	Production	VQFN (REZ) 12	2000 LARGE T&R	Yes	FULL NIPDAU	Level-3-260C-168 HR	-40 to 105	UCG2882 NNNNC
UCG28826-1REZR.A	Active	Production	VQFN (REZ) 12	2000 LARGE T&R	Yes	FULL NIPDAU	Level-3-260C-168 HR	-40 to 105	UCG2882 NNNNC
UCG28826-1REZR.B	Active	Production	VQFN (REZ) 12	100 LARGE T&R	-	Call TI	Call TI	-40 to 105	

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

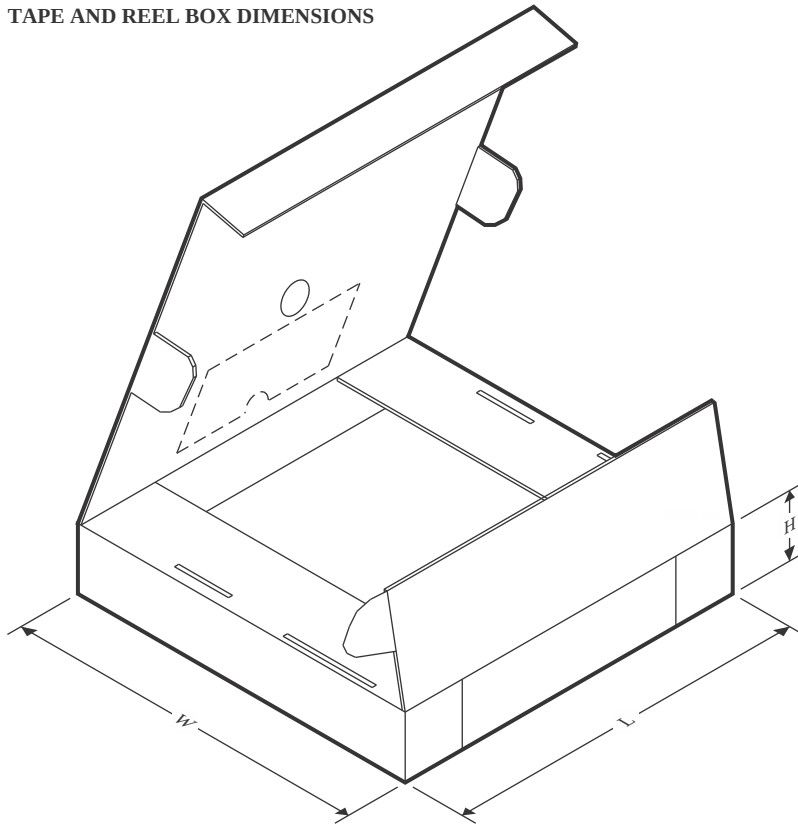
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
UCG28826-1REZR	VQFN	REZ	12	2000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2

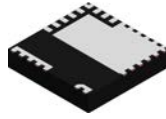
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
UCG28826-1REZR	VQFN	REZ	12	2000	346.0	346.0	33.0

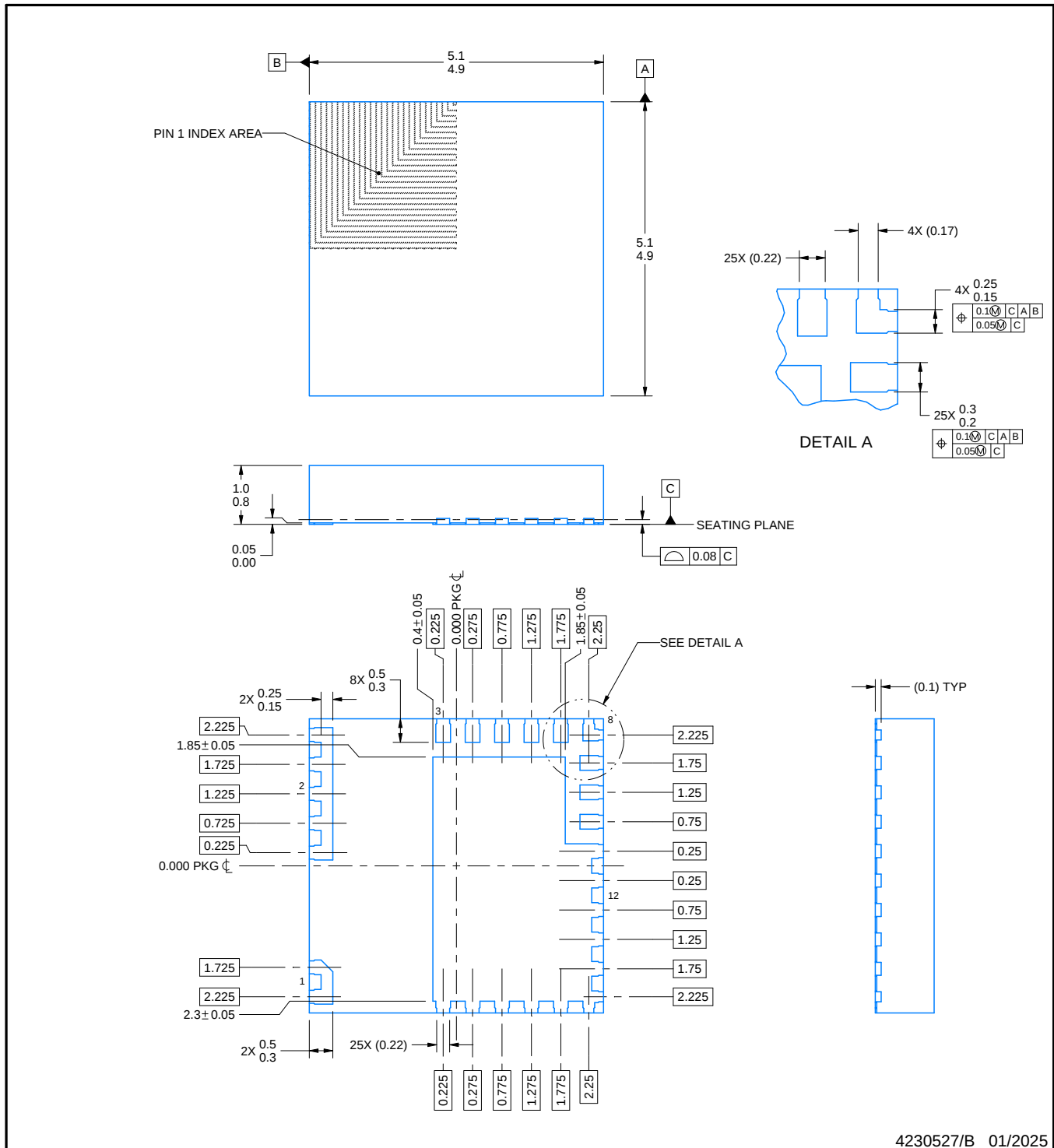
REZ0012A



PACKAGE OUTLINE

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



4230527/B 01/2025

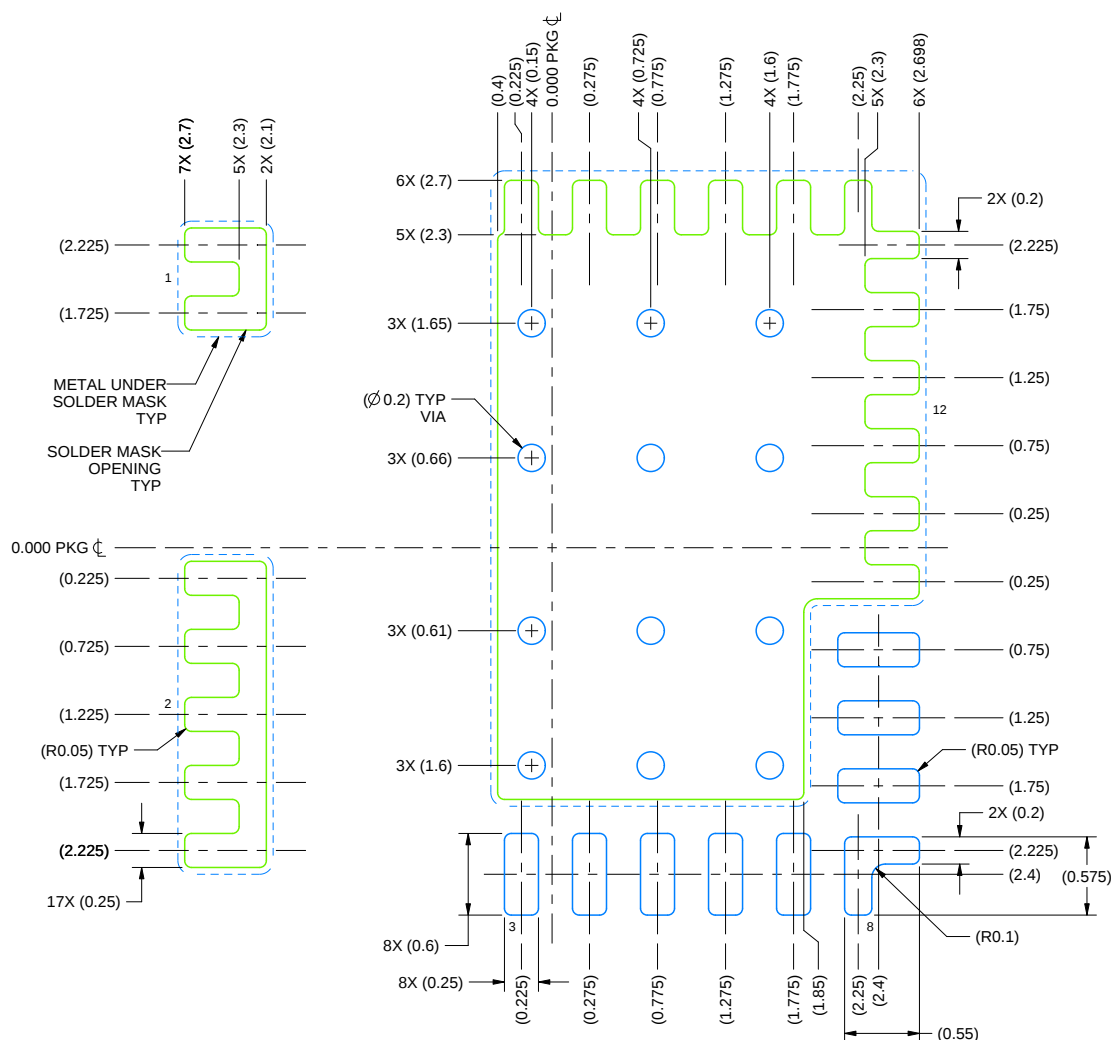
NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

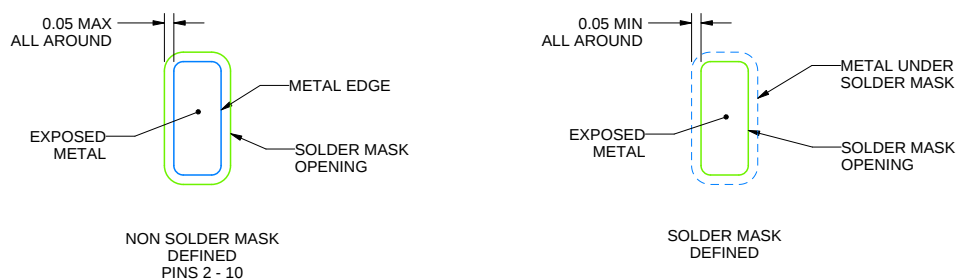
REZ0012A

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
SCALE: 18X



SOLDER MASK DETAILS

4230527/B 01/2025

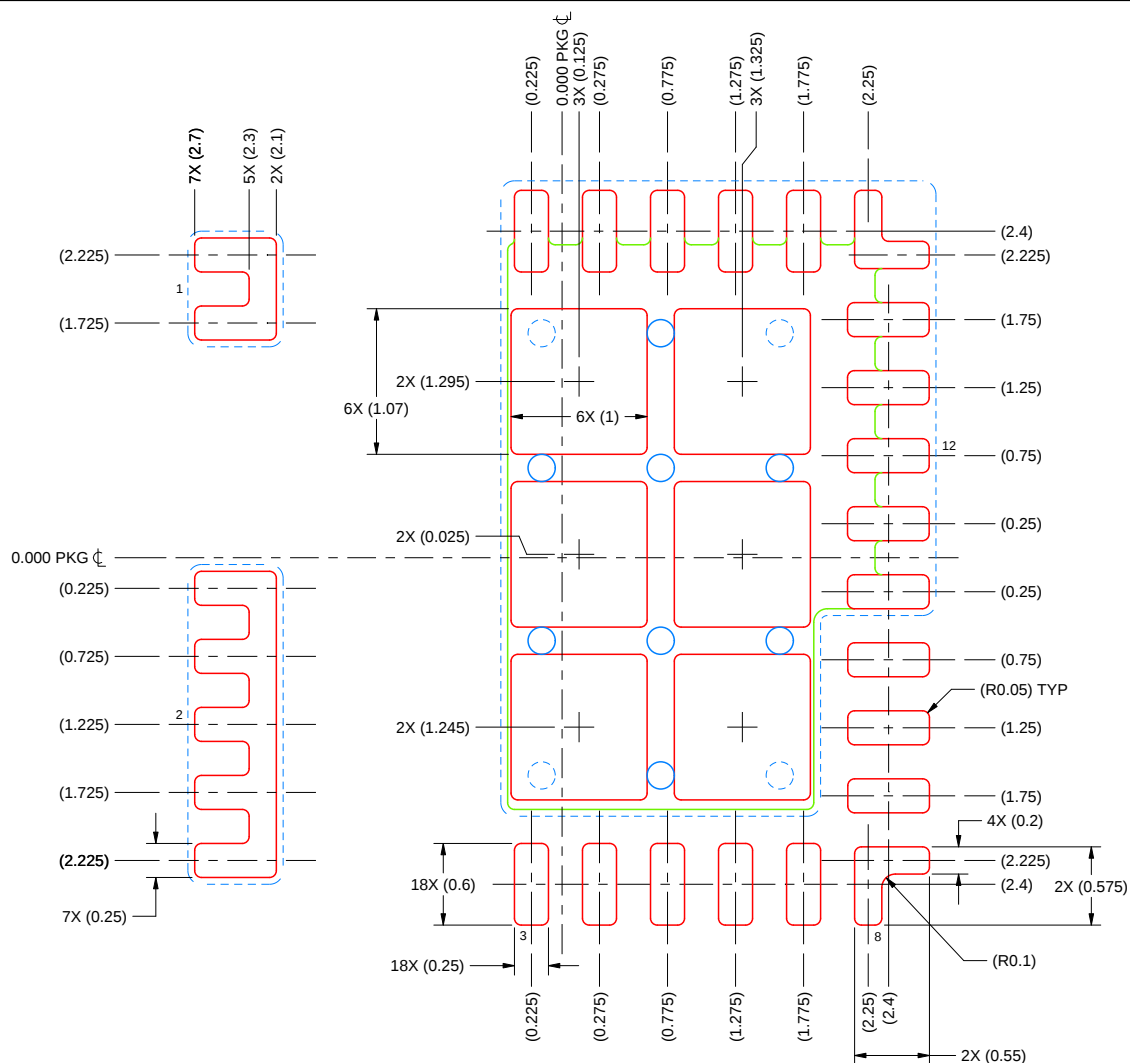
NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

REZ0012A

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 18X

PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
PAD 12: 71%

4230527/B 01/2025

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated