

# UCC278X4-Q1 高速、自動 230V ハーフブリッジドライバ、3.5A、4A 駆動力、 最大 100V/ns のノイズ耐性

## 1 特長

- 車載アプリケーション向けに AEC-Q100 認証済み
  - デバイス温度グレード 1
- インターロック (UCC27834-Q1) またはインターロックなし (UCC27884-Q1) 付きのハイサイド/ローサイドドライバ用のデュアル独立入力
- 最大ブートストラップ電圧: +230V (HB ピン)
- VDD バイアスの推奨範囲: 8.5V ~ 20V
- ピーク出力電流 3.5A ソース、4A シンク
- 小さい伝搬遅延時間: 29ns (標準値)
- HO/LO 間でのタイトな伝搬遅延マッチング: < 5ns (最大値)
- dV/dt 耐性: 100V/ns
- 低静止電源電流消費
  - VDD での 150μA (標準値)
  - HB での 90μA (標準値)
- ハイサイドとローサイドの両チャンネルに UVLO 保護機能を内蔵: 8V
- ブートストラップ動作用に設計されたフローティングチャンネル
- 標準 SOIC-8 パッケージで利用可能
- すべてのパラメータは、温度範囲全体にわたって規定済み: -40°C ~ +150°C

## 2 アプリケーション

- モータドライブ (ステッパ モータ、ファン、パワー ツール、ロボティクス、ドローン、サーボ)
- 電動アシスト自転車および電動スクーター
- ソーラー昇圧と昇降圧 MPPT
- マイクロインバータ

## 3 説明

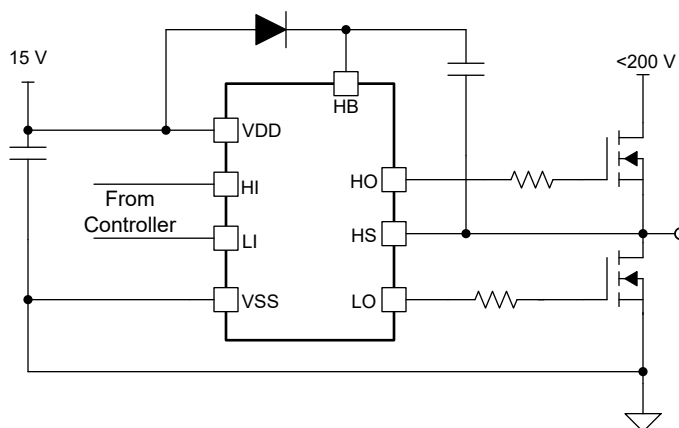
UCC278X4-Q1 は、230V のハーフブリッジ ゲートドライバで、ソース 3.5A、シンク 4A の電流能力を持ち、パワー MOSFET を駆動するよう設計されています。デバイスは、1 つのグランド基準チャンネル (LO) と、ブートストラップ電源ブリッジ構成の MOSFET を駆動するよう設計された 1 つのフローティング チャンネル (HO) から構成されています。このデバイスは、高速伝搬遅延と、両チャンネル間の遅延マッチングに優れています。UCC278X4-Q1 は、8.5V ~ 20V の幅広い VDD 動作電圧を許容してより広範囲のゲート電圧駆動をサポートし、ローサイド (VDD) およびハイサイド (HB) バイアス電源の UVLO 保護も実現します。UCC27834-Q1 にはインターロック機能オプションが含まれており、両方の出力が同時にオンになるのを防ぎます。

このデバイスは、堅牢な駆動能力を備え、高い dV/dt 許容誤差 (100V/ns) と、スイッチノード (HS) における広い負の過渡安全動作領域 (NTSOA) など、非常に優れたノイズおよび過渡耐性を備えています。UCC278X4-Q1 は、SOIC-8 ピン パッケージで提供され、-40°C ~ 150°C の温度範囲で動作するよう設計されています。

### パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (2)
UCC27834D-Q1	D (SOIC, 8)	4.90mm × 6.00mm
UCC27884D-Q1	D (SOIC, 8)	4.90mm × 6.00mm

- (1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
- (2) パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



概略回路図



## 目次

1 特長.....	1	6.4 デバイスの機能モード.....	17
2 アプリケーション.....	1	7 アプリケーションと実装.....	18
3 説明.....	1	7.1 アプリケーション情報.....	18
4 ピン構成および機能.....	3	7.2 代表的なアプリケーション.....	18
5 仕様.....	4	7.3 電源に関する推奨事項.....	22
5.1 絶対最大定格.....	4	7.4 レイアウト.....	22
5.2 ESD 定格.....	4	8 デバイスおよびドキュメントのサポート.....	24
5.3 推奨動作条件.....	4	8.1 デバイス サポート.....	24
5.4 熱に関する情報.....	5	8.2 ドキュメントのサポート.....	24
5.5 電気的特性.....	5	8.3 ドキュメントの更新通知を受け取る方法.....	24
5.6 動的な電気的特性.....	6	8.4 サポート・リソース.....	24
5.7 タイミング図.....	7	8.5 商標.....	24
5.8 代表的特性.....	8	8.6 静電気放電に関する注意事項.....	24
6 詳細説明.....	11	8.7 用語集.....	24
6.1 概要.....	11	9 改訂履歴.....	24
6.2 機能ブロック図.....	11	10 メカニカル、パッケージ、および注文情報.....	25
6.3 機能説明.....	12		

## 4 ピン構成および機能

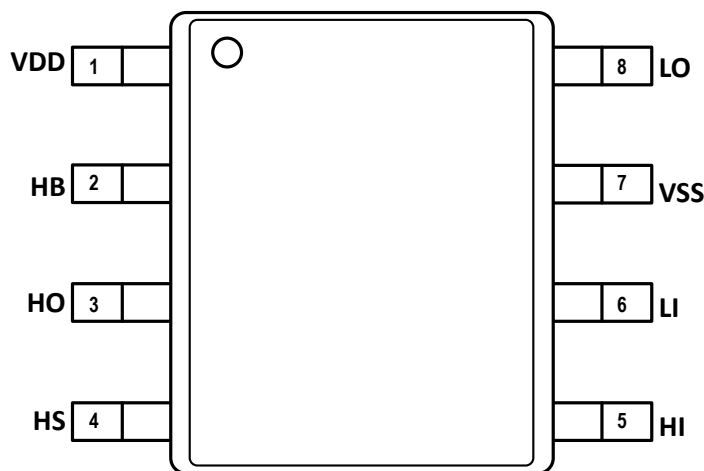


図 4-1. D パッケージ 8 ピン SOIC 上面図

表 4-1. ピンの機能

ピン		タイプ <sup>(1)</sup>	説明
名称	番号		
HB	2	I	ハイサイド フローティング電源。ブートストラップ回路動作を維持するため、このピンはコンデンサを使用して HS にバイパスします (通常は MOSFET の実効ゲート容量の 10 倍)。
HI	5	I	ハイサイドドライバのロジック入力。HI がバイアスなしか、またはフローティングの場合、HO は Low に保持されます
HO	3	O	ハイサイドドライバ出力。
HS	4	–	ハイサイド フローティング電源のリターン。
LI	6	I	ローサイドドライバ用ロジック入力。LI がバイアスなし、またはフローティングの場合、LO は Low に保持されます。
LO	8	O	ローサイド ゲートドライバ出力。
VDD	1	P	バイアス電源入力。デバイスの入力ロジック側およびローサイドドライバ出力用の電源。1μF SMD コンデンサを使用してこのピンを VSS にバイパスします (通常、 $D_{VDD}$ を $10 \times C_{BOOT}$ にすること)。
VSS	7	–	入力、VDD、および LO ドライバリターン用の接地基準

(1) I = 入力、O = 出力、P = 電源

## 5 仕様

### 5.1 絶対最大定格

動作自由空気温度範囲全体で (特に記述のない限り)、すべての電圧値は **VSS** (特に記述のない限り) を基準にしています。電流は指定されたピンに流れ込む方向が正、ピンから流れ出る方向が負です。<sup>(1)</sup>

パラメータ			最小値	最大値	単位
$V_{HI}, V_{LI}$	HI および LI の入力電圧 <sup>(2)</sup>		-0.3	23	V
$V_{DD}$	VDD 電源電圧		-0.3	23	
$V_{HB}$	HB の電圧		-0.3	230	
$V_{HB}-V_{HS}$	ブートストラップ電源電圧		-0.3	23	
$V_{HO}$	HO の出力電圧	DC	HS-0.3	HB+0.3	V
		過渡応答、100ns 未満 <sup>(3)</sup>	HS-2	HB+0.3	
$V_{LO}$	LO の出力電圧	DC	-0.3	VDD+0.3	V
		過渡応答、100ns 未満 <sup>(3)</sup>	-2	VDD+0.3	
$V_{HS}$	HS の電圧	DC	-18 <sup>(4)</sup>	230	V
		過渡応答、100ns 未満 <sup>(3)</sup>	-23 <sup>(4)</sup>	230	V
$dV_{HS}/dt$	許容されるオフセット電源過渡電圧		-100	100	V/ns
$T_J$	接合部温度		-40	150	°C
$T_{slg}$	保存温度		-65	150	

- (1) 絶対最大定格外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用情况、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。
- (2) 入力ピンの最大電圧は **VDD** ピンの電圧によって制限されません。
- (3) 値はベンチでの特性評価によって検証されます。
- (4)  $HB-HS = 15V$  の場合。

### 5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン <sup>(1)</sup>	±2000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン <sup>(2)</sup>	±500	

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
- (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

### 5.3 推奨動作条件

すべての電圧値は **VSS** を基準にしており、 $-40^{\circ}\text{C} < T_J < 150^{\circ}\text{C}$  であり、電流は、指定されたピンに流れ込む方向が正、指定された端子から出る方向が負です

			最小値	公称値	最大値	単位
$V_{DD}$	VDD 電源電圧		8.5		20	V
$V_{HB}-V_{HS}$	ブートストラップ電源電圧		7.8		20	V
$V_{HI}, V_{LI}$	HI および LI の入力電圧		0		20	V
$V_{HB}$	HB の電圧		3		HS + 20	V
$V_{HS}$	HS の電圧	DC	$3 - (V_{HB} - V_{HS})$		200	V
$V_{HS}$		過渡応答、100ns 未満	$-(V_{HB} - V_{HS})$		200	V
$dV_{HS}/dt$	許容されるオフセット電源過渡電圧		-100		100	V/ns
$T_A$	周囲温度		-40		125	°C

すべての電圧値は  $V_{SS}$  を基準にしており、 $-40^{\circ}\text{C} < T_J < 150^{\circ}\text{C}$  であり、電流は、指定されたピンに流れ込む方向が正、指定された端子から出る方向が負です

		最小値	公称値	最大値	単位
$T_J$	接合部温度	-40		150	$^{\circ}\text{C}$

## 5.4 熱に関する情報

熱評価基準 <sup>(1)</sup>		UCC278X4-Q1	単位
		(SOIC)	
		8 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	114.0	$^{\circ}\text{C}/\text{W}$
$R_{\theta JC(\text{top})}$	接合部からケース (上面) への熱抵抗	54.0	$^{\circ}\text{C}/\text{W}$
$R_{\theta JB}$	接合部から基板への熱抵抗	62.8	$^{\circ}\text{C}/\text{W}$
$\Psi_{JT}$	接合部から上面への特性パラメータ	8.5	$^{\circ}\text{C}/\text{W}$
$\Psi_{JB}$	接合部から基板への特性パラメータ	61.9	$^{\circ}\text{C}/\text{W}$
$R_{\theta JC(\text{bot})}$	接合部からケース (底面) への熱抵抗	該当なし	$^{\circ}\text{C}/\text{W}$

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション ノートを参照してください。

## 5.5 電気的特性

$V_{DD} = V_{HB} = 15\text{V}$ 、 $V_{SS} = V_{HS} = 0$  の時、すべての電圧は  $V_{SS}$  を基準としており、LO および HO は無負荷、 $-40^{\circ}\text{C} < T_J < +150^{\circ}\text{C}$  です (特に記述のない限り)。電流は、指定されたピンに流れ込む方向が正、ピンから流れ出る方向が負です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源ブロック						
V <sub>VDD ON</sub>	VDD のターンオンスレッシュホールド電圧		6.9	7.5	8.1	V
V <sub>VDD OFF</sub>	VDD のターンオフスレッシュホールド電圧		6.4	7.0	7.6	
V <sub>VDD HYS</sub>	VDD のヒステリシス			0.5		
V <sub>VHB ON</sub>	VHB-VHS のターンオンスレッシュホールド電圧		6.2	6.8	7.4	
V <sub>VHB OFF</sub>	VHB-VHS のターンオフスレッシュホールド電圧		5.7	6.3	6.9	
V <sub>VHB HYS</sub>	VHB-VHS のヒステリシス			0.5		
I <sub>VDDO</sub>	VDD 動作電流	HI = LI = 0 ~ 5V、f = 500kHz、C <sub>LOAD</sub> = 0		1100	2000	μA
I <sub>QVSS</sub>	静止 VDD-VSS 電源電流	HI = LI = 0V または 5V、DC オン / オフ状態		150	300	μA
I <sub>QBSO</sub>	HB-HS 動作電源電流	HI = LI = 0 ~ 5V、f = 500kHz、C <sub>LOAD</sub> = 0		1000	1300	μA
I <sub>QBS</sub>	静止 HB-HS 電源電流	HI = 0V または 5V、HO は DC オン / オフ状態		90	180	μA
I <sub>BL</sub>	ブートストラップ電源のリーク電流 (HB から VSS)	HB = HS = 230V、VDD = VSS = 0V		0.1	20	μA
入力およびインーブルブロック						
V <sub>INH</sub>	入力ピン (HI、LI、) High スレッシュホールド		1.7	2.1	2.5	V
V <sub>INL</sub>	入力ピン (HI、LI、) Low スレッシュホールド		0.7	1.0	1.3	V
V <sub>INHYS</sub>	入力ピン (HI、LI、) スレッシュホールドのヒステリシス			1.1		V
I <sub>INL</sub>	HI、LI 入力 Low バイアス電流	HI、LI = 0V	-5		5	μA
I <sub>INH</sub>	HI、LI 入力 High バイアス電流	HI、LI = 5V	20		55	μA
R <sub>HI</sub>	HI 入力ピンのプルダウン抵抗	HI、LI = 5V	100		200	KΩ
R <sub>LI</sub>	LI 入力ピンのプルダウン抵抗	HI、LI = 5V	100		200	KΩ
出力ブロック						
V <sub>DD</sub> -V <sub>LOH</sub>	LO 出力 high 電圧	LI = 5V、I <sub>LO</sub> = -20mA		250	500	mV
V <sub>HB</sub> -V <sub>HOH</sub>	HO 出力 high 電圧	HI = 5V、I <sub>HO</sub> = -20mA		250	500	mV
V <sub>LOL</sub>	LO 出力の Low 電圧	LI = 0V、I <sub>LO</sub> = 20mA		20	40	mV
V <sub>HOL</sub>	HO 出力の Low 電圧	HI = 0V、I <sub>HO</sub> = 20mA		20	40	mV

**UCC27834-Q1, UCC27884-Q1**

JAJXS17A – SEPTEMBER 2025 – REVISED NOVEMBER 2025

VDD = VHB = 15V、VSS = VHS = 0 の時、すべての電圧は VSS を基準としており、LO および HO は無負荷、 $-40^{\circ}\text{C} < T_J < +150^{\circ}\text{C}$  です(特に記述のない限り)。電流は、指定されたピンに流れ込む方向が正、ピンから流れ出る方向が負です。

パラメータ	テスト条件	最小値	標準値	最大値	単位
$R_{LOL}, R_{HOL}$	LO、HO 出力プルダウン抵抗	$I_{LO} = I_{HO} = 20\text{mA}$	1	2	$\Omega$
$R_{LOH}, R_{HOH}$	LO、HO 出力プルアップ抵抗	$I_{LO} = I_{HO} = -20\text{mA}$	12.6	25	
$I_{GPK}^{(1)}$	HO、LO 出力シンク電流	$HI = LI = 0V, HO = LO = 15V, PW < 10\mu s$	4		A
$I_{GPK+}^{(1)}$	HO、LO 出力ソース電流	$HI = LI = 5V, HO = LO = 0V, PW < 10\mu s$	3.5		

(1) 設計で検証済み、量産には未テスト

## 5.6 動的な電気的特性

VDD = VHB = 15V、VSS = VHS = 0 の時、すべての電圧は VSS を基準としており、LO および HO は無負荷、 $-40^{\circ}\text{C} < T_J < +150^{\circ}\text{C}$  です(特に記述のない限り)。電流は、指定されたピンに流れ込む方向が正、ピンから流れ出る方向が負です。

パラメータ	テスト条件	最小値	公称値	最大値	単位
<b>伝搬遅延</b>					
$t_{DLFF}$	VLI 立ち下がりがりから VLO 立ち下がりがりまで	$C_{LOAD} = 0\text{pF}$ , LI の $V_{INL}$ から LO 立ち下がりがりの 90% まで	29	45	ns
$t_{DHFF}$	VHI 立ち下がりがりから VHO 立ち下がりがりまで	$C_{LOAD} = 0\text{pF}$ , HI の $V_{INL}$ から HO 立ち下がりがりの 90% まで	29	45	ns
$t_{DLRR}$	VLI 立ち上がりがりから VLO 立ち上がりがりまで	$C_{LOAD} = 0\text{pF}$ , LI の $V_{INH}$ から LO 立ち上がりがりの 10% まで	29	45	ns
$t_{DHRR}$	VHI 立ち上がりがりから VHO 立ち上がりがりまで	$C_{LOAD} = 0\text{pF}$ , HI の $V_{INH}$ から HO 立ち上がりがりの 10% まで	29	45	ns
<b>遅延マッチング</b>					
$t_{MON}$	HI OFF、LI ON	$T_J = 25^{\circ}\text{C}$ , $ t_{DHFF} - t_{DLRR} $		5	ns
$t_{MON}$	HI OFF、LI ON	$T_J = -40^{\circ}\text{C} \sim 150^{\circ}\text{C}$ , $ t_{DHFF} - t_{DLRR} $		5	ns
$t_{MOFF}$	LI OFF、HI ON	$T_J = 25^{\circ}\text{C}$ , $ t_{DLFF} - t_{DHRR} $		5	ns
$t_{MOFF}$	LI OFF、HI ON	$T_J = -40^{\circ}\text{C} \sim 150^{\circ}\text{C}$ , $ t_{DLFF} - t_{DHRR} $		5	ns
<b>出力の立ち上がりおよび立ち下がりがり時間</b>					
$t_{R\_LO}$	LO の立ち上がり時間	$C_{LOAD} = 1000\text{pF}$ , 10% から 90%	7.5		ns
$t_{R\_HO}$	HO の立ち上がり時間	$C_{LOAD} = 1000\text{pF}$ , 10% から 90%	7.5		ns
$t_{F\_LO}$	LO の立ち下がりがり時間	$C_{LOAD} = 1000\text{pF}$ , 90% から 10%	6.5		ns
$t_{F\_HO}$	HO の立ち下がりがり時間	$C_{LOAD} = 1000\text{pF}$ , 90% から 10%	6.5		ns
<b>その他</b>					
$t_{ON}$	出力状態を変化させる最小 HI/LI オンパルス	HI および LI ピンの 0V ~ 5V 入力信号、 $C_{LOAD} = 1\text{nF}$	11	20	ns
$t_{OFF}$	出力状態を変化させる最小 HI/LI オフパルス	HI および LI ピンの 5V ~ 0V 入力信号、 $C_{LOAD} = 1\text{nF}$	11	20	ns

## 5.7 タイミング図

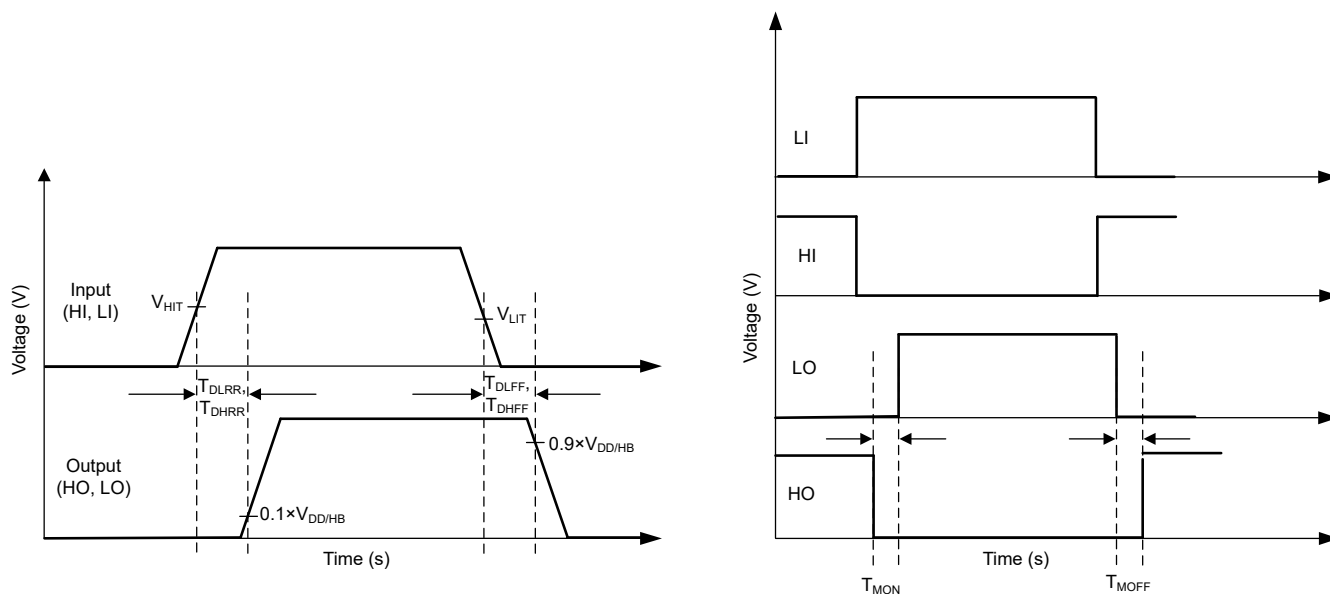


図 5-1. タイミング図

## 5.8 代表的特性

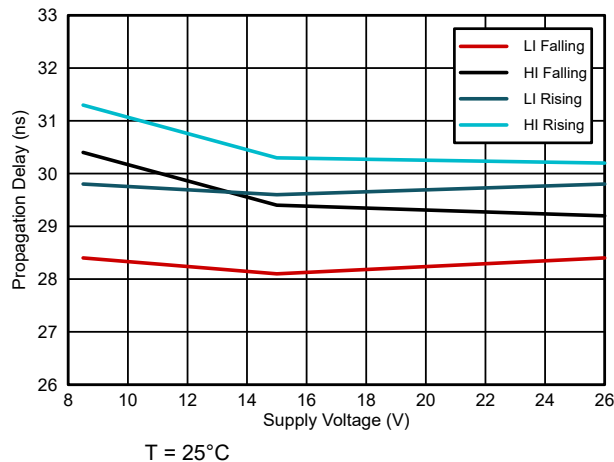


図 5-2. 伝播遅延と電源電圧との関係

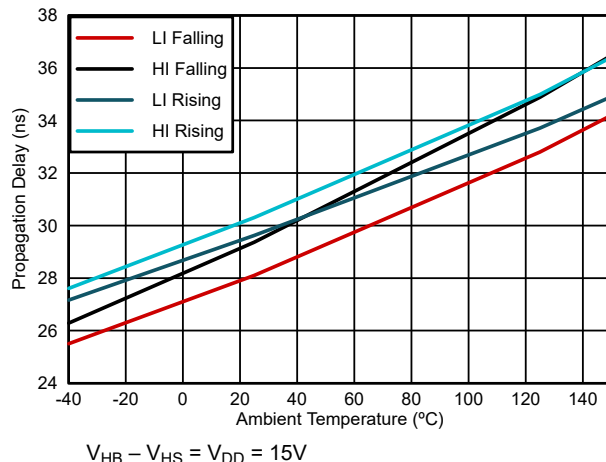


図 5-3. 伝播遅延と温度との関係

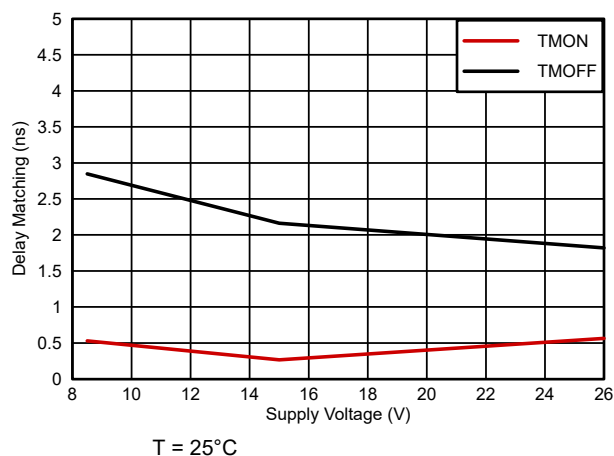


図 5-4. 遅延マッチングと電源電圧との関係

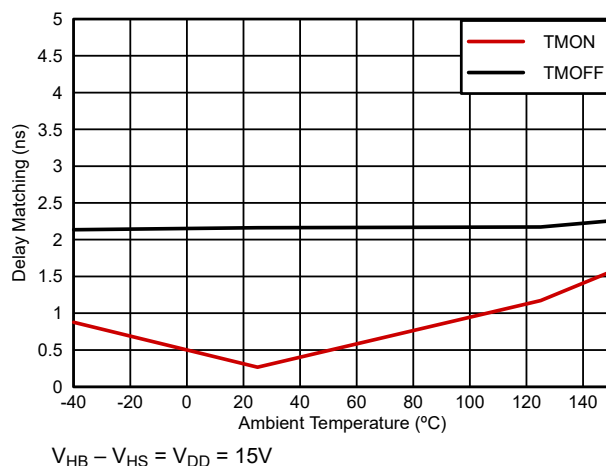


図 5-5. 遅延マッチングと温度との関係

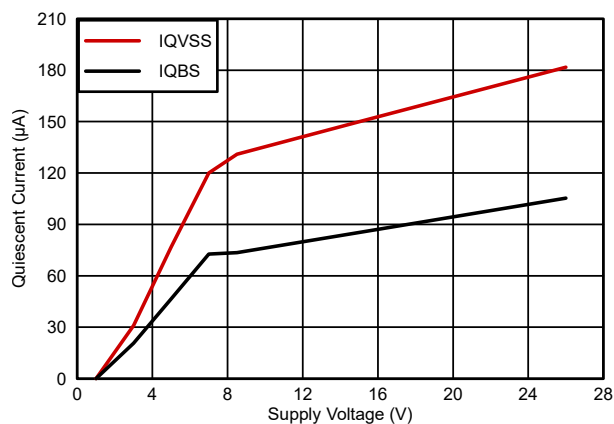


図 5-6. 静止電源電流と電源電圧との関係

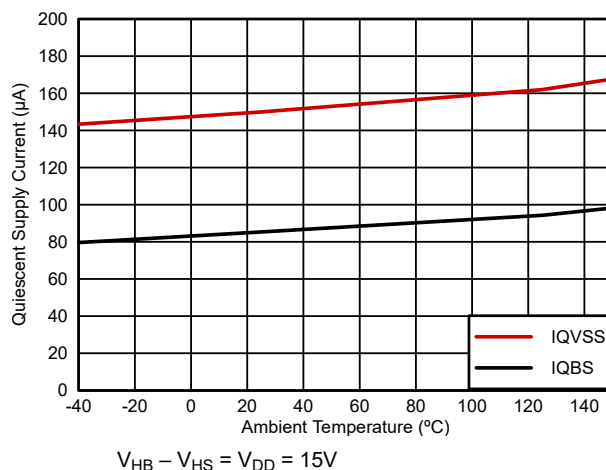
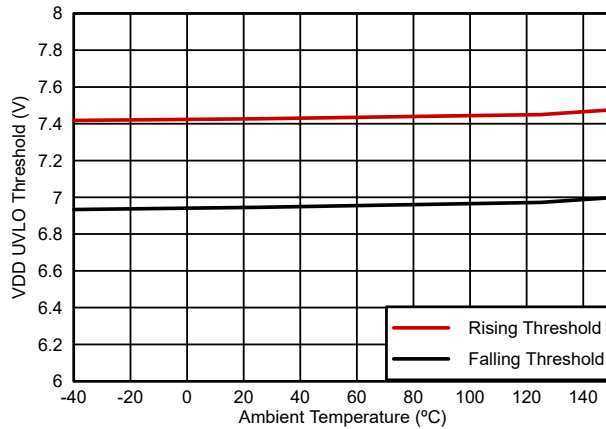


図 5-7. 静止電源電流と温度との関係



## 5.8 代表的特性 (続き)



$$V_{HB} - V_{HS} = V_{DD} = 15V$$

図 5-8. VDD UVLO スレッシュホールドと温度との関係

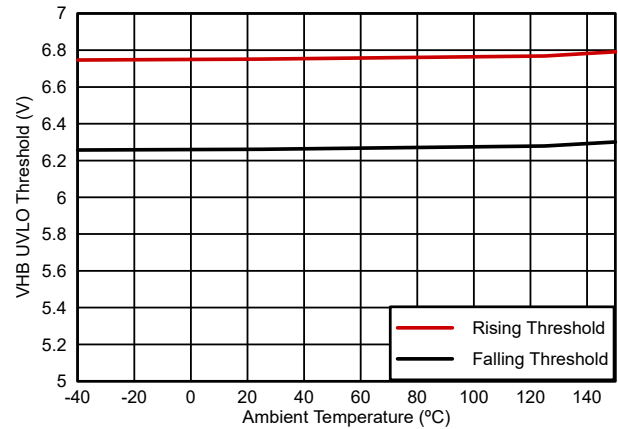


図 5-9. VHB UVLO スレッシュホールドと温度との関係

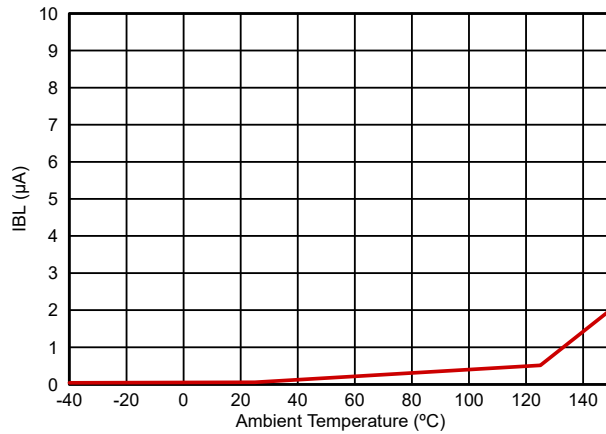
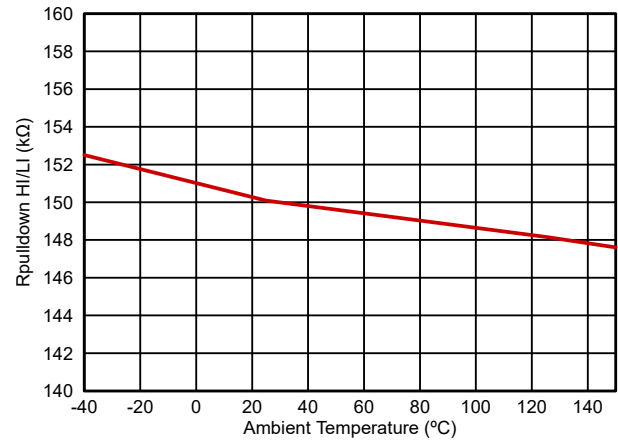
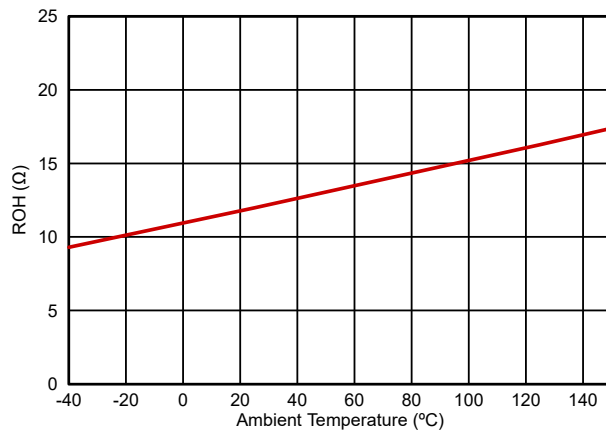


図 5-10. HB から VSS リーク電流と温度との関係



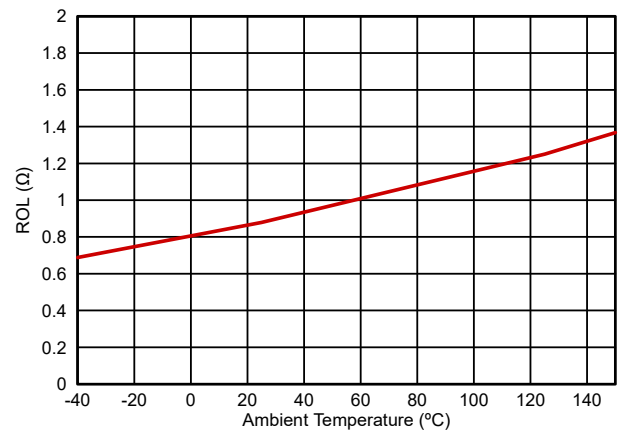
$$V_{HB} - V_{HS} = V_{DD} = 15V$$

図 5-11. HI および LI 入力プルダウン抵抗と温度との関係



$$V_{HB} - V_{HS} = V_{DD} = 15V$$

図 5-12. LO および HO プルアップ抵抗と温度との関係



$$V_{HB} - V_{HS} = V_{DD} = 15V$$

図 5-13. LO および HO プルダウン抵抗と温度との関係

## 5.8 代表的特性 (続き)

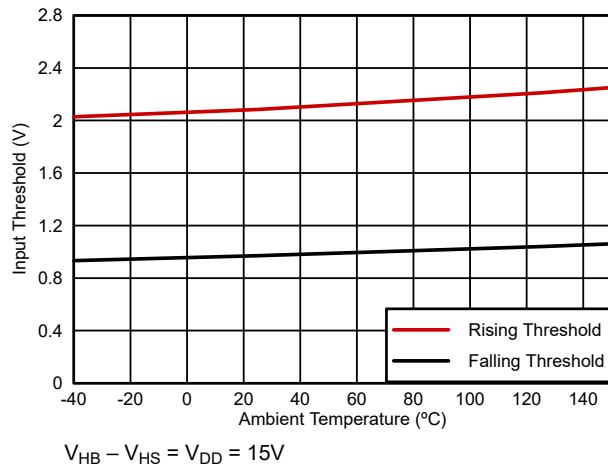


図 5-14. HI および LI 入力電圧スレッシュホールドと温度との関係

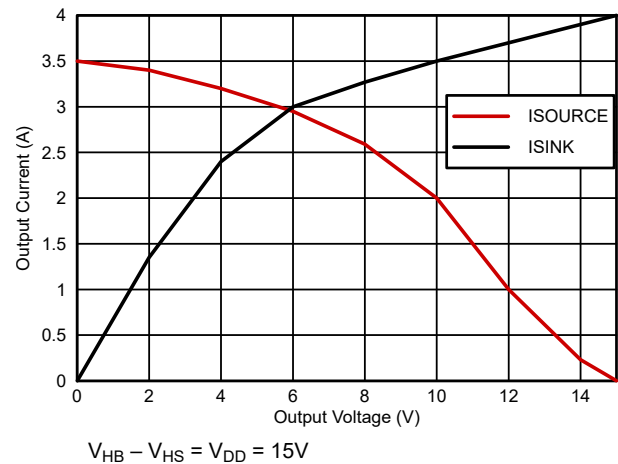


図 5-15. LO および HO 出力電流と出力電圧との関係

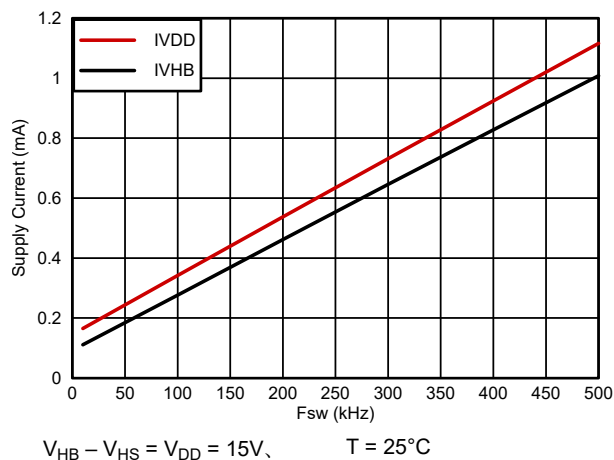


図 5-16. 無負荷時電源電流とスイッチング周波数との関係

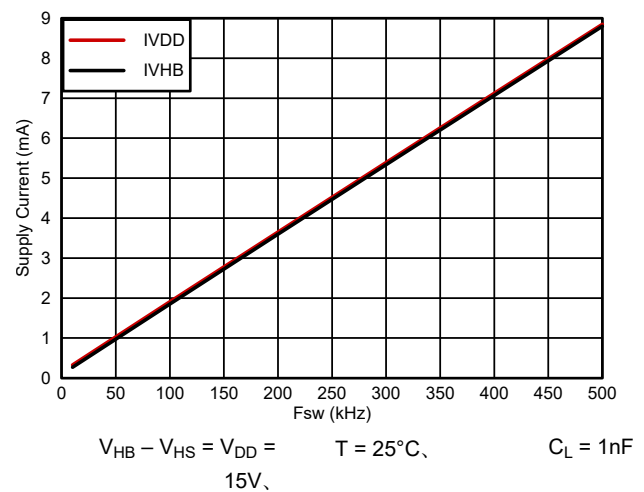


図 5-17. 電源電流とスイッチング周波数との関係

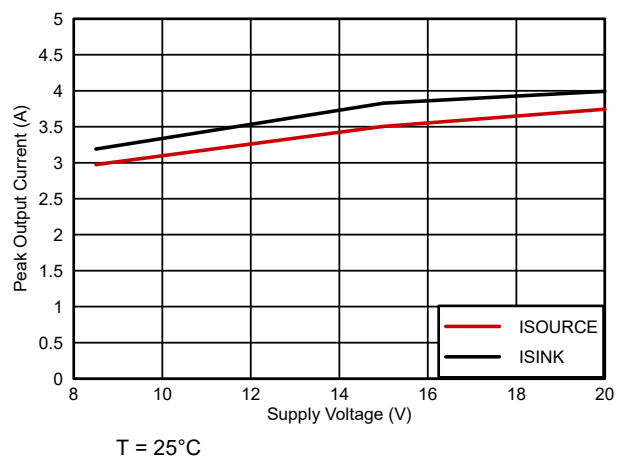


図 5-18. LO および HO ピーク出力電流と電源電圧との関係



## 6.3 機能説明

### 6.3.1 入力段とインターロック

2 つの入力 (HI と LI) は独立して動作します。独立しているため、単一入力のゲートドライバに比べて 2 つの出力を完全に制御できます。UCC27834-Q1 デバイスは、入力インターロックまたはクロス導通保護機能を備えています。両方の入力が High のときは、内部ロジックによって両方の出力 (HO と LO) がオフになります。デバイスがこのモードになると、いずれかの入力が Low になったとき、出力は入力ロジックに従います。このデバイスには他に固定時間グリッチ除去フィルタが実装されていないため、伝搬遅延と遅延マッチングが犠牲になることはありません。つまり、インターロック機能のため、デッドタイムは組み込まれていません。

入力は TTL ロジック互換です。また、信号がデバイスのターンオンおよびターンオフのスレッシュホールド仕様を満たしている限り、デバイスは CMOS タイプの制御信号を入力として使用しても動作できます。各入力は電源電圧と無関係であるため、デジタル コントローラとアナログ コントローラのどちらの出力にも接続できます。入力は広いスルーレートの信号を受け付け、幅広い入力電圧範囲に耐えることができるため、堅牢性と柔軟性が向上します。ドライバの入力に小さな RC フィルタを配置すると、ノイズが発生しやすいアプリケーションでシステムの堅牢性をさらに向上させることができます。入力には、標準値 150k $\Omega$  のプルダウン抵抗が内蔵されています。したがって、入力がフローティングのとき、出力は Low に保持されます。

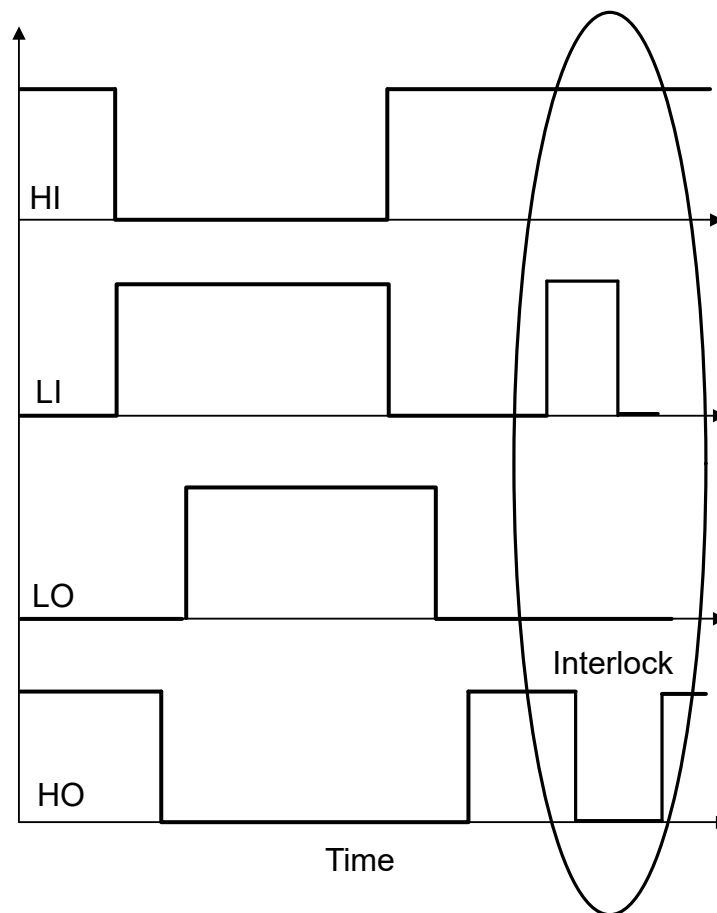


図 6-2. インターロックまたは入力貫通電流保護 (UCC27834-Q1)

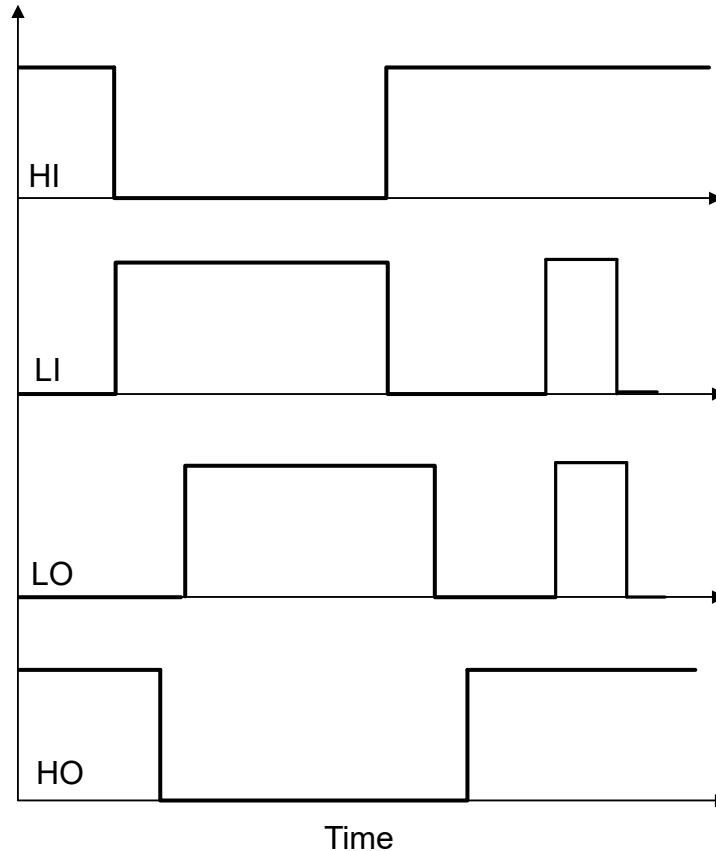


図 6-3. インターロックまたは入力貫通電流保護 (UCC27884-Q1) なし

### 6.3.2 低電圧誤動作防止 (UVLO)

ハイサイドおよびローサイドのドライバ段は、電源電圧 ( $V_{VDD-VSS}$ ) およびブートストラップ コンデンサ電圧 ( $V_{HB}$  to  $V_{HS}$ ) を監視する UVLO 保護回路を備えています。VDD UVLO 回路は LO と HO の両方を抑制しますが、HB UVLO 回路は HO のみを抑制します。UVLO 回路は、外部 MOSFET または IGBT をオンにするのに十分な電源電圧が得られるまで、各出力が低いままにします。UVLO ヒステリシスが組み込まれており、電源電圧変動時のチャタリングを防止します。

### 6.3.3 レベル シフタ

レベル シフト回路 (図 6-1 の機能ブロック参照図を) は、スイッチ ノード (HS) を基準とする低電圧入力ステージからハイサイドドライバ ステージへのインターフェイスです。レベル シフト回路を使用すると、HS ピンを基準とする HO 出力の制御が可能になり、ローサイドドライバとの遅延マッチングが向上します。UCC278X4-Q1 の遅延マッチングは、図 5-5 および図 5-4 に要約されています。

### 6.3.4 出力ステージ

UCC278X4-Q1 の出力段は、プルアップ構造に独自のアーキテクチャを採用しており、電源スイッチのターンオン遷移のミラー プラトー領域 (電源スイッチのドレインまたはコレクタ電圧が  $dV/dt$  を経験するとき) 中に電源スイッチがオンになるときに最も必要なときに、最大のピーク ソース電流を供給します。出力段のプルアップ構造は、並列接続した P チャネル MOSFET と追加のプルアップ N チャネル MOSFET を備えています。N チャネル MOSFET の役割は、ピーク ソース電流を短時間ブーストし、高速ターンオンを実現することです。出力の状態を Low から High に変更しようとする短い瞬間だけ、N チャネル MOSFET をターンオンする方法で、このような動作を実現します。

$R_{OH}$  パラメータ (図 5-12 を参照) は DC 測定値であり、P チャネル デバイスのみのオン抵抗を表します。これは、N チャネル デバイスは DC 状態ではオフ状態に保たれ、出力が Low から High に変化する瞬間にのみターンオンするためです。

## 注

ターンオン インスタンスにおける UCC278X4-Q1 のプルアップ段の実効抵抗は、 $R_{OH}$  パラメータが表す値よりもはるかに小さい値です。

UCC278X4-Q1 のプルダウン構造は、N チャネル MOSFET で単純に構成されています。DC 測定値でもある  $R_{OL}$  パラメータ (図 5-13 を参照) は、デバイスのプルダウン段のインピーダンスを表します。

UCC278X4-Q1 の各出力は、3.5A のピーク ソース電流と 4A のピーク シンク電流のパルスを供給できます。レール ツーレール動作では、出力電圧は (VDD と VSS) および (HB と HS) の間をスイングします。

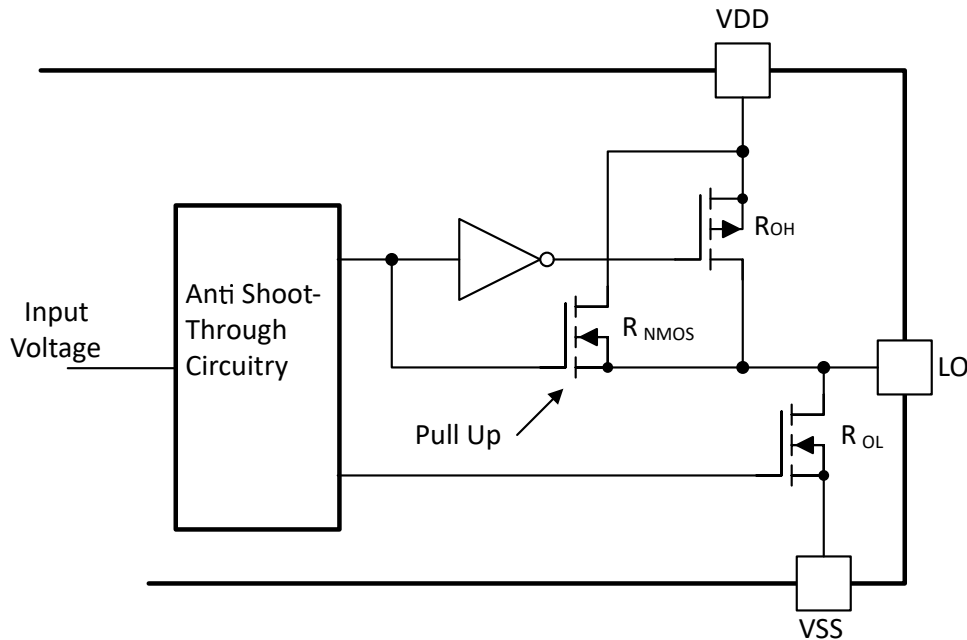


図 6-4. 出力段の構造

### 6.3.5 低伝搬遅延とタイトにマッチングされた出力

UCC278X4-Q1 は、入力と出力の間で 29ns (標準値) の低伝搬遅延を実現しています (図 5-2 と 図 5-3 を参照)。また、UCC278X4-Q1 は、HO チャネルと LO チャネル間の遅延がよくマッチングされているため (最大 5ns)、動作条件にわたってより正確なデッドタイム制御が可能です (図 5-4 と 図 5-5 を参照)。

### 6.3.6 HS ノード $dV/dt$

ハーフブリッジドライバの標準的なスイッチング動作中、HS (スイッチノードとも呼ばれる) 電圧は接地とバス電圧の間でスイングします。UCC278X4-Q1 は、信号の歪み、ロジックエラー、損傷なしで最大 100V/ns の HS 遷移レートに耐えるよう設計されています。このレベルの  $dV/dt$  耐性により、UCC278X4-Q1 は、GaN FET などのワイドバンドギャップパワーデバイスを使用する、より高速なスイッチングアプリケーションやシステムに使用できます。

### 6.3.7 負の HS 電圧条件での動作

UCC278X4-Q1 を使用した標準的なハーフブリッジ構成は、図 6-5 に示されています。電源回路には、ダイボンディングと QT/QB のピンニング、および電力回路の PCB トラックによる寄生インダクタンスがあり、寄生インダクタンスは  $L_{K1,2,3,4}$  とラベル付けされています。

HS のスイッチング中、電源回路の電流パスは電流パス 1 から電流パス 2 に変更されます。これは、電流整流として知られています。図 6-5 の波形に示されるように、 $L_{K3}$ 、 $L_{K4}$ 、QB のボディダイオードにわたる電流は、HS を VSS よりも低くします。ただし、UCC278X4-Q1 は、HS の負電圧がこのような条件下でも堅牢な動作を実現します。

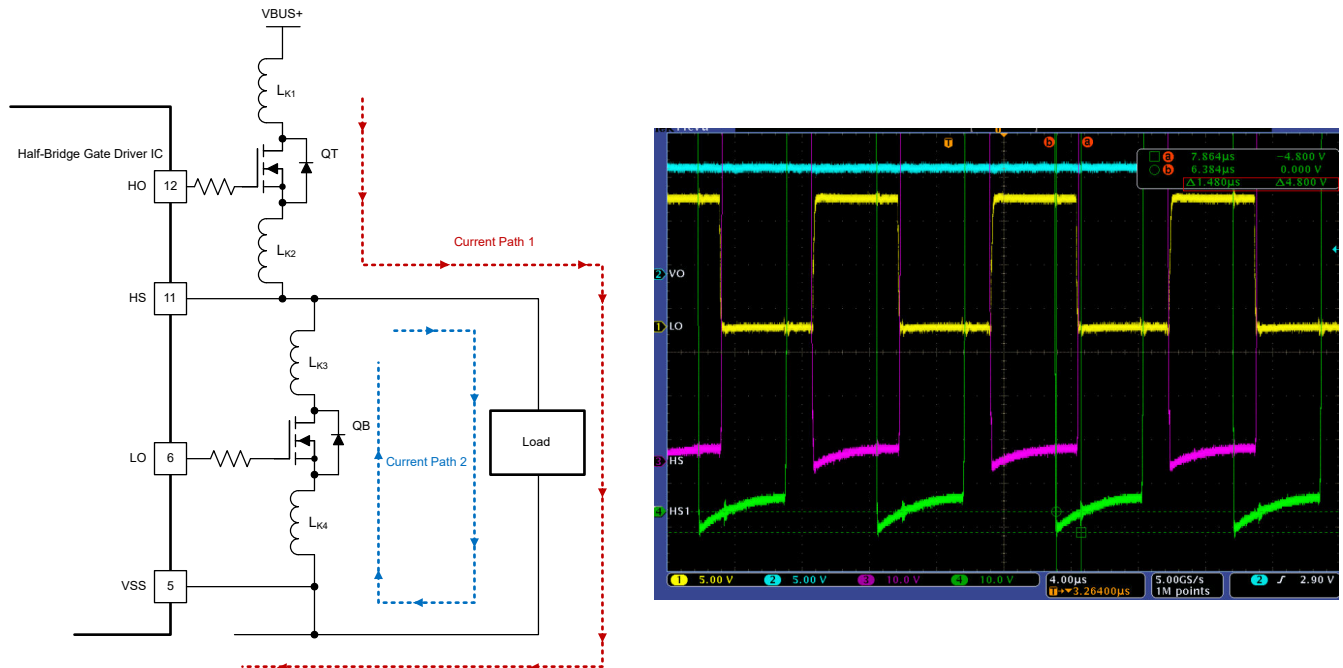


図 6-5. ハーフブリッジ構成の HS 負電圧

レベルシフト回路は  $V_{SS}$  を基準としており (図 6-1 を参照)、HB から  $V_{SS}$  への電圧はレベルシフトの電源電圧です。HS が  $V_{SS}$  を基準とした負電圧の場合、図 6-6 に示すように HB- $V_{SS}$  の電圧が低下します。レベルシフトには最低動作電源電圧があり、レベルシフトの電源電圧が低すぎると、レベルシフトは HI 信号を HO に送ることができません。UCC278X4-Q1 のレベルシフトの最低電源電圧は 3V で、推奨される HS 仕様は HB-HS に依存します。推奨される最小 HS の仕様は、HB-HS = 12V の場合 -9 V となります。

一般的に、HB-HS = 12V のとき、HS は -9 V まで動作できます。HB-HS 電圧が異なると、それに応じて HS 電圧の最小値も変化します。

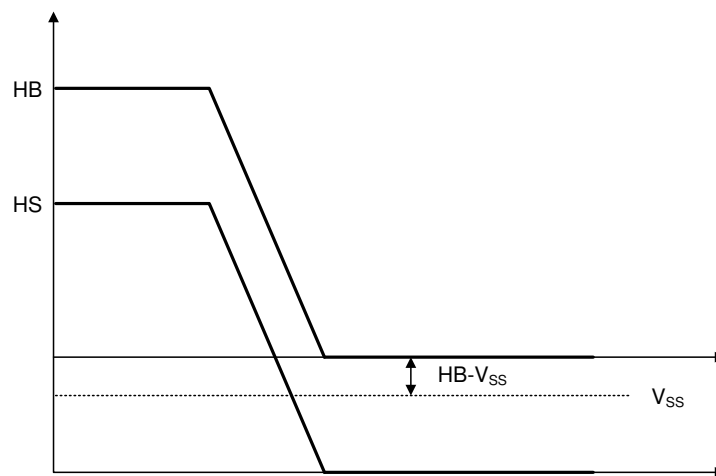


図 6-6. 負の HS を持つレベルシフト電源電圧

注

HB-HS = 12V で、HS が -9 V ~ 200V の範囲内の HO ロジックは動作可能です

標準的な UCC278X4-Q1 デバイスが HS ピンの負電圧条件で動作する能力は図 6-8 に示されています。テスト方法は、図 6-7 に示されています。

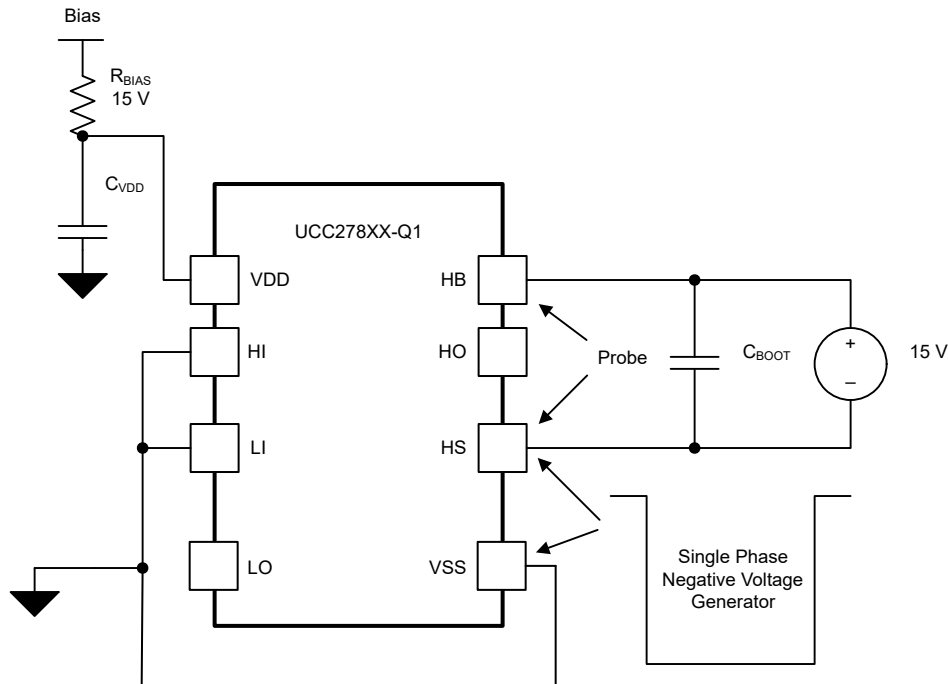


図 6-7. 負電圧のテスト方法

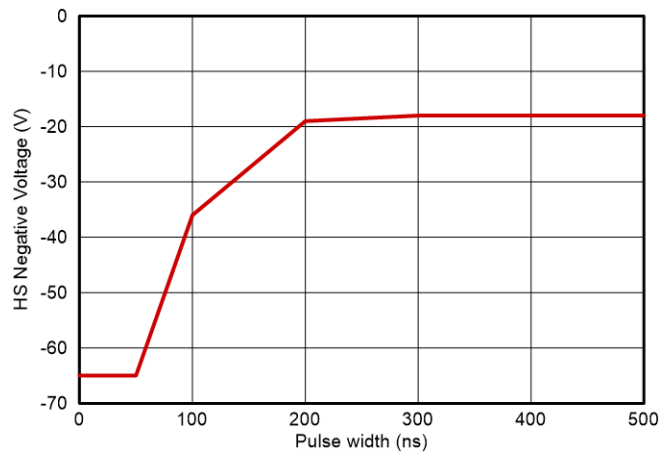


図 6-8. NTSOA (負の過渡安全動作領域) 負の最大 HS 電圧とパルス幅との関係

上記の曲線は、25°C および  $V_{HB} - V_{HS} = 15V$  でテストされた制限付きユニットに基づく標準的な曲線です。この曲線は、デバイスが耐えられる負の過渡電圧についての一般的なガイドラインを示しますが、レイアウトと設計によって、負の過渡電圧をデバイスの推奨仕様範囲内に制限することを推奨します。



## 6.4 デバイスの機能モード

### 6.4.1 入力および出力論理表

UCC278X4-Q1 には独立した入力 HI および LI があり、それぞれ出力状態 (HO および LO) を制御します。本デバイスは一部のバージョンでインターロック機能も備えています。

入力 / 出力論理表 は、VDD および VHB に対して UVLO フォルト条件がないと仮定します。

**表 6-1. 入力 / 出力論理表**

入力		UCC27834-Q1		UCC27884-Q1	
HI	LI	HO	LO	HO	LO
L	L	L	L	L	L
L	H	L	H	L	H
H	L	H	L	H	L
H	H	L	L	H	H

### 6.4.2 100% デューティサイクル条件での動作

UCC278X4-Q1 は、VDD および VHB バイアス電源が UVLO スレッシュホールドを超えて維持されている限り、コンスタントオンまたはコンスタントオフ動作 (0% および/または 100% デューティサイクル) が可能です。これは、ブートストラップ電源を VHB に使用する際に課題となります。絶縁型電源やチャージポンプなどのフローティングバイアス電源を使用することで、100% デューティサイクル動作を実現できます。

## 7 アプリケーションと実装

### 注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 7.1 アプリケーション情報

パワー デバイスを高速で切り替え、関連するスイッチング電力損失を低減するため、コントローラの PWM 出力とパワー 半導体デバイスのゲートとの間には、ゲートドライバが使用されています。また、PWM コントローラがスイッチング デバイスのゲートを直接駆動できない場合、ゲートドライバが不可欠です。デジタル電源の登場に伴って、デジタル コントローラからの PWM 信号は多くの場合 3.3V のロジック信号であり、パワー スイッチを正常にターンオンできないので、この状況がよく発生します。パワー デバイスを完全にターンオンし、導通損失を最小限に抑えるには、3.3V の信号をゲート駆動電圧 (12V など) まで昇圧するためにレベル シフト回路が必要です。トータムポール配置の NPN/PNP バイポーラトランジスタをベースとする従来のバッファ駆動回路は、エミッタ フォロワ構成であり、レベル シフト機能がないため、デジタル電源においては不十分であることがわかっています。

ゲートドライバは、レベル シフト機能とバッファドライブ機能の両方を効果的に組み合わせています。また、ゲートドライバには、大電流ドライバを物理的にパワー スイッチの近くに配置することにより高周波スイッチング ノイズの影響を最小化する、ゲート電荷の電力損失をコントローラからドライバに移動することによりコントローラの消費電力と熱ストレスを低減するなど、他のニーズも満たします。

### 7.2 代表的なアプリケーション

図 7-1 の回路は、UCC278X4-Q1 を使用して標準的なハーフブリッジ構成を駆動するリファレンス デザイン例を示したものです。この構成は、同期整流式降圧、同期整流式昇圧、ハーフブリッジ / フルブリッジ絶縁型トポロジ、モーター駆動アプリケーションなど幾つかの一般的なパワー コンバータトポロジで使えます。

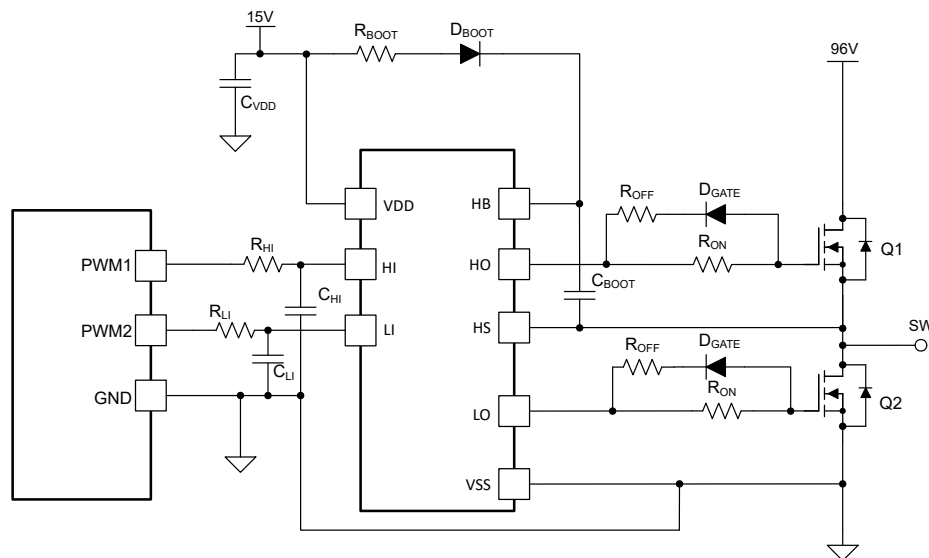


図 7-1. 代表的なアプリケーション回路図

### 7.2.1 設計要件

表 7-1 にサンプルアプリケーションのリファレンス設計パラメータを示します。ハイサイド / ローサイド構成で 200V MOSFET を駆動する UCC278X4-Q1。の応用例のリファレンス デザイン パラメータを示します。

**表 7-1. UCC278X4-Q1 設計要件**

パラメータ	値	単位
パワー トランジスタ	BSC13DN30NSFD	-
VDD	15	V
入力信号振幅	3.3	V
スイッチング周波数 ( $f_{SW}$ )	100	kHz
DC リンク電圧 ( $V_{HV}$ )	96	V

### 7.2.2 詳細な設計手順

ここでは、UCC278X4-Q1 を使用してパワー MOSFET または IGBT を駆動するための 3.5A のソース電流および 4.0A のシンク電流能力を持つ 200V ハーフブリッジ ゲートドライバを設計する手順の概要を示します。コンポーネント名とネットワークの場所については、図 7-1 を参照してください。

#### 7.2.2.1 HI および LI ローパスフィルタ部品の選択 ( $R_{HI}$ 、 $R_{LI}$ 、 $C_{HI}$ 、 $C_{LI}$ )

$R_{HI}/C_{HI}$  および  $R_{LI}/C_{LI}$  など高周波ノイズをフィルタ処理するために、PWM コントローラと UCC278X4-Q1 の入力ピンの間に小さな RC フィルタを追加することを推奨します(図 7-1 を参照)。

このようなフィルタでは、10~100 $\Omega$  の  $R_{HI}/R_{LI}$ 、および 10pF~330pF の  $C_{HI}/C_{LI}$  を使用する必要があります。この例では、 $R_{HI}/R_{LI} = 49.9\Omega$  と  $C_{HI}/C_{LI} = 33pF$  を選択しています。

#### 7.2.2.2 ブートストラップ コンデンサ $C_{BOOT}$ の選定

ブートストラップ コンデンサは、ブートストラップ コンデンサを 10% 以上消耗することなく、FET Q1 のゲートが High で駆動するのに十分な電荷を持つ大きさとする必要があります。一般的なルールは、 $C_{BOOT}$  を少なくとも 10 倍とし、等価 FET ゲート容量 ( $C_{gs}$ ) と同じ大きさとしします。

$C_g$  は、ハイサイド FET ゲートを駆動する電圧 ( $V_{Q1g}$ ) と FET ゲート電荷 ( $Q_g$ ) に基づいて計算されます。  $V_{Q1g}$  は、ほぼ VDD に供給されるバイアス電圧と同じで、ブートストラップ ダイオードの順方向電圧降下 ( $V_{BOOT}$ ) 分減算されます。この設計例では、推定された  $V_{Q1g}$  は約 14.4V でした

$$V_{Q1g} \cong V_{DD} - V_{BOOT} = 14.4 V \quad (1)$$

この例で使用された FET の  $Q_g$  は 33nC でした。  $Q_g$  と  $V_{Q1g}$  に基づき計算された  $C_g$  は 2.3nF でした。

$$C_g = \frac{Q_g}{V_{Q1g}} = \frac{33 \text{ nC}}{14.4 \text{ V}} \cong 2.3 \text{ nF} \quad (2)$$

$C_g$  が推定された後、 $C_{BOOT}$  は、 $C_g$  の少なくとも 10 倍とする必要があります。

$$C_{BOOT} \geq 10 \times C_g \geq 23 \text{ nF} \quad (3)$$

この設計例では、ブートストラップ コンデンサとして 100nF のコンデンサが選択されています。

$$C_{BOOT} = 100 \text{ nF} \quad (4)$$

### 7.2.2.3 VDD バイパスコンデンサ (C<sub>VDD</sub>) の選択

VDD コンデンサ (C<sub>VDD</sub>) は、C<sub>BOOT</sub> の少なくとも 10 倍となるよう選択する必要があります。そのため、ブートコンデンサの充電時の VDD コンデンサの電圧降下が最小限に抑えられます。この設計例では、1μF のコンデンサが選択されています。

$$C_{VDD} \geq 10 \times C_{BOOT} = 1 \mu F \quad (5)$$

### 7.2.2.4 ブートストラップ抵抗 (R<sub>BOOT</sub>) の選択

オプションの抵抗 R<sub>BOOT</sub> は、D<sub>BOOT</sub> の電流を制限し、そして V<sub>HB-HS</sub> の電圧の上昇スローレートを制限するように選択されます。この設計では、2.2Ω の電流制限抵抗を選択しました。ブートストラップダイオードの電流 (I<sub>BOOT(pk)</sub>) は、約 6.5A に制限されました。

$$R_{BOOT} = 2.2 \Omega \quad (6)$$

$$I_{BOOT(pk)} = \frac{V_{DD} - V_{BOOT}}{R_{BOOT}} = \frac{15 V - 0.6 V}{2.2 \Omega} \cong 6.5 A \quad (7)$$

ブートストラップ抵抗の電力散逸能力は重要です。ブートストラップ抵抗は、ブートストラップコンデンサの初期充電シーケンス中の短時間の大きな消費電力に耐えることができる必要があります。このエネルギーは、 $1/2 \times C_{BOOT} \times V^2$  に相当します。このエネルギーは、ブートストラップコンデンサ ( $\sim 3 \times R_{BOOT} \times C_{BOOT}$ ) の充電時間中に放散されます。より大きな C<sub>BOOT</sub> を選択する場合、より大きなサイズの R<sub>BOOT</sub> を使用するよう特に注意する必要があります。

### 7.2.2.5 ゲート抵抗 R<sub>ON</sub>/R<sub>OFF</sub> の選択

ゲート抵抗 R<sub>ON</sub> および R<sub>OFF</sub> は、寄生インダクタンスおよび寄生容量によって引き起こされるリンギングを抑制し、同時にゲートドライバから出力される電流を制限するように設定されています。この設計では、3Ω の R<sub>ON</sub> と 1Ω の R<sub>OFF</sub> 抵抗が選択されています。

- R<sub>ON</sub>/R<sub>OFF</sub>: 外付けゲート抵抗
- V<sub>BOOT</sub>: 外部ブートストラップダイオードの順方向電圧降下
- V<sub>GDF</sub>: 外部逆並列ダイオードの順方向電圧降下
- R<sub>OL</sub>/R<sub>OH</sub>: データシートに記載されているゲートドライバのプルダウン/プルアップ抵抗
- R<sub>NMOS</sub>: ハイブリッド構造におけるプルアップ NMOS の実効抵抗
- R<sub>G\_int</sub>: パワー トランジスタの内部ゲート抵抗 (パワー トランジスタのデータシートを参照)

最大 HO 駆動電流 (I<sub>HO(src)</sub>):

$$I_{HO(src)} = \min\left(3.5A, \frac{V_{DD} - V_{BOOT}}{(R_{NMOS} \parallel R_{OH}) + R_{ON} + R_{G\_int}}\right) = \frac{15 V - 0.6 V}{(3.1 \Omega \parallel 12.6 \Omega) + 3 \Omega + 3.3 \Omega} \cong 1.6 A \quad (8)$$

最大 HO シンク電流 (I<sub>HO(sk)</sub>):

$$I_{HO(sk)} = \min\left(4A, \frac{V_{DD} - V_{BOOT} - V_{GDF}}{R_{OL} + (R_{ON} \parallel R_{OFF}) + R_{G\_int}}\right) = \frac{15 V - 0.6 V - 0.6 V}{1 \Omega + (3 \Omega \parallel 1 \Omega) + 3.3 \Omega} \cong 2.7 A \quad (9)$$

最大 LO 駆動電流 (I<sub>LO(src)</sub>):

$$I_{LO(src)} = \min\left(3.5A, \frac{V_{DD}}{(R_{NMOS} \parallel R_{OH}) + R_{ON} + R_{G\_int}}\right) = \frac{15 V}{(3.1 \Omega \parallel 12.6 \Omega) + 3 \Omega + 3.3 \Omega} \cong 1.7 A \quad (10)$$

最大 LO シンク電流 (I<sub>LO(sk)</sub>):

$$I_{LO(sk)} = \min\left(4A, \frac{V_{DD} - V_{GDF}}{R_{OL} + (R_{ON} \parallel R_{OFF}) + R_{G\_int}}\right) = \frac{15 V - 0.6 V}{1 \Omega + (3 \Omega \parallel 1 \Omega) + 3.3 \Omega} \cong 2.9 A \quad (11)$$

外部ゲートドライバ抵抗  $R_{ON}$  および  $R_{OFF}$  は以下の目的に使われます。

1. ゲート駆動ループ内の寄生インダクタンス/容量に起因するリンギングの制限
2. 高電圧 / 電流スイッチングの  $dV/dt$ ,  $dI/dt$ , ボディダイオードの逆方向回復に起因するリンギングの制限。
3. ゲート駆動強度 (ピークシンクおよびソース電流など) の微調整によるスイッチング損失の最適化
4. スwitchングに関連する電磁干渉 (EMI) を低減します。

#### 7.2.2.6 ブートストラップダイオードの選定

ブートストラップコンデンサの放電による逆回復損失を回避するため、高速回復ダイオードを選択する必要があります。そのため、短い逆復帰時間  $t_{RR}$ 、低い順方向電圧  $V_F$ 、低い接合部容量を推奨します。

#### 7.2.2.7 UCC278X4-Q1 の電力損失の推定

UCC278X4-Q1 ( $P_{UCC278X4-Q1}$ ) の電力損失は、複数の成分からの損失を計算することにより推定されます。静止電流 ( $I_{QDD}$ ,  $I_{QBS}$ ) と無負荷スイッチングによる合計電力損失は以下のように計算されます。

$$P_{QC} = V_{DD} \times (I_{VDD}(100 \text{ kHz}) + I_{VHB}(100 \text{ kHz})) = 15 \text{ V} \times (330 \mu\text{A} + 275 \mu\text{A}) \cong 9 \text{ mW} \quad (12)$$

$I_{VDD}$  と  $I_{VHB}$  については、[図 5-16](#) を参照してください。

FET Q1 と Q2 の駆動中にゲート電荷により発生する動的損失は以下のように計算されます。この部品は、通常は UCC278X4-Q1 内部の VDD および VHB スwitchングロジック回路に関連する動的損失に対して支配的な要素になるものであることに注意してください。

$$P_{QG1, QG2} = 2 \times V_{DD} \times Q_G \times f_{SW} = 2 \times 15 \text{ V} \times 33 \text{ nC} \times 100 \text{ kHz} \cong 99 \text{ mW} \quad (13)$$

動的損失は、ゲートドライバ IC の内部プルアップ抵抗とプルダウン抵抗、外部ゲート抵抗、スイッチングデバイスの内部ゲート抵抗によって共有されます。プルアップ抵抗はスイッチング中に動的に変化し、 $R_{OH}$  を使用するとゲートドライバの消費電力を過大に推定できるため、設計マージンが提供されます。

$$P_{GD} = \frac{P_{QG1, QG2}}{2} \times \left( \frac{R_{OH}}{R_{OH} + R_{ON} + R_{G\_int}} + \frac{R_{OL}}{R_{OL} + (R_{ON} \parallel R_{OFF}) + R_{G\_int}} \right) \quad (14)$$

$$P_{GD} = \frac{99 \text{ mW}}{2} \times \left( \frac{12.6 \Omega}{12.6 \Omega + 3 \Omega + 3.3 \Omega} + \frac{1 \Omega}{1 \Omega + (3 \Omega \parallel 1 \Omega) + 3.3 \Omega} \right) \cong 43 \text{ mW} \quad (15)$$

この例のゲートドライバ IC の総電力損失は以下のように計算されます。

$$P_{Total\_GD} \cong P_{QC} + P_{GD} = 9 \text{ mW} + 43 \text{ mW} \cong 0.052 \text{ W} \quad (16)$$

#### 7.2.3 アプリケーション曲線

[図 7-2](#) and [図 7-3](#) は、UCC278X4-Q1 デバイスの測定された LI から LO へのターンオン遅延とターンオフ遅延を示します。チャンネル 3 は LI を、チャンネル 2 は LO を示します。

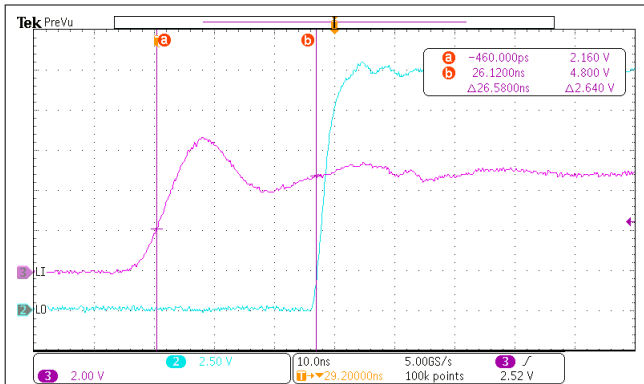


図 7-2. LI から LO へのターンオン伝搬遅延

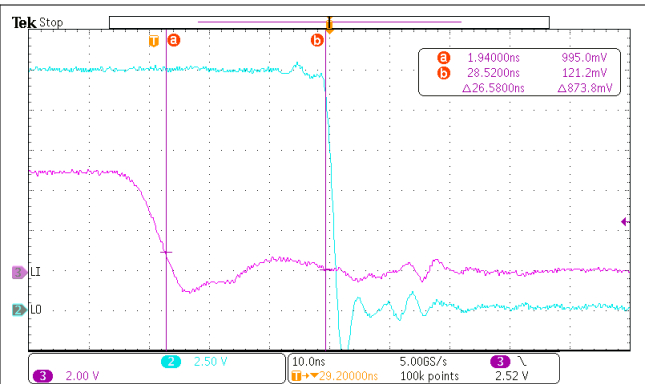


図 7-3. LI から LO へのターンオフ伝搬遅延

図 7-4 and 図 7-5 は、UCC278X4-Q1 デバイスの測定された HI から HO へのターンオン遅延とターンオフ遅延を示します。チャンネル 3 は HI を、チャンネル 2 は HO を示します。

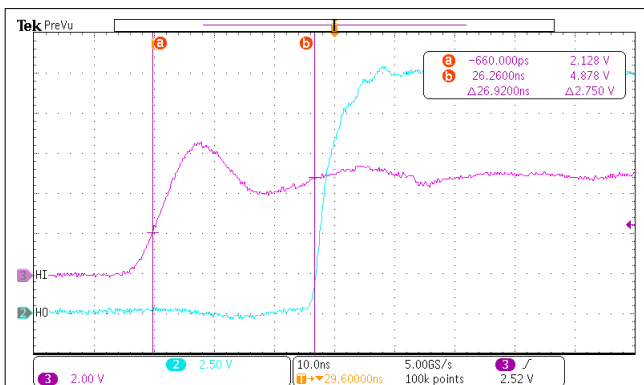


図 7-4. HI から HO へのターンオン伝搬遅延

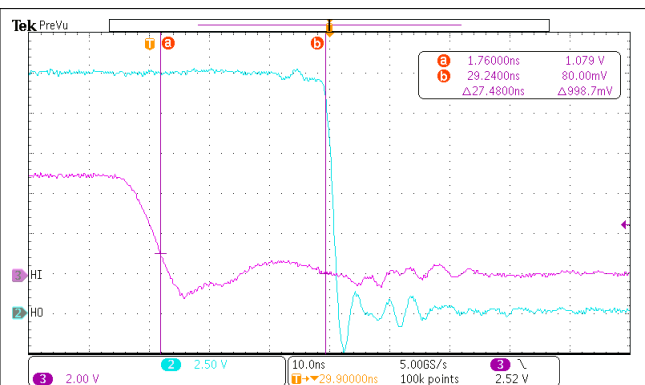


図 7-5. HI から HO へのターンオフ伝搬遅延

## 7.3 電源に関する推奨事項

UCC278X4-Q1 は 3.5A のピーク電流ドライバであるため、スイッチング中の安定した電源供給を確保するため、低 esr のノイズデカップリング容量を VDD 端子から VSS 端子までのできるだけ近くに配置する必要があります。X7R 以上など、温度に対して安定した誘電特性を持つセラミック コンデンサを推奨します。さらに、エネルギー蓄積コンデンサとして機能させるため、特にゲート電荷が大きいシステムでは、より大きな電解コンデンサを並列に追加することもできます。

推奨される電解コンデンサは、22μF または 50V のコンデンサです。推奨されるデカップリング コンデンサは 1μF 0805 サイズの 50V X7R コンデンサであり、理想的には 2 番目の、より小型の 100nF 0603 サイズの 50V X7R コンデンサを並列接続した (ただし必須ではありません) ものです。

同様に、HB-HS 電源ピンには、デバイスピンにできるだけ近づけて配置する必要がある低 esr の X7R 容量の使用が推奨されます。

## 7.4 レイアウト

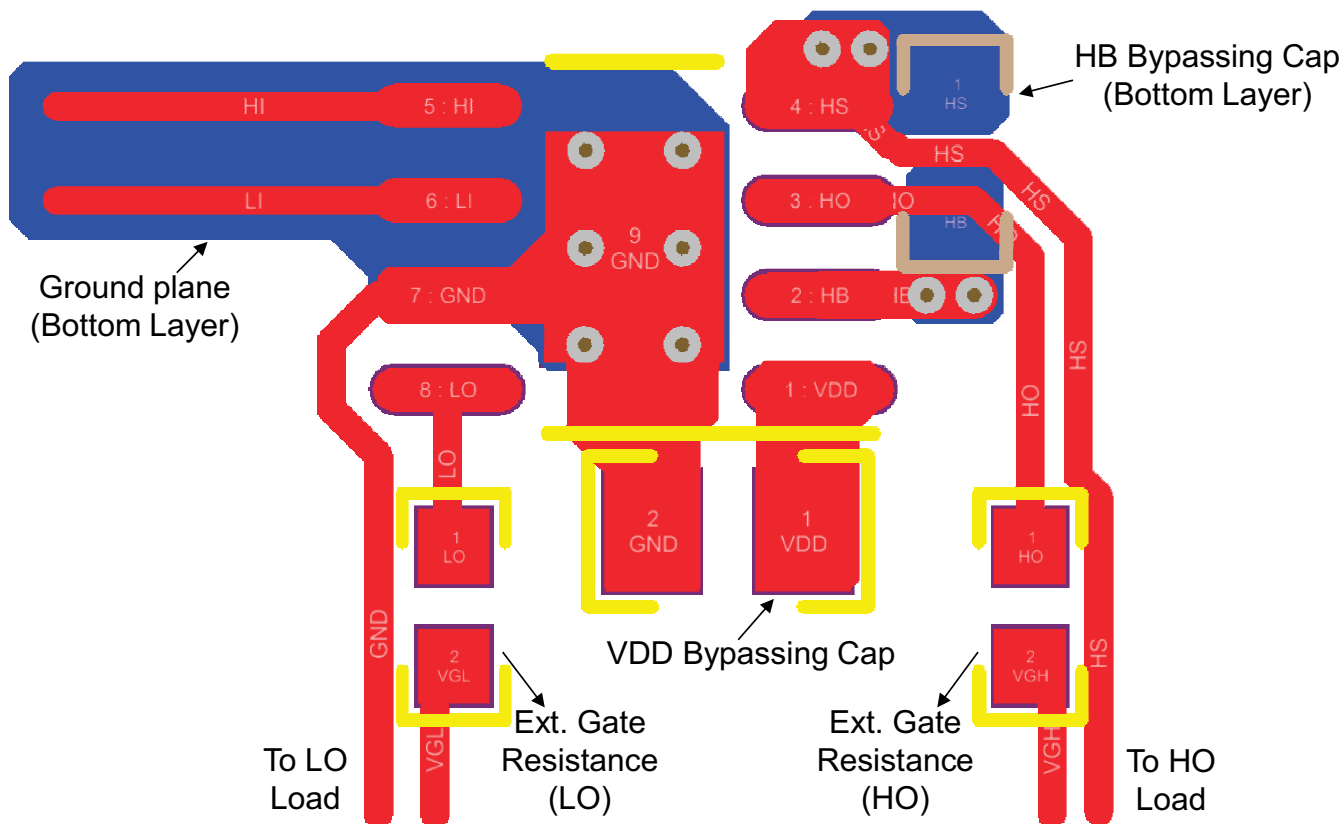
### 7.4.1 レイアウトのガイドライン

- HO/LO と MOSFET のゲートの間の大電流パターン長、および MOSFET のソース / エミッタからドライバ HS と VSS へのリターン電流パスを最小限に抑えるは、UCC278X4-Q1 を MOSFET のできるだけ近くに配置します。
- VDD コンデンサ (C<sub>VDD</sub>) と VHB コンデンサ (C<sub>BOOT</sub>) を、UCC278X4-Q1 のピンのできるだけ近くに配置します。

- ブートストラップ電流を制限するため、ブートストラップダイオードと直列に  $2\Omega \sim 5\Omega$  の抵抗を接続することを推奨します。
- $1\Omega \sim 51\Omega$  の抵抗と HI/LI に  $10\text{pF} \sim 390\text{pF}$  の容量を持つ RC フィルタを推奨します。
- LI と HI (ドライバ入力) パターンが HS ノードやその他の高い  $dV/dt$  パターンの近くに配置されると、比較的高インピーダンスのリード線に大きなノイズを引き起こす可能性があるため、避けてください。
- 出力信号や入力信号など、複数の電源パターンと信号パターンを分けてください。
- パワートレインの接地部からの制御接地 (入力信号基準) に大きなスイッチング電流が流れないようにします。

#### 7.4.2 レイアウト例

図 7-6. UCC278X4-Q1 レイアウト例





## 8 デバイスおよびドキュメントのサポート

### 8.1 デバイス サポート

#### 8.1.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

### 8.2 ドキュメントのサポート

#### 8.2.1 関連資料

テキサス インスツルメンツ、[UCC27288EVM の使用](#)、[EVM ユーザーガイド](#)

### 8.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

### 8.4 サポート・リソース

[テキサス・インスツルメンツ E2E™ サポート・フォーラム](#)は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

### 8.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

### 8.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

### 8.7 用語集

#### テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

## 9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

### Changes from Revision \* (September 2025) to Revision A (November 2025)

Page

- |   |   |
|---|---|
| • ドキュメントステータスを「量産ミックス」から「量産データ」に更新..... | 1 |
|---|---|



## 10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

## PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
<a href="#">UCC27834QDRQ1</a>	Active	Production	SOIC (D)   8	3000   LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	U7834Q
<a href="#">UCC27884QDRQ1</a>	Active	Production	SOIC (D)   8	3000   LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	U7884Q

<sup>(1)</sup> **Status:** For more details on status, see our [product life cycle](#).

<sup>(2)</sup> **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

<sup>(3)</sup> **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

<sup>(4)</sup> **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

<sup>(5)</sup> **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

<sup>(6)</sup> **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:**The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

### OTHER QUALIFIED VERSIONS OF UCC27834-Q1, UCC27884-Q1 :

- Catalog : [UCC27834](#), [UCC27884](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

## TAPE AND REEL INFORMATION



\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
UCC27834QDRQ1	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
UCC27884QDRQ1	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

## TAPE AND REEL BOX DIMENSIONS



\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
UCC27834QDRQ1	SOIC	D	8	3000	353.0	353.0	32.0
UCC27884QDRQ1	SOIC	D	8	3000	353.0	353.0	32.0

**D0008A****PACKAGE OUTLINE****SOIC - 1.75 mm max height**

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

**NOTES:**

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

**D0008A**

## SOIC - 1.75 mm max height

## SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE:8X



## SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

## EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE  
BASED ON .005 INCH [0.125 MM] THICK STENCIL  
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.



## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月