

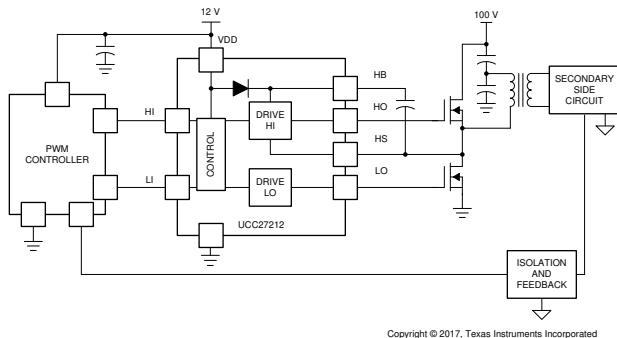
# UCC27212 5V UVLO (低電圧ロックアウト) 機能搭載、120V、3.7A/4.5A、ハーフブリッジ ドライバ

## 1 特長

- ソース 3.7A、シンク 4.5A の出力電流
- 最大ブート電圧: 120V DC
- VDD 動作範囲: 7V~17V
- VDD 動作範囲の絶対最大定格: 20V
- 5V 電源オフの低電圧誤動作防止 (UVLO)
- 入力ピンは -10V~+20V を許容
- 立ち上がり時間 7.2ns、立ち下がり時間 5.5ns (1000pF 負荷時)
- 伝搬遅延時間: 20ns (代表値)
- 遅延マッチング: 4ns (標準値)
- 接合部温度範囲 -40°C~+150°Cで動作が規定済み

## 2 アプリケーション

- ソーラー電力オプティマイザとマイクロ インバータ
- テレコムおよび商業用電源
- オンライン UPS とオフライン UPS
- エネルギーストレージシステム
- バッテリ テスト機器



代表的なアプリケーションの図

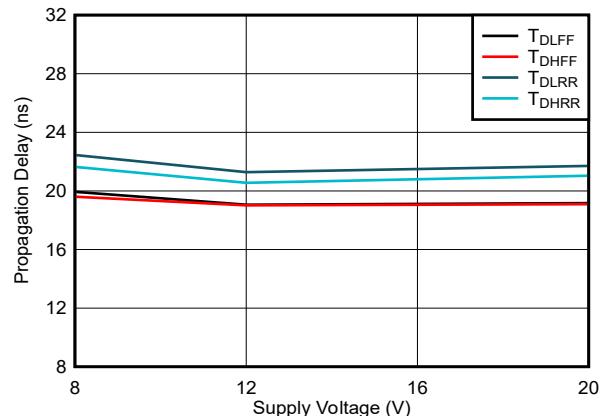
## 3 概要

UCC27212 デバイスは、ソース 3.7A とシンク 4.5A のピーカー出力電流を持つため、大電力 MOSFET を駆動できます。120V 定格のブートストラップ ダイオードをオンチップに搭載しているため、外部にディスクリート ダイオードが不要です。入力構造が -10V を直接扱えるため、堅牢性が高く、電源電圧にも依存しません。UCC27212 には 5V の電源オフ UVLO があり、電力損失を抑えるとともにヒステリシスが増えているため、アナログまたはデジタル PWM コントローラに高いノイズ耐性でインターフェイスできます。UCC27212 のスイッチング ノード (HS ピン) は最大で -(24 - VDD)V を処理できるため、固有の負電圧からハイサイド チャネルを保護できます。

### 製品情報

部品番号	パッケージ (1)	本体サイズ (公称)
UCC27212	DPR (WSON, 10)	4.00 mm × 4.00mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。



伝播遅延と電源電圧との関係、T = 25°C



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール（機械翻訳）を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

## 目次

<b>1 特長</b>	<b>1</b>	<b>7 アプリケーションと実装</b>	<b>14</b>
<b>2 アプリケーション</b>	<b>1</b>	<b>7.1 アプリケーション情報</b>	<b>14</b>
<b>3 概要</b>	<b>1</b>	<b>7.2 代表的なアプリケーション</b>	<b>14</b>
<b>4 ピン構成および機能</b>	<b>3</b>	<b>8 電源に関する推奨事項</b>	<b>18</b>
<b>5 仕様</b>	<b>4</b>	<b>9 レイアウト</b>	<b>19</b>
5.1 絶対最大定格	4	9.1 レイアウトのガイドライン	19
5.2 ESD 定格	4	9.2 レイアウト例	20
5.3 推奨動作条件	4	<b>10 デバイスおよびドキュメントのサポート</b>	<b>21</b>
5.4 熱に関する情報	4	10.1 デバイス サポート	21
5.5 電気的特性	5	10.2 ドキュメントのサポート	21
5.6 スイッチング特性	6	10.3 ドキュメントの更新通知を受け取る方法	21
5.7 タイミング図	7	10.4 サポート・リソース	21
5.8 代表的特性	8	10.5 商標	21
<b>6 詳細説明</b>	<b>11</b>	10.6 静電気放電に関する注意事項	21
6.1 概要	11	10.7 用語集	21
6.2 機能ブロック図	12	<b>11 改訂履歴</b>	<b>22</b>
6.3 機能説明	12	<b>12 メカニカル、パッケージ、および注文情報</b>	<b>23</b>
6.4 デバイスの機能モード	13		

## 4 ピン構成および機能

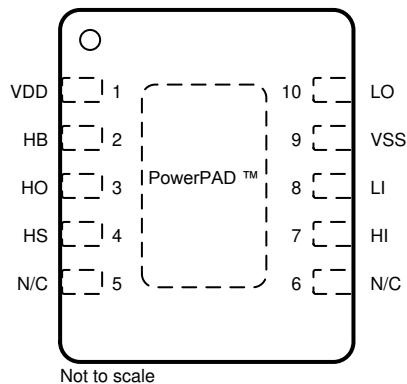


図 4-1. DPR パッケージ SON-10 (上面図)

表 4-1. ピンの機能

ピン		I/O	説明
番号	名称		
2	HB	P	ハイサイド ブートストラップ電源。ブートストラップ ダイオードはオンチップですが、外部ブートストラップ コンデンサが必要です。ブートストラップ コンデンサの正側をこのピンに接続します。HB バイパス コンデンサの標準範囲は $0.022\mu F \sim 0.1\mu F$ です。
7	HI	I	ハイサイド入力。 <sup>(2)</sup>
3	HO	O	ハイサイド出力。ハイサイドパワー MOSFET のゲートに接続します。
4	HS	P	ハイサイドソース接続。ハイサイドパワー MOSFET のソースに接続します。ブートストラップ コンデンサの負側をこのピンに接続します。
8	LI	I	ローサイド入力。 <sup>(2)</sup>
10	LO	O	ローサイド出力。ローサイドパワー MOSFET のゲートに接続します。
5	接続なし	—	内部接続なし
6	接続なし	—	内部接続なし
パッド	PowerPAD™ <sup>(3)</sup>	G	VSS (GND) が電気的基準。熱性能を向上させるため、大きな熱質量パターンまたは GND プレーンに接続します。
1	VDD	P	ローサイドゲートドライバへの正電源。このピンを VSS (GND) にデカップリングします。デカップリング コンデンサの標準範囲は $0.22\mu F \sim 4.7\mu F$ です ( <sup>(1)</sup> を参照)。
9	VSS	G	デバイスの負電源端子で、通常は接地されています。

- (1) HI または LI 入力は、低インピーダンスのソース信号に接続されていると想定されます。ソース出力のインピーダンスは、 $100\Omega$  未満であると想定されています。ソースインピーダンスが  $100\Omega$  を超える場合は、HI と VSS の間、LI と VSS の間にそれぞれバイパスコンデンサを追加します。追加コンデンサの値は、ピン上のノイズレベルによって異なります。ノイズの影響を効果的に除去するために、通常は  $1nF \sim 10nF$  が使用されます。HI または LI の 2 つのピンにノイズが存在すると、HO および LO の誤動作によってロジック出力が誤ったものになります。
- (2) 低温アプリケーションでは、上部範囲の容量を使用することを推奨します。PCB レイアウトについては、「レイアウトのガイドライン」に従ってください。
- (3) サーマルパッドはパッケージのどのリードにも直接接続されていませんが、デバイスのグランドである基板に電気的、熱的に接続されています。

## 5 仕様

### 5.1 絶対最大定格

自由気流での動作温度範囲内、すべての電圧は  $V_{SS}$  基準 (特に記述のない限り)。<sup>(1)</sup>

			最小値	最大値	単位
$V_{DD}$	電源電圧		-0.3	20	V
$V_{HI}, V_{LI}$	HI および LI の入力電圧		-10	20	V
$V_{LO}$	LO の出力電圧	DC	-0.3	$V_{DD} + 0.3$	V
		繰り返しパルス < 100ns <sup>(2)</sup>	-2	$V_{DD} + 0.3$	
$V_{HO}$	HO の出力電圧	DC	$V_{HS} - 0.3$	$V_{HB} + 0.3$	V
		繰り返しパルス < 100ns <sup>(2)</sup>	$V_{HS} - 2$	$V_{HB} + 0.3$	
$V_{HS}$	HS の電圧	DC	-1	100	V
		繰り返しパルス < 100ns <sup>(2)</sup>	$-(24V - VDD)$	115	
$V_{HB}$	HB の電圧		-0.3	120	V
	HB-HS の電圧		-0.3	20	V
$T_J$	動作時接合部温度		-40	150	°C
$T_{stg}$	保存温度		-65	150	°C

- (1) 「絶対最大定格」の範囲外での動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。
- (2) 値は特性評価によって検証されたものであり、出荷時のテストは行っていません。

### 5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電気放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠 <sup>(1)</sup>	$\pm 2000$	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠 <sup>(2)</sup>	$\pm 1500$	V

- (1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。  
 (2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

### 5.3 推奨動作条件

自由気流での動作温度範囲内、すべての電圧は  $V_{SS}$  基準 (特に記述のない限り)。

		最小値	公称値	最大値	単位
$V_{DD}$	電源電圧	7	12	17	V
$V_{HS}$	HS の電圧	-1		100	V
	HS の電圧 (反復パルス < 100ns) <sup>(1)</sup>	$-(20V - VDD)$		110	
$V_{HB}$	HB の電圧	$V_{HS} + 8.0$		115	
$S_{RHS}$	HS の電圧スルーレート			50	V/ns
$T_J$	動作時接合部温度	-40		150	°C

- (1) 値は特性評価によって検証されたものであり、出荷時のテストは行っていません。

### 5.4 热に関する情報

熱評価基準 <sup>(1)</sup>		UCC27212	単位
		DPR (WSON)	
		10 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	46.1	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	36.7	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	22.1	°C/W
$\Psi_{JT}$	接合部から上面への特性パラメータ	0.9	°C/W

## 5.4 热に関する情報 (続き)

热評価基準 <sup>(1)</sup>		UCC27212	単位
		DPR (WSON)	
		10 ピン	
$\Psi_{JB}$	接合部から基板への特性パラメータ	22	°C/W
$R_{\theta JC(bot)}$	接合部からケース(底面)への熱抵抗	9	°C/W

(1) 従来および新しい熱評価基準値の詳細については、アプリケーションレポート『半導体およびICパッケージの熱評価基準値』、SPRA953を参照してください。

## 5.5 電気的特性

$V_{DD} = V_{HB} = 12V$ 、 $V_{HS} = V_{SS} = 0V$ 、 $LO$  または  $HO$  は無負荷、 $T_A = T_J = -40^{\circ}C \sim +150^{\circ}C$  (特に記述のない限り)。

パラメータ	テスト条件	最小値	標準値	最大値	単位
<b>電源電流</b>					
$I_{DD}$	$V_{DD}$ 静止電流	$V_{LI} = V_{HI} = 0V$		0.11	0.19 mA
$I_{DDO}$	$V_{DD}$ 動作電流	$f = 500kHz$ , $C_{LOAD} = 0$		1.4	3 mA
$I_{HB}$	ブート電圧の静止電流	$V_{LI} = V_{HI} = 0V$		0.065	0.12 mA
$I_{HBO}$	ブート電圧動作電流	$f = 500kHz$ , $C_{LOAD} = 0$		1.3	3 mA
$I_{HBS}$	HB から VSS への静止電流	$V_{HS} = V_{HB} = 100V$		0.0005	1 $\mu A$
$I_{HBSO}$	HB から VSS への動作電流	$f = 500kHz$ , $C_{LOAD} = 0$		0.03	1 mA
<b>入力</b>					
$V_{HIT\_HI}$	入力電圧 high スレッショルド		1.7	2.3	2.55 V
$V_{HIT\_LI}$	入力電圧 High スレッショルド		1.7	2.3	2.55 V
$V_{LIT\_HI}$	入力電圧 Low スレッショルド		1.2	1.6	1.9 V
$V_{LIT\_LI}$	入力電圧 Low スレッショルド		1.2	1.6	1.9 V
$V_{IHYS\_HI}$	入力電圧ヒステリシス			0.7	V
$V_{IHYS\_LI}$	入力電圧ヒステリシス			0.7	V
$R_{IN\_HI}$	入力プルダウン抵抗	$V_{IN} = 3V$		68	k $\Omega$
$R_{IN\_LI}$	入力プルダウン抵抗	$V_{IN} = 3V$		68	k $\Omega$
<b>低電圧保護 (UVLO)</b>					
$V_{DDR}$	$V_{DD}$ ターンオン スレッショルド		4.9	5.7	6.4 V
$V_{DDHYS}$	$V_{DD}$ スレッショルド ヒステリシス			0.4	V
$V_{HBR}$	$V_{HB}$ ターンオン スレッショルド		4.35	5.3	6.3 V
$V_{HBHYS}$	$V_{HB}$ スレッショルド ヒステリシス			0.3	V
<b>ブートストラップ ダイオード</b>					
$V_F$	低電流順方向電圧	$ V_{DD-HB} = 100\mu A$		0.65	0.85 V
$V_{FI}$	高電流順方向電圧	$ V_{DD-HB} = 100mA$		0.9	1.05 V
$R_D$	動的抵抗、 $\Delta VF/\Delta I$	$ V_{DD-HB} = 160mA$ および $180mA$	0.3	0.55	0.85 $\Omega$
<b>LO ゲートドライバ</b>					
$V_{LOL}$	Low レベル出力電圧	$I_{LO} = 100mA$		0.07	0.19 V
$V_{LOH}$	High レベル出力電圧	$I_{LO} = -100mA$ , $V_{LOH} = V_{DD} - V_{LO}$		0.11	0.29 V
	ピーク ブルアップ電流 <sup>(1)</sup>	$V_{LO} = 0V$		3.7	A
	ピーク ブルダウン電流 <sup>(1)</sup>	$V_{LO} = 12V$		4.5	A
<b>HO ゲートドライバ</b>					
$V_{HOL}$	Low レベル出力電圧	$I_{HO} = 100mA$		0.07	0.19 V
$V_{HOH}$	High レベル出力電圧	$I_{HO} = -100mA$ , $V_{HOH} = V_{HB} - V_{HO}$		0.11	0.29 V
	ピーク ブルアップ電流 <sup>(1)</sup>	$V_{HO} = 0V$		3.7	A
	ピーク ブルダウン電流 <sup>(1)</sup>	$V_{HO} = 12V$		4.5	A

(1) 量産品のパラメータはテストしていません。

## 5.6 スイッチング特性

$V_{DD} = V_{HB} = 12V$ 、 $V_{HS} = V_{SS} = 0V$ 、LO または HO は無負荷、 $T_A = T_J = -40^{\circ}\text{C} \sim +150^{\circ}\text{C}$  (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
<b>伝搬遅延</b>						
$t_{DLFF}$	VLI 立ち下がりから VLO 立ち下がりまで	$C_{LOAD} = 0\text{pF}$ 、LI の $V_{LIT}$ から LO 立ち下がりの 90% まで	10	19	30	ns
$t_{DHFF}$	VHI 立ち下がりから VHO 立ち下がりまで	$C_{LOAD} = 0\text{pF}$ 、HI の $V_{HIT}$ から HO 立ち下がりの 90% まで	10	19	30	ns
$t_{DLRR}$	VLI 立ち上がりから VLO 立ち上がりまで	$C_{LOAD} = 0\text{pF}$ 、LI の $V_{HIT}$ から LO 立ち上がりの 10% まで	10	20	42	ns
$t_{DHRR}$	VHI 立ち上がりから VHO 立ち上がりまで	$C_{LOAD} = 0\text{pF}$ 、 $C_{LOAD} = 0\text{pF}$ 、HI の $V_{HIT}$ から HO 立ち上がりの 10% まで	10	20	42	ns
<b>遅延マッチング</b>						
$t_{MON}$	HO オフから LO オンまでの遅延	$T_J = 25^{\circ}\text{C}$	4	9.5	ns	
$t_{MON}$	HO オフから LO オンまでの遅延	$T_J = -40^{\circ}\text{C} \sim 150^{\circ}\text{C}$	4	17	ns	
$t_{MOFF}$	LO オフから HO オンまでの遅延	$T_J = 25^{\circ}\text{C}$	4	9.5	ns	
$t_{MOFF}$	LO オフから HO オンまでの遅延	$T_J = -40^{\circ}\text{C} \sim 150^{\circ}\text{C}$	4	17	ns	
<b>出力立ち上がりおよび立ち下がり時間</b>						
$t_{R\_LO}$	LO の立ち上がり時間	$C_{LOAD} = 1000\text{pF}$ 、10% から 90%	7.2		ns	
$t_{R\_HO}$	HO の立ち上がり時間	$C_{LOAD} = 1000\text{pF}$ 、10% から 90%	7.2		ns	
$t_{F\_LO}$	LO の立ち下がり時間	$C_{LOAD} = 1000\text{pF}$ 、10% から 90%	5.5		ns	
$t_{F\_HO}$	HO の立ち下がり時間	$C_{LOAD} = 1000\text{pF}$ 、10% から 90%	5.5		ns	
$t_{R\_LO\_p1}$	LO の立ち上がり時間 (3V から 9V)	$C_{LOAD} = 0.1\mu\text{F}$ (3V から 9V)	0.27	0.6	$\mu\text{s}$	
$t_{R\_HO\_p1}$	HO の立ち上がり時間 (3V から 9V)	$C_{LOAD} = 0.1\mu\text{F}$ (3V から 9V)	0.27	0.6	$\mu\text{s}$	
$t_{F\_LO\_p1}$	LO の立ち下がり時間 (9V から 3V)	$C_{LOAD} = 0.1\mu\text{F}$ (9V から 3V)	0.16	0.4	$\mu\text{s}$	
$t_{F\_HO\_p1}$	HO の立ち下がり時間 (9V から 3V)	$C_{LOAD} = 0.1\mu\text{F}$ (9V から 3V)	0.16	0.4	$\mu\text{s}$	
<b>その他</b>						
$t_{IN\_PW}$	出力 LO を変化させる最小入力パルス幅			40	ns	
$t_{IN\_PW}$	出力 HO を変化させる最小入力パルス幅			40	ns	
$t_{OFF\_BSD}$	ブートストラップ ダイオードのターンオフ時間 (1) (2)	$I_F = 20\text{mA}$ , $I_{REV} = 0.5\text{A}$ <sup>(3)</sup>	20		ns	

(1) 量産品のパラメータはテストしていません。

(2) 標準値、 $T_A = 25^{\circ}\text{C}$

(3)  $I_F$ :ブートストラップ ダイオードに印加される順方向電流  $I_{REV}$ :ブートストラップ ダイオードに印加される逆方向電流。

## 5.7 タイミング図

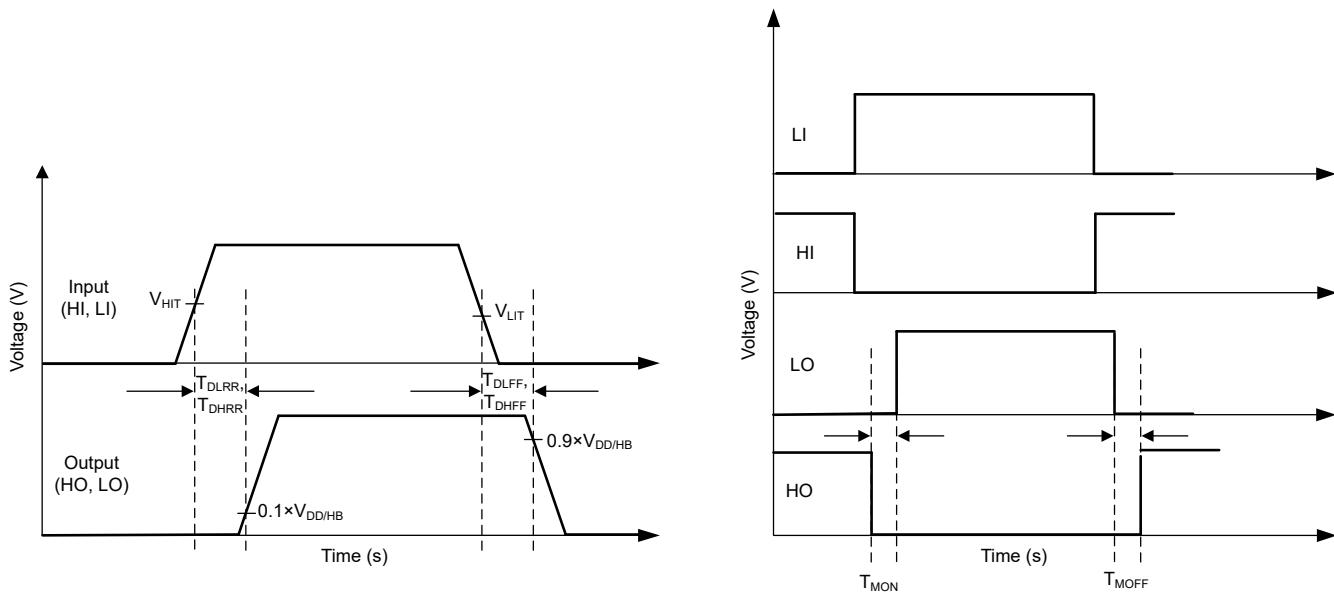
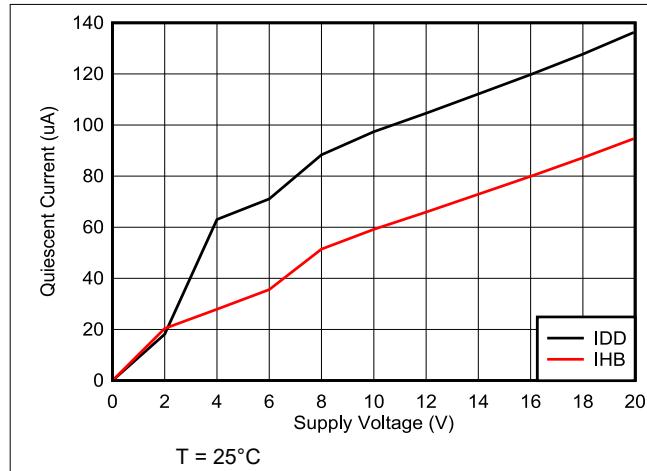


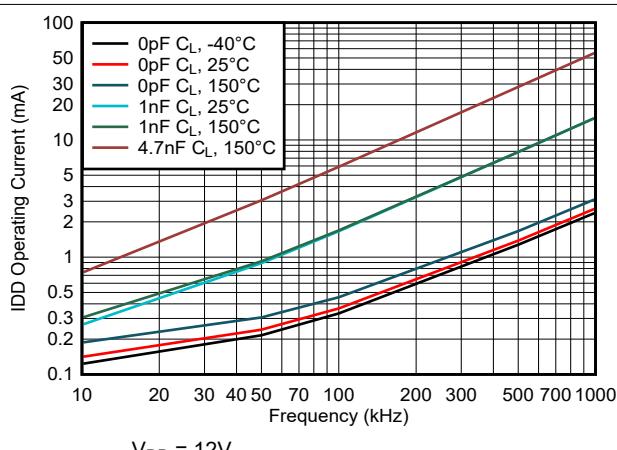
図 5-1. タイミング図

## 5.8 代表的特性



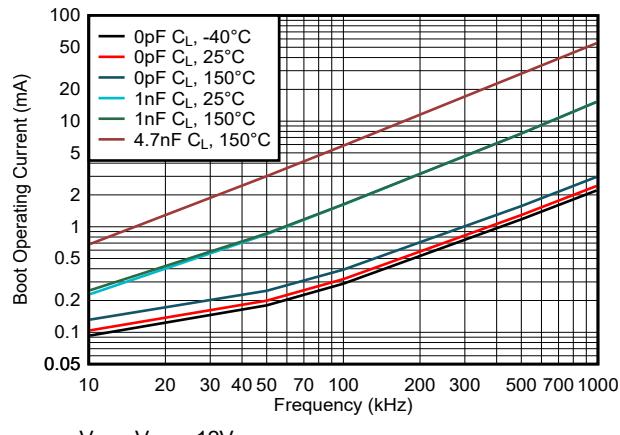
T = 25°C

図 5-2. 静止電流と電源電圧との関係



V<sub>DD</sub> = 12V

図 5-3. IDD の動作電流と周波数との関係



V<sub>HB</sub> - V<sub>HS</sub> = 12V

図 5-4. ブート電圧動作電流と周波数との関係 (HB から HS へ)

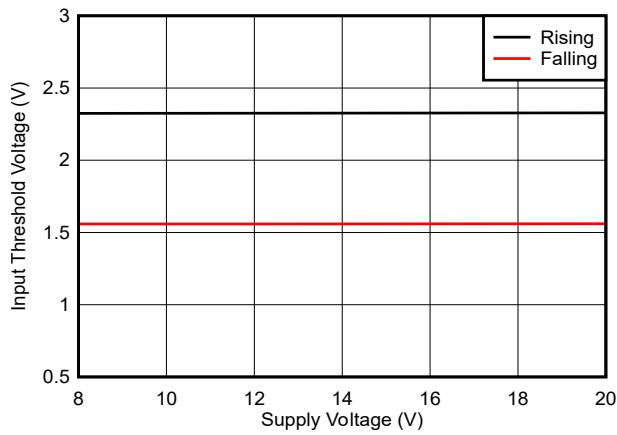
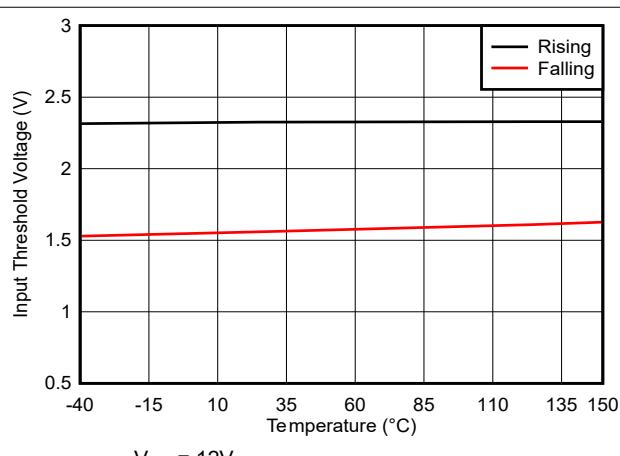
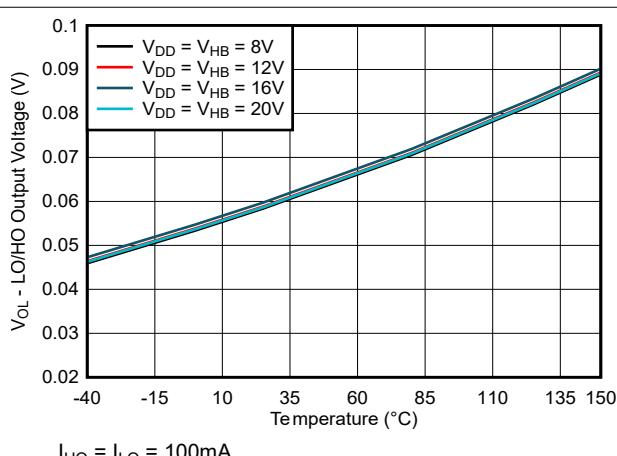


図 5-5. 入力スレッショルドと電源電圧との関係



V<sub>DD</sub> = 12V

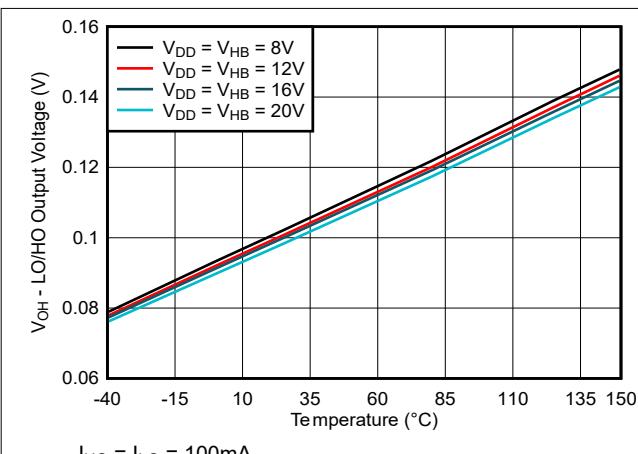
図 5-6. 入力スレッショルドと温度との関係



I<sub>HO</sub> = I<sub>LO</sub> = 100mA

図 5-7. LO および HO の Low レベル出力電圧と温度との関係

## 5.8 代表的特性 (続き)



$I_{HO} = I_{LO} = 100mA$

図 5-8. LO および HO の High レベル出力電圧と温度との関係

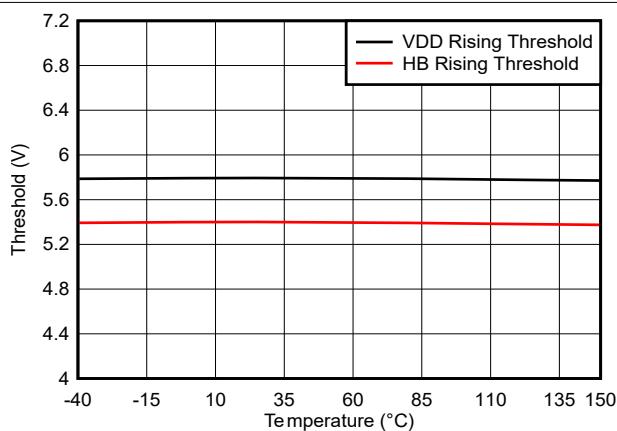


図 5-9. 低電圧誤動作防止スレッショルドと温度との関係

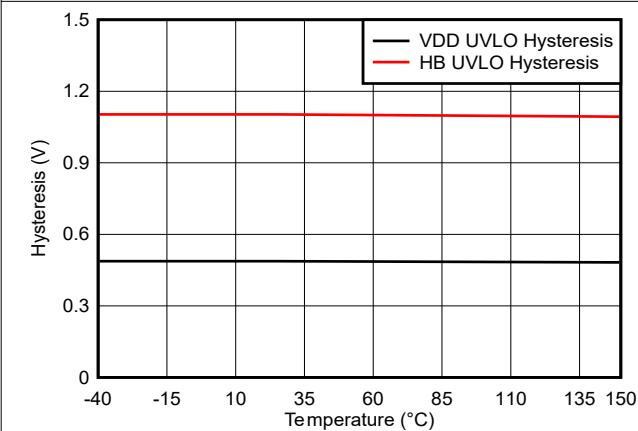
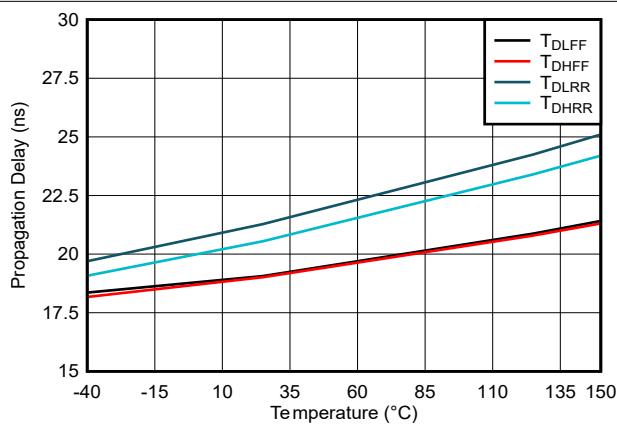


図 5-10. 低電圧誤動作防止スレッショルドのヒステリシスと温度との関係



$V_{DD} = V_{HB} = 12V$

図 5-11. 伝搬遅延と温度との関係

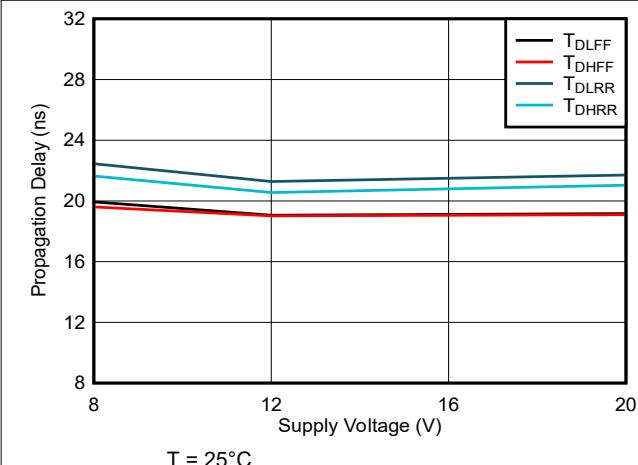
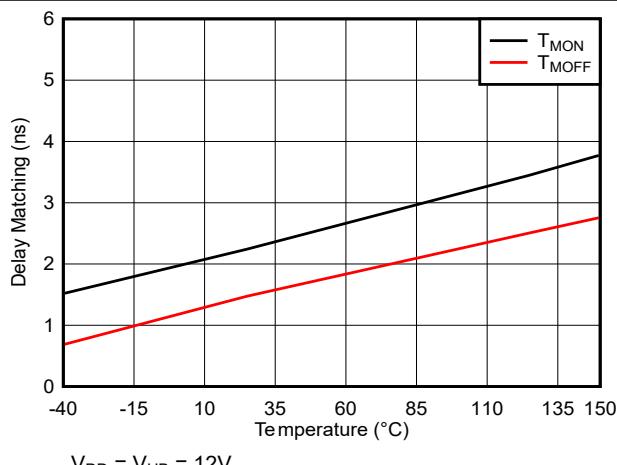


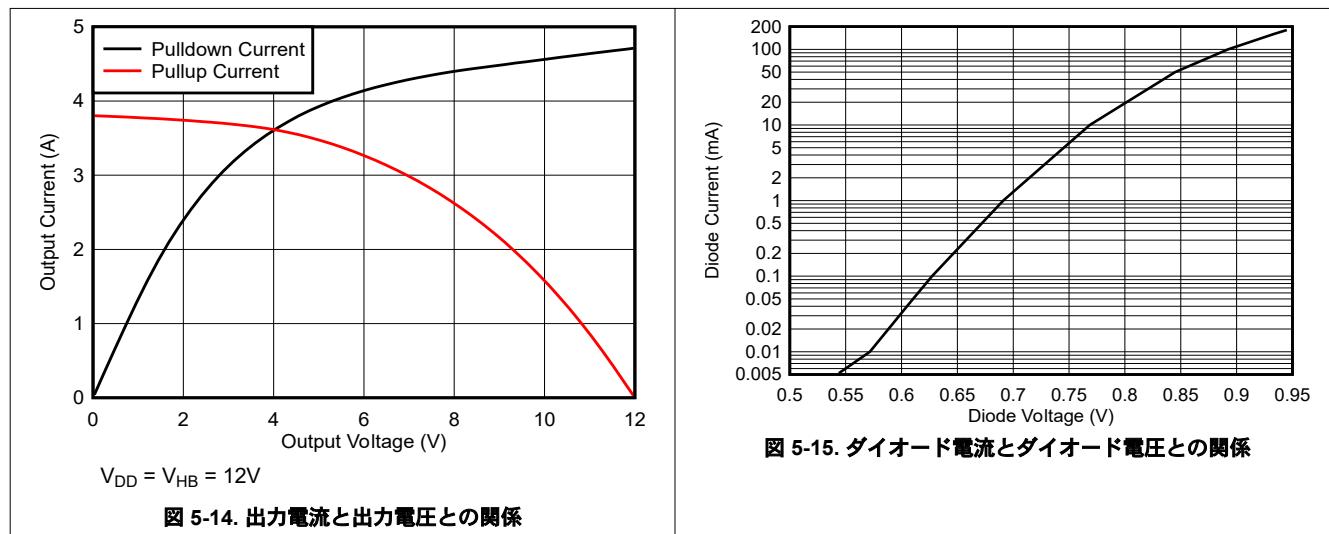
図 5-12. 伝搬遅延と電源電圧との関係 ( $V_{DD} = V_{HB}$ )



$V_{DD} = V_{HB} = 12V$

図 5-13. 遅延マッチングと温度との関係

## 5.8 代表的特性 (続き)



## 6 詳細説明

### 6.1 概要

UCC27212 デバイスは、ハーフおよびフルブリッジまたは同期整流降圧の構成で、N チャネル MOSFET のハイサイドとローサイドの両方を駆動するよう設計されています。このフローティング ハイサイド ドライバは、最大 120V で動作でき、これにより、ハーフブリッジ、フルブリッジ、プッシュプル、2 スイッチ フォワード、アクティブ クランプ フォワードのコンバータで N チャネル MOSFET 制御が可能になります。

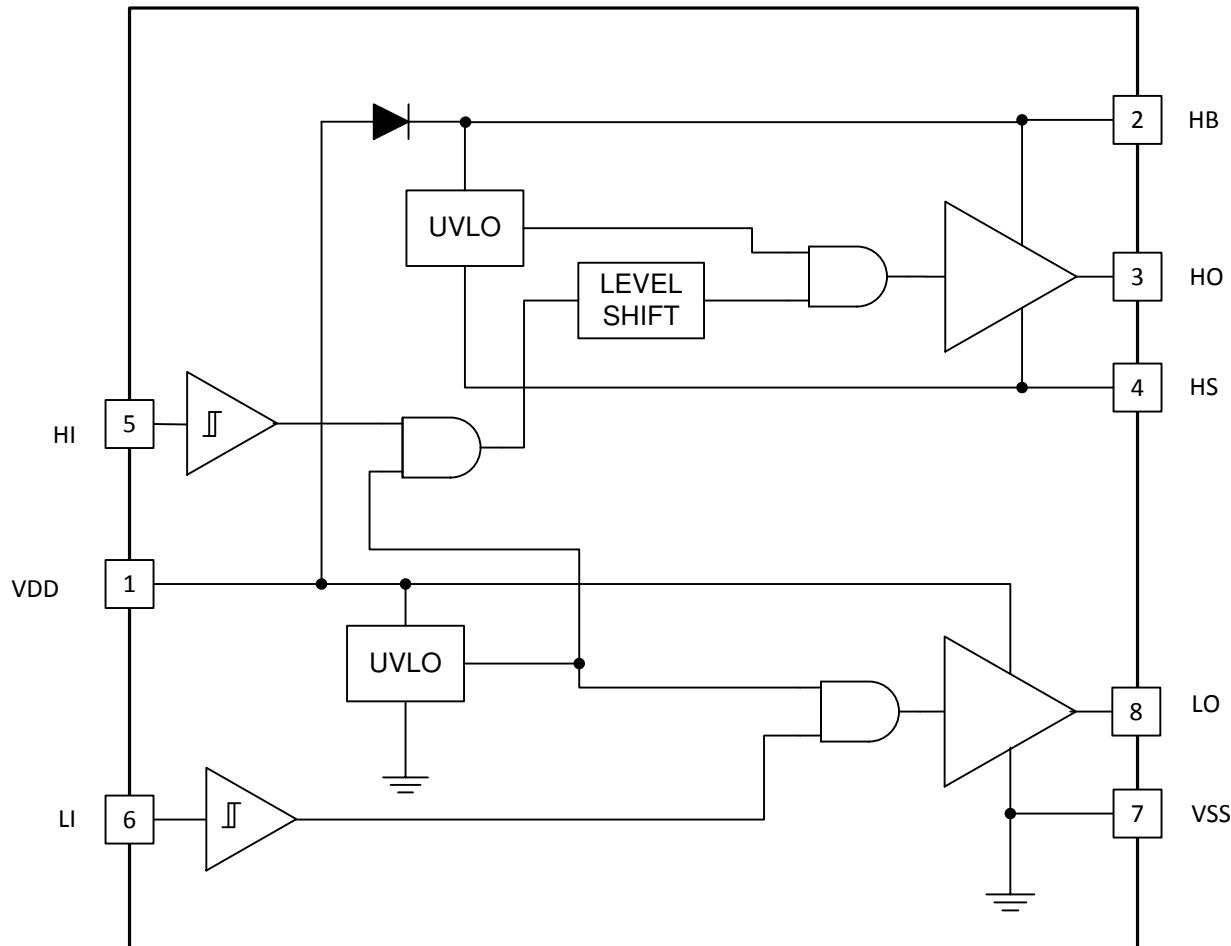
UCC27212 デバイスは、3.7A ソースおよび 4.5A シンク能力、業界最高のスイッチング特性や、表 6-1 に示すその他の多くの機能を備えています。これらの機能を組み合わせることで、高周波スイッチング電源回路で効率的で堅牢、信頼性の高い動作を実現します。

**表 6-1. UCC27212 の特長**

機能	利点
3.7A ソースおよび 4.5A シンク電流	最小の電力損失で大電力 MOSFET を駆動するのに理想的な大ピーク電流 (ミラー プラトーで高速駆動可能)
入力ピン (HI および LI) は -10VDC~20VDC を直接処理可能	堅牢性およびアンダーシュート / オーバーシュート対処能力の向上により、整流ダイオードの使用を必要とせずにゲート駆動トランジストと直接インターフェイスが可能。
120V 内部ブートダイオード	電気通信の 100V サージ要件を満たす電圧マージンを実現
スイッチ ノード (HS ピン) は -(24 - VDD)V の最大電圧に 100ns 間耐えることが可能	ハイサイド チャネルに対して寄生インダクタンスや浮遊容量によって生じる固有の負電圧からの追加保護が可能
電圧スパイクに対処する堅牢な ESD 回路	dV/dT が大きい条件に対する優れた耐性
伝搬遅延 20ns、立ち上がり時間 7.2ns、立ち下がり時間 5.5ns	クラス最高のスイッチング特性と非常に小さいパルス伝送歪み
チャネル間遅延マッチング: 4ns (標準値)	ブリッジ内のトランジストのボルト秒オフセットを回避
対称型 UVLO 回路	ハイサイドとローサイドの同時シャットダウンを保証します
ヒステリシスが大きい TTL 最適化スレッショルド	アナログまたはデジタル PWM コントローラを補完、ヒステリシスの増大によりノイズ耐性を向上

UCC27212 デバイスには、ハイサイドとローサイドに個別の入力があり、アプリケーションの入力制御信号の柔軟性を最大限に許容します。ハイサイド ドライバ バイアス電源用のブート ダイオードは、UCC27212 に内蔵されています。UCC27212 は TTL またはロジック互換バージョンです。ハイサイド ドライバはスイッチ ノード (HS) を基準とします。このスイッチ ノードは通常、ハイサイド MOSFET のソース ピン、ローサイド MOSFET のドレイン ピンです。ローサイド ドライバは V<sub>SS</sub> を基準としており、通常はグランドです。UCC27212 の機能は、入力段、UVLO 保護、レベル シフト、ブート ダイオード、出力ドライバ段に分割されています。

## 6.2 機能ブロック図



Copyright © 2017, Texas Instruments Incorporated

## 6.3 機能説明

### 6.3.1 入力段

入力段は、PWM 出力信号へのインターフェイスとして機能します。UCC27212 デバイスの入力段は、公称  $68\text{k}\Omega$  のインピーダンスを持ち、入力容量は約  $4\text{pF}$  です。 $V_{\text{SS}}$  (グランド) へのプルダウン抵抗は  $68\text{k}\Omega$  です。ロジックレベル互換入力により、 $2.3\text{V}$  の立ち上がりスレッショルド、 $1.6\text{V}$  の立ち下がりスレッショルドを実現します。入力ノイズに関するジッタの問題を回避するため、十分な入力ヒステリシスがあります。

### 6.3.2 低電圧誤動作防止 (UVLO)

入力プルダウン抵抗の標準値の仕様を電気的特性の表と一致するよう一部修正。

ハイサイドおよびローサイドドライバのバイアス電源には UVLO 保護機能があります。 $V_{\text{DD}}$  と、 $V_{\text{HB}}$  から  $V_{\text{HS}}$  への差動電圧が監視されます。 $V_{\text{DD}}$  UVLO は、 $V_{\text{DD}}$  が指定されたスレッショルドを下回ると、両方のドライバをディスエーブルにします。 $V_{\text{DD}}$  の立ち上がりスレッショルドは  $5.7\text{V}$  で、ヒステリシスは  $0.4\text{V}$  です。 $V_{\text{HB}}$  UVLO は、 $V_{\text{HB}}$  から  $V_{\text{HS}}$  への差動電圧が指定のスレッショルドを下回ると、ハイサイドドライバのみをディスエーブルにします。 $V_{\text{HB}}$  UVLO の立ち上がりスレッショルドは  $5.3\text{V}$  で、ヒステリシスは  $0.3\text{V}$  です。

### 6.3.3 レベルシフト

レベルシフト回路は、ハイサイド入力から、スイッチノード(HS)を基準とするハイサイドドライバ段へのインターフェイスです。レベルシフト回路を使用すると、HSピンを基準とするHO出力の制御が可能になり、ローサイドドライバとの遅延の一致が向上します。

### 6.3.4 ブートダイオード

ハイサイドバイアスを生成するために必要なブートダイオードは、UCC27212ドライバファミリに内蔵されています。ダイオードアノードを $V_{DD}$ に、カソードを $V_{HB}$ に接続します。 $V_{HB}$ コンデンサをHBとHSピンに接続すると、HSがグランドに遷移したときに、 $V_{HB}$ コンデンサの電荷がスイッチングサイクルごとにリフレッシュされます。ブートダイオードにより、高速な回復時間、低いダイオード抵抗、電圧定格マージンが可能になり、効率的で信頼性の高い動作を実現できます。

### 6.3.5 出力段

出力段は、パワートレイン内のパワーMOSFETへのインターフェイスです。両方の出力ドライバで高いスルーレート、低い抵抗、高いピーク電流能力を実現しているため、パワーMOSFETの効率的なスイッチングが可能です。ローサイド出力段は $V_{DD}$ と $V_{SS}$ 間の電圧を基準とし、ハイサイドは $V_{HB}$ と $V_{HS}$ 間の電圧を基準とします。

## 6.4 デバイスの機能モード

このデバイスは、通常モードおよびUVLOモードで動作します。UVLOの動作モードの詳細については、「セクション6.3.2」セクションを参照してください。通常モードでは、出力の状態はHIピンとLIピンの状態に依存します。表6-2に、各種入力ピンの組み合わせの出力状態を示します。

表6-2. デバイスロジック表

HIピン	LIピン	HO <sup>(1)</sup>	LO <sup>(2)</sup>
L	L	L	L
L	H	L	H
H	L	H	L
H	H	H	H

(1) HOはHSを基準として測定されます。

(2) LOはVSSを基準として測定されます。

## 7 アプリケーションと実装

### 注

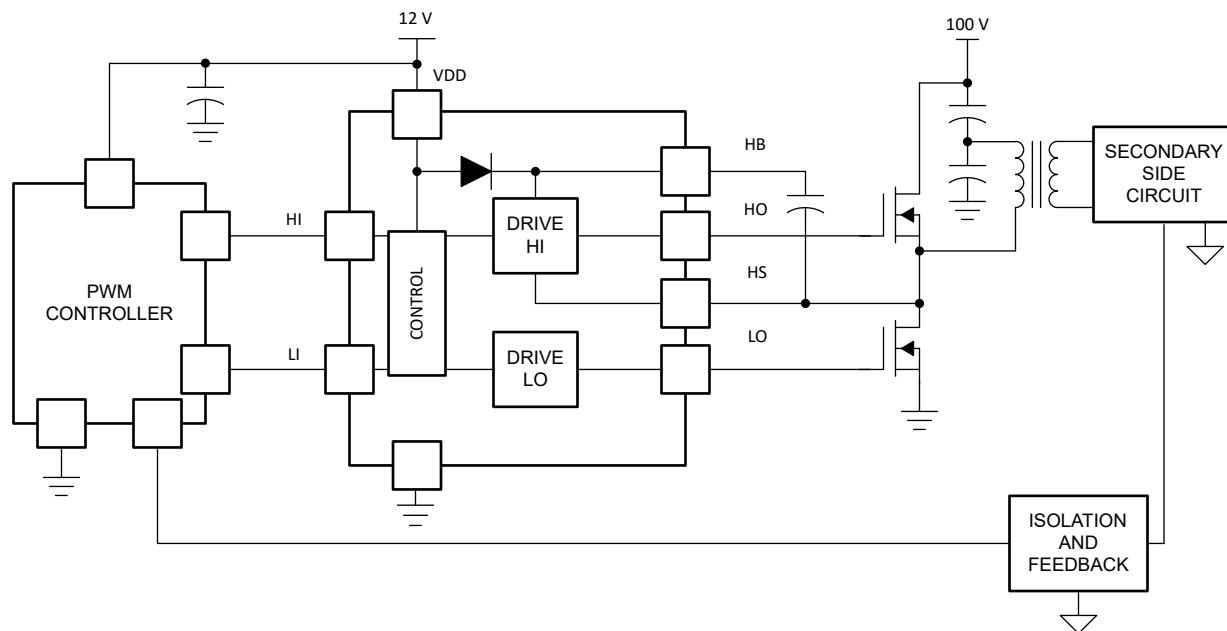
以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 7.1 アプリケーション情報

パワー デバイスの高速なスイッチングに影響を与え、関連するスイッチング電力損失を低減するため、コントローラの PWM 出力とパワー 半導体デバイスのゲートとの間には、強力なゲートドライバが使用されています。また、PWM コントローラがスイッチング デバイスのゲートを直接駆動できない場合、ゲートドライバが不可欠です。デジタル電源の登場に伴って、デジタル コントローラからの PWM 信号は多くの場合 3.3V のロジック信号であり、パワー スイッチを正常にターンオンできないので、この状況がよく発生します。パワー デバイスを完全にターンオンし、導通損失を最小限に抑えるには、3.3V の信号をゲート駆動電圧 (12V など) まで昇圧するためにレベルシフト回路が必要です。トーテムポール配置の NPN/PNP バイポーラトランジスタをベースとする従来のバッファ駆動回路は、エミッタ フォロワ構成であり、レベルシフト機能がないため、デジタル電源においては不十分であることがわかっています。ゲートドライバは、レベルシフト機能とバッファドライブ機能の両方を効果的に組み合わせています。また、ゲートドライバには、大電流ドライバを物理的にパワー スイッチの近くに配置することにより高周波スイッチングノイズの影響を最小化する、ゲートドライブトランジストを駆動する、フローティング パワー デバイスのゲートを制御する、ゲート電荷の電力損失をコントローラからドライバに移動することによりコントローラの消費電力と熱ストレスを低減するなど、他のニーズも満たします。

最後に、GaN ベースのスイッチのように、新しいワイド バンドギャップ パワー デバイス技術は、非常に高いスイッチング周波数での動作をサポート可能であり、ゲート駆動能力という非常に特別な要件を推進しています。これらの要件には、低い VDD 電圧 (5V 以下) での動作、小さい伝搬遅延、優れた放熱特性を持つ小型で低インダクタンスのパッケージでの供給が含まれます。ゲートドライバ デバイスは、スイッチング電源で非常に重要な部品であり、高性能、高価な部品の点数削減、基板面積の削減、システム設計の簡素化という利点を兼ね備えています。

### 7.2 代表的なアプリケーション



Copyright © 2017, Texas Instruments Incorporated

図 7-1. UCC27212 の代表的なアプリケーション

### 7.2.1 設計要件

この設計例では、表 7-1 に記載されているパラメータを使用します。

表 7-1. 設計仕様

設計パラメータ	数値の例
電源電圧、VDD	12 V
HS、VHS の電圧	0V~100V
HB、VHB の電圧	12V~112V
出力電流定格、IO	-4.5A/3.7A
動作周波数	500 kHz

## 7.2.2 詳細な設計手順

### 7.2.2.1 電力散逸

ゲートドライバの消費電力には、式 1 に示すように 2 つの部分があります。

$$P_{DISS} = P_{DC} + P_{SW} \quad (1)$$

消費電力 (PDC) の DC 部分を計算するには、式 2 を使用します。

$$P_{DC} = I_Q \times V_{DD} \quad (2)$$

ここで、

- $I_Q$  はドライバの静止電流です。

静止電流は、入力段、リファレンス電圧、ロジック回路、保護機能、さらにドライバの出力状態が変化したときの内部デバイスのスイッチングに関する電流（寄生容量の充電と放電、寄生貫通電流など）などのすべての内部回路をバイアスするためにデバイスが消費する電流です。UCC27212 は、静止電流が非常に低い（0.17mA 未満、セクション 7.2.2.1 表参照）ことが特徴で、出力ドライバ段での貫通電流を排除するためのロジックが内蔵されています。したがって、PDC がゲートドライバ内の総消費電力に及ぼす影響は、無視できるレベルであると想定できます。スイッチング (PSW) 時にゲートドライバパッケージで消費される電力は、以下の要因によって決まります。

- 電源デバイスに必要なゲート電荷（通常は駆動電圧  $V_G$  の関数で、入力バイアス電源電圧  $V_{DD}$  に非常に近い値）
- スイッチング周波数
- 外部ゲート抵抗の使用。ディスクリートの容量性負荷でドライバ デバイスをテストする場合、バイアス電源から必要となる電力を計算するのはかなり簡単です。バイアス電源からコンデンサを充電するために転送する必要があるエネルギーは、式 3 で求められます。

$$EG = \frac{1}{2}C_{LOAD} \times V_{DD}^2 \quad (3)$$

ここで、

- $C_{LOAD}$  は負荷コンデンサです。
- $V_{DD}$  はドライバに供給されるバイアス電圧です。

コンデンサの充電時と放電時には、等しい量のエネルギーが消費されます。これから、総電力損失は式 4 で求められます。

$$PG = C_{LOAD} \times V_{DD}^2 \times f_{SW} \quad (4)$$

ここで、

- $f_{SW}$  はスイッチング周波数

パワー MOSFET/IGBT で生成されるスイッチング負荷は、デバイスのスイッチングに必要なゲート電荷を調べることにより、等価容量に変換されます。このゲート電荷には、入力静電容量の影響と、オン状態とオフ状態を切り替えるパワー デバイスのドレイン電圧をスイッチさせるために必要な追加電荷が含まれます。ほとんどのメーカーは、指定された条件でデバイスをスイッチングするための標準および最大ゲート電荷 ( $nC$  単位) の仕様を提供しています。ゲート電荷  $Q_G$  を使用して、コンデンサのスイッチング時に消費される必要のある電力を決定します。これは、式  $Q_G = C_{LOAD} \times V_{DD}$  で計算され、式 5 が得られます。

$$P_G = C_{LOAD} \times V_{DD}^2 \times f_{SW} = Q_G \times V_{DD} \times f_{SW} \quad (5)$$

この電力  $P_G$  は、MOSFET/IGBT がオン / オフになるときに、回路の抵抗性素子で消費されます。総電力の半分はターンオン中に負荷コンデンサが充電されるときに消費され、残りの半分はターンオフ中に負荷コンデンサが放電されるときに消費されます。ドライバと MOSFET/IGBT の間に外部ゲート抵抗が取り付けられていない場合、この電力はドライバ パッ

ケージ内で完全に消費されます。外部ゲートドライブ抵抗を使用すると、ドライバの内部抵抗と外部ゲート抵抗との間で消費電力が共有されます。

### 7.2.3 アプリケーション曲線

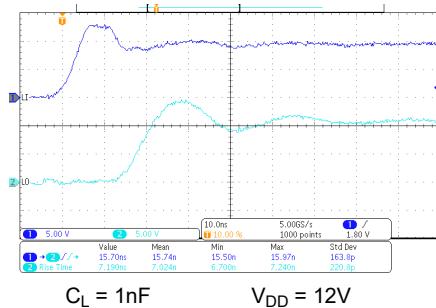


図 7-2. LO 立ち上がり時間と HI から LO へのターンオン伝搬遅延

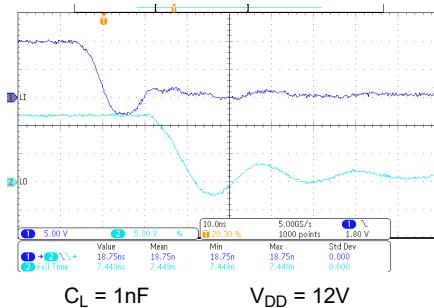


図 7-3. LO 立ち下がり時間と HI から LO へのターンオフ伝搬遅延

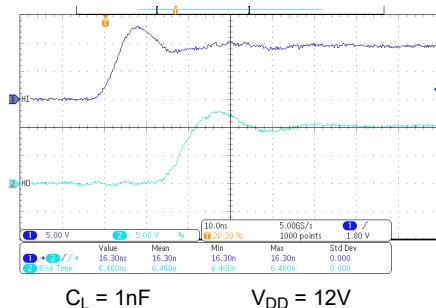


図 7-4. HO 立ち上がり時間と HI から HO へのターンオン伝搬遅延

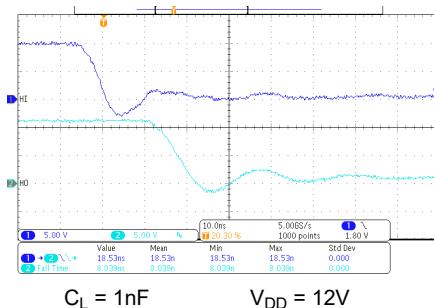


図 7-5. HO 立ち下がり時間と HI から HO へのターンオフ伝搬遅延

## 8 電源に関する推奨事項

UCC27212 デバイスの動作に推奨されるバイアス電源電圧範囲は 7V~17V です。この範囲の下限は、 $V_{DD}$  ピンの電源回路ブロックに内蔵されている低電圧誤動作防止 (UVLO) 保護機能によって制御されます。 $V_{DD}$  ピンの電圧が  $V_{(on)}$  電源スタートスレッショルドを下回ってドライバが UVLO 状態になると、入力の状態にかかわらず、出力が Low に保持されます。この範囲の上限は、デバイスの  $V_{DD}$  ピンの絶対最大電圧定格 (ストレス評価) である 20V によって決まります。過渡電圧スパイクを許容するため 3V のマージンを維持すると、 $V_{DD}$  ピンの最大推奨電圧は 17V です。UVLO 保護機能にはヒステリシス機能も含まれています。つまり、 $V_{DD}$  ピンのバイアス電圧がスレッショルド電圧を超えてデバイスが動作を開始した後に電圧が低下すると、電圧降下がヒステリシス仕様  $V_{DD(hys)}$  を超えない限り、デバイスは通常の動作を継続します。したがって、7V またはそれに近い範囲の電圧で動作しているときは、デバイスのシャットダウンがトリガされないように、補助電源出力の電圧リップルをデバイスのヒステリシス仕様値よりも小さくすることが重要です。システムのシャットダウン中は、デバイスの動作は  $V_{DD}$  ピンの電圧が  $V_{(OFF)}$  のスレッショルドを下回るまで継続されます。これを考慮して、システムのシャットダウンのタイミング設計要件を評価する必要があります。同様に、システムのスタートアップ時には、 $V_{DD}$  ピンの電圧が  $V_{(on)}$  のスレッショルドを超えるまで、デバイスは動作を開始しません。

デバイスの内部回路ブロックで消費される静止電流は、 $V_{DD}$  ピンから供給されます。この事実はよく知られていますが、 $LO$  ピンから供給されるソース電流パルスの電荷も同じ  $V_{DD}$  ピンを通して供給されることを認識することが重要です。その結果、電流が  $LO$  ピンからソースされるたびに、対応する電流パルスが  $V_{DD}$  ピン経由でデバイスに供給されます。そのため、デカップリングの目的で、 $V_{DD}$  ピンと  $GND$  ピンの間にローカルバイパスコンデンサを配置し、デバイスにできる限り近づけて配置してください。低 ESR の表面実装型セラミックコンデンサが必要です。 $V_{DD}$  と  $GND$  の間に  $0.22\mu F$ ~ $4.7\mu F$  のコンデンサを使用することをお勧めします。同様に、 $HO$  ピンから供給される電流パルスは  $HB$  ピンから電源を得ています。したがって、 $HB$  ピンと  $HS$  ピンの間に  $0.022\mu F$ ~ $0.1\mu F$  のローカルデカップリングコンデンサを配置することを推奨します。

## 9 レイアウト

### 9.1 レイアウトのガイドライン

設計のスイッチング特性と効率を向上させるには、以下のレイアウト規則に従う必要があります。

- ドライバは、MOSFET のできるだけ近くに配置します。
- $V_{DD}$  -  $V_{SS}$  および  $V_{HB}$  -  $V_{HS}$  (ブートストラップ) コンデンサは、デバイスにできるだけ近づけて配置します ([セクション 9.1 参照](#))。
- GND パターンに細心の注意を払います。パッケージのサーマルパッドを VSS ピン (GND) に接続し、GND として使用します。ドライバからの GND パターンは MOSFET のソースに直接接続されますが、MOSFET のドレインまたはソース電流の大電流パスには配置しないでください。
- HS ノードには、ハイサイドドライバの GND と同様のルールを使用します。
- 複数の UCC27212 デバイスを使用するシステムでは、各デバイスの  $V_{DD}$ - $V_{SS}$  に専用のデカップリングコンデンサを配置することをお勧めします。
- VDD パターンは、LO、HS、HO 信号の近くに配置しないように注意する必要があります。
- LO および HO には幅広いパターンを使用し、関連する GND または HS パターンに沿って近づけて配置します。可能であれば、60~100mil の幅をお勧めします。
- ドライバ出力または SW ノードのある層から別の層に配線する必要がある場合は、少なくとも 2 つ以上のビアを使用します。GND に対しては、サーマルパッドの要件でビア数と寄生インダクタンスを考慮する必要があります。
- LI と HI (ドライバ入力) が HS ノードやその他の高い  $dV/dt$  パターンの近くになると、比較的高インピーダンスのリード線に大きなノイズを引き起こす可能性があるため、避けてください。

レイアウトが不適切な場合、効率の大幅な低下やシステムの誤動作が発生し、システム全体の信頼性の低下につながる可能性もあります。

## 9.2 レイアウト例

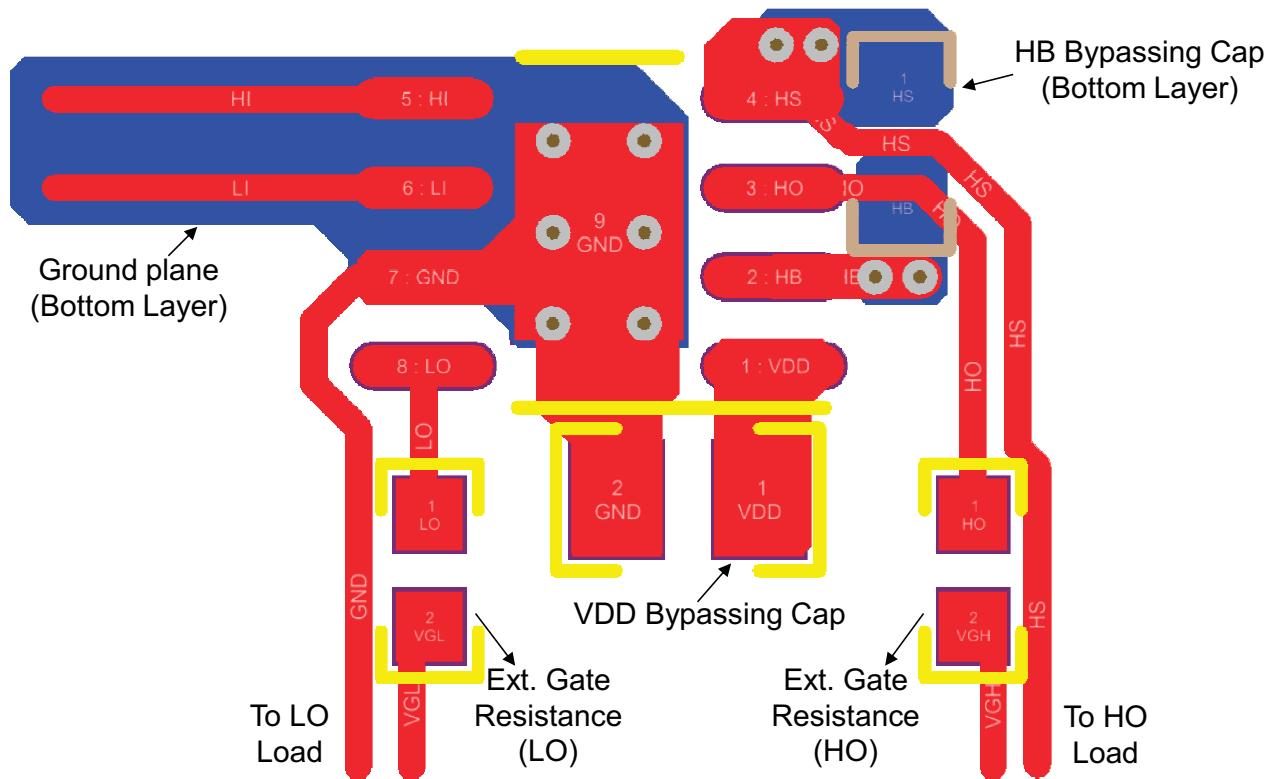


図 9-1. UCC27212 のレイアウト例

### 9.2.1 熱に関する注意事項

ドライバの有効範囲は、負荷の駆動電力要件とパッケージの熱特性に大きく影響されます。特定の温度範囲で有効になるゲートドライバの場合、パッケージは接合部温度を定格制限内に維持しながら、発生する熱を効率的に除去する必要があります。ドライバパッケージの熱評価基準は、セクション 9.2.1 に記載されています。表の詳細については、テキサス・インスツルメンツの『半導体および IC パッケージの熱評価基準』アプリケーションノート (SPRA953) を参照してください。UCC27212 デバイスは SOIC (8) と VSON (8) で供給されます。

## 10 デバイスおよびドキュメントのサポート

### 10.1 デバイス サポート

#### 10.1.1 サード・パーティ 製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

### 10.2 ドキュメントのサポート

#### 10.2.1 関連資料

関連資料については、以下を参照してください。

- 『PowerPAD™ 熱特性強化型パッケージ』アプリケーション レポート
- 『PowerPAD™ の簡単な使用法』アプリケーション レポート

### 10.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

### 10.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

### 10.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

### 10.6 静電気放電に関する注意事項

 この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことをお勧めします。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

### 10.7 用語集

#### テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

## 11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

<b>Changes from Revision A (April 2018) to Revision B (July 2024)</b>	<b>Page</b>
• デバイスの主な特長を反映するようにドキュメントのタイトルを変更。.....	1
• デバイスの特性を反映するよう、いくつかの仕様を変更。.....	1
• 「特長」セクションを変更: 1) シンク / ソース電流を、正確な標準仕様を使用するよう変更、実際のデバイス仕様には変更なし (4A/4A から 3.7A/4.5A に変更)。2) $T_J$ を改良済みのデバイス仕様に合わせて変更 (-40°C～+140°Cで動作が規定済み)から「接合部温度範囲 -40°C～+150°Cで動作が規定済み」に変更).....	1
• 「アプリケーション」セクションを更新して代表的なアプリケーションの上位 5 つを記載.....	1
• 「概要」セクションを変更: 1) リーク電流を変更 (4A ソースおよび 4A シンクから 3.7A ソースおよび 4.5A シンクに変更)。2) 5V 電源オフ UVLO を変更 (5V UVLO から 5V 電源オフ UVLO に変更)。3) パッケージ名の形式を WSON (10) から DPR (WSON, 10) に変更。4) 「電気的特性」表の仕様を反映するように HS ピンの許容誤差を変更 (-18V から -(24V-VDD) に変更)。5) 伝搬遅延プロットを更新。.....	1
• UCC27212 は DPR パッケージでのみ供給されるため、DDA および DRM パッケージを削除するためにピン機能の表を更新。.....	3
• 「推奨動作条件」を更新: 動作時接合部温度の最大値を 140°C から 150°C に変更。.....	4
• 「熱に関する情報」セクションをデバイスの特性を反映するように更新。.....	4
• 「電気的特性」および「スイッチング特性」表を更新し、6.8V VDD の仕様を削除、ゲートドライバのデータシートで通常行われている 12V VDD テスト条件の仕様はそのまま。.....	4
• 「電気的特性」表の消費電流仕様を更新: 1) $I_{DD}$ 、 $I_{DDO}$ 、 $I_{HB}$ 、 $I_{HBO}$ の最小仕様を削除。2) $I_{DD}$ の標準値を変更 (0.085mA に変更。から 0.11mA)。3) $I_{DDO}$ の標準値を変更 (2.5mA に変更。から 1.4mA)。4) $I_{DDO}$ の最大値を変更 (6.5mA に変更。から 3mA に変更)。5) $I_{HBO}$ の標準値を変更 (2.5mA に変更。から 1.3mA)。6) $I_{HBO}$ の最大値を変更 (5.1mA に変更。から 3mA)。8) $I_{HBS}$ テスト条件を、 $V_{HS}$ の最大推奨動作条件に合わせて変更 (115V から 100V)。9) $I_{HBSO}$ の標準値を変更 (0.07mA に変更。から 0.03mA)。10) $I_{HBSO}$ の最大値を変更 (1.2mA に変更。から 1mA)。.....	4
• 「電気的特性」表のブートストラップ ダイオードの仕様を更新: 1) $V_F$ の最大値を変更 (0.8V から 0.85V)。2) $V_{Fi}$ の標準値を変更 (0.85V から 0.9V)、最大値を変更 (0.95V から 1.05V)。3) $R_D$ テスト条件を変更 (100mA、80mA から 180mA、160mA)。4) $R_D$ の標準値を変更 (0.5Ω。から 0.55Ω).....	4
• 「電気的特性」表の LO/HO ゲートドライバの仕様を更新: 1) $V_{LOL}$ 、 $V_{LOH}$ 、 $V_{HOL}$ 、 $V_{HOH}$ の最小仕様を削除。2) $V_{LOL}$ および $V_{HOL}$ の標準値を変更 (0.1V から 0.07V)。3) $V_{LOH}$ および $V_{HOH}$ の標準値を変更 (0.16V から 0.11V)。.....	4
• 「スイッチング特性」表の伝搬遅延仕様を更新: 1) $T_{DLFF}$ および $T_{DHFF}$ の標準値を変更 (16ns。から 19ns)。「スイッチング特性」表の出力の立ち上がりおよび立ち下がり時間の仕様を更新: 1) 1000pF の $C_{LOAD}$ の $t_R$ を変更 (7.8ns (標準値)から 7.2ns (標準値))。2) 1000pF の $C_{LOAD}$ の $t_f$ を変更 (6ns (標準値)から 5.5ns (標準値))。3) 1uF の $C_{LOAD}$ の $t_R$ を変更 (0.36us (標準値)から 0.27us (標準値))。4) 0.1uF の $C_{LOAD}$ の $t_f$ を変更 (0.20us (標準値)から 0.16us (標準値))。.....	4
• 「スイッチング特性」表のその他の仕様を更新: $t_{IN\_PW}$ の最大値を変更 (100ns。から 40ns)。.....	4
• 「代表的特性」セクションのすべてのプロットを、デバイスの標準仕様を反映するよう更新。.....	8
• 「概要」セクションに記載されている代表的仕様を、「電気的特性」表のデバイス仕様と一致するように変更。.....	11
• 「入力段」セクションを、電気的特性表の入力プルダウン抵抗の標準仕様と一致するよう変更 (70kΩ から 68kΩ に変更)。.....	12
• 「低電圧誤動作防止 (UVLO)」セクションを、電気的特性表と一致するように VHB UVLO ヒステリシスに変更 (0.4V から 0.3V)。.....	12
• アプリケーション曲線を、伝搬遅延および立ち上がり / 立ち下がり時間のプロットを示すよう変更。.....	17

---

Changes from Revision * (June 2017) to Revision A (April 2018)	Page
• 以下のように変更:「5V～17V の VDD 動作範囲 (絶対最大定格 20V)」を「7V～17V の VDD 動作範囲 (絶対最大定格 20V)」に変更.....	1

---

## 12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

**PACKAGING INFORMATION**

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
<a href="#">UCC27212DPRR</a>	Active	Production	WSON (DPR)   10	3000   LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	UCC 27212
<a href="#">UCC27212DPRR.A</a>	Active	Production	WSON (DPR)   10	3000   LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	UCC 27212
<a href="#">UCC27212DPRR.B</a>	Active	Production	WSON (DPR)   10	3000   LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	UCC 27212
<a href="#">UCC27212DPRT</a>	Obsolete	Production	WSON (DPR)   10	-	-	Call TI	Call TI	-40 to 140	UCC 27212
<a href="#">UCC27212DR</a>	Active	Production	SOIC (D)   8	2500   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	27212

<sup>(1)</sup> **Status:** For more details on status, see our [product life cycle](#).

<sup>(2)</sup> **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

<sup>(3)</sup> **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

<sup>(4)</sup> **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

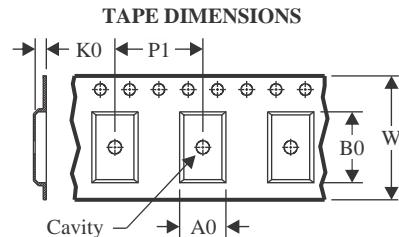
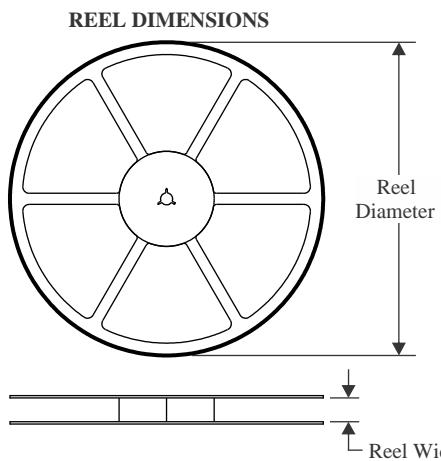
<sup>(5)</sup> **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

<sup>(6)</sup> **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

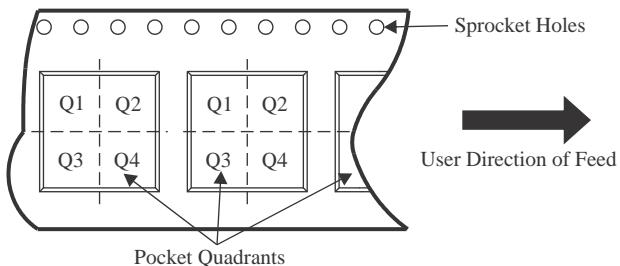
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

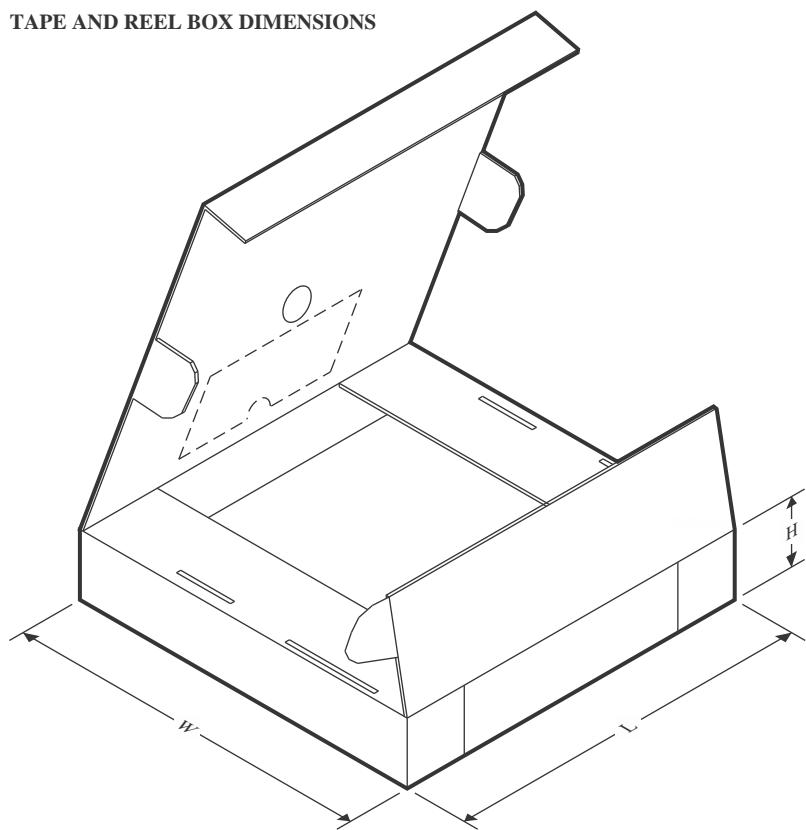
**TAPE AND REEL INFORMATION**

A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**

\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
UCC27212DPRR	WSON	DPR	10	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
UCC27212DPRR	WSON	DPR	10	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2

**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
UCC27212DPRR	WSON	DPR	10	3000	367.0	367.0	35.0
UCC27212DPRR	WSON	DPR	10	3000	346.0	346.0	33.0

## GENERIC PACKAGE VIEW

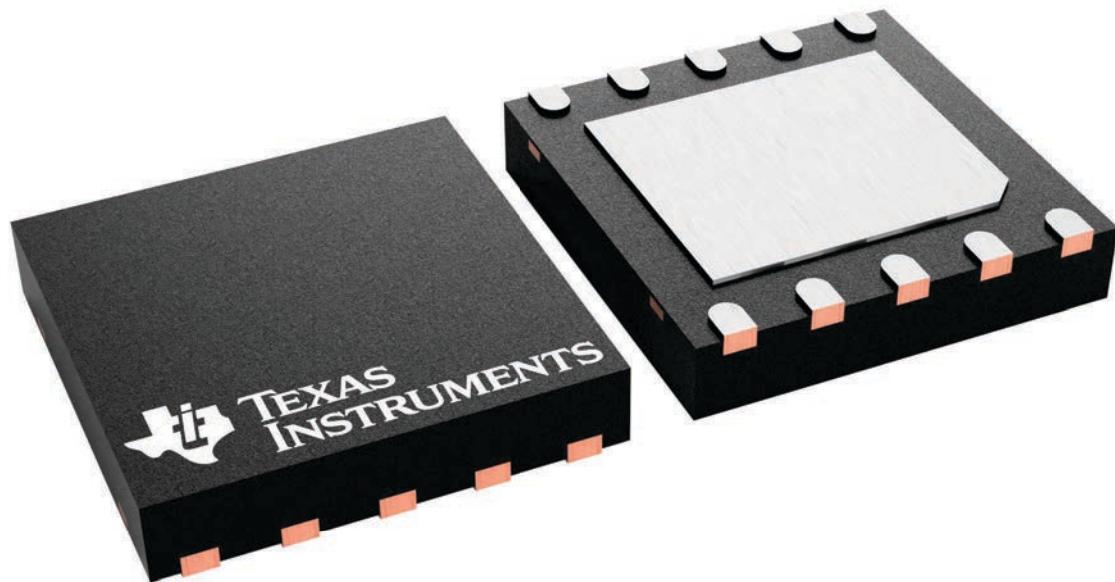
DPR 10

WSON - 0.8 mm max height

4 x 4, 0.8 mm pitch

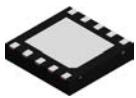
PLASTIC SMALL OUTLINE - NO LEAD

This image is a representation of the package family, actual package may vary.  
Refer to the product data sheet for package details.



4232220/A

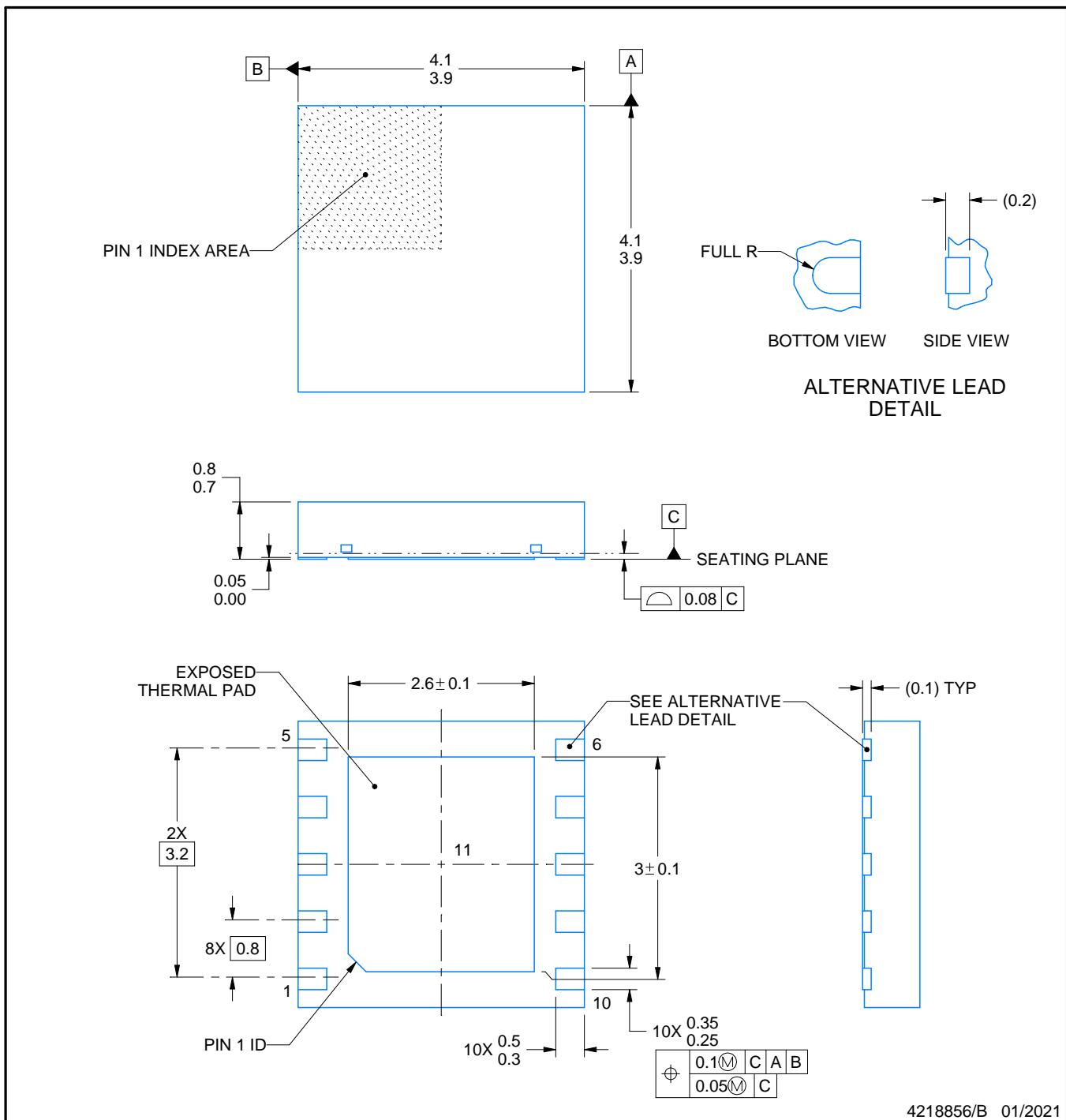
DPR0010A



# PACKAGE OUTLINE

## WSON - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



### NOTES:

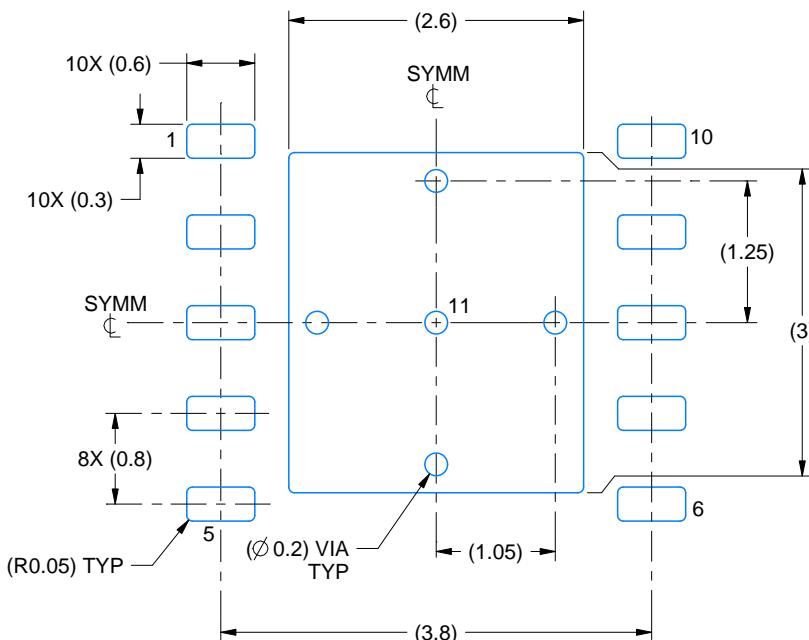
- All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

# EXAMPLE BOARD LAYOUT

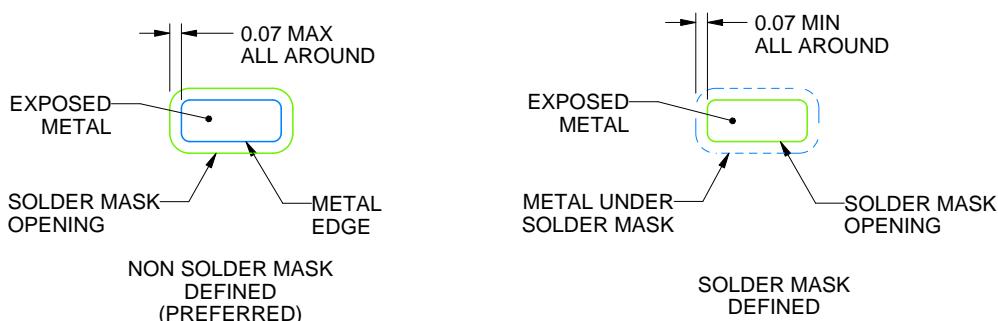
DPR0010A

WSON - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE:15X



SOLDER MASK DETAILS

4218856/B 01/2021

NOTES: (continued)

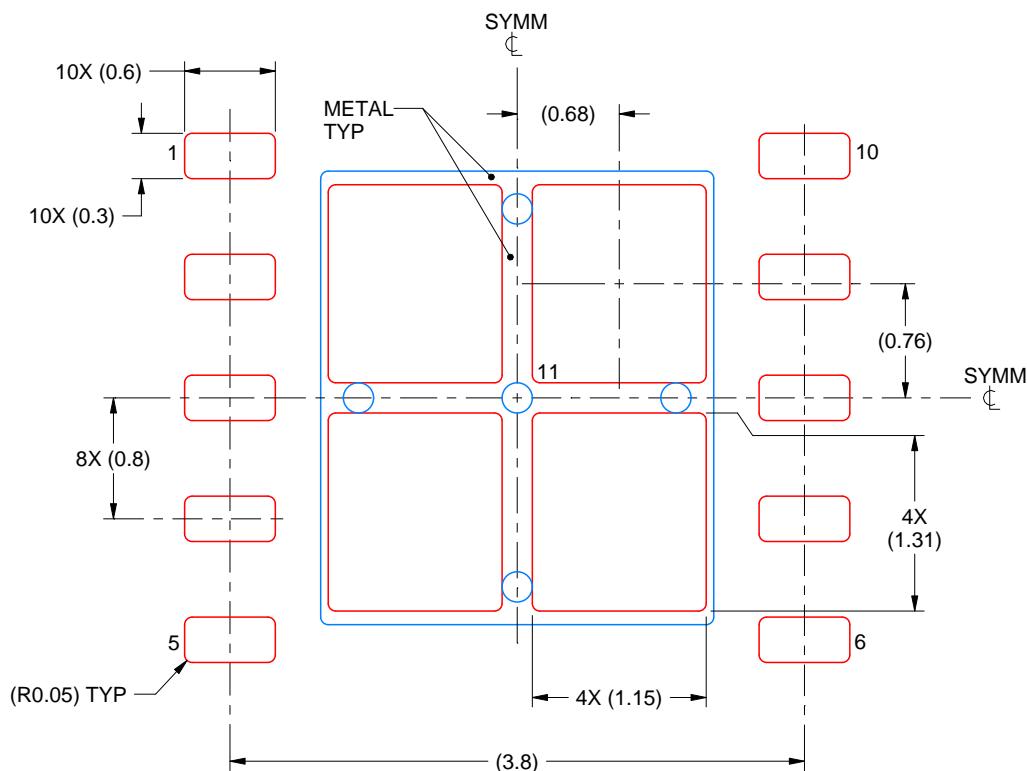
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 ([www.ti.com/lit/slua271](http://www.ti.com/lit/slua271)).

# EXAMPLE STENCIL DESIGN

DPR0010A

WSON - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 11:  
77% PRINTED SOLDER COVERAGE BY AREA  
SCALE:20X

4218856/B 01/2021

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

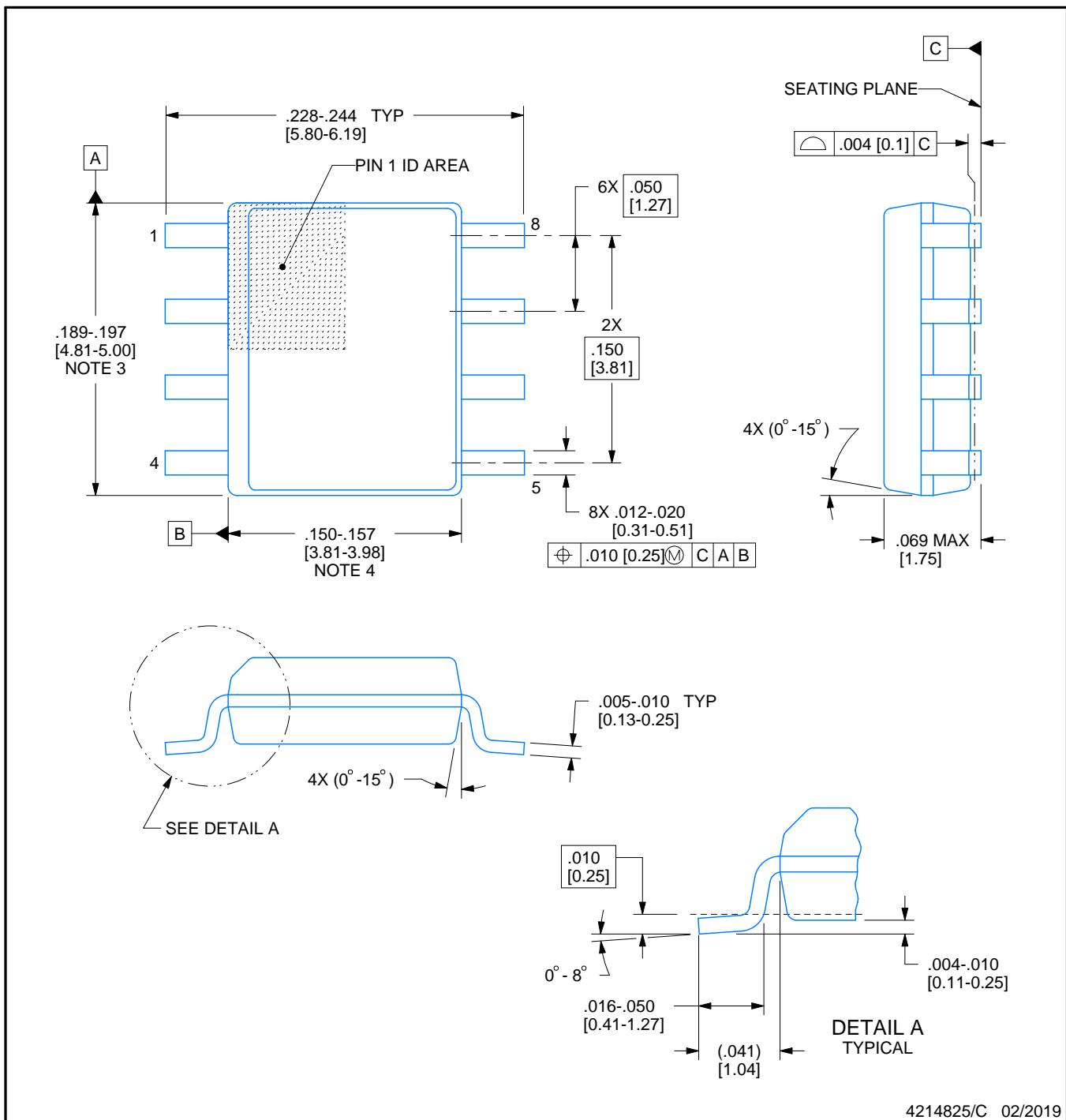
D0008A



# PACKAGE OUTLINE

## SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

### NOTES:

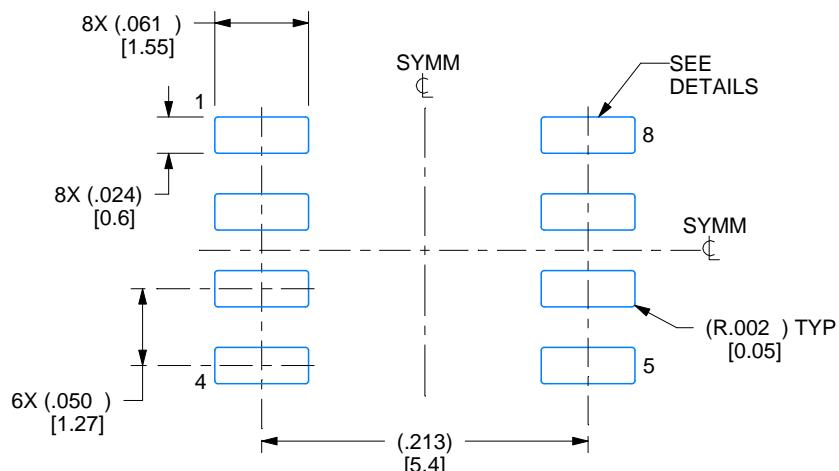
- Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
- This dimension does not include interlead flash.
- Reference JEDEC registration MS-012, variation AA.

# EXAMPLE BOARD LAYOUT

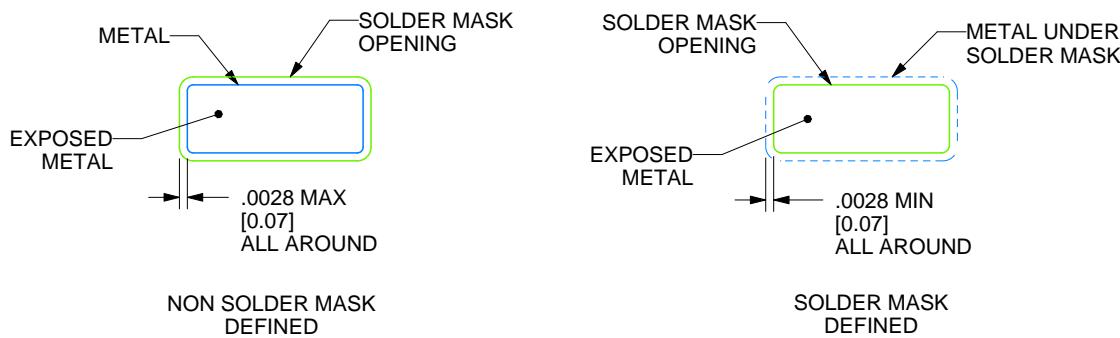
D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

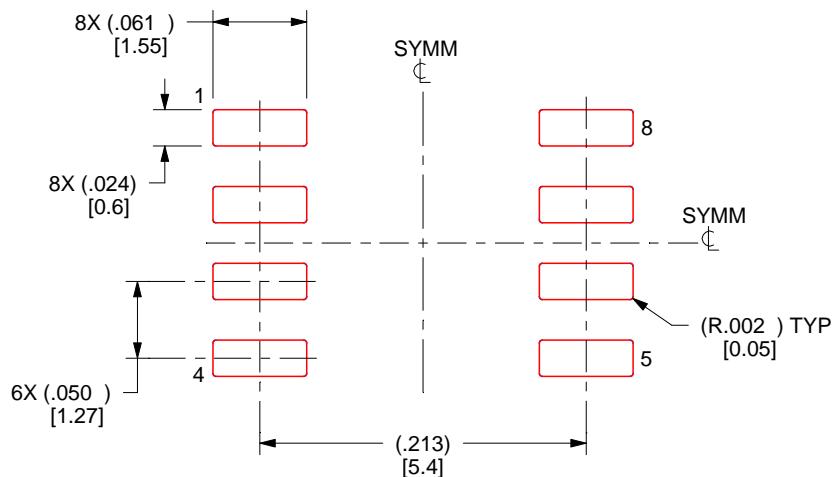
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

# EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE  
BASED ON .005 INCH [0.125 MM] THICK STENCIL  
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

## 重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適した TI 製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月