

# UCC25661x-Q1 ファミリ 軽負荷時の効率が最適化され、 $V_{IN}/V_{OUT}$ 範囲が広い 750kHz LLC コントローラ

## 1 特長

- 全負荷スイッチング周波数: 50kHz ~ 750kHz
- IPPC 制御による広い入出力 LLC (WLLC) 動作
- 強化された軽負荷管理機能:
  - 高周波数パルス スキップによる軽負荷時の効率向上
  - 低周波数バーストによるスタンバイ電力の低減
  - 可聴周波数範囲をスキップすることで可聴ノイズを低減
  - スタンバイ電力をさらに低減するのに役立つ PFC オン / オフ制御信号を内蔵 (UCC256614-Q1)
- 内蔵共振コンデンサ電圧シンセサイザによる、信号の信頼性の向上と高い起動周波数のサポート
- 容量性領域動作を排除するためのゼロ電流スイッチング (ZCS) 回避
- 適応型ソフトスタートにより起動時の突入電流を最小化
- 統合型高電圧起動 (UCC256612-Q1 と UCC256614-Q1)
- 統合型ゲートドライバ: +0.6A, -1.2A
- 保護機能を完備
  - 過電流保護 (OCP): 50ns、サイクル単位の電流制限
  - 過電圧保護 (OVP)、内部および外部過熱保護 (OTP)
  - 19V VCCP クランプを内蔵した入力および VCCP UVLO
  - 独立して構成された OCP および過負荷保護機能 (OLP) (UCC256612-Q1, UCC256613-Q1, UCC256614-Q1)
- 高電圧部の間隔を確保するためにピンを削除した SOIC-14 パッケージ

## 2 アプリケーション

- セルモニタユニットとバッテリーディンクション ボックス
- HEV/EV の OBC (オンボードチャージャ) と DC/DC コンバータ
- EV 充電インフラ
- HEV/EV のインバータおよびモータ制御
- グリーンコントローラとボディドメインコントローラ

## 3 説明

UCC25661x-Q1 ファミリは、強化された軽負荷管理機能と複数の保護機能に加えて、入力電力比例制御 (IPPC) 方式を実装した高周波数 LLC コントローラです。

IPPC は LLC コンバータの制御範囲を拡大し、高電圧から低電圧 (HV-LV) への冗長補助、キー オフ、バイアス絶縁型電源など広い入力アプリケーションの設計を簡素化します。IPPC は、軽電気自動車のバッテリチャージャ (スクーター、モペッド、ゴルフカート、フォークリフト) などの幅広い出力アプリケーションの設計を簡素化します。

UCC25661x-Q1 ファミリの強化された軽負荷管理機能は、効率を改善し、可聴ノイズを最小限に抑えます。バーストモードで動作する場合、充電器アプリケーションスタンバイ消費電力を最小化するため、UCC25661x-Q1 ファミリは PFC コントローラを直接無効化します。

適応型ソフトスタートおよび逆方向回復回避方式に加えて、容量性領域の自動回避方式により、FET を損傷させる可能性があるモードで本デバイスが動作することはできません。容量性領域の自動回避機能により、このコントローラは事前にバイアスされた負荷で最適に動作します。

UCC25661x-Q1 ファミリは、信頼性の高い電源の設計のための堅牢な保護機能を備えています。UCC25661x-Q1 ファミリ、さまざまな機能をサポートするオプションが用意されています。詳細は「[デバイス比較表](#)」を参照してください。

### パッケージ情報

部品番号	パッケージ <sup>(1)</sup>	パッケージ サイズ <sup>(2)</sup>
UCC25661x-Q1 ファミリ	DDB (SOIC, 16)	9.9mm × 3.9mm

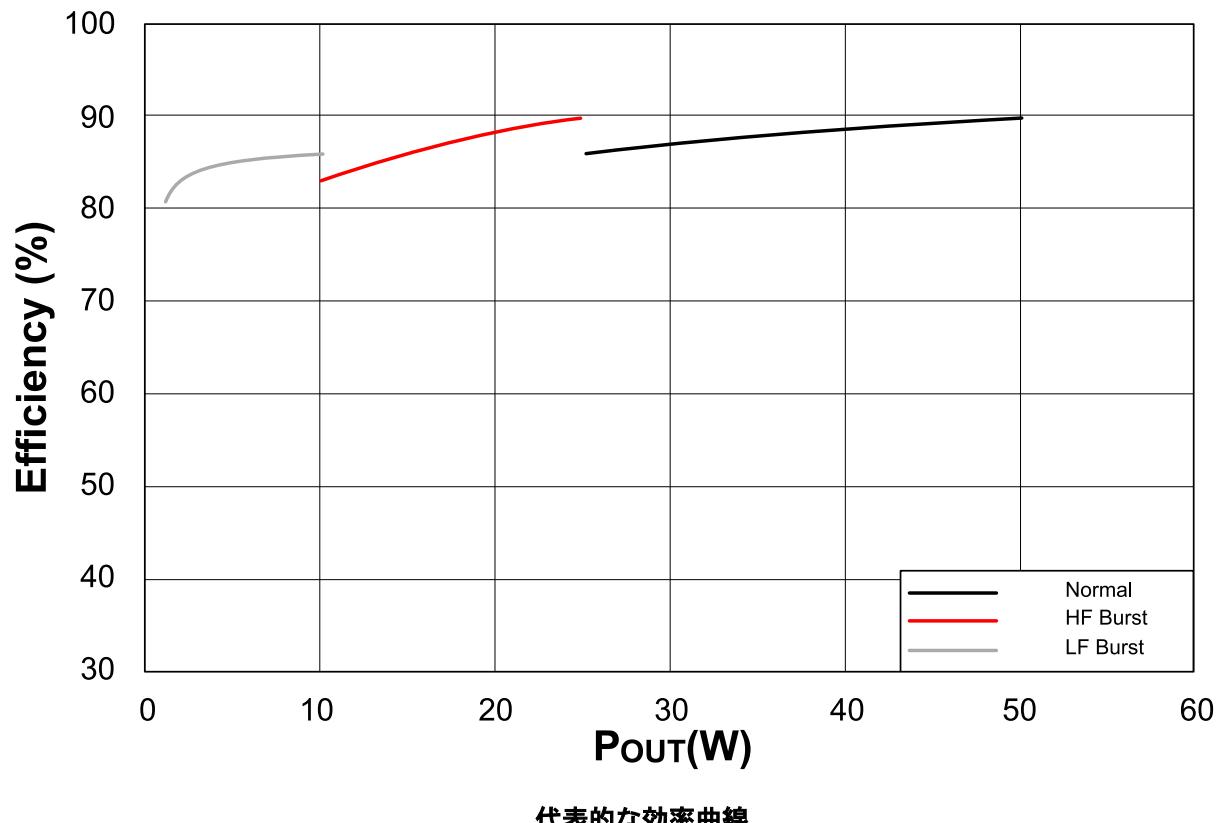
(1) 供給されているすべてのパッケージについては、[セクション 11](#) を参照してください。

(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンを含みます。



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、[ti.com](http://ti.com) で必ず最新の英語版をご参照くださいますようお願いいたします。

English Data Sheet: [SLVSIL5](#)



## 目次

1 特長	1	7.3 機能説明	20
2 アプリケーション	1	7.4 保護	27
3 説明	1	7.5 デバイスの機能モード	30
4 デバイス比較表	4	8 アプリケーションと実装	37
5 ピン構成および機能	5	8.1 アプリケーション情報	37
6 仕様	7	8.2 代表的なアプリケーション	37
6.1 絶対最大定格	7	8.3 電源に関する推奨事項	51
6.2 ESD 定格	7	8.4 レイアウト	52
6.3 推奨動作条件	8	9 デバイスおよびドキュメントのサポート	55
6.4 熱に関する情報	8	9.1 ドキュメントの更新通知を受け取る方法	55
6.5 電気的特性	8	9.2 サポート・リソース	55
6.6 スイッチング特性	12	9.3 商標	55
6.7 代表的特性	13	9.4 静電気放電に関する注意事項	55
7 詳細説明	17	9.5 用語集	55
7.1 概要	17	10 改訂履歴	55
7.2 機能ブロック図	19	11 メカニカル、パッケージ、および注文情報	56

## 4 デバイス比較表

発注用型番	UCC256612-Q1	UCC256613-Q1	UCC256614-Q1	UCC256615-Q1
高電圧スタートアップを内蔵	•		•	•
X コンデンサ放電機能を内蔵				
拡張ゲイン範囲 (EGR)			•	•
OCP/OLP デカップリング	•	•	•	
LF バースト中の PFC オン/オフ			•	
IPPC イネーブル	•	•	•	•
OPP フォルトイネーブル	•	•	•	
ZCS フォルトイネーブル	•	•	•	•

## 5 ピン構成および機能

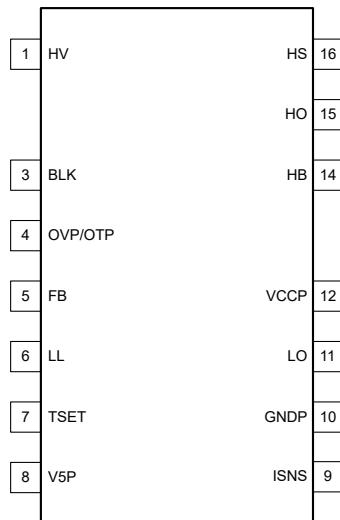


図 5-1. DDB パッケージ 16 ピン SOIC、ピン 2 および 13 を削除 (上面図)

表 5-1. ピンの機能

ピン <sup>(1)</sup>		I/O	説明
名称	番号		
HV	1	I	高電圧 (HV) 起動。このピンを使用して、HV (高電圧) の起動を実行します。起動完了後、HV ピンは AC 存在検出に使用されます。このピンは整流された AC ライン (UCC256614-Q1 の場合) または入力バルク コンデンサ (UCC256612-Q1、UCC256614-Q1、UCC256615-Q1 の場合) に接続されます。
	2	-	なし。高電圧ピンと低電圧ピンの間の沿面距離に対応する HV スペーサー
BLK	3	I	フィードフォワード制御用のバルク DC 電圧検出と入力。バルクコンデンサの正端子と GNDP の間の分圧抵抗を介して BLK を接続し、LLC コンバータの開始電圧と停止電圧スレッショルドを設定します。詳細については、 <a href="#">セクション 7.3.5.1</a> を参照してください。
OVP/OTP	4	I	過電圧保護および外部過熱保護入力。OVP/OTP を NTC 抵抗を介して GNDP に、ツエナーダイオードを介して VCCP に接続します。詳細については、 <a href="#">セクション 7.3.5.2</a> を参照してください。
FB	5	I	帰還制御入力。絶縁型帰還回路のフォトカプラのコレクタピンに FB を接続します。詳細については、 <a href="#">セクション 7.3.3</a> を参照してください。
LL	6	I	軽負荷動作とバーストモードスレッショルド設定入力。LL は、V5P と GNDP の間の分圧抵抗の中心ノードに接続します。LL ピンのインピーダンスと電圧を使用して、高周波および低周波数のバーストモード動作のスレッショルドを選択します。詳細については、 <a href="#">セクション 7.5.3</a> を参照してください。
TSET	7	I/O	VCR シンセサイザの時間定数が入力と PFC オン / オフ出力を設定 (UCC256614-Q1)。V5P と GNDP の間に分圧抵抗のセンターノードに TSET を接続して、内部共振積分器 (VCR シンセサイザ) の時定数、最大デッドタイム、および IPPC が維持される最小スイッチング周波数を設定します。コントローラの電源投入時に位相のプログラミングが終了した後、TSET ピンにより UCC256614-Q1 バリアントに PFC オン / オフ信号が供給されます。
V5P	8	P	5V 内部レギュレータ出力。V5P と GNDP の間にデカップリングコンデンサ (1μF ~ 4.7μF を推奨) を接続します。このコンデンサを V5P ピンの近くに配置します。

表 5-1. ピンの機能 (続き)

ピン <sup>(1)</sup>		I/O	説明
名称	番号		
ISNS	9	I	<p>共振回路電流検出入力。ISNS ピンを、直列微分コンデンサと電流センス抵抗を経由して GNDP へ共振コンデンサに接続します。</p> <p>このピンは、微分共振コンデンサ電圧を検出します。この信号は内部で次の目的で使用されます。</p> <ul style="list-style-type: none"> <li>制御信号の生成</li> <li>OCP とサイクル単位の電流制限</li> <li>静電容量性領域の回避</li> </ul> <p>詳細については、<a href="#">セクション 8.2.2.17</a> を参照してください。</p>
GNDP	10	P	グランド リファレンス ピン。GNDP を 1 次側パルク コンデンサの負端子に接続します。
LO	11	O	ローサイド スイッチ ゲートドライバ出力。ローサイド スイッチのゲート端子を最小のゲートドライブ回路のループ面積で接続します。
VCCP	12	P	<p>IC 電源電圧ピン。VCCP と GNDP の間に、低 ESR のセラミック デカップリング コンデンサを接続します。LLC トランスの補助バイアス巻線などのアプリケーションでは、VCCP ピンをダイオードを介してバイアス巻線に接続します。HV スタートアップがディスエーブルになっているアプリケーションでは、VCCP は補助バイアス電源から供給されます。</p> <p>VCCP ピンは内部で 19V にクランプされます。</p>
	13	該当なし	ピンの欠落。高電圧ピンと低電圧ピンの間の沿面距離に対応する高電圧スペーサー。
HB	14	P	ハイサイド ゲートドライバのバイアス入力。HB ピンと HS ピンの間にコンデンサ (最小値 0.1μF) を接続します。詳細については、 <a href="#">セクション 8.3.2</a> を参照してください。
HO	15	O	ハイサイド スイッチ ゲートドライバ出力。最小のゲートドライブ回路のループ面積でハイサイド スイッチのゲート端子に接続します。
HS	16	P	ハイサイド ゲートドライバのリターン パスおよびスイッチング ノード接続の入力。LLC コンバータのハーフブリッジ構造のスイッチング ノードに接続します。このピンの電圧によって、アダプティブ デッドタイムを決定します。詳細については、 <a href="#">セクション 7.3.4</a> を参照してください。

(1) 詳細については、[セクション 8.2](#) を参照してください。

## 6 仕様

### 6.1 絶対最大定格

動作自由空気温度範囲全体で (特に記述のない限り)、すべての電圧値は GND を基準にしています。電流は指定されたピンに流れ込む方向が正、ピンから流れ出る方向が負です。<sup>(1)</sup>

		最小値	最大値	単位
入力電圧	HV, HB	-0.3	700	V
	ISNS	-6.5	6.5	V
	BLK, LL, TSET	-0.55	5.5	V
	HB - HS	-0.3	25	V
	VCCP	-0.55	30	V
	OVP/OTP	-0.55	5.5	V
5V	DC	-0.55	5.5	V
HO 出力電圧	DC	HS - 0.3	HB + 0.3	V
	過渡応答、100ns 未満	HS - 2	HB + 0.3	
LO 出力電圧	DC	-0.3	VCCP + 0.3	V
	過渡応答、100ns 未満	-2	VCCP + 0.3	
フローティング グランド スルーレート	dV <sub>HS</sub> /dt	-200	200	V/ns
HO, LO パルス電流	I <sub>OUT_PULSED</sub>	-0.6	1.2	A
接合部温度範囲	T <sub>J</sub>	-40	150	°C
保管温度範囲、 T <sub>stg</sub>	T <sub>stg</sub>	-65	150	
リード温度	半田付け、10 秒		300	
	リフロー		260	

(1) 「絶対最大定格」の範囲外の動作は、デバイスに恒久的な損傷を与える可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。

### 6.2 ESD 定格

			値	単位
V <sub>(ESD)</sub>	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001、HV、HO、HS、HB ピン <sup>(1)</sup> に準拠	±1000	V
		人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、他すべてのピン <sup>(1)</sup>	±2000	
		デバイス帶電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン <sup>(2)</sup>	±500	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

## 6.3 推奨動作条件

特に記述のない限り、すべての電圧値は GND を基準にしており、 $-40^{\circ}\text{C} < T_J = T_A < 125^{\circ}\text{C}$  であり、電流は、指定されたピンに流れ込む方向が正、ピンから流れ出る方向が負です。

		最小値	公称値	最大値	単位
HV, HS	入力電圧			640	V
V <sub>VCCP</sub>	電源電圧		15	18.5	V
HB - HS	ドライバ ブートストラップ電圧	10	14	17.5	V
C <sub>B</sub>	HB から HS へのセラミック バイパス容量	0.1		5	μF
C <sub>VCCP</sub>	VCCP ピン デカップリング容量	33		470	μF
I <sub>VCCPMAX</sub>	VCCP の最大入力電流			100	mA
T <sub>A</sub>	動作時の周囲温度	-40		125	°C

## 6.4 热に関する情報

热評価基準 <sup>(1)</sup>		UCC25661x	単位
		D (SOIC)	
		14 ピン	
R <sub>θJA</sub>	接合部から周囲への熱抵抗	74.7	°C/W
R <sub>θJC(top)</sub>	接合部からケース (上面) への熱抵抗	30.7	°C/W
R <sub>θJB</sub>	接合部から基板への熱抵抗	31.8	°C/W
Ψ <sub>JT</sub>	接合部から上面への特性パラメータ	4.4	°C/W
Ψ <sub>JB</sub>	接合部から基板への特性パラメータ	31.4	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

## 6.5 電気的特性

特に記述のない限り、すべての電圧値は GND を基準にしており、 $-40^{\circ}\text{C} < T_J < 125^{\circ}\text{C}$ 、VCC = 15V であり、電流は、指定されたピンに流れ込む方向が正、ピンから流れ出る方向が負です。

パラメータ	テスト条件	最小値	標準値	最大値	単位
<b>電源電圧</b>					
VCC <sub>Short</sub>	このスレッショルドを下回ると、低減起動電流を使用	0.6	1	1.4	V
VCC <sub>ReStartJfet</sub>	このスレッショルドを下回ると、JFET を再有効化		10.2		V
VCC <sub>ReStart</sub>	起動フェーズ中に VCC がこのレベルを下回ると、HV 起動が再度イネーブルになります	12.5	13	13.5	V
VCC <sub>StartSelf</sub>	VCC がこのレベルを上回っている場合に起動します	13.5	14	14.5	V
VCC <sub>StartExt</sub>	VCC がこのレベルを上回っている場合に起動します	10.5	10.9	11.3	V
VCC <sub>StopSwitching</sub>	スイッチングはこのスレッショルドを下回ると停止します	9	9.5		V
VCC <sub>UVLOr</sub>	VCC 低電圧誤動作防止電圧 (立ち上がり)	7.25	7.5	7.82	V
VCC <sub>UVLOf</sub>	VCC 低電圧誤動作防止電圧ヒステリシス	6.5	6.8	7.1	V
VCC <sub>Hold_r</sub>	起動プログラミング フェーズ中の Jfet ストップ電圧	7.9	8.2	8.5	V

## 6.5 電気的特性 (続き)

特に記述のない限り、すべての電圧値は GND を基準にしており、 $-40^{\circ}\text{C} < T_J < 125^{\circ}\text{C}$ 、 $\text{VCC} = 15\text{V}$  であり、電流は、指定されたピンに流れ込む方向が正、ピンから流れ出る方向が負です。

パラメータ		テスト条件	最小値	標準値	最大値	単位		
$\text{VCC}_{\text{Hold\_f}}$		スタートアップ プログラミング フェーズ中の Jfet 開始電圧	7.65		7.9	8.15		
$\text{VCC}_{\text{Shunt}}$		VCC 内部クランプ電圧	19		V			
$ \text{VCC}_{\text{Clamp}}$		VCC 内部クランプ電流	15		mA			
$\text{VCC}_{\text{OV}}$		VCC OVP スレッショルド	20.5		V			
<b>電源電流</b>								
$\text{I}_{\text{CCSleep}}$	バースト オフ期間に VCC レールから引き出される電流				800	μA		
$\text{I}_{\text{CCRan}}$	ゲートがスイッチング動作中に VCC ピンから引き込まれた電流。ゲート電流を除く	デッド タイム = 1μs 最大デッド タイム	8		mA			
<b>安定化電源</b>								
V5P	安定化電源電圧 <sup>(1)</sup>	無負荷	4.75	5	5.25	V		
	安定化電源電圧	10mA 負荷	4.75	5	5.25	V		
V5P_UVLO	V5P 低電圧誤動作防止電圧 <sup>(1)</sup>				4	V		
$\text{I}_{\text{V5Pstart\_upCurrLimit}}$	$\text{VCCP} < \text{VCC}_{\text{StartSelf}}$ のとき、ピンに引き込むことができる最大電流 <sup>(1)</sup>	$\text{VCCP} = 15\text{V}$	6		mA			
$\text{I}_{\text{V5PCurrLimit}}$	$\text{V5P}$ ( $\text{IV5P} = 15\text{mA}$ の場合)	$\text{VCCP} = 15\text{V}$	10.2		mA			
<b>高電圧起動</b>								
$\text{I}_{\text{VCC\_Charge\_Low}}$	HV ピンからの VCCP 充電電流の低減	$\text{V}_{\text{HV}} = 20\text{V}$ 、 $\text{VCC} = 0\text{V}$ (UCC256612-Q1、UCC256614-Q1)	0.23	0.44	0.65	mA		
$\text{I}_{\text{VCC\_Charge\_High}}$	VCCP 完全充電電流	$\text{V}_{\text{HV}} = 20\text{V}$ 、 $\text{VCC} = 4\text{V}$ 、 (UCC256612-Q1、UCC256614-Q1)	7.5	10	13.8	mA		
<b>パルク電圧検知</b>								
$\text{V}_{\text{BLKStartHys}}$	BLK 電圧コンパレータのヒステリシス <sup>(1)</sup>	UCC256614-Q1 の場合	0.04	0.05	0.06	V		
$\text{V}_{\text{BLKStartHys}}$	BLK 電圧コンパレータのヒステリシス <sup>(1)</sup>	UCC256612-Q1、UCC256613-Q1 の場合	0.09	0.1	0.11	V		
$\text{V}_{\text{BLKStop}}$	LLC の動作を停止させる BLK 電圧				0.98	1		
$\text{I}_{\text{BLKHys}}$	BLK ヒステリシス電流	UCC256614-Q1 の場合	1		μA			
$\text{I}_{\text{BLKHys}}$	BLK ヒステリシス電流	UCC256612-Q1、UCC256613-Q1 の場合	5		μA			
<b>フィードバック ピン</b>								
$\text{R}_{\text{FBInternal}}$	内部プルダウン抵抗値	UCC256614-Q1 の場合	85	100	115	kΩ		
$\text{R}_{\text{FBInternal}}$	内部プルダウン抵抗値	UCC256612-Q1、UCC256613-Q1 の場合	42.5	50	57.5	kΩ		
$\text{I}_{\text{FB}}$	FB 内部電流源	UCC256614-Q1 の場合	68	80	92	μA		
$\text{I}_{\text{FB}}$	FB 内部電流源	UCC256612-Q1、UCC256613-Q1 の場合	136	160	184	μA		
$\text{V}_{\text{FB}}$	FB ピンのシンク電流が ( $\text{I}_{\text{FB}} - 50\text{μA}$ ) であるときの FB ピンの電圧	$\text{lopto} = 0.37 \times \text{IFB}$	3.3	3.5	3.7	V		
$\Delta\text{V}_{\text{FB}}$	FB ピンのシンク電流範囲 ( $\text{lopto} = 0.37 \times \text{IFB}$ から $\text{lopto} = 0.94 \times \text{IFB}$ ) での FB ピン電圧変動				0.6	V		
$\Delta\text{V}_{\text{clamp}}$	FB ピンのシンク電流範囲が ( $\text{lopto} = 0.94 \times \text{IFB}$ ) から ( $\text{lopto} = 1.06 \times \text{IFB}$ ) までのときの FB ピン電圧変動	$(\text{lopto} = 0.94 \times \text{IFB}) \sim (\text{lopto} = 1.06 \times \text{IFB})$	0.3		V			

## 6.5 電気的特性 (続き)

特に記述のない限り、すべての電圧値は GND を基準にしており、 $-40^{\circ}\text{C} < T_{\text{J}} < 125^{\circ}\text{C}$ 、 $\text{VCC} = 15\text{V}$  であり、電流は、指定されたピンに流れ込む方向が正、ピンから流れ出る方向が負です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$I_{\text{FBclamp}}$	FB がクランプされているときの最大 FB 内部電流源	UCC256614-Q1 の場合	75	87.5	100	$\mu\text{A}$
$I_{\text{FBclamp}}$	FB がクランプされているときの最大 FB 内部電流源	UCC256612-Q1、UCC256613-Q1 の場合	150	175	200	$\mu\text{A}$
$\Delta V_{\text{FBclamp}}$	FB ピンシンク電流の範囲が ( $I_{\text{lopto}} = 1.06\text{IFB}$ ) から ( $I_{\text{lopto}} = \text{IFB} + 0.94 \times \text{IFBClamp}$ ) までであるときの FB ピン電圧変動	( $I_{\text{lopto}} = 1.06\text{IFB}$ ) ~ ( $I_{\text{lopto}} = \text{IFB} + 0.94 \times \text{IFBClamp}$ )		0.5		V
$f_{-3\text{dB}}$	帰還信号経路 -3dB カットオフ周波数 <sup>(2)</sup>	VFBReplica (4.5V ~ 0.5V)	1			MHz
$V_{\text{FBOLP}}$	OLP 保護 <sup>(1)</sup>			4.75		V
$\text{TOLP}_{\text{Fault}}$	OLP 保護時間 <sup>(1)</sup>			100		ms

### 共振電流検知

$V_{\text{ISNS\_OCP}}$	定常状態での OCP スレッショルド	TSET オプション > 2.5V の場合 <sup>(1)</sup>	3.9	4	4.1	V
$V_{\text{ISNS\_OCP}}$	定常状態での OCP スレッショルド	TSET オプション < 2.5V の場合	3.4	3.5	3.6	V
$V_{\text{ISNS\_OCP\_SS}}$	ソフトスタート中の OCP スレッショルド		2.9	3	3.1	V
$n_{\text{OCP}}$	OCP フォルトがトリップされる前の OCP サイクル数 <sup>(1)</sup>			7		
$n_{\text{OCP\_SS}}$	スタートアップ時に OCP フォルトがトリップされるまでの OCP サイクル数 <sup>(2)</sup>			50		
$V_{\text{IpolarityHyst}}$	ISNS 極性コンバレータのヒステリシス			40		mV
$V_{\text{ISNS\_ZCS}}$	ソフトスタート後の ZCS コンバレータ + VE スレッショルド			150		mV
$V_{\text{ISNS\_ZCSn}}$	ZCS コンバレータ - Ve スレッショルド、ソフトスタート後			-150		mV
$V_{\text{ISNS\_MINCUR}_{\text{R\_SS}}}$	ソフトスタート中の +Ve ISNS スレッショルド			50		mV
$V_{\text{ISNS\_MINCUR}_{\text{R\_SSn}}}$	ソフトスタート時の -Ve ISNS スレッショルド			-50		mV
$t_{\text{leb}}$	ZCS および OCP コンバレータ用のリーディング エッジ ブランкиング <sup>(1)</sup>			250		nS
$\text{TZCS}_{\text{Fault}}$	ZCS イベントが一定時間存在する場合に検出された障害 <sup>(2)</sup>	ZCS イベントは継続します		10		ms

### ゲートドライバ

$V_{\text{LOL}}$	LO 出力の Low 電圧	$I_{\text{sink}} = 20\text{mA}$		0.12		V	
$V_{\text{RVCC} - \text{VLOH}}$	LO 出力 high 電圧	$I_{\text{source}} = 20\text{mA}$		0.3		V	
$V_{\text{HOL} - \text{VHS}}$	HO 出力の Low 電圧	$I_{\text{sink}} = 20\text{mA}$		0.12		V	
$V_{\text{HB} - \text{VHOH}}$	HO 出力 high 電圧	$I_{\text{source}} = 20\text{mA}$		0.35		V	
$V_{\text{HB-HSUVLOFa}}_{\text{II}}$	ハイサイド ゲートドライバ UVLO 立ち下がりスレッショルド			6.4	7.25	8	V
$V_{\text{HB-HSUVLOHys}}$	ハイサイド ゲートドライバ UVLO スレッショルド ヒステリシス			0.78	0.9	1.05	V
$I_{\text{source\_pk\_HO}}$	HO ピーク ソース電流 <sup>(2)</sup>	$\text{VCCP} = 12\text{V}$ で		-0.6		A	
$I_{\text{source\_pk\_LO}}$	LO ピーク ソース電流 <sup>(2)</sup>	$\text{VCCP} = 12\text{V}$ で		-0.6		A	
$I_{\text{sink\_pk\_HO}}$	HO ピーク シンク電流 <sup>(2)</sup>	$\text{VCCP} = 12\text{V}$ で		1.2		A	
$I_{\text{sink\_pk\_LO}}$	LO ピーク シンク電流 <sup>(2)</sup>	$\text{VCCP} = 12\text{V}$ で		1.2		A	

## 6.5 電気的特性 (続き)

特に記述のない限り、すべての電圧値は GND を基準にしており、 $-40^{\circ}\text{C} < T_{\text{J}} < 125^{\circ}\text{C}$ 、 $\text{VCC} = 15\text{V}$  であり、電流は、指定されたピンに流れ込む方向が正、ピンから流れ出る方向が負です。

パラメータ	テスト条件	最小値	標準値	最大値	単位
<b>ブートストラップ</b>					
$I_{\text{BOOT\_QUIESCENT}}$	(HB - HS) 静止電流	HB - HS = 12V	60	70	$\mu\text{A}$
$I_{\text{BOOT\_LEAK}}$	HB から GND へのリーク電流	$V_{\text{HB}} = 600\text{V}$	0.045	20	$\mu\text{A}$
$t_{\text{ChargeBoot}}$	充電ブート状態の長さ <sup>(1)</sup>		230	265	$\mu\text{s}$
<b>ソフトスタート</b>					
SSRamp	ソフトスタートランプ時間 <sup>(1)</sup>		25		ms
<b>OVP/OTP</b>					
$V_{\text{clamp\_otp1}}$	0mA でのクランプ電圧 <sup>(1)</sup>	クランプに流れる電流が 0mA の場合	1.35	1.5	1.65
$V_{\text{clamp\_otp2}}$	1mA でのクランプ電圧 <sup>(1)</sup>	クランプに流れる電流が 1mA の場合	2.9	3.5	4.1
$I_{\text{OTP}}$	BW/OTP ピンの電流ソース		100		$\mu\text{A}$
$V_{\text{OVPpos}}$	出力電圧 OVP - 立ち上がりスレッショルド		3.5		V
$V_{\text{OTP Neg}}$	OTP - 立ち下がりスレッショルド		0.8		V
$\text{OTP}_{\text{CompHys}}$	OTP コンパレータのヒステリシス		60	90	130
$\text{OVP}_{\text{CompHys}}$	OVP コンパレータのヒステリシス		60	100	145
$\text{OTPBlanking}_{\text{start-up}}$	起動時の OTP ブランкиング時間		50		ms
$\text{TOTP}_{\text{Fault}}$	OTP フォルト検出時間		330		$\mu\text{s}$
$\text{TOVP}_{\text{Fault}}$	OVP フォルト検出時間 <sup>(2)</sup>		40		$\mu\text{s}$
<b>TSET</b>					
$I_{\text{TSETPrgm}}$	プログラミング用の TSET ピンのソース電流		10		$\mu\text{A}$
<b>LL</b>					
$I_{\text{LLPrgm}}$	バーストモード遷移スレッショルド設定用の LL ピン ソース電流 <sup>(2)</sup>		10		$\mu\text{A}$
$t_{\text{LLPrgm}}$	バーストモード遷移スレッショルドのプログラミング時間 <sup>(2)</sup>		2		ms
<b>アダプティブ デッドタイム</b>					
$dV_{\text{HS}}/dt$	検出可能なスルーレート (立ち下がりスロープ) <sup>(2)</sup>		0.1	200	V/ns
<b>FAULT 回復</b>					
$t_{\text{PauseTimeOut}}$	一時停止タイム <sup>(1)</sup>		1		s
<b>サーマル シャットダウン</b>					
$T_{\text{J\_r}}$	サーマル シャットダウン温度 <sup>(1)</sup>	温度上昇	125	150	$^{\circ}\text{C}$
$T_{\text{J\_H}}$	サーマル シャットダウン ヒステリシス <sup>(1)</sup>		20		$^{\circ}\text{C}$

(1) 量産時にはテストを行っていません。特性により検証済み

(2) 量産時にはテストを行っていません。設計により検証済み

## 6.6 スイッチング特性

特に記述のない限り、すべての電圧値は GND を基準にしており、 $-40^{\circ}\text{C} < T_J = T_A < 125^{\circ}\text{C}$ 、 $\text{VCC} = 15\text{V}$  であり、電流は、指定されたピンに流れ込む方向が正、ピンから流れ出る方向が負です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{r(LO)}$	立ち上がり時間	10% ~ 90%、1nF 負荷	30	60		ns
$t_{f(LO)}$	立ち下がり時間	10% ~ 90%、1nF 負荷	20	30		ns
$t_{r(HO)}$	立ち上がり時間	10% ~ 90%、1nF 負荷	30	60		ns
$t_{f(HO)}$	立ち下がり時間	10% ~ 90%、1nF 負荷	15	50		ns
$t_{DT(min)}$	最小デッド タイム <sup>(1)</sup>		50			ns
$t_{DT(max)}$	最大デッド タイム (デッド タイム異常) <sup>(1)</sup>	ZCS イベントは検出されません	1			μs
$t_{DT(max_ZCS)}$	最大デッド タイム (デッド タイム異常) <sup>(1)</sup>	ZCS イベントが検出されました	1.1			μs
$t_{ON(min)}$	最小ゲート オン時間		250			ns
$t_{ON(max)}$	最大ゲート オン時間		10			μs
$t_{IPOL(ZCS)}$	DT を終端するため IPOL 信号を使用できるブランкиング時間	ZCS イベントが検出されました	500			ns

(1) 量産時にはテストを行っていません。設計により検証済み

## 6.7 代表的特性

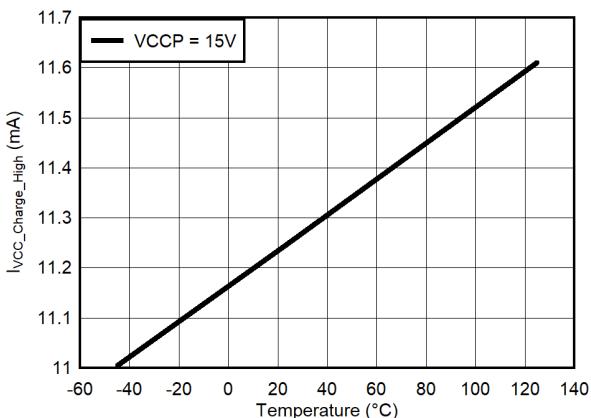


図 6-1.  $I_{VCC\_Charge\_High}$  と温度との関係

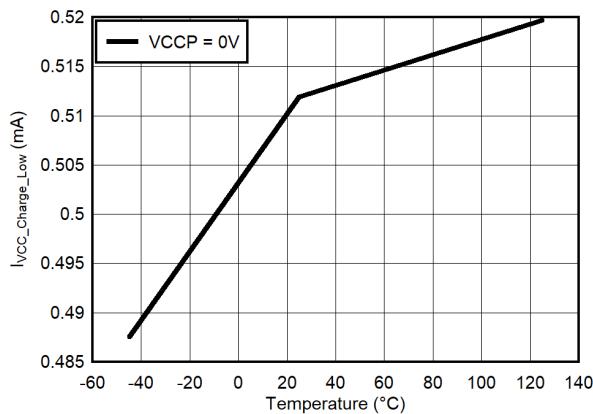


図 6-2.  $I_{VCC\_Charge\_low}$  と温度との関係

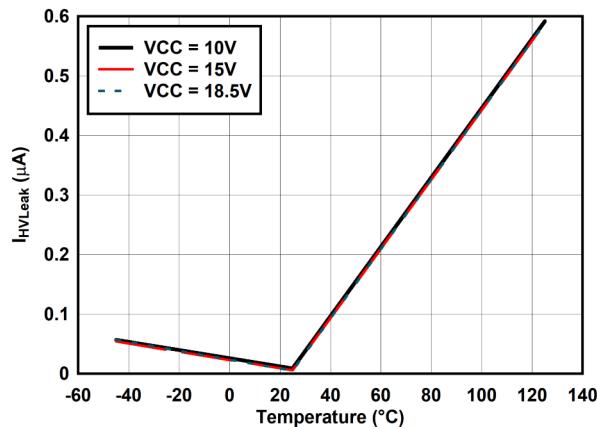


図 6-3.  $I_{HVLeak}$  と温度との関係

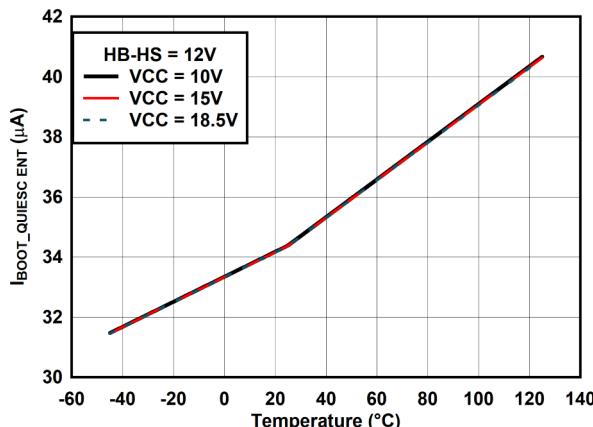


図 6-4.  $I_{BOOT\_QUIESCENT}$  と温度との関係

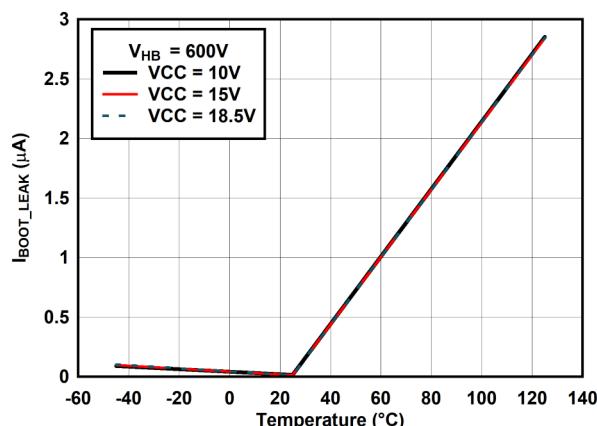


図 6-5.  $I_{BOOT\_LEAK}$  と温度との関係

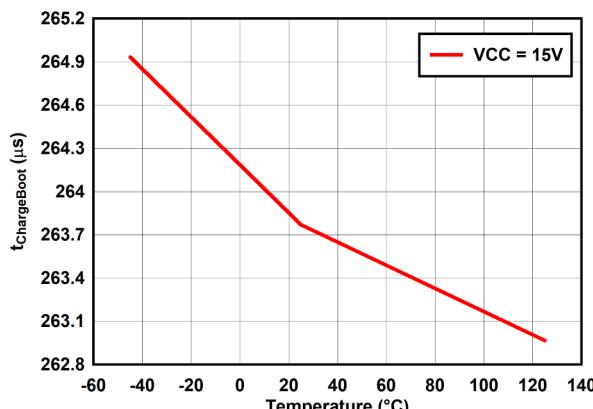
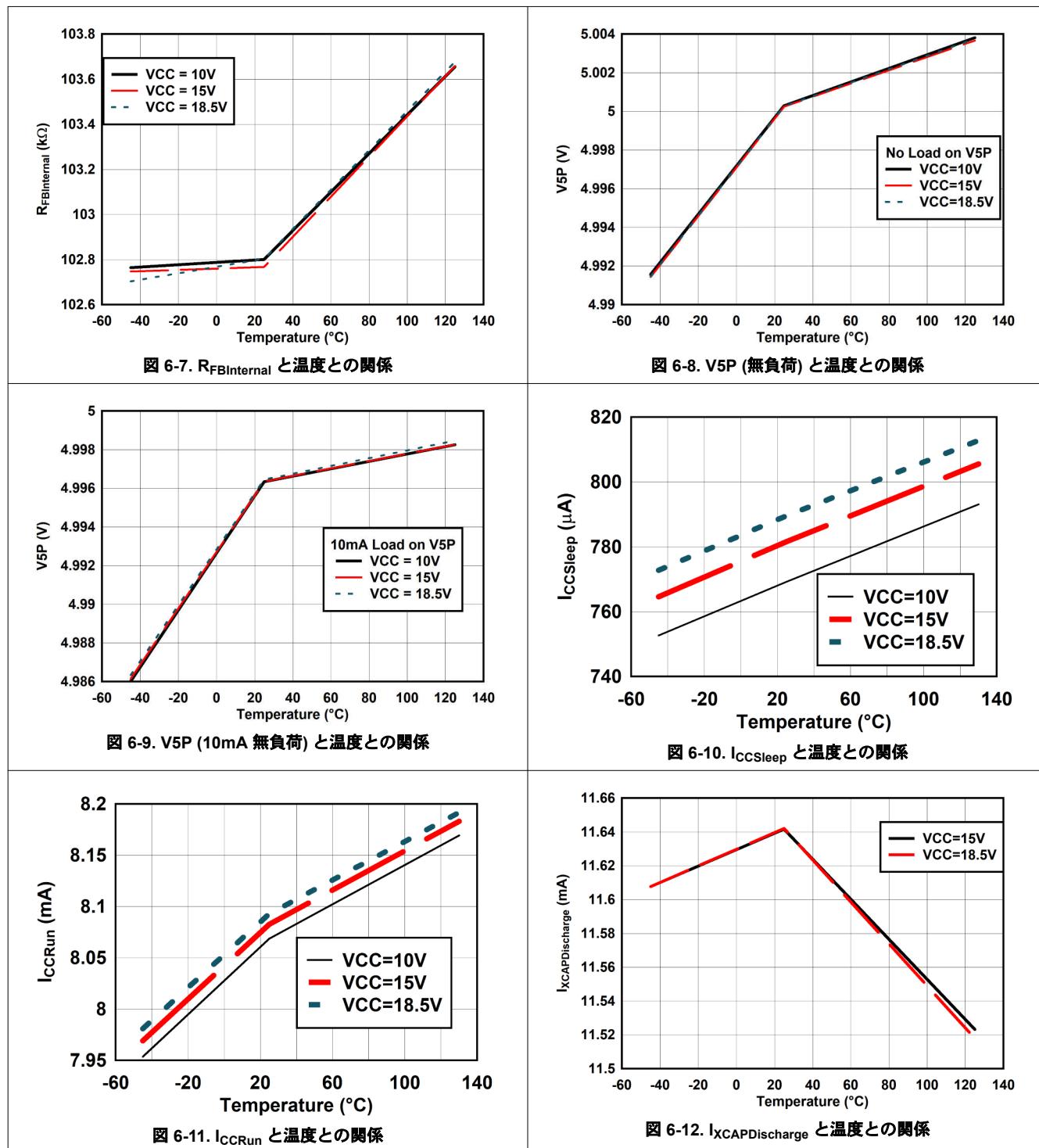


図 6-6.  $t_{chargeBoot}$  と温度との関係

## 6.7 代表的特性 (続き)



## 6.7 代表的特性 (続き)

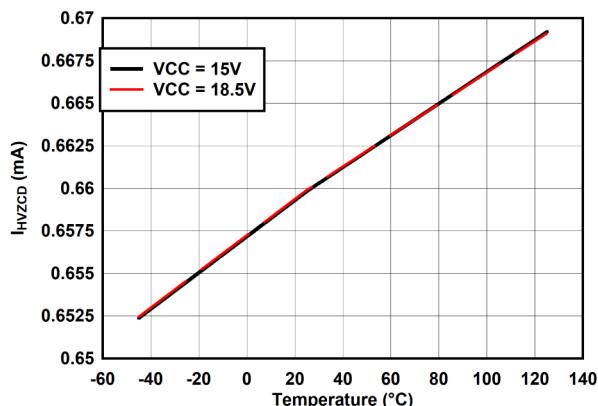


図 6-13.  $I_{HVZCD}$  vs 温度

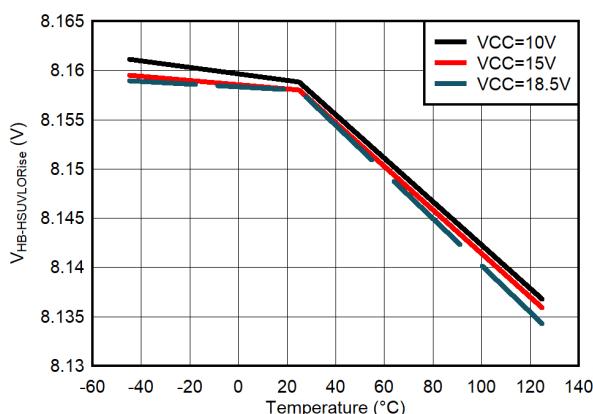


図 6-14.  $V_{HB-HSUVLORise}$  と温度との関係

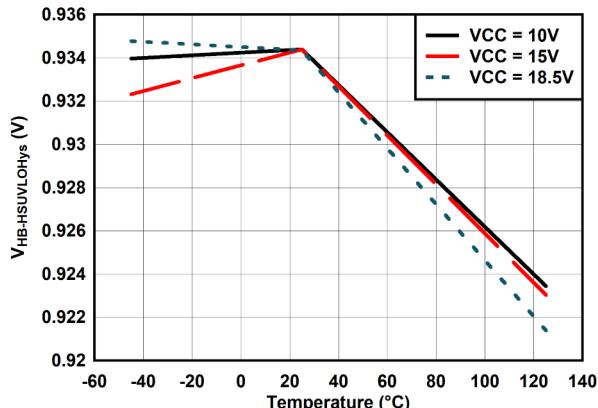


図 6-15.  $I_{HB-HSUVLOHys}$  と温度との関係

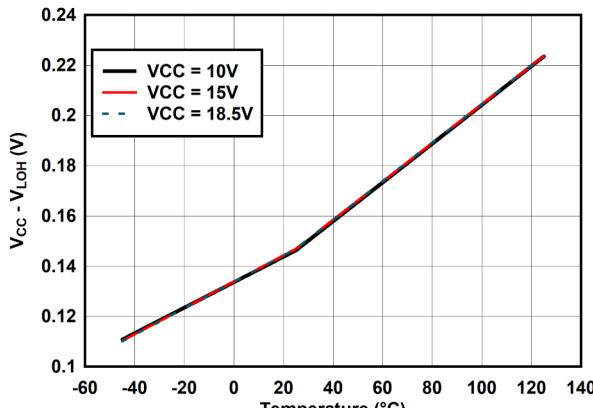


図 6-16.  $(V_{RVCC} - V_{LOH})$  と温度との関係

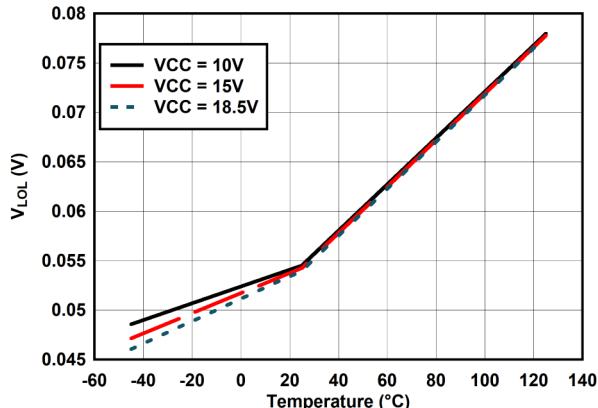


図 6-17.  $V_{LOL}$  と温度との関係

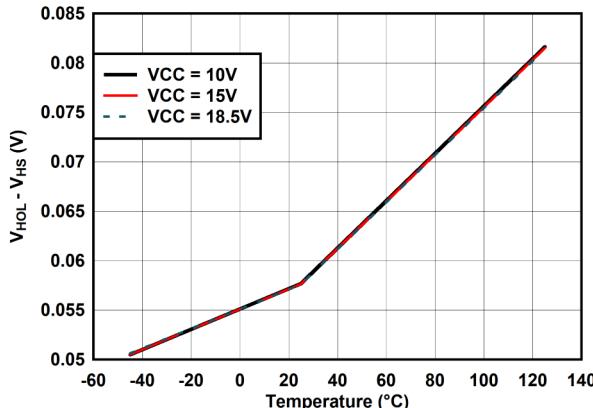


図 6-18.  $(V_{HOL} - V_{HS})$  と温度との関係

## 6.7 代表的特性 (続き)

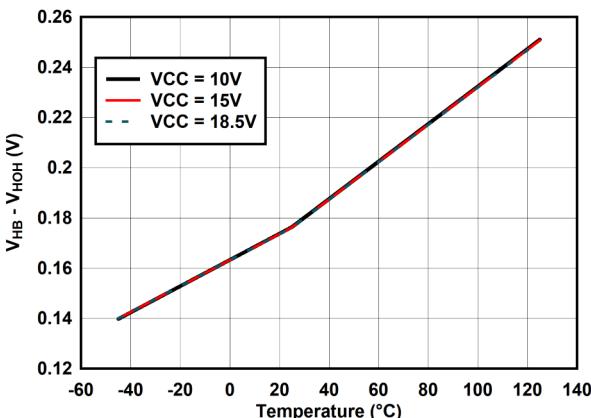


図 6-19. ( $V_{HB} - V_{HOH}$ ) と温度との関係

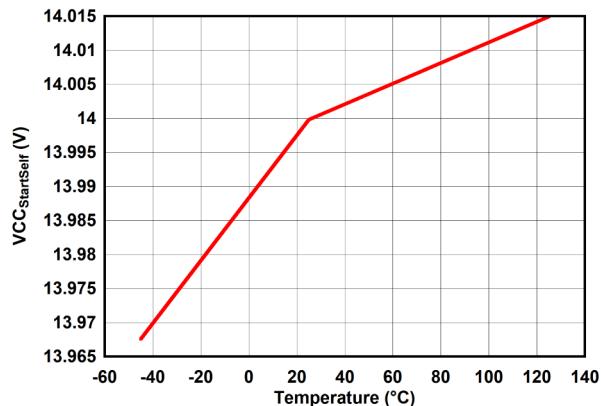


図 6-20.  $VCC_{StartSelf}$  と温度との関係

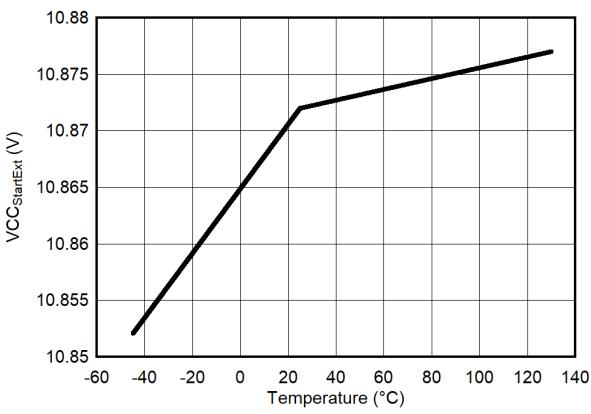


図 6-21.  $VCC_{StartEXT}$  と温度との関係

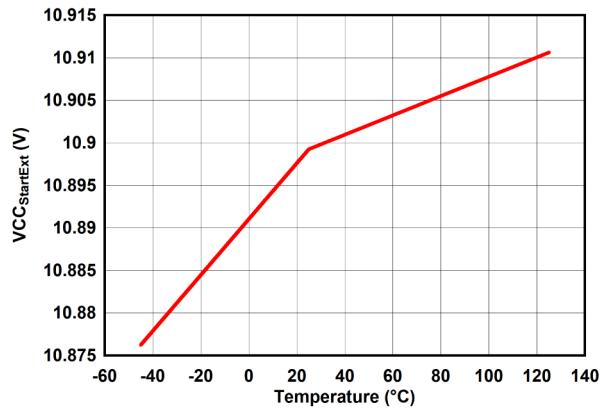


図 6-22.  $VCC_{StartEXT}$  と温度との関係

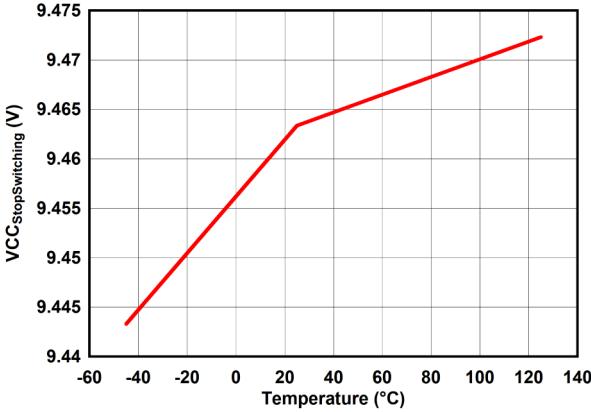


図 6-23.  $VCC_{StopSwitching}$  と温度との関係

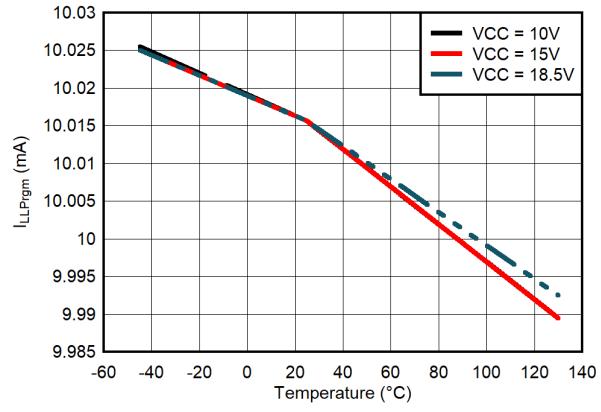


図 6-24.  $I_{LLPrgm}$  と温度との関係

## 7 詳細説明

### 7.1 概要

UCC25661x-Q1 ファミリ は、絶縁型電源向けのフル機能 LLC 共振コントローラです。UCC25661x-Q1 ファミリ は、高度な統合と、広い入出力電圧動作、高い電力密度、LLC 電力段の信頼性向上に対応できるように、いくつかの設計機能を搭載しています。

新しい制御方式入力電力比例制御 (IPPC) は、電流モード制御に固有の優れた過渡性能を提供すると同時に、広い入力および出力電圧変動に対して入力電力と制御信号との線形関係を実現します。IPPC 制御により、広い入出力電圧変動にわたって、安定した軽負荷およびバーストモード性能での動作が可能になります。

UCC25661x-Q1 ファミリ の一部の新機能は、以下のように規定されています。

- IPPC により、幅広い入出力電圧動作で、優れたバーストモードと動的応答を実現
- 可聴ノイズを低減しながら軽負荷の効率を向上させる新しい動作モード
  - 高周波数 (HF) パルススキップによる軽負荷時の効率向上
  - スタンバイ時の消費電力を低減するための低周波数 (LF) バーストモード
  - 軽負荷/バーストモードのスレッショルドをプログラム可能
  - 入力電圧の変化に対応する、適応型のバーストモードスレッショルド調整
- 最大 750kHz の全負荷スイッチング周波数により、電力密度の高い設計が可能
- 共振電流検出と内部制御電圧生成を組み合わせることで、制御の堅牢性が向上
- 入力電圧フィードフォワード
- 拡張ゲイン範囲 (EGR)。利点は次のとおりです。
  - IPPC に加えて、より広い入出力電圧範囲のアプリケーションに対して、より優れたサポートを提供します
  - PFC が無効になっている広い入力電圧範囲から電力の可用性が向上します
- 以下の保護機能を内蔵しています。
  - 高速な 50ns サイクルごとの電流制限
  - OCP フォルト検出により、短絡状態で保護
  - ピーク入力電力を制限する過電力保護 (OPP)。ただし UCC256615-Q1 を除き、OPP はフォルトを生成しません
  - 容量性領域動作を排除するためのゼロ電流スイッチング (ZCS) 回避方式
  - 適応型ソフトスタートにより突入電流を低減し、スタートアップ時の逆回復が不要
  - 外部 OVP/OTP 保護
  - 入力およびバイアス電源 (VCCP) UVLO
  - 入力電圧フィードフォワード
  - OCP/OLP デカップリングにより、保護スレッショルドを独立して設定できます

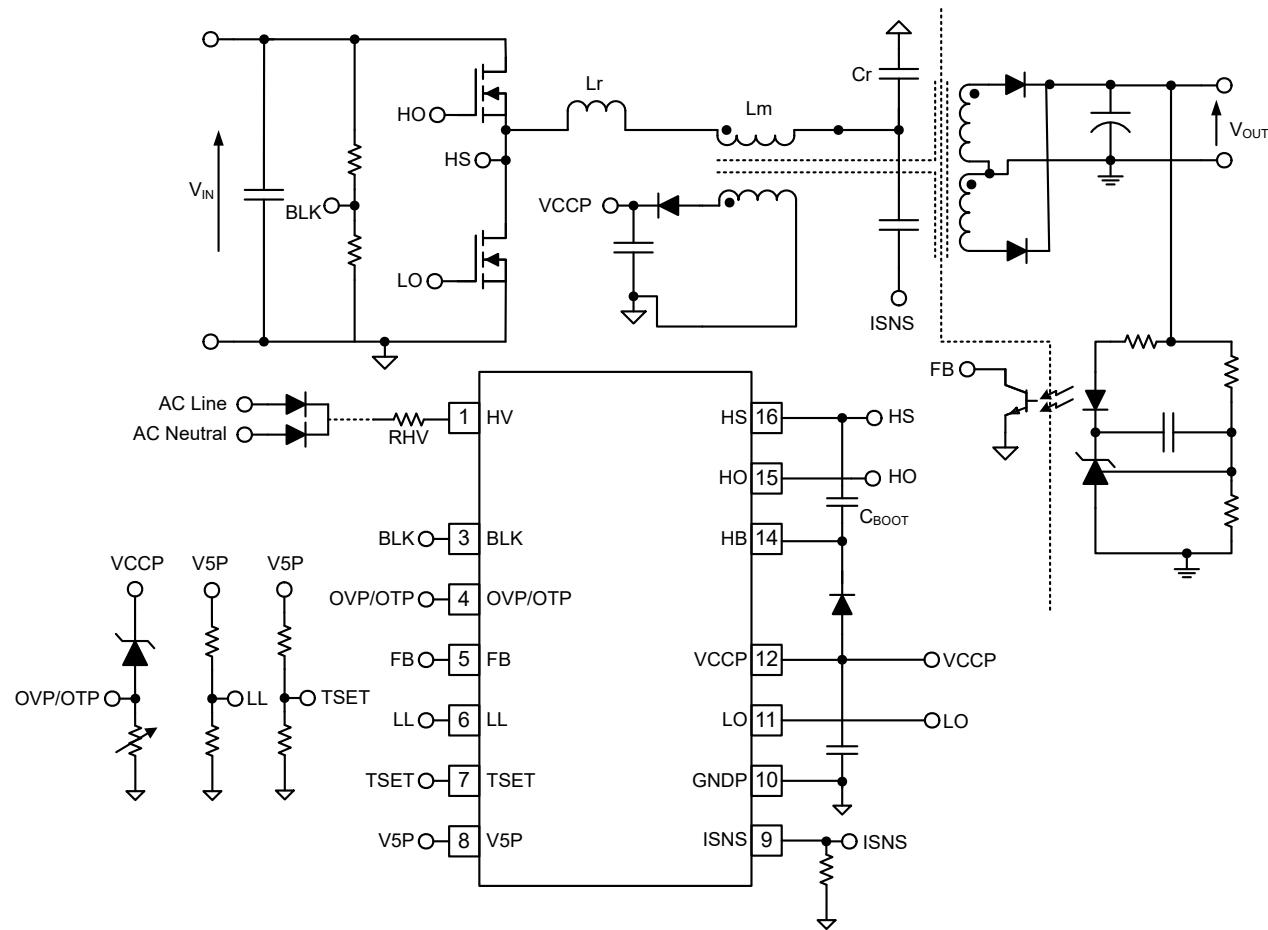
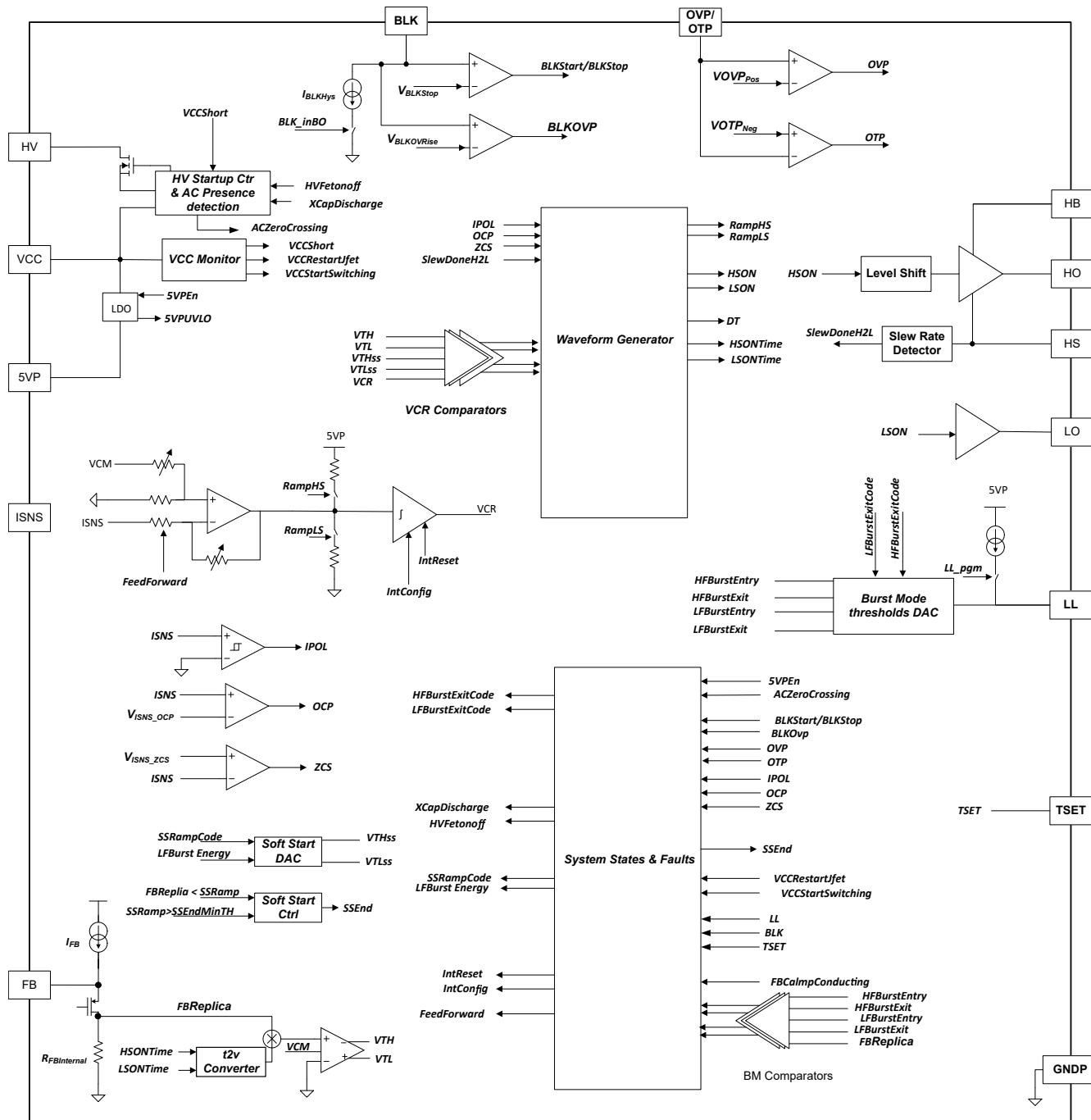


図 7-1. アプリケーション概略回路図

## 7.2 機能ブロック図



## 7.3 機能説明

### 7.3.1 入力電力比例制御

TI の LLC コントローラは、ハイブリッド ヒステリシス制御 (HHC) と呼ばれるバージョンの充電制御を使用しています。UCC25661x-Q1 ファミリ LLC コントローラには、入力電力比例制御 (IPPC) と呼ばれる HHC の改良版が使用されています。制御信号がスイッチング周波数に比例する従来の直接周波数制御と比較すると、従来の電荷制御方式では過渡応答を高速化しながら、電力段の伝達関数が 1 次システムになるため補償回路設計が簡単になります。従来の充電制御方式では、制御信号は入力電流とスイッチング周波数の両方によって決まります。IPPC は、制御信号がスイッチング周波数に依存することを大幅に低減し、入力と出力の電圧変動の影響を最小限に抑えることができます。

IPPC には次のような利点があります。

- 制御信号は入力電力に比例する
- 広い LLC (WLLC) 動作アプリケーションで一貫したバースト モードと全負荷性能
- 高速な負荷過渡性能を維持し、ライン過渡特性を改善

UCC25661x-Q1 ファミリは、コンデンサ  $C_{ISNS}$  と抵抗  $R_{ISNS}$  からなる外付け微分器により ISNS ピンの共振タンク電流を測定します。ISNS ピンの電圧は VCR シンセサイザ ブロックに組み込まれ、内部 VCR 信号  $VCR_{synth}$  を形成します。

VCR シンセサイザ ブロックは、BLK ピン電圧に基づいてフィード フォワード ゲインを適用し、ランプ補償を適用して、補償された内部 VCR 信号を生成します。

次に、補償された内部 VCR 信号を 2 組のスレッショルドと比較し、ハイサイド スイッチのターンオフ ( $V_{TH}$ ) およびローサイド スイッチのターンオフ ( $V_{TL}$ ) を制御します。スレッショルド  $V_{TH}$  および  $V_{TL}$  は、内部制御信号  $FBReplica$  と、前の半スイッチング サイクルからのハイサイドおよびローサイド スイッチのオン時間から生成されます。ソフトスタート中、内部ソフトスタートランプに基づいて  $V_{TH}$  および  $V_{TL}$  のスレッショルドが生成され、起動時の共振タンク突入電流を最小化します。

図 7-2 では、内部 VCR 信号とコンパレータ スレッショルド電圧  $V_{TH}$  および  $V_{TL}$  に基づいて、ハイサイドおよびローサイドのスイッチが制御されます。VCR が  $V_{TH}$  より高いとき、ハイサイド スイッチはオフになります。VCR が  $V_{TL}$  より低いとき、ローサイド スイッチはオフになります。

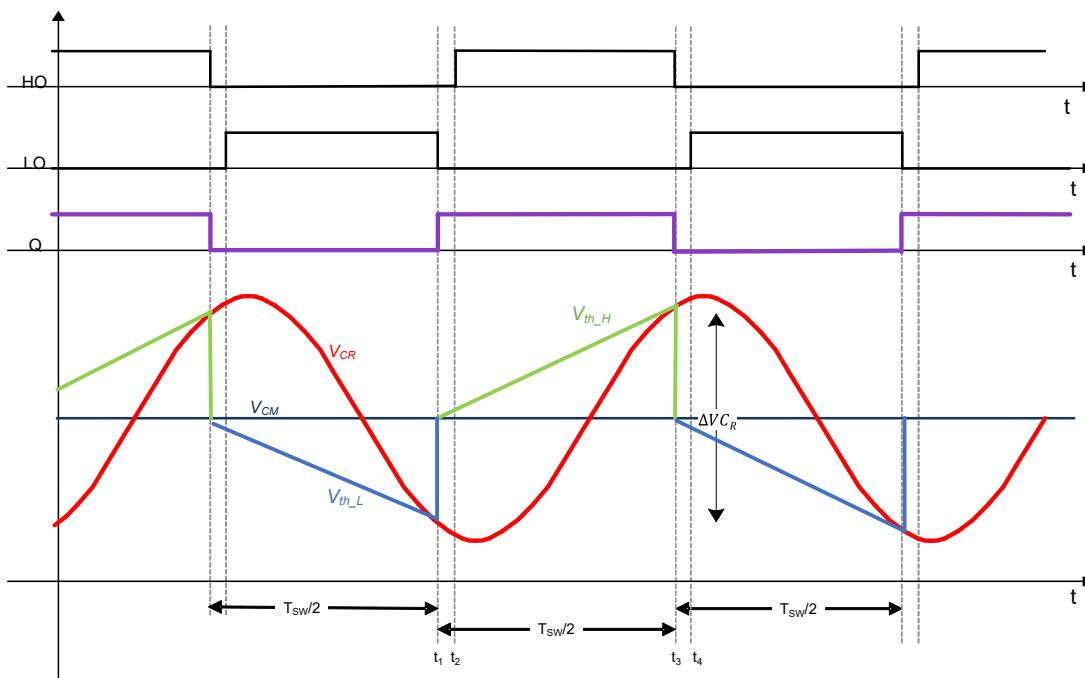


図 7-2. IPPC の基本波形

FBReplica は、フィードバックピン (FB) 電流の内部電圧表現です。セクション 7.3.3 ではフィードバック チェーンを定義しています。以下の式を使用して、コンパレータのスレッショルド  $V_{TH}$  および  $V_{TL}$  を計算します。

$$V_{TH} = (V_{CM} + k \times FBReplica \times Tsw \div 2) \quad (1)$$

$$V_{TL} = (V_{CM} - k \times FBReplica \times Tsw \div 2) \quad (2)$$

$$V_{TH} - V_{TL} = \Delta V_{CR} = k \times FBReplica \times Tsw \quad (3)$$

### 7.3.1.1 電圧フィードフォワード

入力電圧フィードフォワードを実装することで、制御信号は入力電力  $P_{inavg}$  に比例します。

式 4 を入力電圧フィードフォワードを考慮した形に書き換えてください。このとき、 $K_1$  と  $K_2$  は内部シンセサイザのゲインです。

$$FBReplica = \frac{2}{C_r} \times K_1 \times P_{inavg} + K_2 \times I_{RAMP} \quad (4)$$

BLK ピンは一定周期ごとに LLC 電力段の入力電圧を検出します。この入力電圧の周期的な平均値を用いてフィードフォワード ゲインを調整し、制御信号が入力電力に比例するようにします。詳細については、セクション 7.3.2 を参照してください。

### 7.3.2 VCR シンセサイザ

UCC25661x-Q1 ファミリ には VCR シンセサイザが実装されており、共振タンク電流が内蔵されているため、共振容量電圧の内部表現が形成されます。VCR シンセサイザを内部に実装することで、UCC25661x-Q1 ファミリ は突入電流の制御とフィードフォワード ゲイン ステージにより、超高周波のスタートアップをサポートします。内蔵の VCR シンセサイザにより、コントローラが ISNS 端子で拾った外部ノイズの影響を受けにくくなるため、コントローラはより堅牢になります。

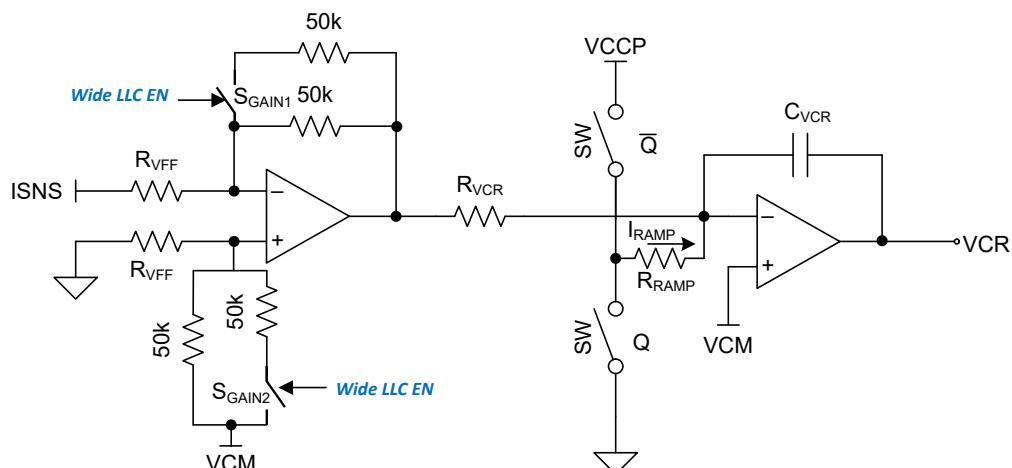


図 7-3. VCR シンセサイザのブロック図

VCR シンセサイザの最初の段はプログラム可能なゲインステージで構成されており、入力電圧のフィード フォワード機能を実装するために使用されます。2 段目は、ランプ補償付きのプログラム可能な積分器で構成されます。UCC256614-Q1 は拡張ゲイン範囲 (EGR) に対応しています。EGR 機能は、LLC の入力電圧が 3:1 の広い範囲で変動する際に、VCR シンセサイザのプログラマブル ゲインステージのゲインを下げることで、FBReplica の変動を抑えます。これは、工場出荷時にスイッチ  $S_{GAIN1}$  と  $S_{GAIN2}$  をオンに設定することで実現されています。広い周波数範囲の LLC 電力段に対応できるよう、TSET ピンを使用した設計の要求を満たすため、積分器の時定数はスタートアップ時に外部で設定可能です。

起動時は、V5P と GNDP の間に接続された外付け分圧抵抗によって、TSET がプログラミングされます。外部分圧器のセンターノードを TSET ピンに接続します。プログラミング フェーズ中に、定電流  $I_{TSETPrgm}$  が TSET ピンに供給され、その結果として得られる電圧は ADC ( $V_{TSETA}$ ) によって測定されます。 $I_{TSETPrgm}$  がオフになってから、TSET 分圧抵抗の電圧 ( $V_{TSETB}$ ) を測定します。

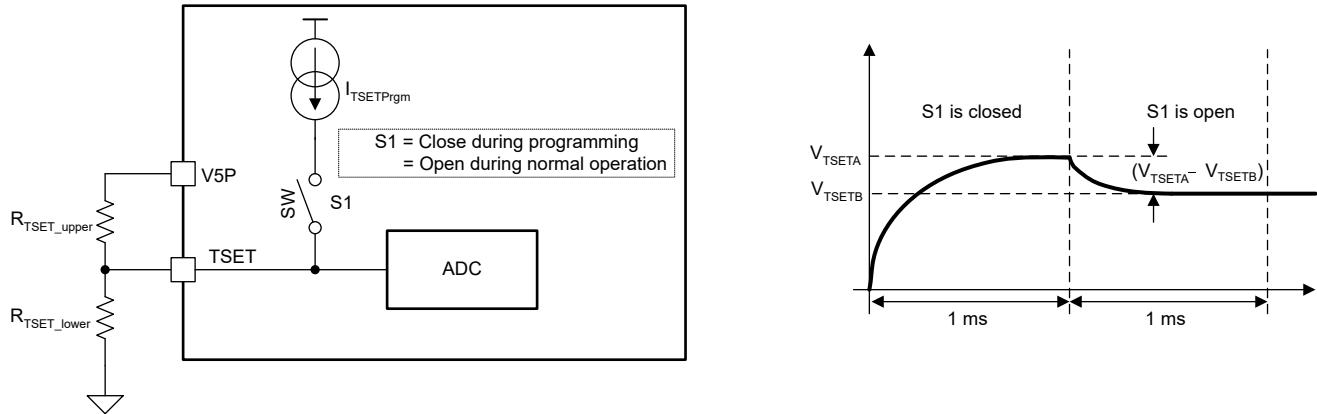


図 7-4. TSET ピンのプログラミング

$V_{TSETB}$  にプログラミングされた電圧は、IPPC 動作の最小動作周波数と最大デッド タイムを設定します。 $V_{TSETA}$  と  $V_{TSETB}$  の差は、特定の出力電力に対して FBReplica の振幅を設定するための積分器の時定数を設定します。 $V_{TSETA}$  と  $V_{TSETB}$  の差によって、過負荷保護 (OLP) と過電流保護 (OCP) のスレッショルドを個別に設定できます。

### 7.3.2.1 TSET のプログラミング

$V_{TSETB}$  電圧は、IPPC 動作の最小周波数とデッド タイムを設定します。 $V_{TSETA} - V_{TSETB}$  は、積分器の時定数を設定し、所定の出力電力に応じて FBReplica の振幅を決定します。さらに、OLP と OCP のスレッショルドを個別に設定できるようにします。表で、TSET 電圧の値は公称値です。各 TSET 設定で使用される最大および最小範囲は、公称値の  $\pm 48\text{mV}$  以内です。

**表 7-1. TSET プログラミング オプション表**

TSET オプション番号	3.5V OCP の TSET 電圧 (V)	IPPC 動作の最低周波数 (kHz)	積分器の時定数 (ns)	最大デッドタイム (μs)
17	2.295	698.6	68	0.5
16	2.168	591.6	80	0.5
15	2.041	501	93	0.5
14	1.914	424.3	112	0.5
13	1.787	359.3	132	1
12	1.66	304.3	156	1
11	1.533	256.7	184	1
10	1.416	218.2	214	1
9	1.299	184.8	257	1
8	1.182	156.5	304	1
7	1.074	132.5	359	1
6	0.967	112.2	424	1
5	0.850	95	490	1
4	0.742	80.5	588	1
3	0.644	68.1	694	1
2	0.547	57.7	820	1
1	0.450	48.9	968	1
X <sup>(1)</sup>	< 0.392	—	X	—

(1) 使用をお勧めしません。

### 7.3.3 帰還チェーン(制御入力)

絶縁バリアの 2 次側に配置された電圧レギュレータ回路によって、出力電圧が制御されます。2 次側レギュレータ回路からの要求信号は、フォトカプラを使用して絶縁バリアを通過します。V5P ピンからバイアス電流を供給する外部回路を追加する場合は、ISOM81xx ファミリのようなフォトカプラ エミュレータを使用します。ただし、その代償としてスタンバイ消費電力が増加します。

定電流源  $I_{FB}$  が、VCCP 電圧から生成され、FB ピンに接続されます。抵抗  $R_{FB}$  は PMOS を直列にして、この電流源に接続します。通常動作中は PMOS は常時オンになり、FB ピンの電圧がツェナー ダイオード基準電圧に PMOS のソース - ゲート間電圧降下を加えた値と等しくなります。

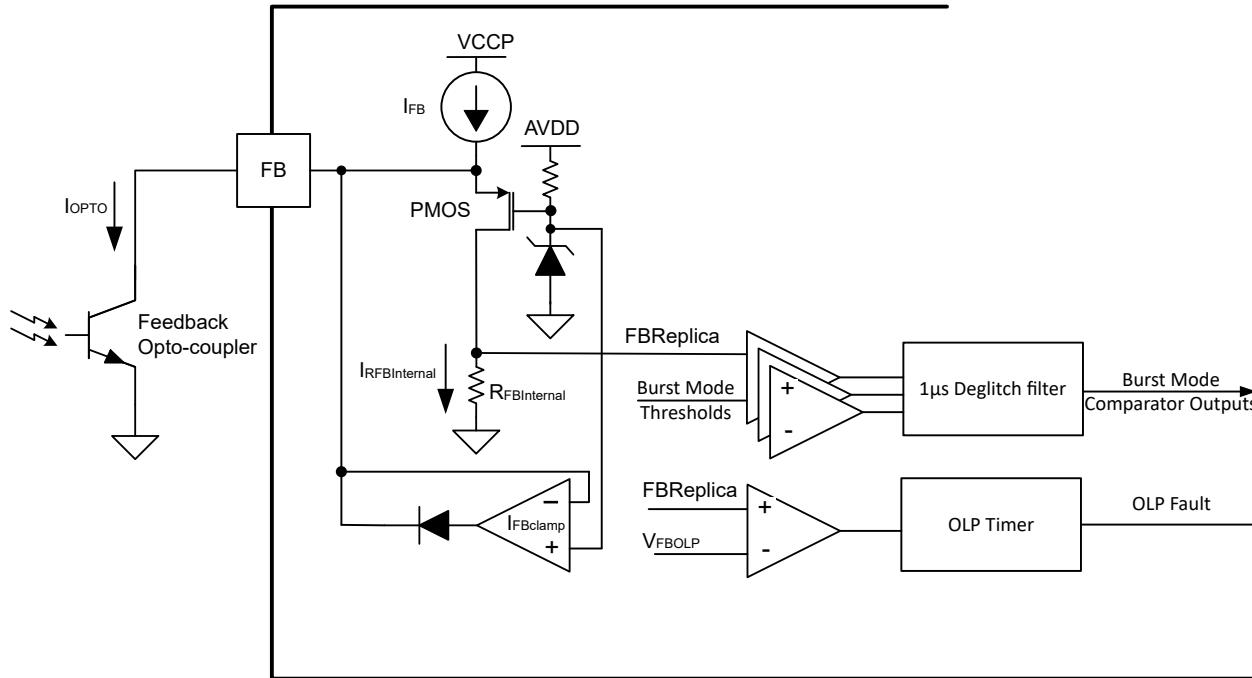


図 7-5. 帰還信号経路 ブロック図

$$I_{RFBInternal} = I_{FB} - I_{OPTO} \quad (5)$$

制御信号 *FBReplica* は、式 6 を使用して計算されます。

$$FBReplica = I_{RFBInternal} \times R_{FBInternal} \quad (6)$$

この式から、 $I_{OPTO}$  が増加すると、 $I_{RFBInternal}$  が減少し、*FBReplica* が減少します。結果として、制御信号が反転します。 $I_{OPTO}$  が増加し続け、 $I_{FB}$  の値に達すると、PMOS を流れる電流が十分にないため、FB ピンの電圧は低下し始めます。FB ピンが low になると、フォトカプラの寄生コンデンサを充電して FB ピンの電圧をプルアップすることに起因する余分な遅延が発生し、システムの過渡応答に影響を及ぼします。電源制御の問題を防止するために、FB ピン電圧クランプ回路を使用します。FB ピンの電圧が FB ピンのクランプ電圧スレッショルドを下回ったら、追加の電流源をオンにして FB 電圧をクランプします。クランプの強度は  $I_{FBClamp}$  です。FB ピン クランプ回路により、軽負荷から重負荷までのシステム過渡性能が向上します。図 7-6 に、FB ピンのクランプ動作を示します。

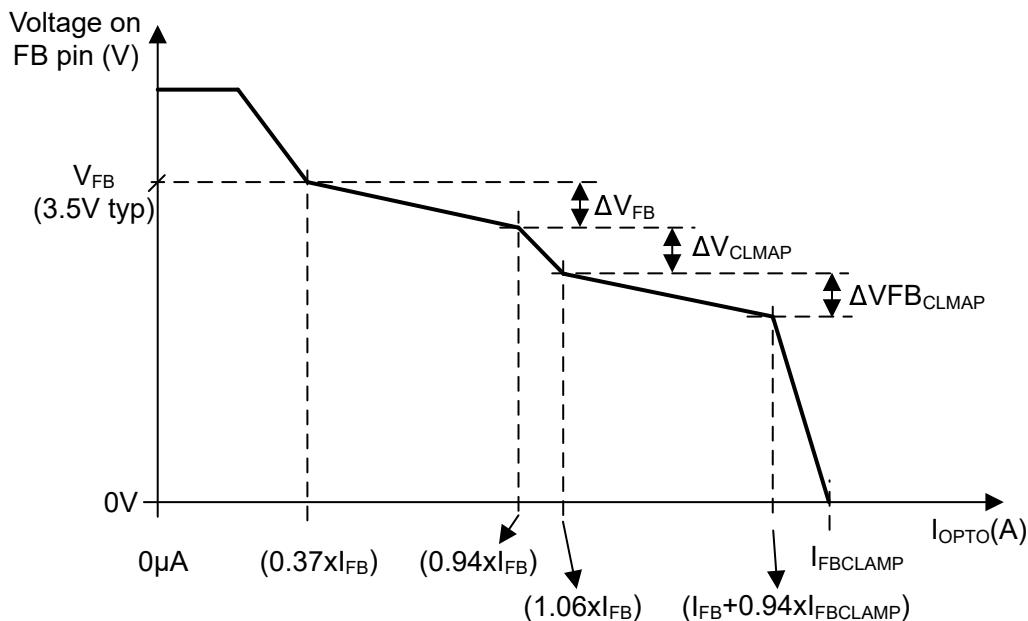


図 7-6. FB ピン電圧と FB ピン電流との関係

#### 7.3.4 アダプティブ デッドタイム

UCC25661x-Q1 ファミリ には、ハイサイド パルスとローサイド パルス間のデッド タイムを最適化するため、高速な低レイテンシ スルーレート検出ブロックが実装されています。アダプティブ デッド タイム ブロックは、貫通電流または過剰なボディダイオード導通を防止するためにデッド タイムを調整します。

アダプティブ デッド タイム ブロックのコアには、最大 200V/ns のスルーレートを検出できるスルーレート検出器ブロックがあり、UCC25661x-Q1 ファミリ は高周波共振コンバータでの使用に最適です。

バースト モードでは、ZCS 防止動作中、またはスルーレートが非常に低速になる可能性のある電力段で、共振タンクの電流極性信号（極性コンパレータ出力）を使用してスルーレート検出器を強化します。

LLC の自然な対称動作により、スルーレート検出器によって決定されるのは、ハイサイド スイッチのオフとローサイド スイッチのオン間のデッド タイムのみです。デッド タイムはコピーされ、ローサイド MOSFET のターン オフとハイサイド MOSFET のターン オン間のデッド タイムに適用されます。デッド タイムがコピーされないいくつかの例外があります。条件は以下のとおりです。

- 直前の High から Low への遷移でスルーレート検出器信号が見つからない場合
- 前のサイクルでの ZCS 検出

上記の条件では、ISNS 信号に基づく Ipolarity コンパレータを使用して、low から high への遷移中のデッド タイムを調整します。

#### 7.3.5 入力電圧検出

BLK ピンによる入力電圧検出を使用して、以下に示す複数の機能を実装します。

- 入力電圧ブラウンインおよびブラウンアウト
- 入力フィードフォワード（セクション 7.3.1 を参照）
- 入力電圧 OVP

##### 7.3.5.1 ブラウンインおよびブラウンアウトのスレッショルドとオプション

UCC25661x-Q1 ファミリ は、プログラマブルなブラウンインおよびブラウンアウトのスレッショルドを提供します。BLK ピンの電圧が V<sub>BLKStop</sub> を下回ると、コントローラはブラウンアウト状態に移行し、スイッチングを停止します。ブラウンアウト状態

では、追加の電流シンクがオンになり、BLK ピンから  $I_{BLKHys}$  を引きます。ピンに接続される等価抵抗を外部から変更することにより、実際のブラウンイン電圧をプログラムします。

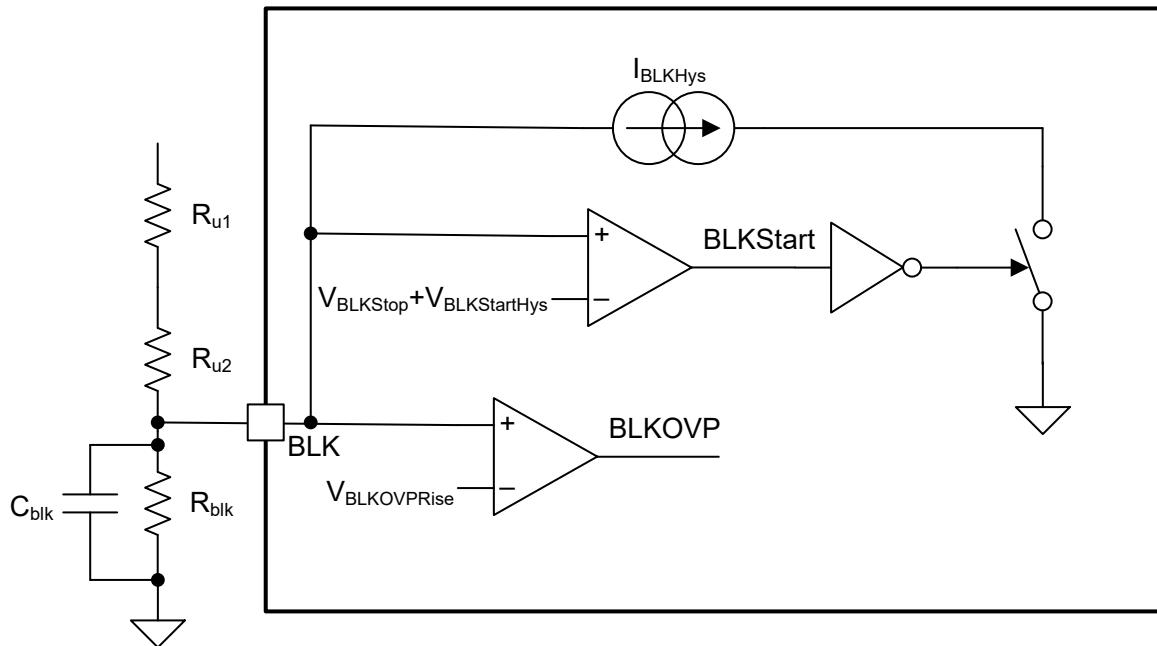


図 7-7. BLK ピンの入力電圧検出アーキテクチャ

ブラウンアウトが検出されると、コントローラはスイッチングを停止します。BLK 電圧がブラウンイン電圧を上回ると、コントローラはすぐにソフトスタートを開始し、フォルトのアイドル時間を持ちません。

### 7.3.5.2 出力 OVP および外部 OTP

UCC25661x-Q1 ファミリ はマルチファンクション ピン (OVP/OTP) を備えており、出力過電圧と外部過熱状態を監視します。出力電圧はバイアス巻線および電源電圧 VCCP に反映される電圧によって監視されます。

VCCP と OVP/OTP ピンの間にツェナー ダイオードを接続します。通常の動作条件では、ツェナーは導通せず、OVP/OTP ピンの電圧は NTC 抵抗と  $I_{OTP}$  のソース電流の結果となります。VCCP がツェナー ブレークダウン電圧を超えるのに十分な大きさになった場合、ツェナー電流により OVP/OTP ピンの電圧が high になります。OVP/OTP の電圧が  $V_{OVP_{pos}}$  スレッショルドを 40 $\mu$ s 上回ると、コントローラは障害を検出し、スイッチングを停止します。

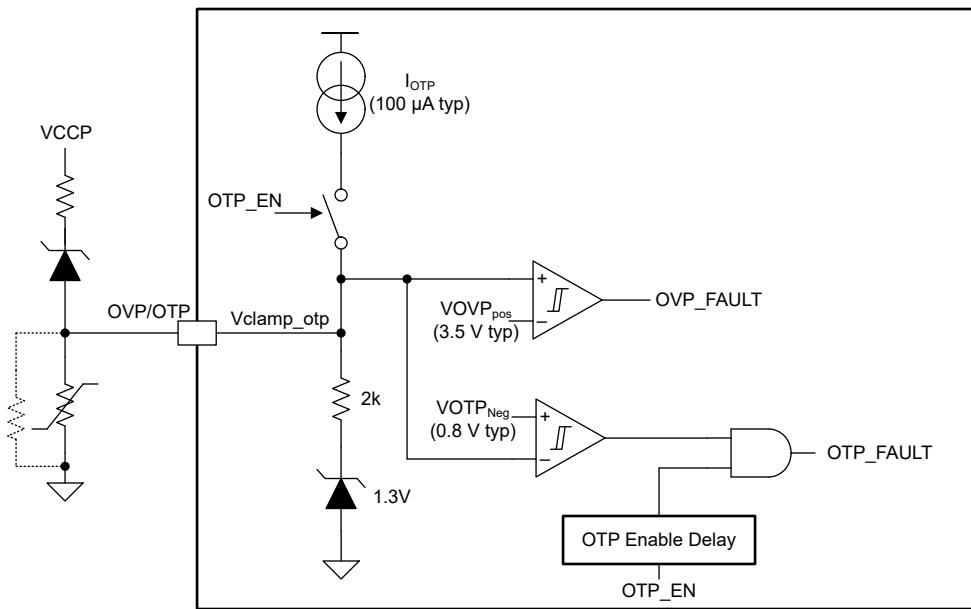


図 7-8. OVP/OTP 保護アーキテクチャ

NTC は OVP/OTP を GNDP に接続します。内部の電流源  $I_{OTP}$  は、OVP/OTP ピンから流れ出し、NTC 抵抗に流れます。NTC の温度に基づいて、外部過熱フォルトが発生したかどうかを判断するために、ピンの結果として得られた電圧が  $V_{OTP_{Neg}}$  と比較されます。外部過熱保護が検出されると、UCC25661x-Q1 ファミリはフォルト状態に移行します。1 秒の待機時間後に、UCC25661x-Q1 ファミリは OVP/OTP ピンの電圧を確認します。OVP/OTP ピンの電圧が  $V_{OVP_{Pos}}$  よりも高い場合、UCC25661x-Q1 ファミリは再起動を試みます。それ以外の場合は、フォルトアイドル状態で待機し続けます。バーストモード中は、静止電流を最小化するため、過熱保護機能が無効化されます。バーストモードから通常スイッチングに遷移するとき、OTP 機能が再度有効になります。

### 7.3.6 共振タンク電流検出

ISNS ピンは微分器により共振タンク電流を検知します。過電流保護ピンとしてだけでなく、ISNS ピンも制御機能の重要な部分です。

ISNS ピンの機能は次のとおりです。

- 制御電圧を発生させ、IPPC 制御に使用する積分器への入力
- OCP (サイクル単位) 保護
- 共振電流極性検出
- ZCS (ゼロ電流スイッチング) 防止とデッドタイム管理
- 起動時の逆回復回避

## 7.4 保護

### 7.4.1 ゼロ電流スイッチング (ZCS) 保護

ZCS 保護は、LLC コンバータが容量性動作領域に上回らないようにするために必要な機能です。容量性領域では、ボディダイオードの逆回復によって両方のスイッチが一時的に同時に導通し、MOSFET が損傷することがあります。さらに、ゲインと周波数の関係は容量性領域で反転し、コンバータが電力段のレギュレーションを完全に失う可能性があります。

ZCS 保護の目的は、MOSFET を電流が反転する前にオフできるようにして、ボディダイオードのハード逆回復を防ぎ、電力段の信頼性を向上させることです。最小ターンオフ電流はスレッショルドに設定されます。これにより、この状況でのスイッチに対する ZVS または ZVS スイッチングの可能性が高くなります。

スル一完了信号と IPOL 信号を監視するデッド タイム エンジンと組み合わせることによって、 $V_{DS}$  電圧のバレー ポイントで逆方向の MOSFET が確実にオンになり、ターンオン損失を低減できます。

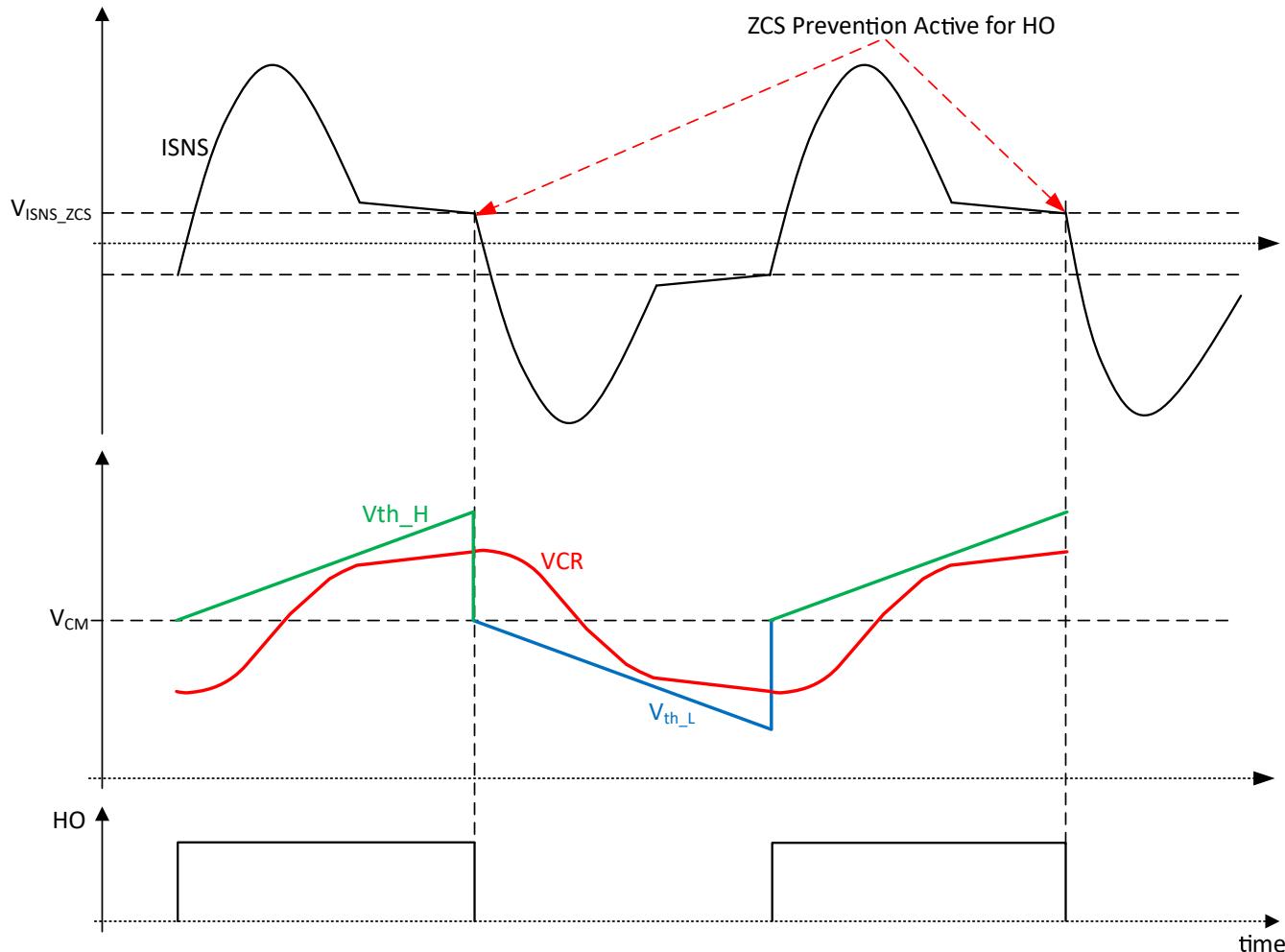


図 7-9. ZCS 保護

誘導性/容量性の境界で動作が成立しない場合は、ゲートがオフになる前に共振電流が減少します。ISNS 波形が  $V_{ISNS\_ZCS}$  スレッショルドよりも低い場合、VCR 波形が  $V_{TH}$  境界を越えるのを待たず、ゲートパルス HO は早期終了します。早期のゲート終端方法では、ゲートターンオフエッジで十分な共振電流を残して、デッドタイム中に ZVS 遷移を駆動できます。LO ゲートパルスについても同様の説明が有効です。

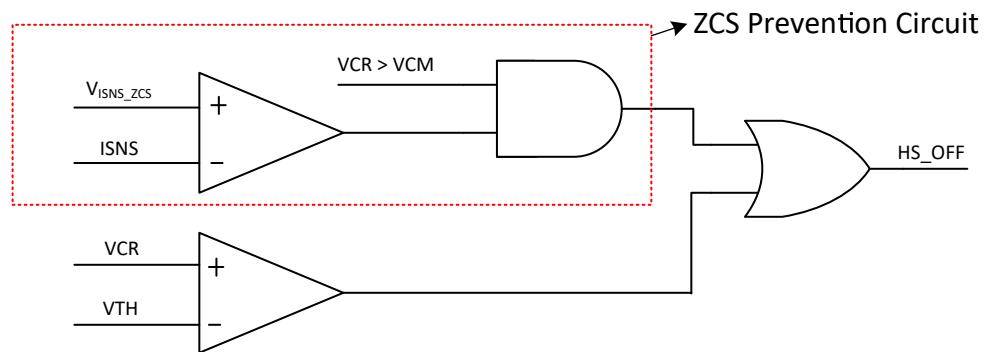


図 7-10. ハイサイド MOSFET がオンのときの ZCS 防止方式

共振周波数よりも共振電流の形状が低い場合、共振電流波形の正しい立ち下がりエッジを検出するにはいくつかの課題が生じます。UCC25661x-Q1 には、ISNS 信号の正しい立ち下がりエッジを確実に検出して、誤トリップを防止するため、追加のロジックが実装されています。

ノイズに対する堅牢性を高めるため、HO または LO ゲートの立ち上がりエッジで ISNS ZCS コンパレータがブランкиングされます。VCR コンパレータと ISNS ZCS コンパレータの両方で、同じブランкиング時間  $t_{leb}$  が使用されます。

ZCS イベントが検出されると、内部ソフトスタートランプ電圧がゆっくりと低下します。内部ソフトスタートが下降すると、スイッチング周波数が強制的に上昇し、コンバータの容量性領域から強制的に逸脱します。

$TZCS_{Fault}$  が一定時間持続した ZCS 条件が発生した場合、UCC25661x-Q1 コントローラはスイッチングを停止し、フォルト状態に移行します。

#### 7.4.2 ソフトスタート中の最小電流ターンオフ

起動時に、1 次側の MOSFET の最初の数スイッチングサイクルは、ボディダイオードの逆回復とハードスイッチングを伴います。これは主に、起動時に、 $V_{in}/2$  の定常状態動作電圧から共振コンデンサが DC バイアス電圧を生じる可能性があることによるものです。これにより、起動時の共振タンク電流が非対称になります。最初の数サイクルでは、非対称性が十分に高く、スイッチターンオフの時点の電流が逆極性になることがあります。

たとえば、以下の図を参照してください。

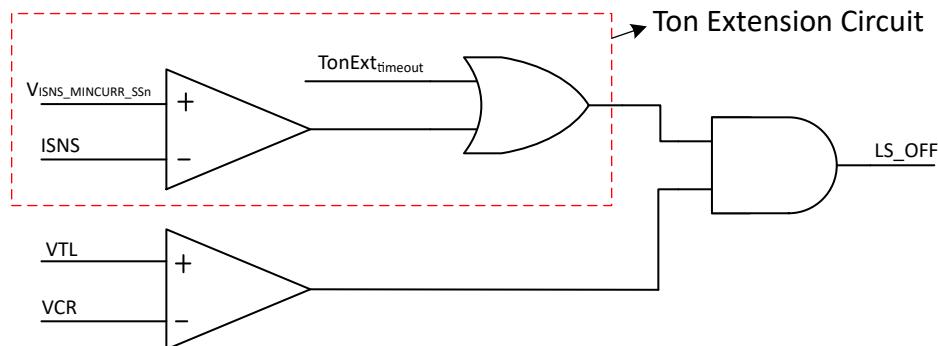


図 7-11. Ton 拡張方式

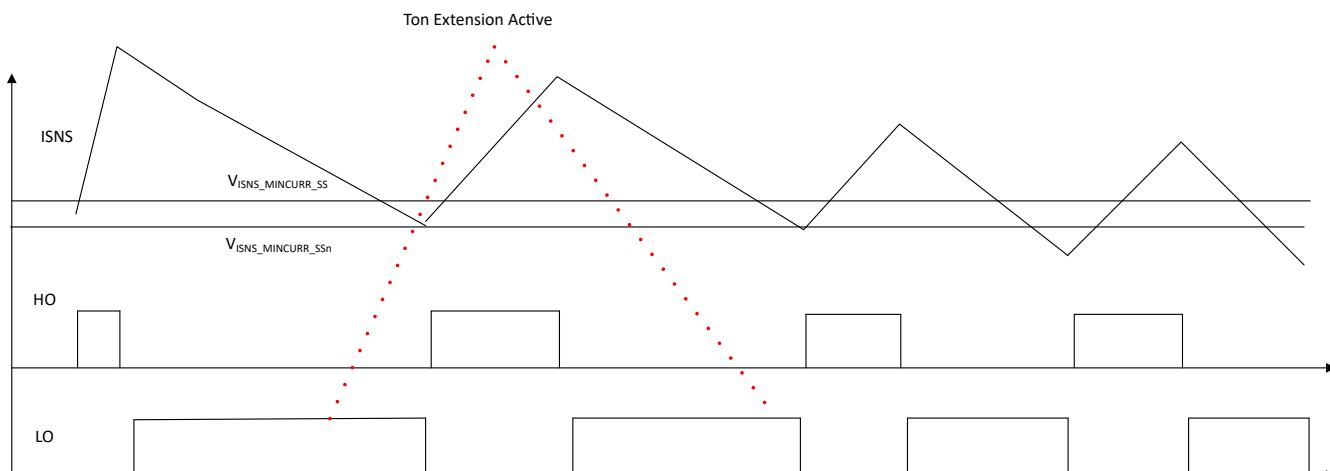


図 7-12. 起動時の ZCS 防止

#### 7.4.3 サイクル単位の電流制限と短絡保護回路

UCC25661x-Q1 ファミリの OCP およびサイクル単位の電流制限機能は、短絡に対して高速 (50ns 未満) 応答を実現しています。

サイクル単位の保護機能は、電力段のピークストレスを制限するのに役立ちます。ISNS 電圧が  $V_{ISNS\_OCP}$  を上回ると、現在の HO ゲート パルスは終了します。それに応じて、後半サイクルで、対応する過電流制限が検出されると、現在の LO パルスが終了します。スイッチング サイクル連続で  $n_{OCP}$  (7) の状態で OCP が検出されると、デバイスはフォルト状態に移行します。スタートアップ中、連続スイッチング サイクルの  $n_{OCP\_SS}$  (50) で OCP 状態が検出されると、デバイスはフォルト状態に移行します。 $n_{OCP}$  と  $n_{OCP\_SS}$  は出荷時に構成可能なパラメータです。

#### 7.4.4 過負荷保護 (OLP)

フィード フォワードで IPPC を使用すると、Pout と内部制御信号 FBReplica の間に密接な相関関係を得ることができます。

FBReplica が  $V_{FBOLP}$  を上回ると (たとえば、 $I_{opto}$  が  $0\mu A$  に低下すると)、システムは入力電力の制限を開始し、OLP タイマ カウントが増加します。FBReplica が ( $T_{OLP}$ ) を上回る間  $V_{FBOLP}$  を上回ると、OLP フォルトが検出され、システムはフォルト再起動シーケンスに移行します。

#### 7.4.5 VCC OVP 保護

VCCP ピンの内部電流制限クランプにより、VCCP ピンを保護し、VCCP ピンに印加される電圧が推奨最大電圧を超えると、ゲート駆動出力電圧をクランプします。クランプには最大シンク電流  $IVCC_{Clamp}$  があります。VCCShunt を流れる電流が  $IVCC_{Clamp}$  を超えると、VCCP ピン電圧は VCC\_OV を超えてさらに上昇し、UCC25661x-Q1 はフォルト状態に移行して、1 秒間のフォルト待機後にリトライを行います。

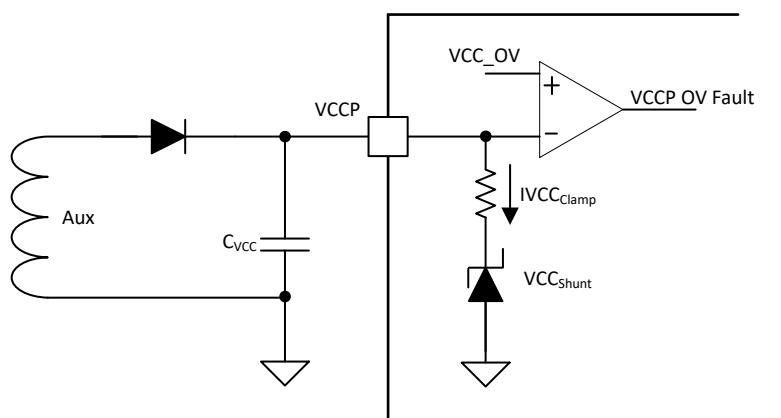


図 7-13. VCC クランプ

### 7.5 デバイスの機能モード

#### 7.5.1 スタートアップ

##### 7.5.1.1 HV スタートアップ時

初回起動シーケンス

1. AC プラグを差し込むと、HV ピンに電圧が印加されます。VCCP 電圧が  $VCC_{Short}$  を下回ると、VCCP ピンは  $I_{VCC\_Charge\_Low}$  で充電されます。VCCP 電圧が  $VCC_{Short}$  より高い場合は、VCCP ピンが  $I_{VCC\_Charge\_High}$  で充電されます。
2. VCCP 電圧が  $VCC_{UVLor}$  を上回ると、デバイスの初期化が完了するまで、内部 LDO が V5P 電圧をレギュレートします。
3. V5P が確立されます。LL ピンと TSET ピンは、バースト モードと内部 VCR シンセサイザのプログラミングに使用します。
4. HV スタートアップ オプションがバイナブルの場合、VCCP が完全に確立される前に PFC がオンになるのを防ぐため、TSET ピンは high (PFC オフを意味します) を出力します。
5. VCCP が  $VCC_{StartSelf}$  を上回ると、HV 充電電流は停止します。LLC の起動プロセスが開始されます。TSET 電圧は 1V 未満に維持され、PFC が起動できます。

6. ステージ 3 と 4 の間に、VCCP 電圧が  $VCC_{ReStartJfet}$  を下回ると、HV 充電電流が再度イネーブルになり、VCCP は  $I_{VCC\_Charge\_High}$  で充電されます。
7. LLC の起動が完了すると、VCCP が  $VCC_{ReStartJfet}$  を下回るまでの間、HV 充電電流はディスエーブルになります。
8. 通常動作中に、VCCP 電圧が  $VCC_{StopSwitching}$  を下回ると、異常が発生し、UCC25661x-Q1 ファミリはシャット ダウンします。通常の再起動シーケンスに従います。

シーケンスを再起動します

1. 異常が検出されると、UCC25661x-Q1 ファミリはシャット ダウンします。フォルト再試行モードでは、1 秒間の待機後に UCC25661x-Q1 ファミリが再試行を行います。VCCP が  $VCC_{UVLOf}$  より高い状態を保っている場合、TSET は High を出力します。
2. VCCP 電圧が  $VCC_{Short}$  を下回ると、VCCP ピンは  $I_{VCC\_Charge\_Low}$  で充電されます。VCCP 電圧が  $VCC_{Short}$  より高い場合は、VCCP ピンが  $I_{VCC\_Charge\_High}$  で充電されます。VCCP ピンの電圧が  $VCC_{StartSelf}$  より高い場合、HV 起動はイネーブルではありません (位相 I がスキップされます)。V5P が確立され、バースト モード設定用に LL ピンが解放されます。

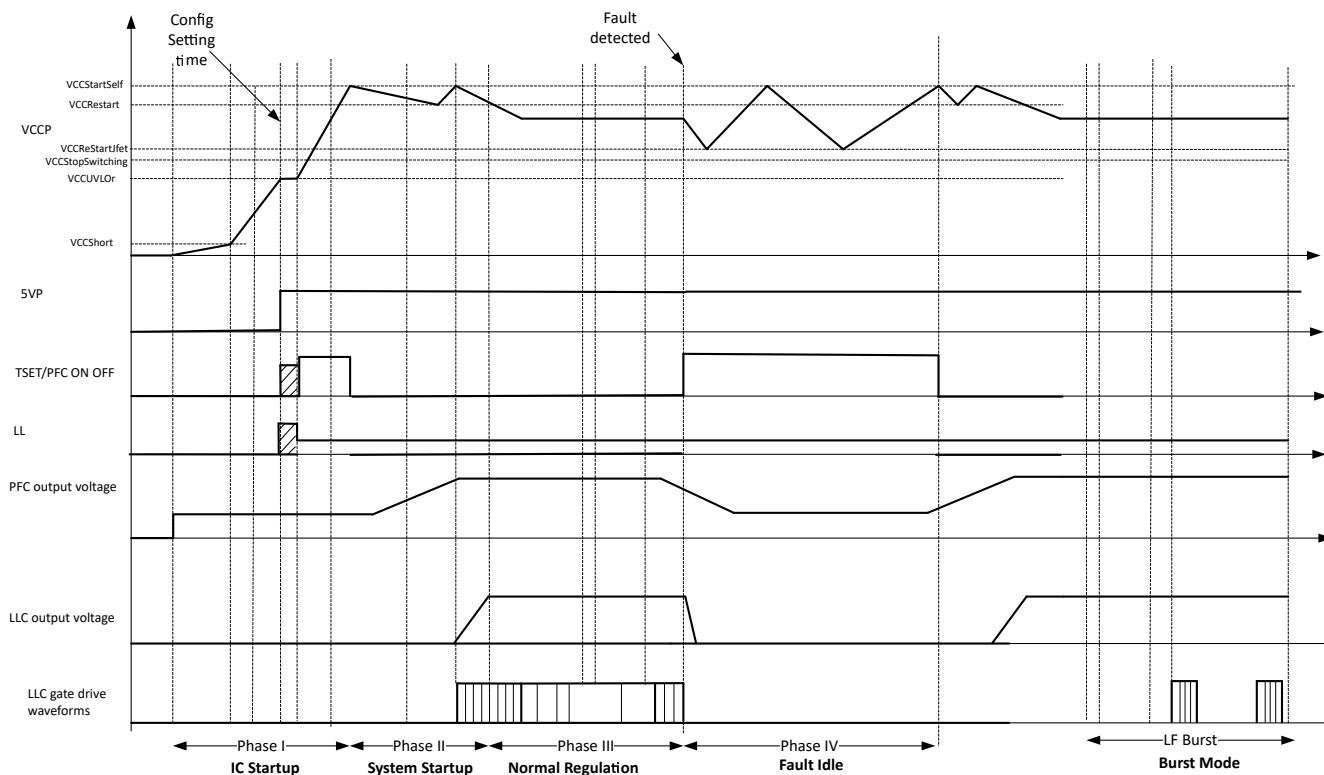


図 7-14. 「HV スタートアップ」機能の起動シーケンスを有効化

### 7.5.1.2 HV スタートアップなし

HV スタートアップが無効であれば、PFC のオン / オフ信号も無効になります。起動シーケンスは次のとおりです。

1. VCCP 電圧が  $VCC_{UVLOR}$  を上回ると、V5P が確立されます。
2. LL ピンと TSET ピンは、バースト モードおよび内部 VCR 積分器の設定に使用されます。
3. VCC が  $VCC_{UVLOf}$  を下回ると、V5P はオフになり、システムはシャット ダウンされます。

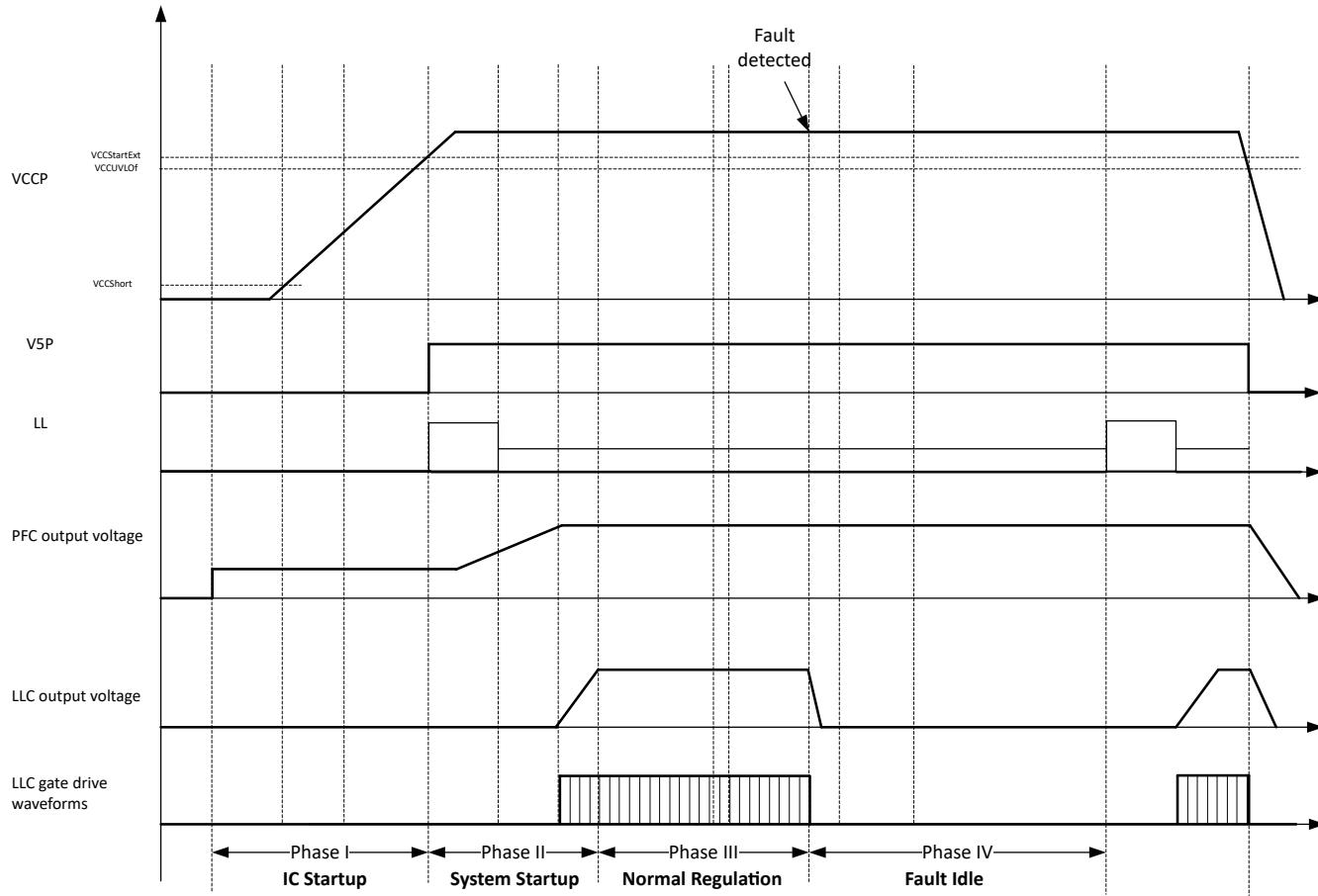


図 7-15. 「HV スタートアップ」機能の起動シーケンスを無効化

## 7.5.2 ソフトスタートランプ

ソフトスタートランプは、UCC25661x-Q1 ファミリに内蔵されています。内部で 25ms の固定最大ソフトスタート時間が生成されるため、ランプアップ中に高速な出力電圧を可能にしながら、スタートアップ時の突入電流を低減できます。

### 7.5.2.1 スタートアップからレギュレーションへの遷移

UCC25661x-Q1 ファミリには、新しいソフトスタートが実装されているため、スタートアップ時の突入電流を制御できます。この新しい方式により、早期のソフトスタートの終了を回避でき、ソフトスタートと閉ループ レギュレーションとの間をスムーズに遷移できます。

スタートアップ時に、定義されたスロープを使用して内部ソフトスタート電圧 (*SSRamp*) が上昇し、*FBReplica* は出力電圧がレギュレーション電圧を下回っていることから *high* になります。2 つの信号のうち低いほうが、電力段のスイッチのターンオフ制御を決定します。

ソフトスタートは、*SSRamp* が最小スレッショルドを上回った後にのみ終了し、早期のソフトスタート終了を回避します。

## 7.5.3 軽負荷効率の管理

### 7.5.3.1 動作モード (バースト パターン)

UCC25661x-Q1 ファミリ バースト モード アルゴリズムは、可聴ノイズを最小限に抑えながら、軽負荷時の効率を向上させます。このバランスは、バーストパケットの周波数を可聴範囲を上回る (25kHz 超) ように維持するか、またはバーストパケットの周波数を可聴領域の非常に低い端 (400Hz 未満) に維持することで実現されます。UCC25661x-Q1 ファミリは 2 つのバースト モード パターンである、高周波 (HF) パルス スキップと低周波数 (LF) バーストを採用しています。

HF バーストパケットには、固定数の LO および HO パルスが含まれます。HF バーストの目的は、バースト周波数を可聴周波数範囲よりも高く維持することです。図 7-16 では、スイッチ ノードの 2 番目のバーでローサイド ゲートがイネーブルになり、次の HF バーストパケットの配信を開始します。

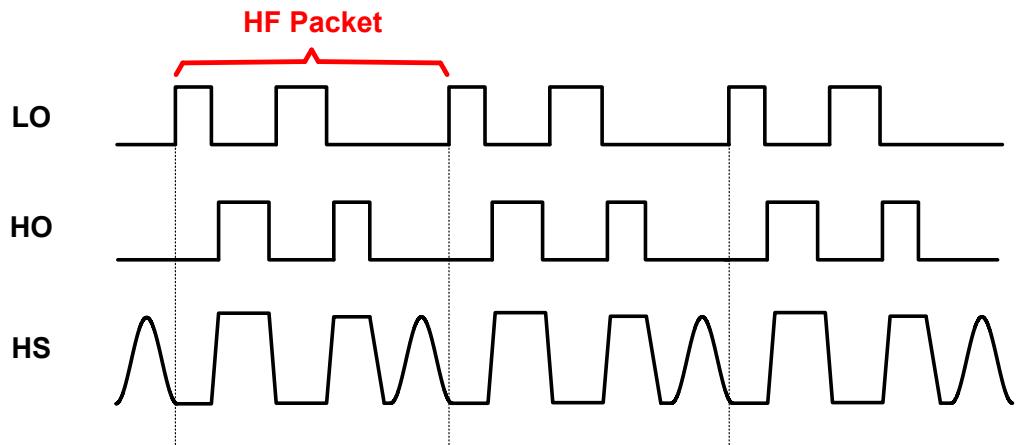


図 7-16. 高周波数パルス スキップ パケット

LF バーストには、多数の HF バーストパケットと LF バーストオフ期間が含まれます。

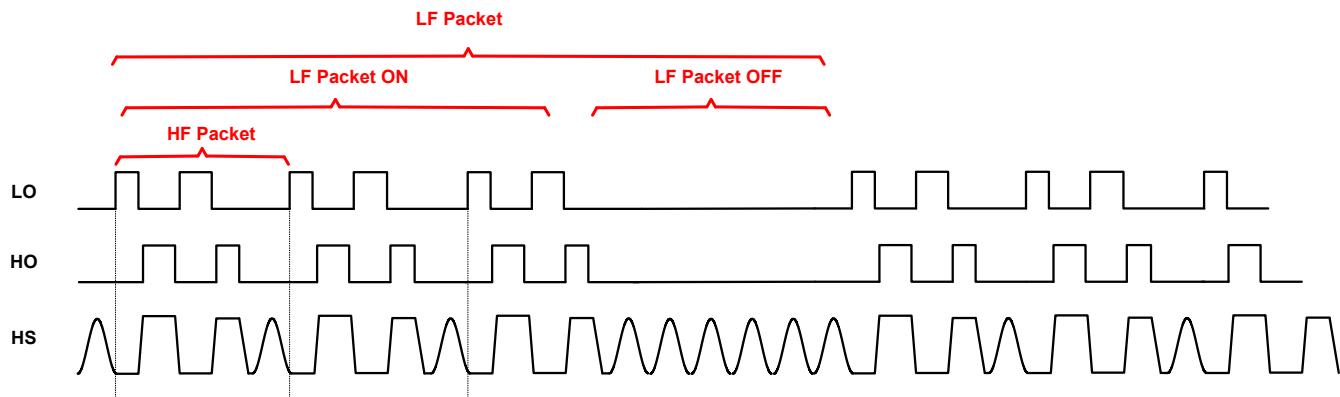


図 7-17. 低周波数のバースト パケット

LF バースト周波数を周波数範囲内に維持するために、HF バーストパケットの数が計算されます。目標周波数範囲のセットを内部的に用意しており、デフォルト オプションは、約 200Hz で LF バーストを制御することです。

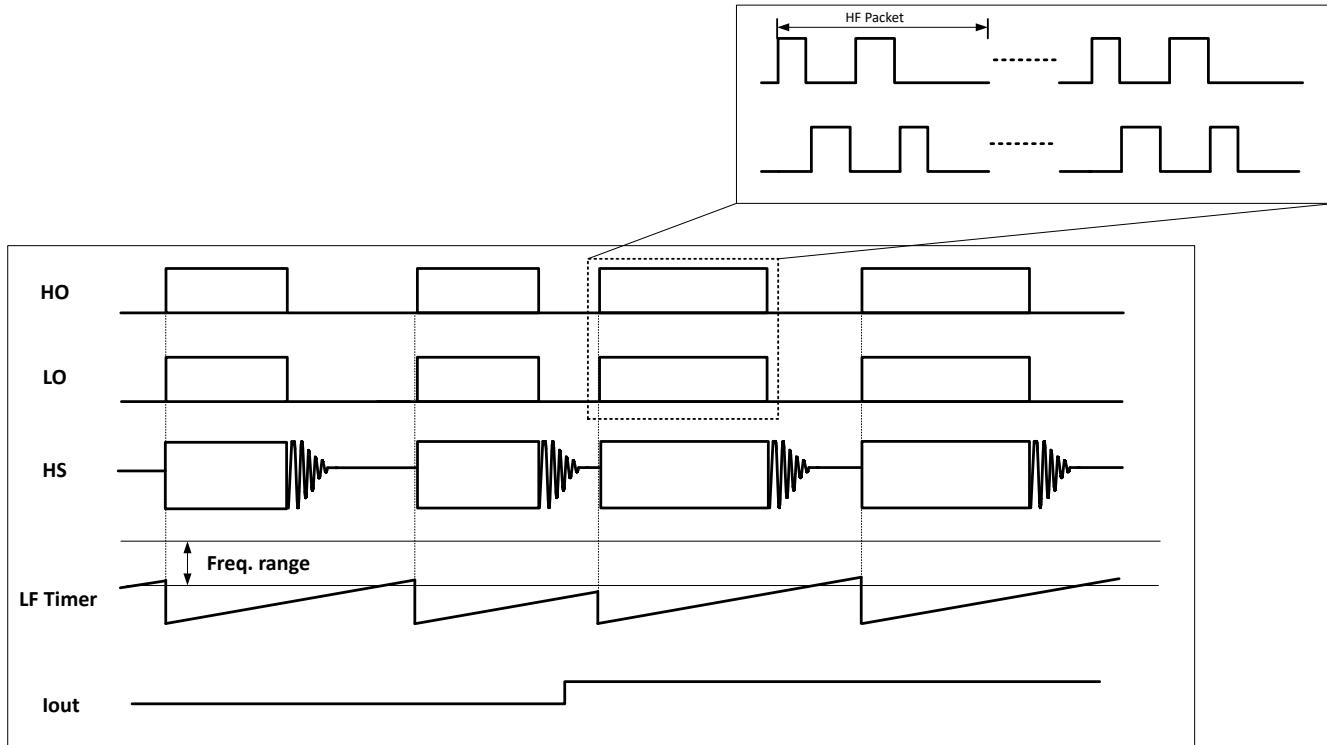


図 7-18. LF バースト内のパケット サイズ レギュレーション

### 7.5.3.2 モード遷移の管理

LL ピンを使用して、UCC25661x-Q1 ファミリ が HF パルス スキップおよび LF バースト モードに移行する電力レベルを設定します。設定可能な 2 つのスレッショルドは、*HFBurstEntry* と *LFBurstEntry* です。構成プロセスの詳細については、[セクション 7.5.3.3](#) を参照してください。

図 7-19 に、バースト モードでの UCC25661x-Q1 の開始および終了動作を示します。

- *HFBurstEntry* は、システムが HF パルス スキップに入る目的の電力レベルにおける *FBReplica* 電圧に対応します。
- *LFBurstEntry* は、システムが LF Burst に移行する修正 *FBReplica* 電圧に対応します。
- *FBreplica* が *HFBurstEntry* を上回ると、UCC25661x-Q1 ファミリ は通常スイッチングで動作します。
- *FBreplica* が *HFBurstEntry* 未満で、*LFBurstEntry* より大きい場合、UCC25661x-Q1 ファミリ は HF パルス スキップ モードで動作します。HF パルス スキップ モードでは、各パケットのエネルギーは引き続き制御信号 *FBReplica* によって制御されます。
- *FBreplica* が *LFBurstEntry* を下回ると、UCC25661x-Q1 は LF バースト モードで動作します。LF バースト モードでは、各パケットのエネルギーは *LFBurstEntry* スレッショルドに固定されます。
- LF バースト モードで動作しているときは、*FBReplica* が *LFBurstEntry* スレッショルドを上回ると、新しい LF バースト セグメントが開始されます。セグメントは、目的の数のパケットが配信され、*FBReplica* が *PacketStop* スレッショルドを下回ると終了します。
- LF バースト セグメント内の必要なパケット数が計算され、LF バースト動作周波数が 200Hz ~ 400Hz 以内に調整されます。
- 急激な負荷降下が発生した場合、出力の過電圧状態を回避するために LF バースト セグメントはただちに終端されます。

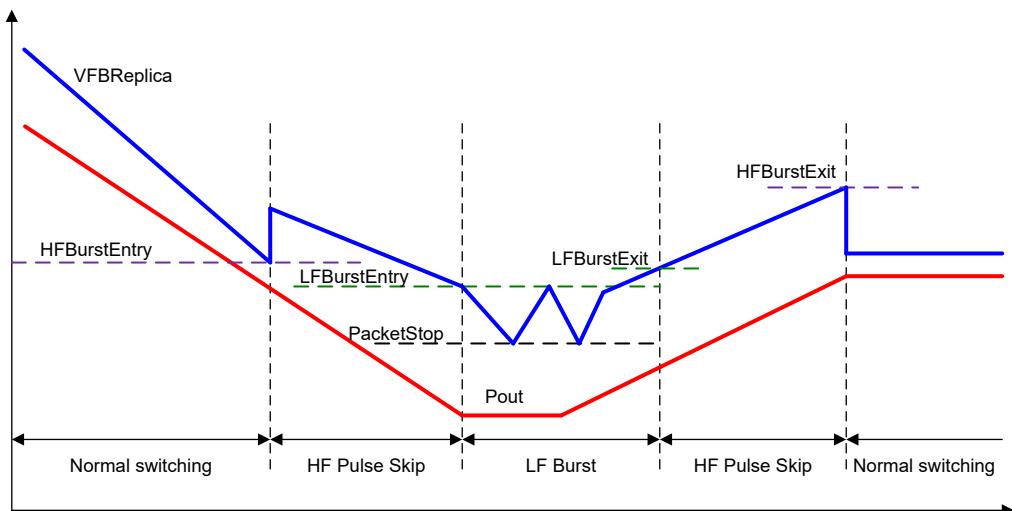


図 7-19. *FBReplica* コンパレータからのバースト モードの決定

### 7.5.3.3 バースト モード スレッショルド プログラミング

バースト モード スレッショルドは、V5P と GNDP の間に接続された外付け抵抗分圧器によって行われます。外部分圧器のセンターノードを LL ピンに接続します。プログラミング フェーズ中、定電流源  $I_{LLPrgm}$  が LL ピンに供給されます。その結果得られる電圧は、時刻  $T_{LLPrgm}$  に ADC ( $V_{LLA}$ ) を使用して測定されます。 $T_{Prgm}$  の後、 $I_{LLPrgm}$  がオフになり、LL 分圧抵抗の電圧 ( $V_{LLB}$ ) が測定されます。

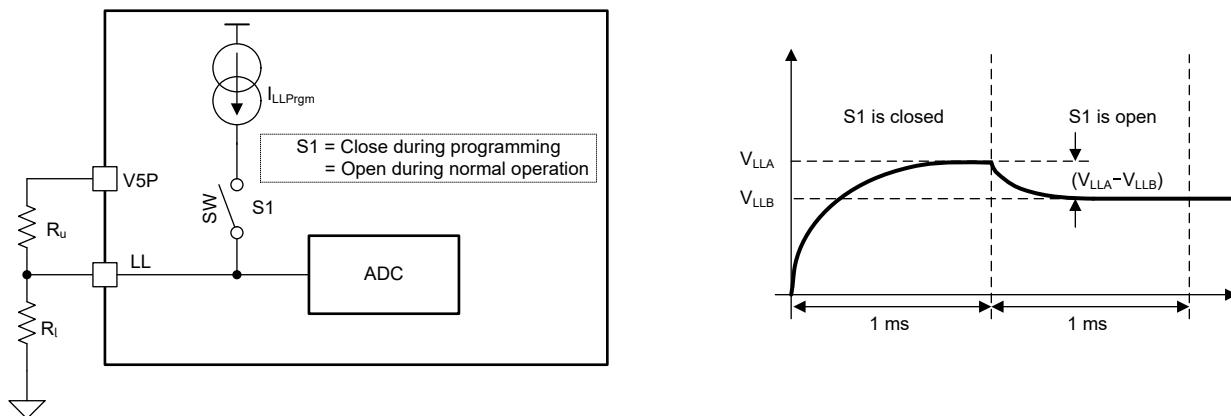


図 7-20. LL ピンのプログラミング

スイッチ  $S1$  がオフになった後の LL ピンの電圧 ( $V_{LLB}$ ) は、システムが LF バースト セグメントを停止する入力電力を設定するために直接使用されます ( $PacketStop = V_{LLB}$ )。

測定された  $V_{LLB}$  電圧と、 $V_{LLA}$  と  $V_{LLB}$  の電圧差に基づいて、コントローラが HF バーストに入る *FBReplica* の電圧を判定します。

$V_{LLA} - V_{LLB}$  の計算式を次に示します。

$$V_{LLA} - V_{LLB} = (R_u \parallel R_I) \times I_{LLPrgm} \quad (7)$$

$$HFBurstEntry = \text{PacketStop} \div a \quad (8)$$

定数「 $a$ 」は、次の表に示すようにユーザーがプログラムできます。

$$R_u \parallel R_I = R_{th} \quad (9)$$

式 10 は、コントローラが LF バーストセグメントを開始する *FBReplica* を示しています。

$$LFBurstEntry = \text{PacketStop} \div 0.6 \quad (10)$$

*HFBurstexit* および *LFBurstexit* スレッショルドには、それぞれ *HFBurstentry* および *LFBurstentry* からのヒステリシスがあります。2 つのヒステリシスはユーザ一定義のパラメータではありません。これら 2 つのヒステリシスは、コンバータの動作ポイントに基づいて内部で動的に推定されます。

バーストモード機能は、( $V_{LLA} - V_{LLB}$ ) をプログラムすることで無効化できます。

表 7-2. バーストモードを外部でプログラム可能な設定

( $V_{LLA} - V_{LLB}$ ) (V)	$a = (\text{PacketStop} \div \text{LFBurstEntry})$ 比率	コメント
>2.41	該当なし	バースト無効化
2.185	0.45	LF 周波数範囲: 200Hz ~ 400Hz
1.754	0.50	LF 周波数範囲: 200Hz ~ 400Hz
1.391	0.55	LF 周波数範囲: 200Hz ~ 400Hz
1.087	0.60	LF 周波数範囲: 200Hz ~ 400Hz
0.833	0.65	LF 周波数範囲: 200Hz ~ 400Hz
0.617	0.70	LF 周波数範囲: 200Hz ~ 400Hz
0.441	0.75	LF 周波数範囲: 200Hz ~ 400Hz
0.176	0.80	LF 周波数範囲: 200Hz ~ 400Hz

システムがさまざまな低消費電力モードに移行する入力電力を直接設定できるため、バーストモードを無効にすることで、システム設計の自由をさらに高めることができます。

#### 7.5.3.4 PFC オン / オフ

UCC256614-Q1 では、TSET ピンを PFC のオン/オフ ロジックとして使用します。初期のプログラミングフェーズの後、TSET は小信号 MOSFET (たとえば 2N7002) を駆動するために想定されるロジック出力ピンになります。UCC256614-Q1 が LF バーストモードで動作すると、PFC オン / オフ 信号が high になります。LF バーストモードを終了すると、TSET ピンの電圧が low になります。

## 8 アプリケーションと実装

### 注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 8.1 アプリケーション情報

UCC25661-Q1 は、LLC 方式が実装されている幅広いアプリケーションに使用できます。より簡単に使用できるよう、TI は次のようなツールを用意して、製品の機能を紹介しています。

- [フル機能の評価基板ハードウェア](#)
- [Excel 設計計算ツール](#)
- [リファレンス デザイン](#)

以下のセクションに、代表的な設計例を示します。

### 8.2 代表的なアプリケーション

下の図 8-1 に UCC25661-Q1 をコントローラとする代表的なハーフ ブリッジ LLC アプリケーションを示します。寿命信頼性の観点からフォトカプラ ベースのフィードバックを避けたい場合は、[PMP31342](#) を参照し、[ISOM8110-Q1](#) フォトカプラ エミュレータを使用します。ただし、フォトカプラ エミュレータはフォトカプラに比べて待機電力がやや大きくなります。

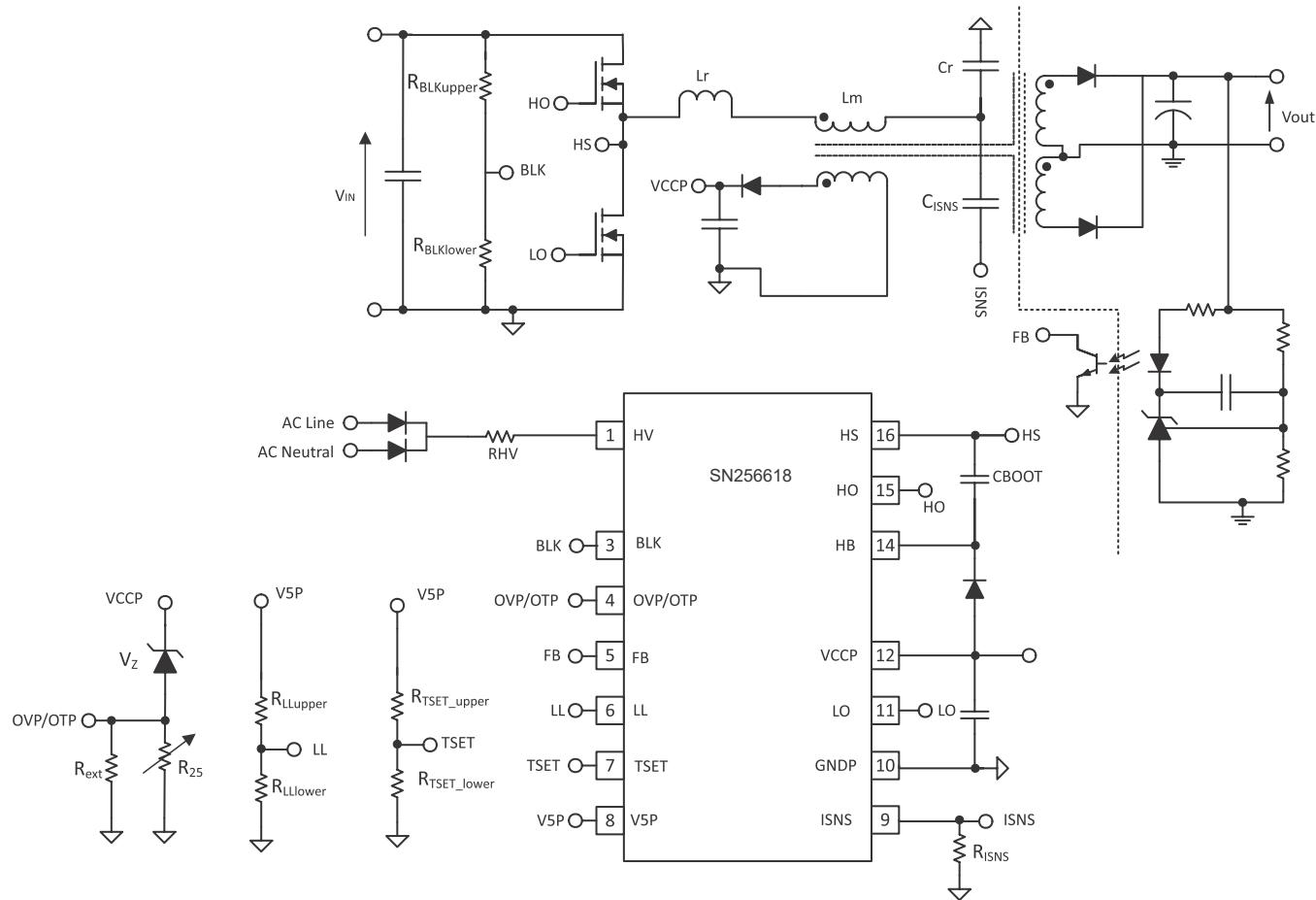


図 8-1. UCC25661 をベースとする HV-LV DC/DC コンバータ

## 8.2.1 設計要件

設計仕様の概要を表 8-1 に示します。

表 8-1. システム設計仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
<b>入力特性</b>					
DC 電圧範囲		365	390	410	VDC
AC 電圧範囲		85		264	VAC
AC 電圧周波数		47		63	Hz
入力 DC UVLO オン			365		VDC
入力 DC UVLO オフ			315		VDC
<b>出力特性</b>					
出力電圧、V <sub>OUT</sub>	無負荷 ~ 全負荷		12		VDC
出力負荷電流、I <sub>OUT</sub>	360VDC~410VDC			15	A
出力電圧リップル	390VDC、全負荷 = 15A		120		mVpp
<b>システム特性</b>					
共振周波数			100		kHz
ピーク効率	390VDC		92		
動作温度	自然対流		25		°C

## 8.2.2 詳細な設計手順

### 8.2.2.1 LLC 電力段要件

設計を開始するには、LLC 電力段コンポーネントの各値を決めます。LLC 電力段の設計手順は、TI アプリケーションノート『[LLC 共振ハーフブリッジパワー コンバータの設計](#)』に記載されています。このアプリケーションノートでは、使用する各式の由来が十分に説明されています。以下の式は、LLC 方式の解析によく用いられる FHA (First Harmonic Approximation) 法に基づきます。FHA 法はあらゆる設計の出発点として適しています。最終的な設計には、FHA の結果、回路シミュレーション、ハードウェア テストを組み合わせた反復的アプローチが必要です。パワー ステージのコンポーネントやパラメータ選定におけるトレードオフの詳細な説明については、『[LLC 共振ハーフブリッジパワー コンバータの設計](#)』ビデオまたは『[共振コンバータ トポロジの概要](#)』ビデオ シリーズを参照してください。アプリケーションノート『[UCC29950 の LLC 設計](#)』には、別の設計方法が記載されています。

### 8.2.2.2 LLC のゲイン範囲

まず、公称入力電圧と公称出力電圧から変圧器の巻数比を求めます。

$$N_{PS} = \frac{V_{IN(nom)} \div 2}{V_{OUT(nom)}} = \frac{390 \div 2}{12} = 16.25 \Rightarrow 16.5 \quad (11)$$

次に、LLC のゲイン範囲  $M_{G(min)}$  と  $M_{G(max)}$  を決定します。整流ダイオードで 0.5V の降下 ( $V_f$ ) があり、他の損失 ( $V_{loss}$ ) により 0.5V が追加されていると仮定します。リファレンス デザイン PMP23454 のように同期整流を使用する場合、以下の式から  $V_f$  の項を除外します。

$$M_{G(min)} = N_{PS} \frac{V_{OUT(min)} + V_f}{V_{IN(min)} \div 2} = 16.5 \frac{12 + 0.5}{410 \div 2} = 1.006 \quad (12)$$

$$M_{G(max)} = N_{PS} \frac{V_{OUT(max)} + V_f + V_{loss}}{V_{IN(min)} \div 2} = 16.5 \frac{12 + 0.5 + 0.5}{365 \div 2} = 1.175 \quad (13)$$

### 8.2.2.3 $L_N$ と $Q_E$ の選択

$L_N$  は、磁化インダクタンスと共振インダクタンスとの比率を意味します。通常、 $L_N$  が高いと、リーケージ インダクタンスとして共振インダクタンスを LLC トランスに統合できるため、部品表が簡素化します。 $L_N$  を増やすと、ラインおよび負荷電圧の調整範囲が減少し、設計要件に違反する可能性があります。逆に、 $L_N$  を減らすと高い磁化電流が発生し、ZVS 達成には有利ですが導通損失が増加します。

$$L_N = \frac{L_M}{L_R} \quad (14)$$

$Q_E$  は共振タンクの品質係数です。 $Q_E$  を減らすとスイッチング周波数範囲が広がりますが、 $Q_E$  を増やすとゲインが減少する可能性があります。用途によっては、増減のいずれにも適さない場合があります。

$$Q_E = \frac{\sqrt{L_R \div C_R}}{R_E} \quad (15)$$

この式において、 $R_E$  は等価負荷抵抗です。

$L_N$  と  $Q_E$  の値を選択することにより、LLC ゲイン曲線が描かれ、 $M_{G(\min)}$  および  $M_{G(\max)}$  のパターンと交差します。結果として描かれる曲線のピーク ゲインは、 $M_{G(\max)}$  より大きくなります。 $L_N$  および  $Q_E$  の選定基準は、[設計計算ツール](#) で確認できます。

このケースでは、選択した  $L_N$  と  $Q_E$  の値は次のとおりです。

$$L_N = 6 \quad (16)$$

$$Q_E = 0.3 \quad (17)$$

### 8.2.2.4 等価負荷抵抗の選定

[式 18](#) により等価負荷抵抗を求めます。

$$R_E = \frac{8 \times N_{PS}^2}{\pi^2} \times \frac{V_{OUT(nom)}}{I_{OUT(nom)}} = \frac{8 \times 16.5^2}{\pi^2} \times \frac{12}{15} = 176.5\Omega \quad (18)$$

### 8.2.2.5 LLC 共振回路の部品パラメータの決定

共振タンク コンポーネント パラメータを確定する前に、公称スイッチング周波数（共振周波数）を選択します。UCC25661EVM-128 の 180W 設計では、100kHz が共振周波数です。共振周波数が高いほど、受動部品は小型化されます。設計者によっては、EMC に関する CISPR 25 規格を満たすために、AM 帯を避けるよう最大共振周波数を制限することがあります。

$$f_0 = 100\text{kHz} \quad (19)$$

[式 20](#)、[式 21](#)、[式 22](#) を使用して共振タンク パラメータを計算します。

$$C_R = \frac{1}{2\pi \times Q_E \times f_0 \times R_E} = \frac{1}{2\pi \times 0.3 \times 100\text{kHz} \times 176.5\Omega} = 30.0\text{nF} \quad (20)$$

$$L_R = \frac{1}{(2\pi \times f_0)^2 C_R} = \frac{1}{(2\pi \times 100\text{kHz})^2 \times 30.0\text{nF}} = 84.4\mu\text{H} \quad (21)$$

$$L_M = L_N \times L_R = 6 \times 84.4\mu\text{H} = 506.4\mu\text{H} \quad (22)$$

予備パラメータを選択した後は、入手可能な最も近い実際の部品値を見つけ、ゲイン曲線を再評価します。SIMPLIS またはその他のモデリング ツールで時間ドメイン シミュレーションを実行して、回路動作を確認します。シミュレーションを実

行することにより、部品を購入して納品を待つことなく、多数のユニークな組み合わせや共振タンク パラメータの反復を試すことができます。

次の共振タンク パラメータは以下のとおりです。

$$C_R = 30\text{nF} \quad (23)$$

$$L_R = 85\mu\text{H} \quad (24)$$

$$L_M = 510\mu\text{H} \quad (25)$$

最終的な共振タンク パラメータに基づいて、次の式から希望する共振周波数が算出されていることを確認します。

$$f_0 = \frac{1}{2\pi\sqrt{L_R C_R}} = \frac{1}{2\pi\sqrt{30\text{nF} \times 85\mu\text{H}}} = 99.7\text{kHz} \quad (26)$$

新しい LLC ゲイン曲線に基づき、最大および最小ゲインでの正規化したスイッチング周波数は次のように求められます。

$$f_{N(\text{Mgmax})} = 0.7 \quad (27)$$

$$f_{N(\text{Mgmin})} = 1.0 \quad (28)$$

最大スイッチング周波数と最小スイッチング周波数は、正規化されたスイッチング周波数とそのときのゲインを掛け合わせたものになります。

$$f_{SW(\text{Mgmax})} = 69.8\text{kHz} \quad (29)$$

$$f_{SW(\text{Mgmin})} = 99.7\text{kHz} \quad (30)$$

### 8.2.2.6 LLC の 1 次側の電流

部品選択時に必要となるサイズおよび定格を理解するために、1 次側電流を計算します。この電流は 110% の過負荷条件に基づいて計算します。

1 次側 RMS 負荷電流は次の式で計算されます。

$$I_{OE} = \frac{\pi}{2\sqrt{2}} \times \frac{I_0}{n} = \frac{\pi}{2\sqrt{2}} \times \frac{1.1 \times 15\text{A}}{16.5} = 1.111\text{A} \quad (31)$$

ここで  $I_0$  は最大負荷電流に許容過負荷条件を掛けたものであり、UCC25661 EVM-128 では許容出力電流過負荷状態として 10% が選択されています。

最小スイッチング周波数での RMS 磁化電流は次の式を使用して計算されます。

$$I_M = \frac{\pi}{2\sqrt{2}} \times \frac{N_{PS}V_{OUT}}{\omega L_M} = \frac{\pi}{2\sqrt{2}} \times \frac{16.5 \times 12}{2\pi \times 64.8\text{kHz} \times 510\mu\text{H}} = 0.797\text{A} \quad (32)$$

共振タンクの総電流は、式 33 を使用して計算されます。

$$I_R = \sqrt{I_M^2 + I_{OE}^2} = \sqrt{(1.111\text{A})^2 + (0.797\text{A})^2} = 1.367\text{A} \quad (33)$$

### 8.2.2.7 LLC の 2 次側の電流

2 次側の総 RMS 負荷電流は、1 次側電流 ( $I_{OE}$ ) から 2 次側に換算した電流です。

$$I_{OES} = N_{PS} \times I_{OE} = 16.5 \times 1.111\text{A} = 18.327\text{A} \quad (34)$$

この設計および他の多くのアナログ LLC ベースの TI リファレンス デザインでは、トランスの 2 次側はセンタータップ構成になっています。2 次側の構成は、電圧ゲインと整流ダイオードの数に影響します。各 2 次側変圧器巻線の電流は次の式で計算できます。

$$I_{WS} = \frac{\sqrt{2} \times I_{OES}}{2} = \frac{\sqrt{2} \times 18.327A}{2} = 12.959A \quad (35)$$

該当する半波平均電流は次のとおりです。

$$I_{SAV} = \frac{\sqrt{2} \times I_{OES}}{\pi} = \frac{\sqrt{2} \times 18.327A}{\pi} = 8.250A \quad (36)$$

### 8.2.2.8 LLC 変圧器

効率を最大化するためには、高電圧起動機能を使用するためのバイアス巻線が必要です。VCCP 電圧が 12V を上回るようバイアス巻線を設計します。外部補助バイアス電源が VCCP に電力を供給することを想定している UCC256613 では、12V を超える VCCP 電圧は不要です。

以下の仕様に従って、トランスを構築または購入します。

- 卷数比: 1 次側:2 次側:バイアス = 33:2:3
- 1 次端子電圧: 450V<sub>PK</sub>
- 1 次側磁化インダクタンス: L<sub>M</sub> = 510μH
- 1 次側巻線定格電流: I<sub>R</sub> = 1.367A
- 2 次端子電圧: 36V<sub>PK</sub>
- 2 次巻線定格電流: I<sub>WS</sub> = 12.959A
- 最小スイッチング周波数: 69.8kHz
- 最大スイッチング周波数: 99.7kHz
- 1 次側と 2 次側の絶縁: IEC60950 強化絶縁

一部のアプリケーションでは、PFC がスタンバイ モードでシャットオフする広入力 LLC として動作する場合、重負荷シャットダウン中に動作周波数が大幅に低下することがあります。LLC は、ZCS 境界のすぐ上、より低い周波数で動作します。共振回路、トランス、および共振インダクタの磁性部品は、低周波で動作するよう定格を設定します。

バイアス電圧は、巻線比に従って 18V となります。コントローラの電圧を 15V に低減するために、コントローラの VCCP に電力を供給する前に、評価基板で電圧レギュレータ回路を使用します。

### 8.2.2.9 LLC 共振インダクタ

共振インダクタにかかる AC 電圧は、共振インダクタ インピーダンスにかかる AC 電圧に電流を掛けて計算されます。

$$V_{CR} = \frac{I_R}{\omega C_R} = \frac{1.367A}{2\pi \times 69.8\text{kHz} \times 30\text{nF}} = 104.0V \quad (37)$$

インダクタは、以下に示す仕様に基づいて構築または購入します。

- インダクタンス: L<sub>R</sub> = 85μH
- 定格電流: I<sub>R</sub> = 1.367A
- 端子 AC 電圧: 50.946V
- 周波数範囲: 69.8kHz ~ 99.7kHz

一部の設計では、トランスのリーケージ インダクタンスを共振インダクタンスとして使用し、外部共振インダクタが不要であるため、コストとスペースを節約できます。ただし、設計に外部共振インダクタが必要かどうかを判断するには、磁性部品ベンダーに問い合わせてください。

### 8.2.2.10 LLC 共振コンデンサ

LLC 共振コンデンサはスイッチング周波数でフル 1 次電流を伝導します。過熱を防ぐために、損失係数が低く、寄生直列抵抗が最小のコンデンサを選択します。共振コンデンサにかかる AC 電圧は、共振コンデンサにかかる AC 電圧のインピーダンスに電流を掛けて計算されます。

$$V_{CR} = \frac{I_R}{\omega C_R} = \frac{1.367A}{2\pi \times 69.8\text{kHz} \times 30\text{nF}} = 104.0\text{V} \quad (38)$$

$$V_{CR(\text{RMS})} = \sqrt{\left(\frac{V_{IN(\text{max})}}{2}\right)^2 + V_{CR}^2} = \sqrt{\left(\frac{410}{2}\right)^2 + 104.0^2} = 229.9\text{V} \quad (39)$$

ピーク電圧:

$$V_{CR(\text{peak})} = \frac{V_{IN(\text{max})}}{2} + \sqrt{2}V_{CR} = \frac{410}{2} + \sqrt{2} \times 104.0 = 352.0\text{V} \quad (40)$$

谷電圧:

$$V_{CR(\text{valley})} = \frac{V_{IN(\text{max})}}{2} - \sqrt{2}V_{CR} = \frac{410}{2} - \sqrt{2} \times 104.0 = 58.0\text{V} \quad (41)$$

定格電流:

$$I_R = 1.367\text{A} \quad (42)$$

### 8.2.2.11 LLC の 1 次側 MOSFET

各 MOSFET は、入力電圧を最大印加電圧と認識します。一般的な推奨として、十分な余裕を確保しつつ過大設計を避けるために、MOSFET の定格電圧は最大バルク電圧の 1.5 倍を選択します。

$$V_{QLLC(\text{peak})} = 1.5 \times V_{IN(\text{max})} = 615\text{V} \quad (43)$$

MOSFET の定格電流は、十分な余裕を持たせるために、1 次側 RMS 電流の最大値の 1.2 倍とします。一部のアプリケーションでは、より低いマージンが必要です。

### 8.2.2.12 アダプティブ デッドタイムの設計における考慮事項

共振タンクを設計し、1 次側の MOSFET を選定した後、コンバータの ZVS 動作を確認します。ゲートターンオフ エッジで、スイッチ ノードの容量を放電するのに十分な電流が共振インダクタに残っていると、ZVS が実現されます。ZVS は、誘導性エネルギーが有効な容量性エネルギーよりも大きいときにも実現されます。ここで、有効な容量は、電力段内の 2 つのスイッチの *Coss* を指します。UCC256614-Q1 は、スイッチのスルーリングに基づくアダプティブ デッドタイムを実装しています。スルーリング回路の検出範囲は 0.1V/ns ~ 200V/ns です。

ZVS 動作を確認するために、コントローラは一連の時間ドメイン シミュレーションを実行し、ゲートターンオフ エッジでの共振電流を補足します。プロット例を以下に示します。

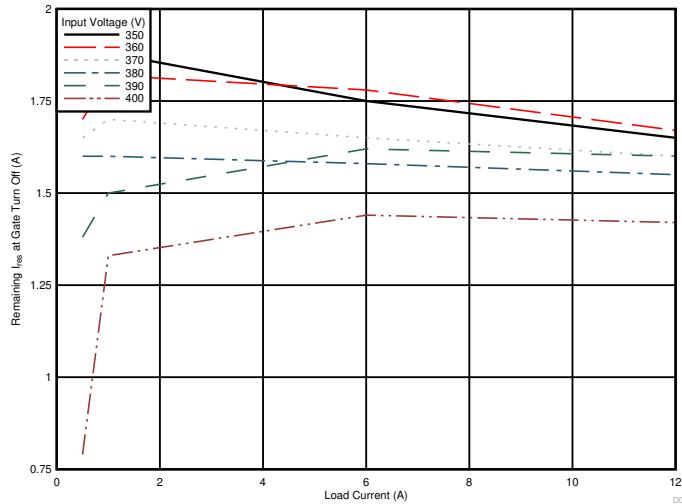


図 8-2. アダプティブ デッドタイム

図 8-2 は、5% 負荷で最大スイッチング周波数が生じ、5% 負荷でシステムがバーストを開始すると仮定したものです。

図 8-2 によれば、当該動作範囲で、タンクに残っている最小共振電流は  $I_{min} = 0.8A$  です。スルーレートを算出するには、1 次側スイッチ ノードの寄生容量が必要です。スルーレートは、MOSFET のデータシートに記載された  $C_{oss}$  の値から推定します。この場合、各 MOSFET の  $C_{oss}$  は  $200\text{pF}$  であるため、 $C_{switchnode} = 400\text{pF}$  です。最小スルーレートは次の式を使用して算出されます。

$$\frac{I_{MIN}}{C_{switchnode}} = \frac{0.8A}{400\text{pF}} = 2\text{V/ns} \quad (44)$$

最小スルーレートが  $0.1\text{V/ns}$  の最小検出スルーレートを上回っていることにより、ZVS を維持できていることの確認に役立ちます。

### 8.2.2.13 LLC 整流ダイオード

UCC24612 のような SR コントローラと MOSFET を使用すると、順方向電圧やスイッチングなどの整流ダイオードによる損失を最小化し、フル負荷時の効率を  $2 \sim 3\%$  向上させることができます。整流にダイオードを使用すると仮定すると、出力ダイオードの定格電圧は次の式で計算されます。

$$V_{DD} = 1.2 \times \frac{V_{IN(max)}}{N_{PS}} = 1.2 \times \frac{410}{16.5} = 29.82\text{V} \quad (45)$$

出力ダイオードの定格電流は、次の式で求められます。

$$V_{DB} = 1.2 \times \frac{V_{IN(max)}}{N_{PS}} = 1.2 \times \frac{410}{16.5} = 29.82\text{V} \quad (46)$$

一般に、電流と電圧の両方について  $20\%$  のマージンが維持されるように整流ダイオードを選択します。通常、逆方向回復損失を最小化するために高速回復ダイオードが使用されます。

### 8.2.2.14 LLC 出力コンデンサ

LLC コンバータトポロジは出力フィルタを必要としません。ピークツー ピークの出力リップルを低減するために、小型の 2 段目フィルタ インダクタを使用します。出力コンデンサが整流器の全波出力電流を担うと仮定すると、コンデンサの定格リップル電流は次のとおりです。

$$I_{RECT} = \frac{\pi}{2\sqrt{2}} I_{OUT} = \frac{\pi}{2\sqrt{2}} \times 15 = 16.66\text{A} \quad (47)$$

この設計では、12V 出力電圧に対して定格 20V のコンデンサを使用します。

$$V_{LLCcap} = 20V \quad (48)$$

このコンデンサの RMS 定格電流は次のとおりです。

$$I_{C(out)} = \sqrt{\left(\frac{\pi}{2\sqrt{2}}I_{OUT}\right)^2 - I_{OUT}^2} = \sqrt{\left(\frac{\pi}{2\sqrt{2}} \times 15\right)^2 - 15^2} = 7.251A \quad (49)$$

導電性高分子技術を採用した固体アルミニウム コンデンサは、定格リップル電流が高いいため、特に設計がより低い温度で動作する必要がある場合には、良い選択肢となります。1 つのコンデンサの定格リップル電流が不十分な場合は、複数のコンデンサを並列に接続します。

LLC 段の出力時のリップル電圧は、コンデンサに流れる AC 電流量の関数です。このリップル電圧を推計するため、負荷の DC 電流を含むすべての電流がフィルタ コンデンサに流れるものと仮定します。

$$ESR_{max} = \frac{V_{OUT}(pk - pk)}{I_{RECT}(pk)} = \frac{0.12V}{2\frac{\pi}{4} \times 15A} = 5.1m\Omega \quad (50)$$

コンデンサの仕様は次のとおりです。

- 定格電圧: 20V
- 定格リップル電流: 7.251A
- 実効 ESR: < 5.1mΩ

### 8.2.2.15 HV ピン直列抵抗

それぞれの抵抗の耐圧、サイズ、電力損失を制限するために、複数の抵抗が HV ピンと直列に接続されています。HV ピンに流れ込む最大電流を制限するために、直列抵抗を選択します。UCC25661 評価基板では 5kΩ 抵抗を使用していますが、他の入力電圧 (800V など) や、LLC が低ライン動作中に電力を供給し PFC が無効になるシステム (バッテリ チャージャのスタンバイ モードなど) では、直列抵抗値を再計算します。

### 8.2.2.16 BLK ピン分圧器

BLK ピンは LLC DC 入力電圧を検知して、LLC コンバータをオンおよびオフにするタイミングを決定します。また、BLK ピンの電圧はフィードフォワード補償にも使用されます。分圧抵抗に流れる電流が BLK ピンへのリーケージ (I<sub>BLKsink</sub>) よりも大きくなるように、分圧抵抗のサイズを設定します。BLK ピン分圧抵抗の望ましい最大消費電力は P<sub>BLKsns</sub> = 15mW です。BLK が検知する抵抗の合計値は次の式で求められます。

$$R_{BLKsns} = R_{BLKupper} + R_{BLKlower} = \frac{V_{IN(nom)}^2}{P_{BLKsns}} = \frac{390^2}{0.015} = 10M\Omega \quad (51)$$

LLC の起動電圧として 365V を選択します。V<sub>BLKStop</sub>、V<sub>BLKStartHys</sub>、I<sub>BLKsink</sub> に対する V<sub>BLKStart</sub> の関係は以下のようになります。

$$V_{BLKStart} = 365 \left( \frac{R_{BLKlower}}{R_{BLKupper} + R_{BLKlower}} \right) = V_{BLKStop} + V_{BLKStartHys} + I_{BLKsink} \left( \frac{R_{BLKupper} R_{BLKlower}}{R_{BLKupper} + R_{BLKlower}} \right) \quad (52)$$

V<sub>BLKStop</sub> = 1V、V<sub>BLKStartHys</sub> = 0.1V、I<sub>BLKsink</sub> = 5μA のとき、R<sub>BLKupper</sub> および R<sub>BLKlower</sub> はそれぞれ 10MΩ および 35.4kΩ になります。

R<sub>BLKlower</sub> には標準値 35.4kΩ が選択され、R<sub>BLKupper</sub> には標準値として ×3 3.3MΩ が直列として選択されます。

実際の起動電圧は次の式を使用して計算されます。

$$V_{BLKStart} \left( \frac{R_{BLKupper} + R_{BLKlower}}{R_{BLKlower}} \right) = \left( V_{BLKStop} + V_{BLKStartHys} + I_{BLKSink} \left[ \frac{R_{BLKupper} R_{BLKlower}}{R_{BLKupper} + R_{BLKlower}} \right] \right) \times \left( \frac{R_{BLKupper} + R_{BLKlower}}{R_{BLKlower}} \right) = 358V \quad (53)$$

BLK 抵抗の消費電力は、以下を使用して計算されます。

$$P_{BLKsns} = \frac{V_{IN(nom)}^2}{(R_{BLKupper} + R_{BLKlower})} = \frac{390^2}{(10M\Omega + 35.4k\Omega)} = 15.3mW \quad (54)$$

LLC ターンオフ電圧は、以下を使用して計算されます。

$$V_{BLKStop} \left( \frac{R_{BLKupper} + R_{BLKlower}}{R_{BLKlower}} \right) = 280.6V \quad (55)$$

### 8.2.2.17 ISNS ピン微分器

ISNS ピンは微分器により共振電流を検出します。ISNS ピンと TSET および BLK ピンの抵抗により、過負荷保護レベルを設定できます。過負荷保護 ( $V_{FBOLP}$ ) の標準スレッショルド電圧は 4.75V です。ISNS ピンは過電流保護レベル (OCP1) の設定に使用できます。OCP1 のスレッショルド値は、使用している TSET ピンの抵抗とバリアントに応じて 3.5V または 4V です。この評価基板の場合、UCC256611 を使用しています。そのため、このバリアントでは、OCP1 スレッショルド値電圧は 3.5V です。

全負荷時のピーク共振インダクタ電流：

$$I_{R\_PEAK} = \sqrt{2} I_R = \sqrt{2} \times 1.367 = 1.933A \quad (56)$$

抵抗に比べて高電圧コンデンサの選択肢は少ないため、まず電流検出コンデンサを選定します。

$$C_{ISNS} = 150pF \quad (57)$$

UCC25661EVM-128 およびすべての UCC25661x-Q1 注文可能な型番において、OCP1 のスレッショルド値は 3.5V です。

$$OCP1\_Threshold = 3.5V \quad (58)$$

必要な ISNS 抵抗値を計算します。

$$R_{ISNS} < \frac{OCP1\_Threshold \times C_r}{I_{R\_PEAK} \times C_{ISNS}} = \frac{3.5V \times 30nF}{1.933A \times 150pF} = 329\Omega \quad (59)$$

$$R_{ISNS} = 226\Omega \quad (60)$$

が選択されます。

OCP1 レベルでのピーク共振電流は、以下を使用して計算されます。

$$I_{R\_PEAK\_OCP1} = \frac{OCP1\_Threshold \times C_r}{R_{ISNS} \times C_{ISNS}} = \frac{3.5 \times 30nF}{226 \times 150pF} = 3.097A \quad (61)$$

### 8.2.2.18 TSET ピン

TSET ピン抵抗は、VCR 積分器の時定数を設定するために使用されます。VCR 積分器の時定数には以下が含まれます

- タイマ ゲイン
  - $k_s$
  - $R_{VCR}$

- $R_{RAMP}$
- $C_{VCR}$
- IPPC モードでの最小スイッチング周波数

TSET ピンの抵抗は、特定の出力電力に対する  $V_{FBreplica}$  電圧も決定します。

$f_{SW(Mgmin)}$  および、最小入力電圧および最大出力電力時の全負荷動作周波数に基づいて、 $V_{TSETB}$  電圧を選択します。この設計では、最小入力電圧 365V、定格出力電力において、観測される全負荷動作周波数が 89kHz であるため、設計計算ツールでオプション 4 を選択します。オプション 4 の場合、 $V_{TSETB}$  電圧が  $0.742V \pm 48mV$  の範囲に収まる必要があります (TSET プログラミング オプション表 を参照)。

特定の電力出力に対して FBReplica の振幅を設定するために、( $V_{TSETA}-V_{TSETB}$ ) 電圧を選択します。定格電力時に FBReplica の振幅が  $V_{FBOLP}$  未満となるように、( $V_{TSETA}-V_{TSETB}$ ) の電圧差を選択します (図 8-3 を参照。最悪条件で必要なマージン)。UCC25661EVM-128 では、この差分 TSET 電圧に対してオプション 5 が選択されています。これにより VCR 積分器の時定数および選択された ISNS と BLK 抵抗が、FBReplica の振幅が最大入力電力で 4V に近い値になります。したがって、オプション 5 の場合、( $V_{TSETA}-V_{TSETB}$ ) 電圧が  $0.850V \pm 48mV$  の範囲に収まる必要があります (TSET プログラミング オプション表 を参照)。

$$V_{TSETB} = \frac{R_{TSET\_lower} \times V_{5P}}{R_{TSET\_lower} + R_{TSET\_upper}} \quad (62)$$

$$V_{TSETA} = V_{TSETB} + \frac{R_{TSET\_lower} \times R_{TSET\_upper}}{R_{TSET\_lower} + R_{TSET\_upper}} \times I_{TSETPrgm} \quad (63)$$

式 62 は  $R_{TSET\_upper}$  が  $572.78k\Omega$  であると出力します。式 63 は  $R_{TSET\_lower}$  が  $99.81k\Omega$  であると出力します。

最後に、 $R_{TSET\_upper} = 576k\Omega$  かつ  $R_{TSET\_lower} = 100k\Omega$  を選択します。

式 64 と式 65 を使用して、 $V_{TSETB}$  と ( $V_{TSETA}-V_{TSETB}$ ) を計算します。

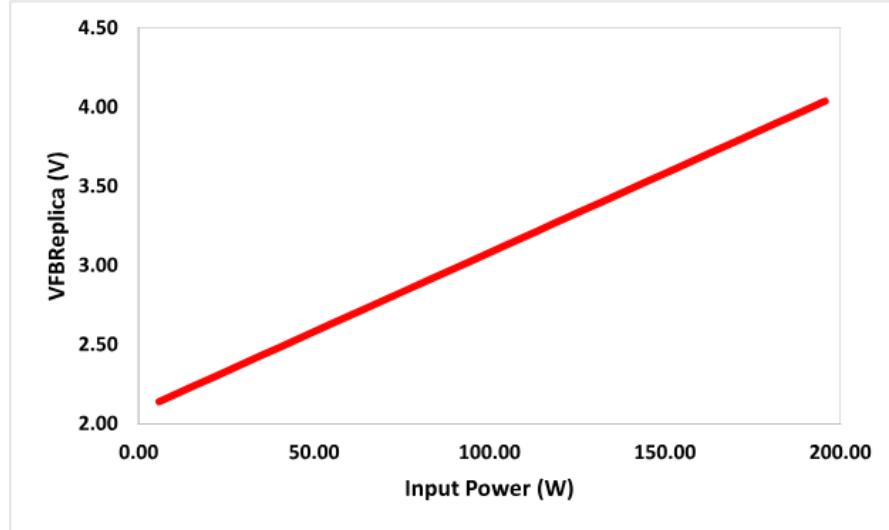
$$V_{TSETB} = \frac{100k \times 5V}{100k + 576k} = 0.74V \quad (64)$$

$$(V_{TSETA} - V_{TSETB}) = \frac{100k \times 576k}{100k + 576k} \times 10\mu A = 0.852V \quad (65)$$

図 8-3 に、LLC の入力電力に対する FBReplica 電圧を示します。

$P_{in}$  を計算するには、次の式で 92% の効率を使用します。

$$P_{in} = \frac{P_{out}}{\eta} \quad (66)$$

図 8-3. FBReplica と  $P_{in}$  の比較

FBReplica 電圧は、帰還フォトカプラ エミッタとグランドの間に  $10\text{k}\Omega$  の抵抗を入れることによって測定します。 $10\text{k}\Omega$  抵抗で測定された電圧が  $V_{10\text{k}}$  であると仮定します。次に、以下の式を使用して FBReplica 電圧を計算します。

$$\text{FBReplica} = \left( I_{FB} - \frac{V_{10\text{k}\Omega}}{10\text{k}\Omega} \right) \times R_{FBInternal} \quad (67)$$

### 8.2.2.19 OVP/OTP ピン

OVP/OTP は電力段を過電圧から保護します。また、負の温度係数 (NTC) サーミスタを使用した過熱保護のためにも OVP/OTP ピンが使用されます。バイアス巻線電圧は、トランジスタの巻線比による出力電圧のミラーイメージであるため、OVP/OTP ピンをツェナー ダイオードでプルアップすると、OVP を 1 次側に設定するのに便利です。このデザインで、公称出力電圧は 12V です。VCCP の電圧を UVLO スレッショルドより上に維持するために、バイアス巻線と 2 次側巻線の巻数比は 1.5 となっています (すなわち、電圧は 12V を超)。整流ダイオード (Vf) で 0.5V の降下があり、他の損失 (Vloss) によりさらに 0.5V の降下があると仮定すると、バイアス巻線の公称電圧は次の式で計算されます。

$$V_{\text{BiasWindingNom}} = \left( 12 + 0.5 + 0.5 \right) \times \frac{N_{\text{aux}}}{N_2} = \left( 12 + 0.5 + 0.5 \right) \times \frac{3}{2} = 19.5\text{V} \quad (68)$$

この設計に望ましい OVP スレッショルドは、公称値の 140% です。UC25661 デバイスの OVP スレッショルド レベル ( $V_{\text{OVPpos}}$ ) は 3.5V です。

これにより、ツェナー ダイオードに必要な電圧定格は次の式で計算されます。

$$V_z = \left( 1.4 \times V_{\text{out}} + V_{\text{drop}} \right) \times \frac{N_{\text{aux}}}{N_2} - V_{\text{OVPpos}} = \left( 1.4 \times 12 + 0.5 + 0.5 \right) \times \frac{3}{2} - 3.5 = 23.2\text{V} \quad (69)$$

使用されるツェナーの実際の定格電圧を 23V と仮定すると、OVP がトリガされる実際の出力電圧は次のようにになります

$$V_{\text{out\_ovp}} = \left( V_z + V_{\text{OVPpos}} \right) \times \frac{N_2}{N_{\text{aux}}} - V_{\text{drop}} = \left( 23 + 3.5 \right) \times \frac{2}{3} - 1 = 16.67\text{V} = 139\% \times V_{\text{out}} \quad (70)$$

通常動作時、OVP/OTP ピンの電圧は 0.8V ~ 3.5V の動作範囲内にあります。過温保護のために、OVP/OTP ピンを OTP スレッショルドである 0.8V 未満にプルダウンします。

室温では、OVP/OTP ピンの電圧は 1.4V と見なされます。そのため、室温での OVP/OTP ピンの実効抵抗値は以下のとおりです

$$R_{OVP/OTP\_25} = \frac{1.4V}{I_{OVP\_OTP}} = \frac{1.4V}{100 \times 10^{-6}A} = 14k\Omega \quad (71)$$

$$R_{OVP/OTP\_25} = \frac{R_{ext} \times R_{NTC\_25}}{R_{ext} + R_{NTC\_25}} = 14k\Omega \quad (72)$$

ここで、 $R_{ext}$  はサーミスタと並列に接続された外付け抵抗です。 $R_{NTC\_25}$  は室温でのサーミスタの抵抗値です。

**UCC25661EVM-128** では、過温保護は  $110^{\circ}\text{C}$  に設定されています。NTC の入手性と温度係数に基づいて、式 73 を選択します。詳細については、[B57371V2474J060](#) データシートを参照してください。 $R_{NTC\_110}$  は、 $110^{\circ}\text{C}$  におけるサーミスタの抵抗です。

$$\frac{R_{NTC\_110}}{R_{NTC\_25}} = 0.035263 \quad (73)$$

OTP トリガの場合、OVP/OTP ピンの電圧は  $0.8V$  未満に設定します。

$$R_{OVP/OTP\_110} = \frac{0.8V}{I_{OVP\_OTP}} = \frac{0.8V}{100 \times 10^{-6}A} = 8k\Omega \quad (74)$$

$$R_{OVP/OTP\_110} = \frac{R_{ext} \times R_{NTC\_110}}{R_{ext} + R_{NTC\_110}} = 8k\Omega \quad (75)$$

式 72、式 73、式 75 から、 $R_{NTC\_25}$  は  $510k\Omega$ 、 $R_{ext}$  は  $14.4k\Omega$  になります。その結果、 $R_{NTC\_25} = 470k\Omega$ 、 $R_{ext}=15k\Omega$  になります。 $R_{NTC\_25} = 470k\Omega$  のメーカー型番は [B57371V2474J060](#) です。

室温および新しく選択された抵抗で、OVP/OTP 電圧は次のように計算されます。

$$R_{OVP/OTP\_25} \times I_{OVP\_OTP} = \left( \frac{15k \times 470k}{15k + 470k} \right) \times 100 \times 10^{-6} = 1.454V \quad (76)$$

$110^{\circ}\text{C}$  では、OVP/OTP 電圧は次のように計算されます。

$$R_{OVP/OTP\_110} \times I_{OVP\_OTP} = \left( \frac{15k \times [470k \times 0.035263]}{15k + [470k \times 0.035263]} \right) \times 100 \times 10^{-6} = 0.78V \quad (77)$$

### 8.2.2.20 パースト モード プログラミング

LL ピンの電圧 (VLLB) と、LL ピンに接続する分圧抵抗により、ユーザーは **HFBurstEntry** スレッショルドと **LFBurstEntry** スレッショルドを設定できます。

$$VLLB = \frac{R_{LL\_lower} \times V5P}{R_{LL\_upper} + R_{LL\_lower}} \quad (78)$$

$$VLLA = VLLB + \frac{R_{LL\_lower} R_{LL\_upper}}{R_{LL\_upper} + R_{LL\_lower}} \times I_{LLPrgm} \quad (79)$$

表 7-1 に示すように、 $(V_{LLA} - V_{LLB})$  電圧によって  $V_{LLB}/HFBurstEntry$  比 (a) が決まります。

**UCC25661EVM-128** では、 $(V_{LLB}/HFBurstEntry) = 0.55$  を考慮します。 $(V_{LLA} - V_{LLB})$  の値は  $1.087V \sim 1.391V$  の範囲内にあることを確認します。

次に、**HFBurstEntry** は、式 80 で求められるように LL ピンの電圧と関係します。

$$HFBurstEntry = \frac{VLLB}{0.55} = 1.818 \times VLLB \quad (80)$$

**LFBurstEntry** は、式 81 で求められるように、LL ピンの電圧に関係します。

$$LFBurstEntry = \frac{VLLB}{0.6} = 1.667 \times VLLB \quad (81)$$

FBReplica とピンの曲線の関係に基づき、目的の性能を満たすように  $V_{LLB}$  およびハードウェア テスト  $V_{LLA} - V_{LLB}$  を最適化します。

UCC25661EVM-128 では、 $VLLB = 1.2V$ 、 $VLLA = ([VLLA - VLLB] \text{ の最大電圧}) - 0.1V$  を考慮しています。これらの値を [式 78](#)、[式 79](#) に代入することによって、 $R_{LLupper}$  は  $538k$ 、 $R_{LLlower}$  は  $170k$  と計算されます。

最後に、UCC25661EVM-128 では  $R_{LLupper} = 536k\Omega$  と  $R_{LLlower} = 169k\Omega$  が選択されています。

最終的なバーストエントリは以下の式で計算します。

$$VLLB = \frac{169k \times 5}{169k + 536k} = 1.199V \quad (82)$$

$$VLLA = 1.199V + \frac{169k \times 536k}{169k + 536k} \times 10\mu A = 2.483V \quad (83)$$

$$VLLA - VLLB = 1.285V \quad (84)$$

$$HFBurstEntry = 1.818 \times 1.199 = 2.179V \quad (85)$$

$$LFBurstEntry = 1.667 \times 1.199 = 1.998V \quad (86)$$

### 8.2.2.21 アプリケーション曲線

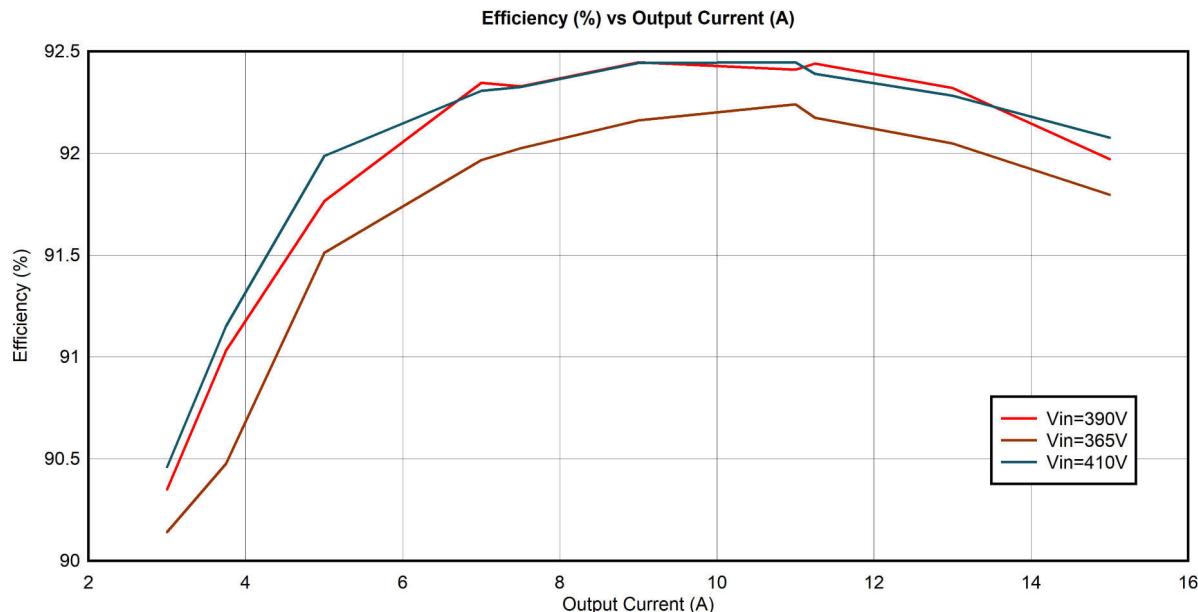


図 8-4. 効率

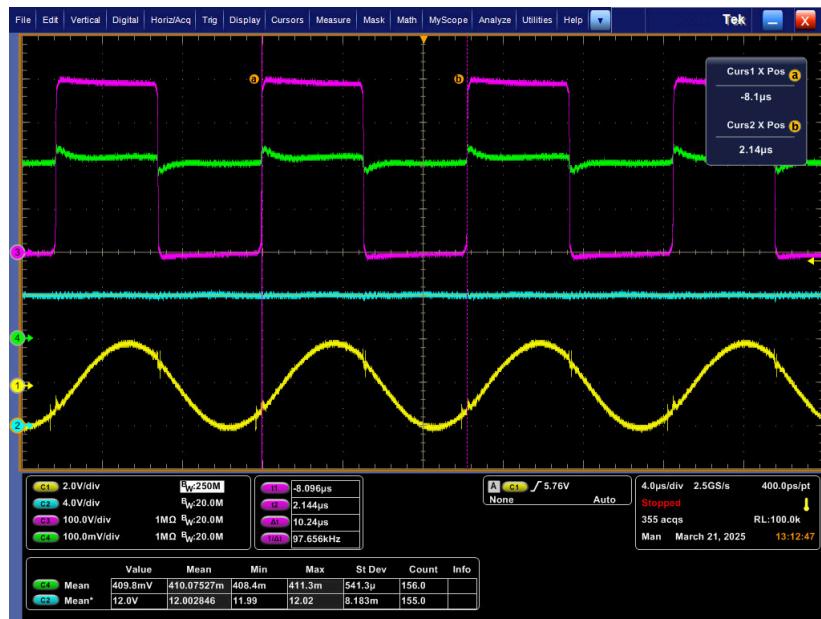


図 8-5. 15A 負荷、390V 入力での定常状態波形

A. Ch1= ISNS、Ch2 = Vout、Ch3 = SW、Ch4 = I\_OPT

## 8.3 電源に関する推奨事項

### 8.3.1 VCCP ピン コンデンサ

選択した VCCP コンデンサは、LF バースト動作中に VCCP 電圧が  $V_{CC_{StopSwitching}}$  レベルを下回らないよう、十分な容量値を持つ必要があります。

100μF 以上の容量を持つコンデンサ、またはコンデンサの組み合わせを選択します。VCCP ピンのコンデンサは、LF バースト動作時の静止電流と、VCCP の高周波電流の低インピーダンス パスをサポートします。コンデンサを選定する際は、メーカーのデータシートを使用して DC バイアス電圧のセラミック コンデンサのディレーティングを考慮します。

### 8.3.2 ブート・キャパシタ

LF バーストオフ期間中、HB ピンから  $C_{BOOT}$  を通じてハイサイド ゲートドライバによって消費される電力により、ブートストラップ コンデンサの電圧が減衰します。次のバースト期間の開始時には、ローサイド ゲートドライバ (LO) の導通期間によって  $C_{VCCP}$  から補充されるまでの間、ハイサイド ゲートドライバ (HO) を駆動するのに十分な電圧を  $C_{BOOT}$  に残しておきます。このバーストオフ期間中にハイサイド ドライバによって消費される電力は、HB および VCCP に接続されるコンデンサのサイズとコストに直接影響します。

システムの最大バーストオフ期間が 150ms で、ブートストラップ ダイオードの順方向電圧降下が 1V と仮定します。UVLO フォルトを防止するため、8V の最小ブートストラップ電圧を目標とします。ブートコンデンサの最大許容電圧降下は次のとおりです。

$$V_{bootmaxdrop} = V_{VCCP} - V_{bootforwarddrop} - 8V = 12V - 1V - 8V = 3V \quad (87)$$

式 88 を使用してブートコンデンサのサイズを決定します。

$$C_B = \frac{I_{BOOT\_QUIESCENT}}{V_{bootmaxdrop}} = \frac{60\mu A \times 150ms}{3V} = 3\mu F \quad (88)$$

低リーキ電流、低 ESR のセラミック コンデンサを選択します。コンデンサを選定する際は、メーカーのデータシートを使用して DC バイアス電圧のセラミック コンデンサのディレーティングを考慮します。

### 8.3.3 V5P ピン コンデンサ

GND に接続するデカップリング コンデンサに V5P ピン コンデンサを外付けで配置します。V5P ピンの負荷は非常に小さいため、 $4.7\mu\text{F}$  のデカップリング コンデンサを推奨します。

## 8.4 レイアウト

### 8.4.1 レイアウトのガイドライン

- エネルギー蓄積電解コンデンサに加えて、 $2.2\mu\text{F}$  セラミック コンデンサを VCCP ピンに接続します。 $2.2\mu\text{F}$  セラミック コンデンサは、VCCP ピンのできるだけ近くに配置します。
- 推奨される最小ブート コンデンサ  $C_B$  は  $0.1\mu\text{F}$  です。ブート コンデンサの最小値は、最小バースト周波数によって決定します。最も低いバースト周波数の間、ブート ストラップ電圧を保持するのにブート コンデンサが十分な大きさを備えたものであることを確認します。電気的特性表の  $I_{BOOT\_LEAK}$  (ブートリーク電流) を参照します。
- 信号グランドと電源グランドをシングル ポイントで接続します。LLC コンバータの入力バルク コンデンサの負端子に接続するため、電源グランドを推奨します。
- ISNS ( $100\text{pF}$ )、BLK ( $10\text{nF}$ )、LL ( $330\text{pF}$ )、TSET ( $220\text{pF}$ )、OVP/OTP ( $100\text{pF}$ ) のフィルタ コンデンサは、それぞれのピンにできるだけ近づけて配置してください。
- FB 配線はできるだけ短くし、FB 配線は  $\text{dv}/\text{dt}$  の高い配線から離して配線します。
- ISNS コンデンサの歪みを小さくするために、フィルム コンデンサまたは COG (NP0) セラミック コンデンサを使用します。
- バイアス巻線波形の高いスパイクを除去するために、必要なフィルタリング コンデンサを VCCP ピンに追加します。
- 必要な高電圧空間距離と沿面距離を確保します。
- HV ピンに  $2\text{kV}$  の HBM ESD 定格が必要な場合は、最大  $2\text{kV}$  の HBM ESD に合格するために、HV ピンとグランドの間に  $100\text{pF}$  のコンデンサを配置します。

#### 8.4.2 レイアウト例

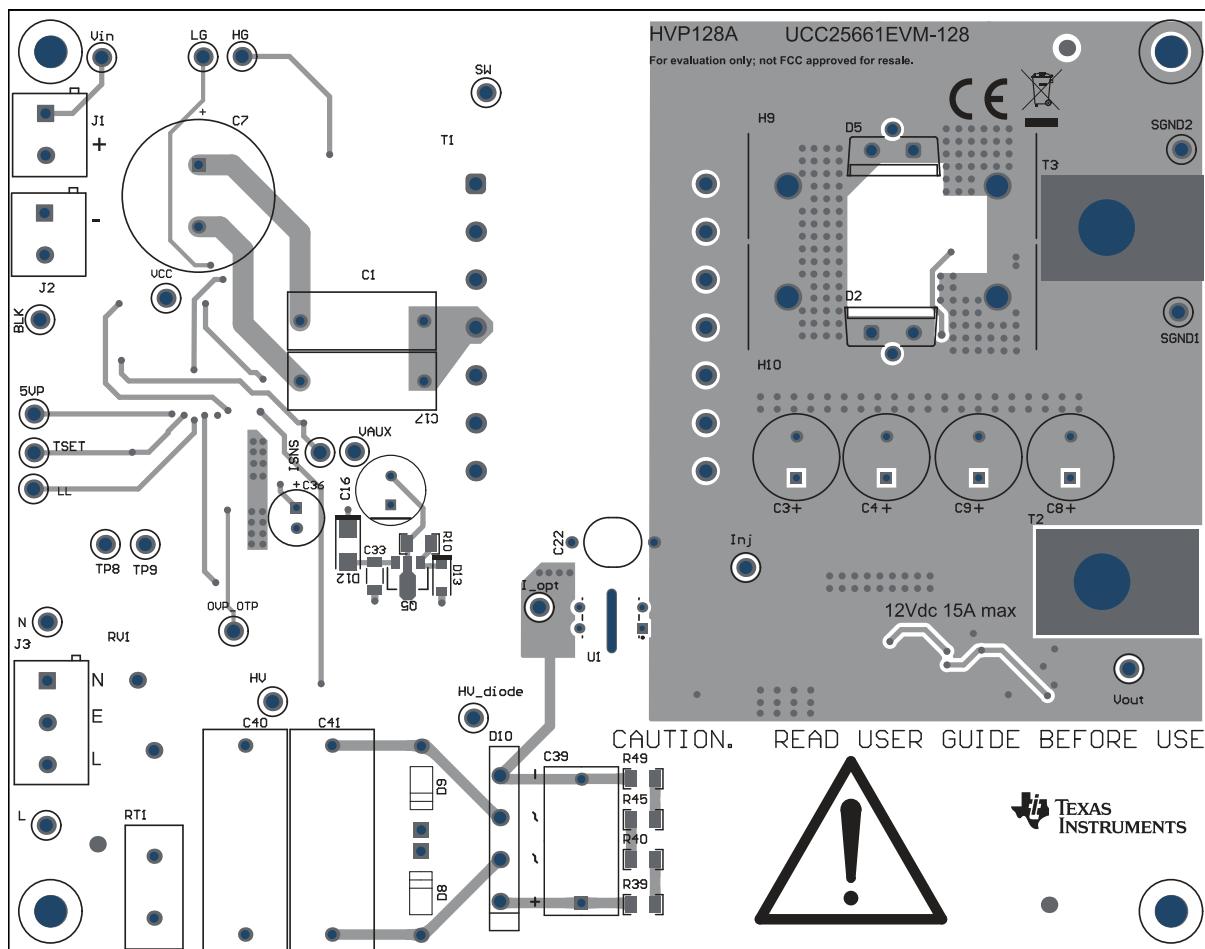


図 8-6. UCC25661EVM-128 (上面図)

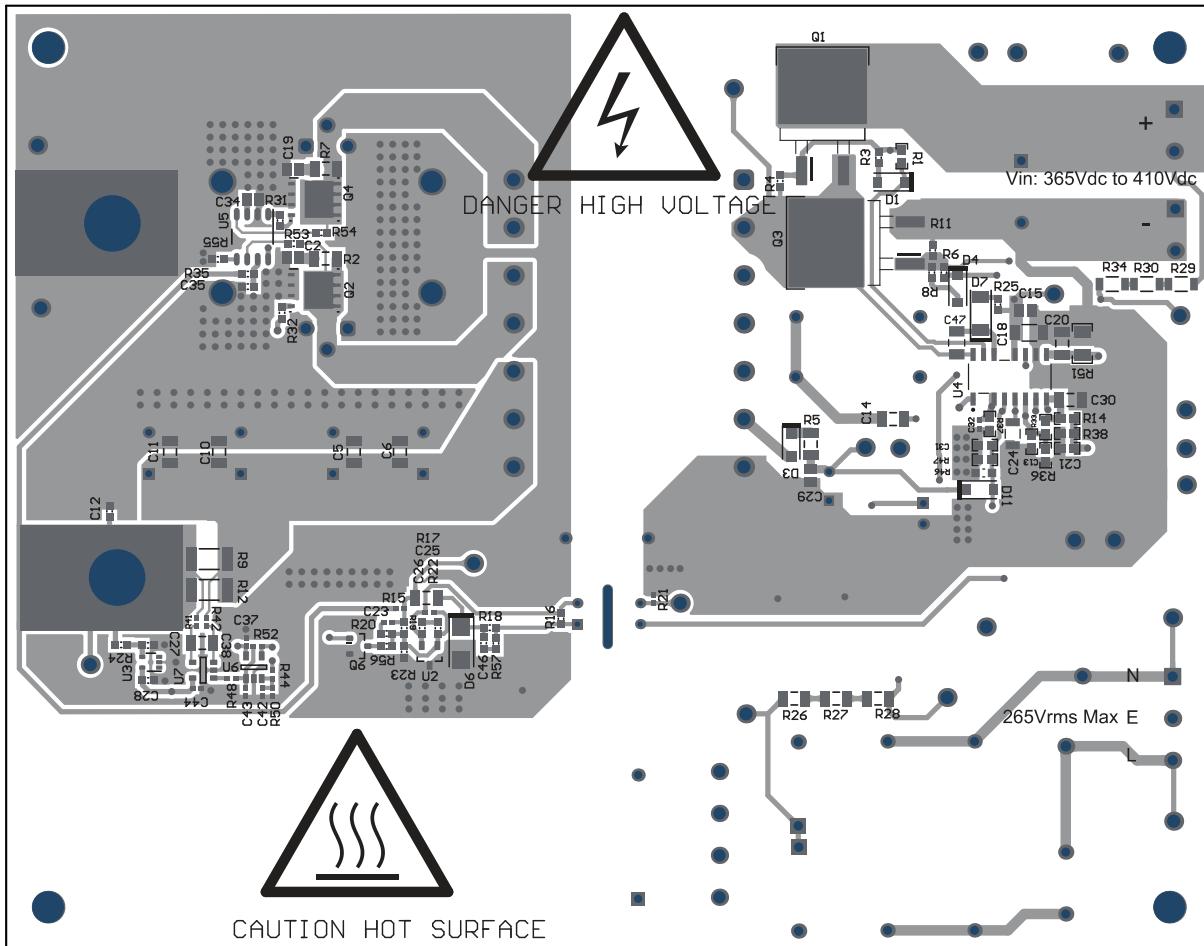


図 8-7. UCC25661EVM-128 (底面図)

## 9 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

### 9.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

### 9.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

### 9.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

### 9.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

### 9.5 用語集

#### テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

## 10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (May 2025) to Revision A (September 2025)	Page
• 事前情報から 量産データに更新.....	1

## 11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

## 重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](http://ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいづれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

**PACKAGING INFORMATION**

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PUCC256612QDDBRQ1	Active	Preproduction	SOIC (DDB)   14	2500   LARGE T&R	-	Call TI	Call TI	-40 to 125	
UCC256612QDDBRQ1	Active	Production	SOIC (DDB)   14	2500   LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	UCC256612Q
UCC256613QDDBRQ1	Active	Production	SOIC (DDB)   14	2500   LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	UCC256613Q
UCC256614QDDBRQ1	Active	Production	SOIC (DDB)   14	2500   LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	UCC256614Q
UCC256615QDDBRQ1	Active	Production	SOIC (DDB)   14	2500   LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	UCC256615Q

<sup>(1)</sup> **Status:** For more details on status, see our [product life cycle](#).

<sup>(2)</sup> **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

<sup>(3)</sup> **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

<sup>(4)</sup> **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

<sup>(5)</sup> **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

<sup>(6)</sup> **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

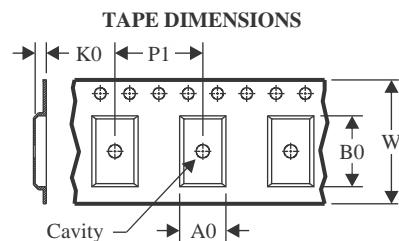
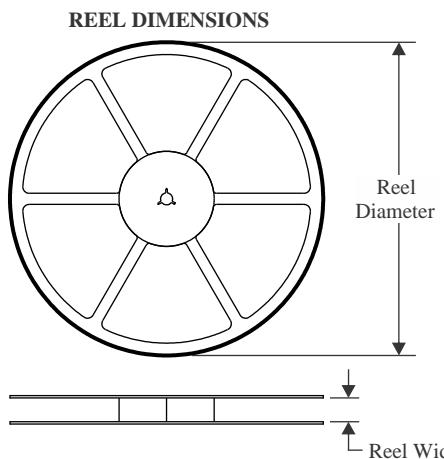
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

**OTHER QUALIFIED VERSIONS OF UCC25661-Q1 :**

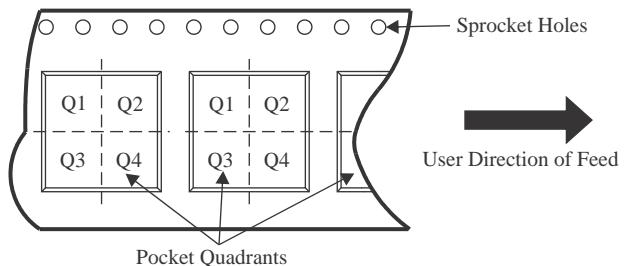
- Catalog : [UCC25661](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

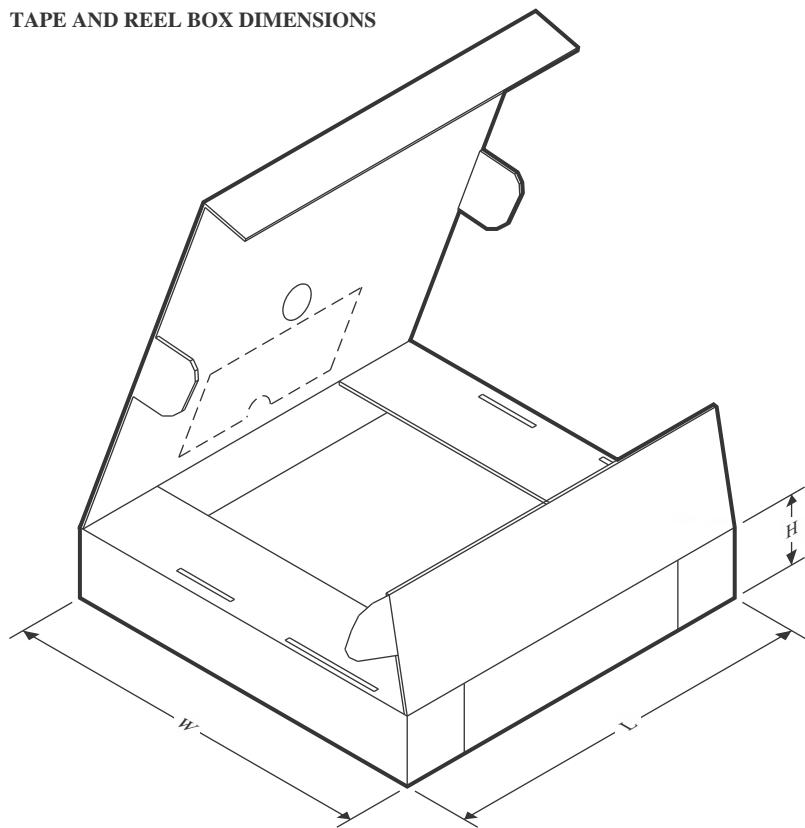
**TAPE AND REEL INFORMATION**


A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
UCC256612QDDBRQ1	SOIC	DDB	14	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
UCC256613QDDBRQ1	SOIC	DDB	14	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
UCC256614QDDBRQ1	SOIC	DDB	14	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
UCC256615QDDBRQ1	SOIC	DDB	14	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1

**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
UCC256612QDDBRQ1	SOIC	DDB	14	2500	353.0	353.0	32.0
UCC256613QDDBRQ1	SOIC	DDB	14	2500	353.0	353.0	32.0
UCC256614QDDBRQ1	SOIC	DDB	14	2500	353.0	353.0	32.0
UCC256615QDDBRQ1	SOIC	DDB	14	2500	353.0	353.0	32.0

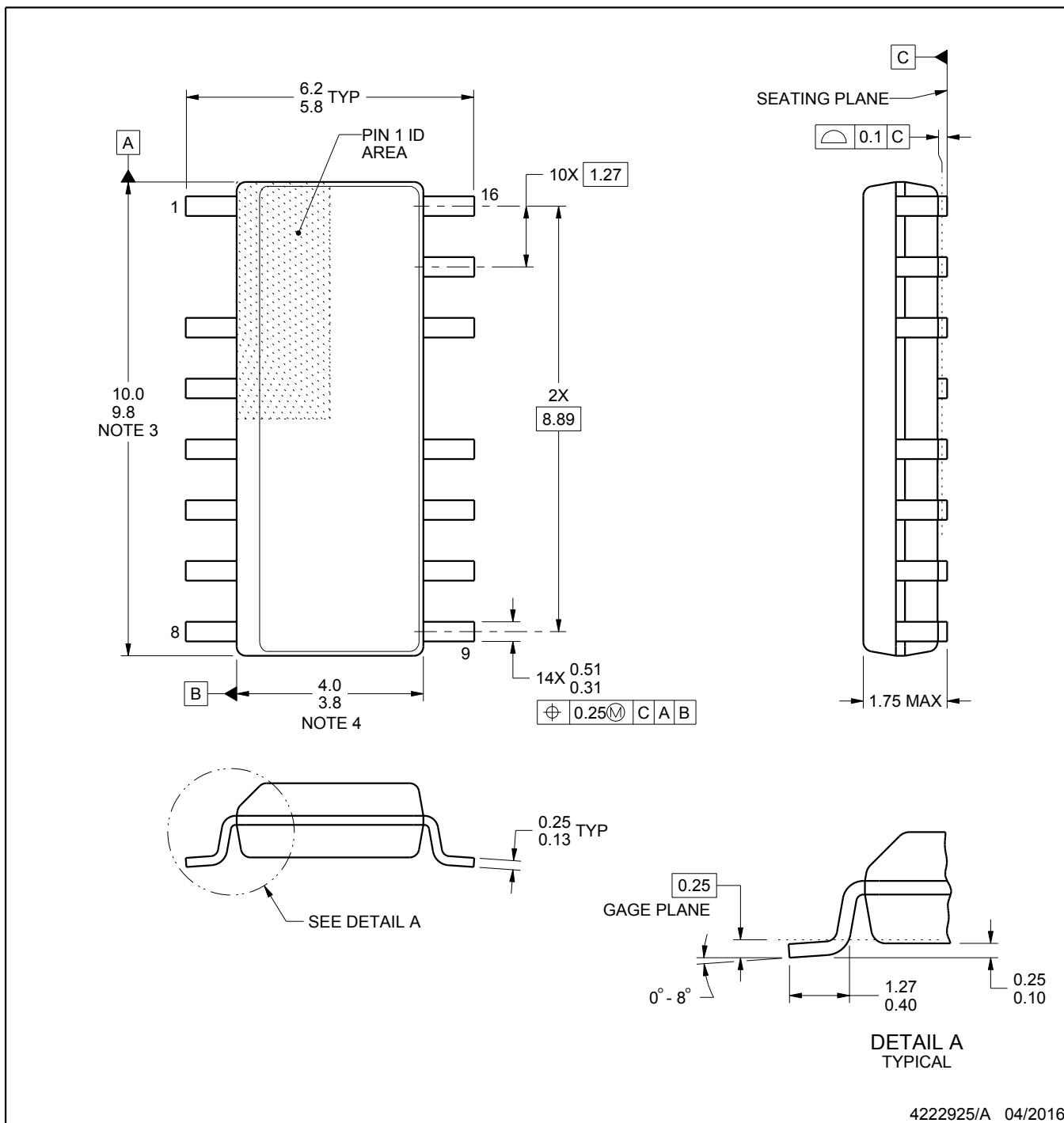
# PACKAGE OUTLINE

DDB0014A



SOIC - 1.75 mm max height

SOIC



## NOTES:

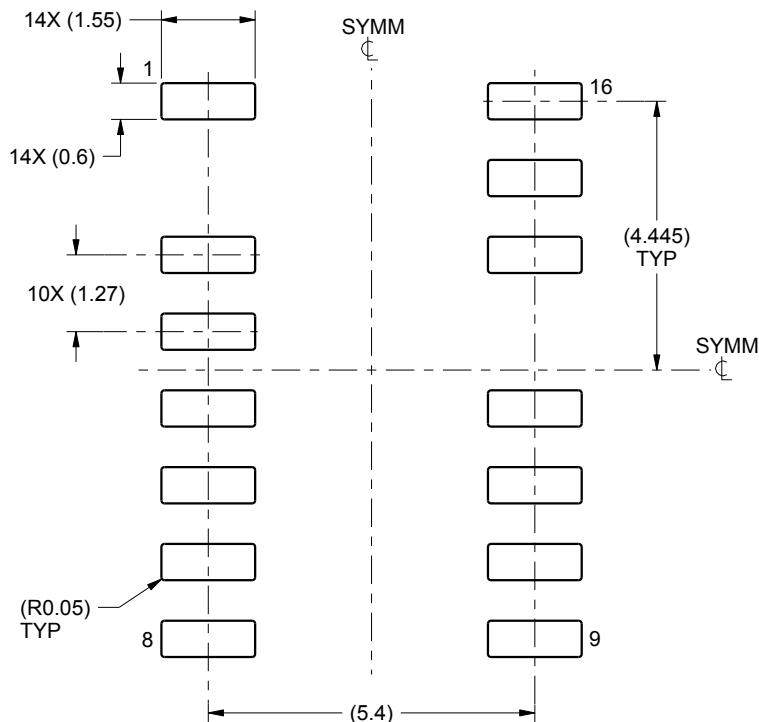
1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm per side.
5. Reference JEDEC registration MS-012, variation AC.

# EXAMPLE BOARD LAYOUT

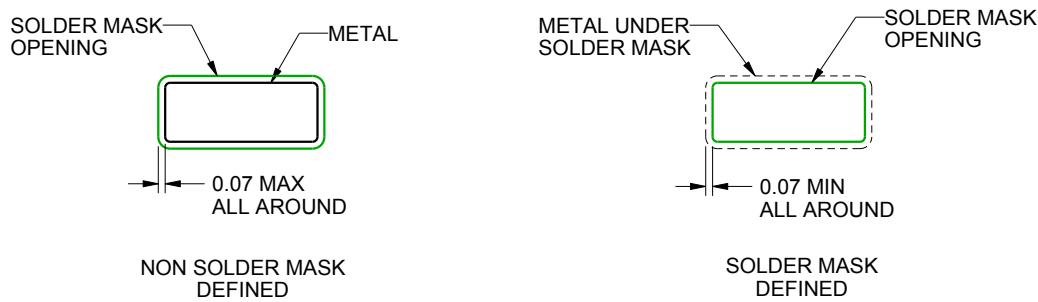
DDB0014A

SOIC - 1.75 mm max height

SOIC



LAND PATTERN EXAMPLE  
SCALE:8X



SOLDER MASK DETAILS

4222925/A 04/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

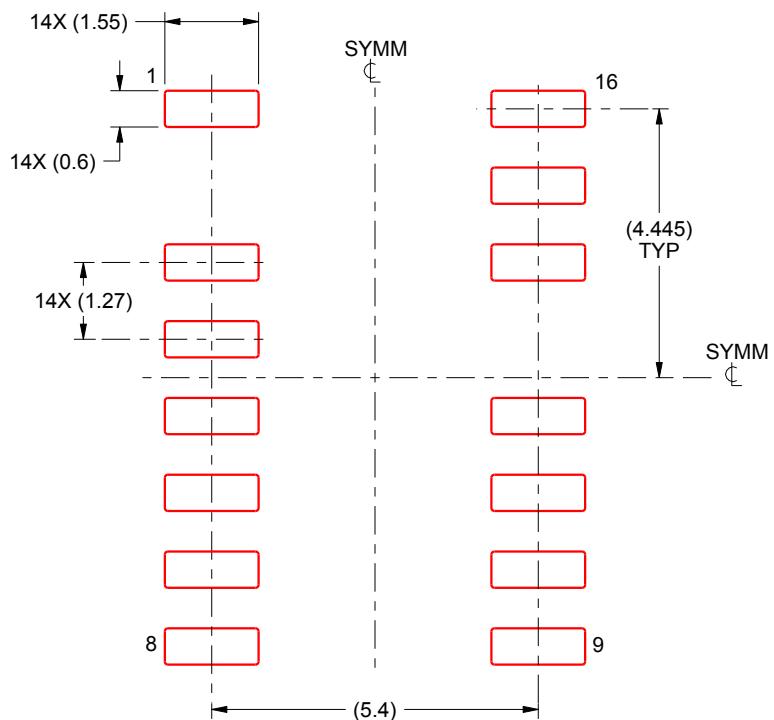
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

# EXAMPLE STENCIL DESIGN

DDB0014A

SOIC - 1.75 mm max height

SOIC



SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL  
SCALE:8X

4222925/A 04/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月