UCC21530-Q1 4A、6A、5.7kV$_{RMS}$、チャネル間隔 3.3mm の絶縁デュアル チャネル ゲート ドライバ

1 特長

- 次の測定結果により AEC-Q100 認定済み:
  - デバイス温度グレード 1
- 機能安全品質管理
  - 機能安全システムの設計に役立つ資料を利用可能
- 汎用:デュアル ローサイド、デュアル ハイサイド、またはハーフ ブリッジ ドライバ
- 幅広の SOIC-14 (DWK) パッケージ
- ドライバ チャネル間の間隔 3.3mm
- スイッチング パラメータ:
  - 伝搬遅延時間:33ns (代表値)
  - 最小パルス幅:20ns
  - 最大パルス幅歪み:6ns
- 125V/ns を超える同相過渡耐性 (CMTI)
- ピーク ソース 4A、ピーク シンク 6A の出力
- TTL および CMOS 互換の入力
- 入力 VCCI 範囲:3V～18V
- 最大 25V の VDD 出力駆動電源
  - 8V、12V および 17V VDD UVLO オプション
- オーバーラップおよびデッド タイムをプログラミング可能
- 接合部温度範囲:–40～+150℃

2 アプリケーション

- HEV および BEV バッテリ充電器
- ソーラー ストリングおよび中央インバータ
- AC から DC および DC から DC への充電パイル
- AC インバータおよびサーボ ドライブ
- AC から DC および DC から DC への電力配送
- エネルギー ストレージ システム

3 概要

UCC21530-Q1 は絶縁されたデュアル チャネルのゲート ドライバで、ピーク電流はソース 4A、シンク 6A です。IGBT、Si MOSFET、SiC MOSFET を最大 5MHz で駆動するように設計されています。

入力側は、5.7kV$_{RMS}$ の強化絶縁バリアによって 2 つの出力ドライバと分離されており、同相過渡耐性 (CMTI) は 125V/ns 以上です。2 つの 2 次側ドライバ間は、内部的に機能絶縁されているため、1850V までの電圧で動作します。

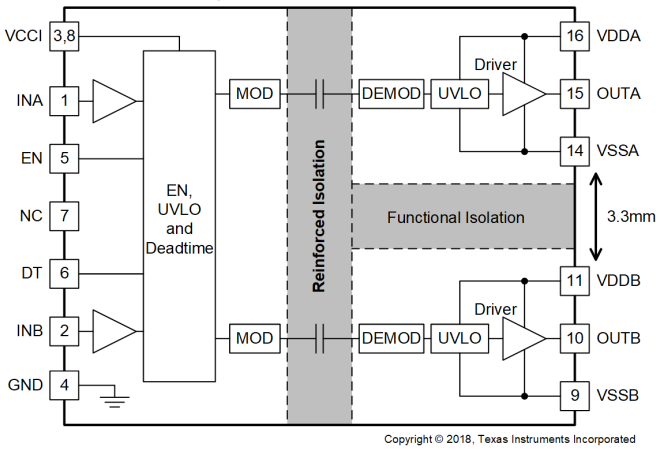
このデバイスは 2 つのローサイド ドライバ、2 つのハイサイド ドライバ、またはデッド タイム (DT) をプログラム可能な 1 つのハーフブリッジ ドライバとして構成可能です。EN ピンが Low になると、両方の出力が同時にシャットダウンされ、オープンまたは High のときは通常動作します。フェイルセーフ手法として、1 次側のロジック障害が発生すると、両方の出力が強制的に Low になります。

このデバイスは、最大 25V の VDD 電源電圧に対応できます。VCCI 入力範囲が 3V～18V と広いため、このドライバはアナログとデジタル両方のコントローラとの接続に適しています。すべての電源電圧ピンには、低電圧誤動作防止 (UVLO) 保護機能が搭載されています。

製品情報

部品番号	パッケージ (1)	本体サイズ (公称)
UCC21530-Q1	DWK (SOIC 14)	10.30mm × 7.50mm
UCC21530B-Q1	DWK (SOIC 14)	10.30mm × 7.50mm
UCC21530D-Q1	DWK (SOIC 14)	10.30mm × 7.50mm

(1) 供給されているすべてのパッケージについては、セクション 13 を参照してください。



機能ブロック図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 概要.....1
4 ピン構成および機能.....3
5 仕様.....4
5.1 絶対最大定格.....4
5.2 ESD 定格 (車載用).....4
5.3 推奨動作条件.....4
5.4 熱に関する情報.....4
5.5 電力定格.....5
5.6 絶縁仕様.....6
5.7 安全限界値.....7
5.8 電気的特性.....7
5.9 タイミング要件.....8
5.10 スイッチング特性.....8
5.11 絶縁特性曲線.....9
5.12 代表的特性.....11
6 パラメータ測定情報.....15
6.1 伝搬遅延とパルス幅歪み.....15
6.2 立ち上がりおよび立ち下がり時間.....15
6.3 入力とイネーブルの応答時間.....15
6.4 プログラム可能なデッド タイム.....16
6.5 電源オン時の出力の UVLO 遅延.....16
6.6 CMTI テスト.....17
7 詳細説明.....18
7.1 概要.....18
7.2 機能ブロック図.....18
7.3 機能説明.....19
7.4 デバイスの機能モード.....22
8 アプリケーションと実装.....24
8.1 アプリケーション情報.....24
8.2 代表的なアプリケーション.....24
9 電源に関する推奨事項.....34
10 レイアウト.....35
10.1 レイアウトのガイドライン.....35
10.2 レイアウト例.....36
11 デバイスおよびドキュメントのサポート.....38
11.1 サード・パーティ製品に関する免責事項.....38
11.2 ドキュメントのサポート.....38
11.3 ドキュメントの更新通知を受け取る方法.....38
11.4 サポート・リソース.....38
11.5 商標.....38
11.6 用語集.....38
12 改訂履歴.....38
13 メカニカル、パッケージ、および注文情報.....40

Copyright © 2024 Texas Instruments Incorporated

4 ピン構成および機能

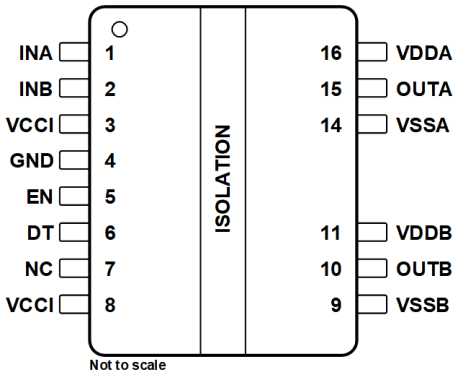


図 4-1. DWK パッケージ、14 ピン SOIC (上面図)

表 4-1. ピンの機能

ピン		種類 (1)	説明
名称	番号		
DT	6	I	DT ピンの設定: • DT を VCCI に接続すると、DT 機能は無効になり、出力がオーバーラップできるようになります。 • DT と GND の間に抵抗 (R_{DT}) を配置することで、次の式に従ってデッド タイムを調整できます。DT (ns) = 10 × R_{DT} (kΩ)。ノイズ耐性を向上させるため、DT ピンに近接して配置した 1nF 以下のセラミック コンデンサでこのピンをバイパスすることを推奨します。DT をフローティングのままにすることは推奨しません。
EN	5	I	High にアサートすると両方のドライバ出力が有効になり、Low に設定すると無効になります。このピンを使わない場合、ノイズ耐性を向上させるために VCCI に接続することを推奨します。離れた場所にあるマイコンに接続する場合、EN ピンに近接して配置した約 1nF の低 ESR/ESL コンデンサを使ってバイパスします。
GND	4	P	1 次側のグランド基準。1 次側のすべての信号はこのグランドを基準とします。
INA	1	I	A チャネルの入力信号。INA 入力は TTL/CMOS 互換の入力スレッショルドを持っています。このピンは、オープンのままにすると内部で Low にプルされます。このピンを使わない場合、ノイズ耐性を向上させるためにグランドに接続することを推奨します。
INB	2	I	B チャネルの入力信号。INB 入力は TTL/CMOS 互換の入力スレッショルドを持っています。このピンは、オープンのままにすると内部で Low にプルされます。このピンを使わない場合、ノイズ耐性を向上させるためにグランドに接続することを推奨します。
NC	7	–	内部接続なしこのピンはオープンのまま、VCCI に接続、GND に接続のいずれかにできます。
OUTA	15	O	ドライバ A の出力。A チャネルの FET または IGBT のゲートに接続します。
OUTB	10	O	ドライバ B の出力。B チャネルの FET または IGBT のゲートに接続します。
VCCI	3	P	1 次側の電源電圧。本デバイスにできる限り近づけて配置した低 ESR/ESL コンデンサを使って GND に対して局所的にデカップリングします。
VCCI	8	P	1 次側の電源電圧。このピンはピン 3 と内部で短絡しています。
VDDA	16	P	ドライバ A の 2 次側電源。本デバイスにできる限り近づけて配置した低 ESR/ESL コンデンサを使って VSSA に対して局所的にデカップリングします。
VDDB	11	P	ドライバ B の 2 次側電源。本デバイスにできる限り近づけて配置した低 ESR/ESL コンデンサを使って VSSB に対して局所的にデカップリングします。
VSSA	14	P	2 次側のドライバ A のグランド。2 次側の A チャネルのグランド リファレンス電圧。
VSSB	9	P	2 次側のドライバ B のグランド。2 次側の B チャネルのグランド リファレンス電圧。

(1) P = 電源、I = 入力、O = 出力

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

		最小値	最大値	単位
入力バイアス ピン電源電圧	VCCI (GND 基準)	-0.3	20	V
ドライバ バイアス電源	VDDA-VSSA、VDDB-VSSB	-0.3	30	V
出力信号電圧	OUTA (VSSA 基準)、OUTB (VSSB 基準)	-0.3	VDDA/B + 0.3	V
	OUTA (VSSA 基準)、OUTB (VSSB 基準)、200ns の過渡	-2	VDDA/B + 0.3	V
入力信号電圧	INA、INB、EN、DT (GND 基準)	-0.3	VCCI + 0.3	V
	INA、INB 過渡 (50ns)	-5	VCCI + 0.3	V
チャネル間内部絶縁電圧	|VSSA-VSSB| (DWK パッケージ)		1850	V
接合部温度、T_J (2)		-40	150	℃
保管温度、T_{stg}		-65	150	℃

(1) 「絶対最大定格」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについての話で、絶対最大定格において、またはこのデータシートの「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
(2) TJ の推奨動作条件を維持するには、セクション 6.4 を参照してください

5.2 ESD 定格 (車載用)

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 に準拠(1)	±2000	V
		荷電デバイス モデル (CDM)、AEC Q100-011 準拠	±1000	

(1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

			最小値	最大値	単位
V_{CCI}	VCCI 入力電源電圧		3	18	V
VDDA、VDDB	ドライバ出力バイアス電源は VSS が基準	UCC21530B の 8V UVLO バージョン	9.2	25	V
		UCC21530 の 12V UVLO バージョン	13.5	25	V
		UCC21530D の 17V UVLO バージョン	19	25	V
T_J	接合部温度		-40	150	℃

5.4 熱に関する情報

熱評価基準(1)		UCC21530-Q1 DWK-14 (SOIC) 14 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	74.1	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	34.1	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	32.8	℃/W
Ψ_{JT}	接合部から上面 (中心) への特性パラメータ	23.7	℃/W

Copyright © 2024 Texas Instruments Incorporated

5.4 熱に関する情報 (続き)

熱評価基準[1]		UCC21530-Q1 DWK-14 (SOIC) 14 ピン	単位
Ψ_{JB}	接合部から基板への特性パラメータ	32.1	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

5.5 電力定格

パラメータ		テスト条件	最小値	標準値	最大値	単位
P_D	最大消費電力 (両サイド)	VCCI = 5V、VDDA/VDDB = 20V、INA/B = 3.3V、460kHz 50% デューティ サイクルの方形波、CL = 2.2nF、T_J = 150°C、T_A = 25°C			950	mW
P_{DI}	トランスミッタ側の最大消費電力				50	mW
P_{DA}、P_{DB}	各ドライバ側の最大消費電力				450	mW

5.6 絶縁仕様

パラメータ		テスト条件	仕様	単位
全般				
CLR	外部空間距離[1]	空気を介した最短のピン間距離	>8	mm
CPG	外部沿面距離[1]	パッケージ表面に沿った最短のピン間距離	>8	mm
DTI	絶縁物を介した距離	最小内部ギャップ (内部空間距離)	>17	µm
CTI	比較トラッキング インデックス	DIN EN 60112 (VDE 0303-11)、IEC 60112	> 600	V
	材料グループ	IEC 60664-1 に準拠	I	
	IEC 60664-1 に準拠した過電圧カテゴリ	定格商用電源 V_{RMS} が 600V 以下	I-IV	
		定格商用電源 V_{RMS} が 1000V 以下	I-III	
DIN EN IEC 60747-17 (VDE 0884-17) [2]				
V_{IORM}	最大反復ピーク絶縁電圧	AC 電圧 (バイポーラ)	2121	V_{PK}
V_{IOWM}	最大絶縁動作電圧	AC 電圧 (正弦波)、絶縁膜経時破壊 (TDDB) テスト	1500	V_{RMS}
		DC 電圧	2121	V_{DC}
V_{IMP}	最大入力パルス電圧	IEC 62368-1 に準拠し空気中でテスト、1.2/50µs の波形	7692	V_{PK}
V_{IOTM}	最大過渡絶縁電圧	$V_{TEST} = V_{IOTM}$、t = 60s (認定)、 $V_{TEST} = 1.2 \times V_{IOTM}$、t = 1s (100% 出荷時)	8000	V_{PK}
V_{IOSM}	最大サージ絶縁電圧[3]	$V_{IOSM} \geqq 1.3 \times V_{IMP}$、油中でテスト (認定)、1.2/50µs 波形、IEC 62368-1 に準拠	10000	V_{PK}
q_{pd}	見掛けの電荷[4]	方法 a：I/O 安全テスト サブグループ 2/3 の後、$V_{ini} = V_{IOTM}$、t_{ini} = 60s、$V_{pd(m)} = 1.2 \times V_{IORM}$、$t_m$ = 10s	≦ 5	pC
		方法 a：環境テスト サブグループ 1 の後、$V_{ini} = V_{IOTM}$、t_{ini} = 60s、$V_{pd(m)} = 1.6 \times V_{IORM}$、$t_m$ = 10s	≦ 5	
		方法 b1：ルーチン テスト (100% 出荷時) および事前条件設定 (タイプ テスト) の場合、$V_{ini} = 1.2 \times V_{IOTM}$、$t_{ini}$ = 1s、$V_{pd(m)} = 1.875 \times V_{IORM}$、$t_m$ = 1s	≦ 5	
C_{IO}	絶縁バリア容量、入力から出力へ[5]	$V_{IO} = 0.4 \times \sin(2\pi ft)$、f = 1MHz	≒1.2	pF
R_{IO}	絶縁抵抗、入力から出力へ[5]	V_{IO} = 500V、T_A = 25℃	$>10^{12}$	Ω
		V_{IO} = 500V (100℃ ≦ T_A ≦ 125℃時)	$>10^{11}$	
		V_{IO} = 500V (T_S = 150℃時)	$>10^{9}$	
	汚染度		2	
	耐候性カテゴリ		40/125/21	
UL 1577				
V_{ISO}	絶縁耐圧	$V_{TEST} = V_{ISO}$ = 5700 V_{RMS}、t = 60s (認定)、$V_{TEST} = 1.2 \times V_{ISO}$ = 6840 V_{RMS}、t = 1s (100% 出荷時)	5700	V_{RMS}

(1) 沿面距離および空間距離の要件は、アプリケーション個別の機器絶縁規格に従って適用する必要があります。沿面距離および空間距離を維持するために、プリント基板上でアイソレータの取り付けパッドによってこの距離が短くならないように注意して基板を設計する必要があります。場合によっては、プリント基板上の沿面距離と空間距離が等しくなります。プリント基板上に溝やリブを設けるという技法を使用して、これらの仕様値を大きくすることができます。
(2) この絶縁素子は、安全定格内の安全な電気的絶縁のみに適しています。安全定格への準拠は、適切な保護回路によって保証する必要があります。
(3) テストは、絶縁バリアの固有サージ耐性を判定するため、気中または油中で実行されます。
(4) 見掛けの放電電荷とは、部分放電 (pd) により発生する放電です。
(5) 絶縁バリアのそれぞれの側にあるすべてのピンを互いに接続して、2 つの端子を持つデバイスを構成します。

Copyright © 2024 Texas Instruments Incorporated

5.7 安全限界値

パラメータ		テスト条件	側	最小値	標準値	最大値	単位
I_S	安全出力電源電流	$R_{\theta\ JA}$ = 74.1℃/W、$V_{DDA/B}$ = 15V、T_J = 150℃、T_A = 25℃	ドライバ A、ドライバ B			53	mA
		$R_{\theta\ JA}$ = 74.1℃/W、$V_{DDA/B}$ = 25V、T_J = 150℃、T_A = 25℃				32	
P_S	安全電源	$R_{\theta\ JA}$ = 74.1℃/W、T_J = 150℃、T_A = 25℃	入力			50	mW
			ドライバ A			800	
			ドライバ B			800	
			合計			1650	
T_S	最高安全温度(1)					150	℃

(1) 最高安全温度 T_S は、本デバイスに規定された最大接合部温度 T_J と同じ値です。I_S および P_S パラメータはそれぞれ安全電流と安全電力を表します。I_S および P_S の最大限界値を超過してはなりません。これらの限界値は、周囲温度 T_A によって異なります。「熱に関する情報」表にある接合部から空気への熱抵抗 R_{qJA} は、リードあり表面実装パッケージ用の高 K テスト基板に搭載されているデバイスのものです。これらの式を使用して、以下のように各パラメータの値を計算します。$T_J = T_A + R_{qJA} * P$、ここで P はデバイスで消費される電力です。$T_{J(max)} = T_S = T_A + R_{qJA} * P_S$、ここで、$T_{J(max)}$ は最大許容接合部温度です。$P_S = I_S * V_I$、ここで、VI は最大電源電圧です。

5.8 電気的特性

V_{VCCI} = 3.3V または 5V、0.1μF コンデンサを VCCI と GND の間に接続、$V_{VDDA} = V_{VDDB}$ = 15V (8V および 12V UVLO バリアント) または 20V (17V UVLO バリアント)、1μF コンデンサを VDDA/VDDB と VSSA/VSSB の間に接続、T_J = –40°C～+150°C (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
供給電流						
I_{VCCI}	VCCI 静止電流	V_{INA} = 0V、V_{INB} = 0V		1.4	2.0	mA
I_{VDDA}、I_{VDDB}	VDDA と VDDB の静止電流	V_{INA} = 0V、V_{INB} = 0V		1.0	2.5	mA
I_{VCCI}	VCCI 動作電流	(f = 500kHz) チャネルあたりの電流		3	3.5	mA
I_{VDDA}、I_{VDDB}	VDDA と VDDB の動作電流	(f = 500kHz) チャネルあたりの電流、C_{OUT} = 100pF		2.5	4.2	mA
VCC 電源電圧の低電圧スレッショルド						
V_{VCCI_ON}	UVLO 立ち上がりスレッショルド		2.55	2.7	2.85	V
V_{VCCI_OFF}	UVLO 立ち下がりスレッショルド		2.35	2.5	2.65	V
V_{VCCI_HYS}	UVLO スレッショルドのヒステリシス			0.2		V
VDD 電源電圧の低電圧スレッショルド						
V_{VDDA_ON}、V_{VDDB_ON}	UVLO 立ち上がりスレッショルド	8-V UVLO	7.7	8.5	8.9	V
V_{VDDA_OFF}、V_{VDDB_OFF}	UVLO 立ち下がりスレッショルド	8-V UVLO	7.2	7.9	8.4	V
V_{VDDA_HYS}、V_{VDDB_HYS}	UVLO スレッショルドのヒステリシス	8-V UVLO		0.6		V
V_{VDDA_ON}、V_{VDDB_ON}	UVLO 立ち上がりスレッショルド	12-V UVLO	11.7	12.5	13.3	V
V_{VDDA_OFF}、V_{VDDB_OFF}	UVLO 立ち下がりスレッショルド	12-V UVLO	10.7	11.5	12.3	V
V_{VDDA_HYS}、V_{VDDB_HYS}	UVLO スレッショルドのヒステリシス	12-V UVLO		1		V
V_{VDDA_ON}、V_{VDDB_ON}	UVLO 立ち上がりスレッショルド	17-V UVLO	16.4	17.6	18.8	V
V_{VDDA_OFF}、V_{VDDB_OFF}	UVLO 立ち下がりスレッショルド	17-V UVLO	15.4	16.6	17.8	V
V_{VDDA_HYS}、V_{VDDB_HYS}	UVLO スレッショルドのヒステリシス	17-V UVLO		1		V

Copyright © 2024 Texas Instruments Incorporated

5.8 電気的特性 (続き)

V_{VCCI} = 3.3V または 5V、0.1µF コンデンサを VCCI と GND の間に接続、V_{VDDA} = V_{VDDB} = 15V (8V および 12V UVLO バリアント) または 20V (17V UVLO バリアント)、1µF コンデンサを VDDA/VDDB と VSSA/VSSB の間に接続、T_J = –40°C～+150°C (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
INA、INB、ENABLE						
V_{INAH}、V_{INBH}、V_{ENH}	入力 High スレッショルド電圧		1.2	1.8	2	V
V_{INAL}、V_{INBL}、V_{ENL}	入力 Low スレッショルド電圧		0.8	1	1.2	V
V_{INA_HYS}、V_{INB_HYS}、V_{EN_HYS}	入力スレッショルドのヒステリシス			0.8		V
V_{INA}、V_{INB}	負の過渡電圧、GND 基準、100ns パルス	出荷時のテストは未実施。ベンチ テストのみ	-5			V
出力						
I_{OA+}、I_{OB+}	ピーク出力ソース電流	C_{VDD} = 10µF、C_{LOAD} = 0.18µF、f = 1kHz、ベンチ測定		4		A
I_{OA-}、I_{OB-}	ピーク出力シンク電流	C_{VDD} = 10µF、C_{LOAD} = 0.18µF、f = 1kHz、ベンチ測定		6		A
R_{OHA}、R_{OHB}	HIGH 状態の出力抵抗	I_{OUT} = -10mA、T_A = 25℃、R_{OHA}、R_{OHB} は、駆動プルアップ性能を表すものではありません。詳細については セクション 5.10 および セクション 7.3.4 の t_{RISE} を参照してください。		5		Ω
R_{OLA}、R_{OLB}	Low 状態の出力抵抗	I_{OUT} = 10mA、T_A = 25℃		0.55		Ω
V_{OHA}、V_{OHB}	High 状態の出力電圧	V_{VDDA}、V_{VDDB} = 15V、I_{OUT} = -10mA、T_A = 25℃		14.95		V
V_{OLA}、V_{OLB}	Low 状態の出力電圧	V_{VDDA}、V_{VDDB} = 15V、I_{OUT} = 10mA、T_A = 25℃		5.5		mV

5.9 タイミング要件

デッド タイムとオーバーラップのプログラミング		最小値	公称値	最大値	単位
DT	DT ピンを VCCI に接続	オーバーラップは INA、INB によって決定	オーバーラップは INA、INB によって決定	オーバーラップは INA、INB によって決定	ns
DT	デッド タイム、R_{DT} = 10kΩ	80	100	120	ns
DT	デッド タイム、R_{DT} = 20kΩ	160	200	240	ns
DT	デッド タイム、R_{DT} = 50kΩ	400	500	600	ns

5.10 スイッチング特性

V_{VCCI} = 3.3V または 5V、0.1µF のコンデンサを VCCI と GND の間に接続、V_{VDDA} = V_{VDDB} = 15V (8V および 12V UVLO バリアント) または 20V (17V UVLO バリアント)、1µF のコンデンサを VDDA/VDDB と VSSA/VSSB の間に接続、負荷容量 C_{OUT} = 0pF、T_J = –40℃～+150℃ (特に記述のない限り推奨条件に対し)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{RISE}	出力立ち上がり時間、測定ポイント 20%～80%	C_{OUT} = 1.8nF		6	16	ns
t_{FALL}	出力立ち下がり時間、測定ポイント 90%～10%	C_{OUT} = 1.8nF		7	12	ns
t_{PWmin}	最小パルス幅	最小値未満で出力オフ、C_{OUT} = 0pF			20	ns
t_{PDHL}	INx から OUTx の立ち下がりエッジまでの伝搬遅延		26	33	45	ns
t_{PDLH}	INx から OUTx 立ち上がりエッジまでの伝搬遅延		26	33	45	ns
t_{PWD}	パルス幅歪み $\lvert t_{PDLH} - t_{PDHL} \rvert$				6	ns

Copyright © 2024 Texas Instruments Incorporated

5.10 スイッチング特性 (続き)

V_{VCCI} = 3.3V または 5V、0.1µF のコンデンサを VCCI と GND の間に接続、V_{VDDA} = V_{VDDB} = 15V (8V および 12V UVLO バリアント) または 20V (17V UVLO バリアント)、1µF のコンデンサを VDDA/VDDB と VSSA/VSSB の間に接続、負荷容量 C_{OUT} = 0pF、T_J = –40℃～+150℃ (特に記述のない限り推奨条件に対し)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{DM}	デュアル チャネル ドライバの伝搬遅延マッチング	入力パルス幅 = 100ns、500kHz、T_J = -40℃～-10℃ $\lvert t_{PDLHA} - t_{PDLHB}\rvert$、$\lvert t_{PDHLA} - t_{PDHLB}\rvert$			6.5	ns
		入力パルス幅 = 100ns、500kHz、T_J = -10℃～+150℃ $\lvert t_{PDLHA} - t_{PDLHB}\rvert$、$\lvert t_{PDHLA} - t_{PDHLB}\rvert$			5	ns
t_{VCCI+} から OUT まで	VCCI 電源オン遅延時間:UVLO の立ち上がりから OUTA、OUTB まで	INA または INB を VCCI に接続			50	µs
t_{VDD+} から OUT まで	VDDA. VDDB 電源オン遅延時間:UVLO の立ち上がりから OUTA、OUTB まで	INA または INB を VCCI に接続			10	µs
$\lvert CM_H\rvert$	HIGH レベルの同相過渡耐性 (セクション 6.6 を参照)	GND 対 VSSA/B のスルーレート、INA と INB の両方を GND または VCCI に接続、V_{CM} = 1500V	125			V/ns
$\lvert CM_L\rvert$	LOW レベルの同相過渡耐性 (セクション 6.6 を参照)	GND 対 VSSA/B のスルーレート、INA と INB の両方を GND または VCCI に接続、V_{CM} = 1500V	125			V/ns

5.11 絶縁特性曲線

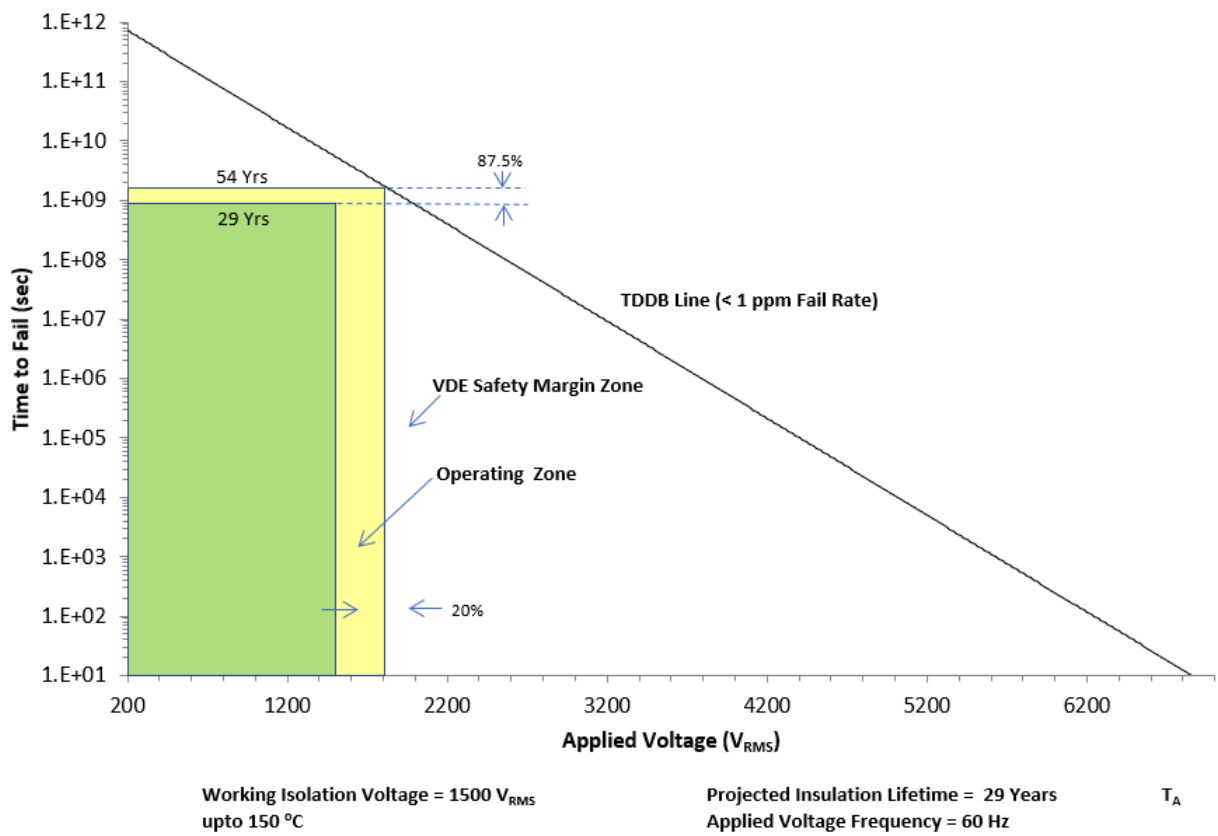


図 5-1. 強化絶縁コンデンサの寿命予測

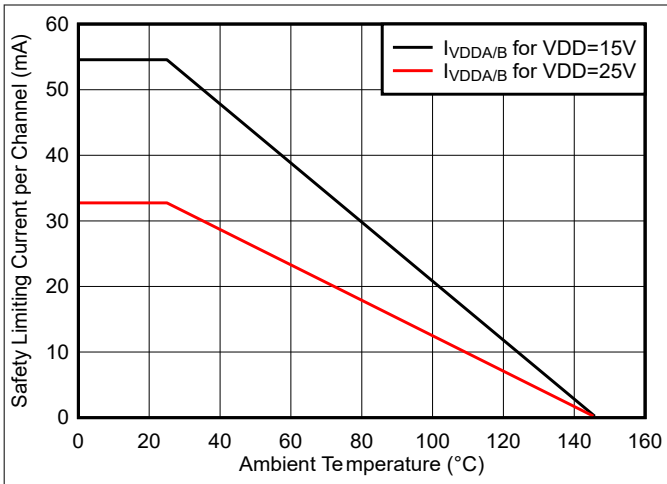


図 5-2. 安全関連の制限電流の熱特性低下曲線 (両方のチャネルが同時に動作している場合の各チャネルの電流)、

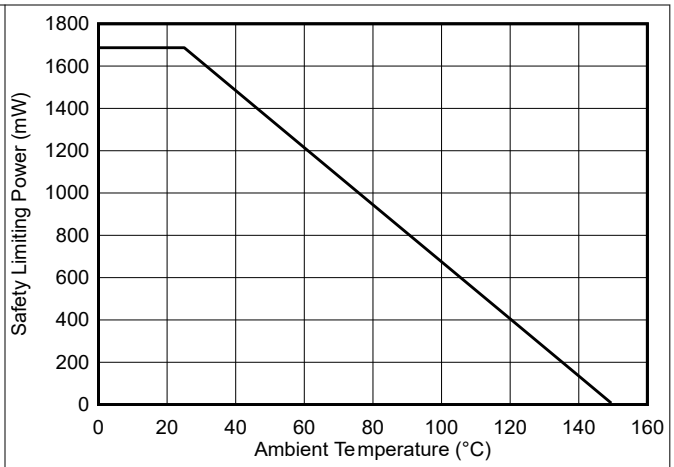
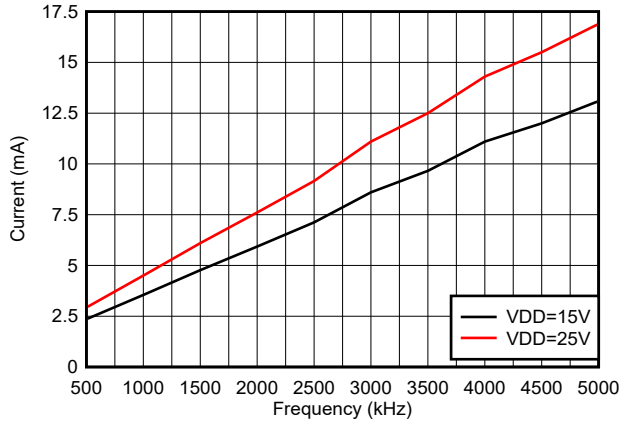


図 5-3. 安全関連の制限電力の熱特性低下曲線

Copyright © 2024 Texas Instruments Incorporated

5.12 代表的特性

VDDA = VDDB = 15V (8V および 12V UVLO バリアント) または 20V (17V UVLO バリアント) 、VCCI = 3.3V、T_A = 25°C、無負荷。(特に記述のない限り)



無負荷

図 5-4. チャネルあたりの消費電流と周波数との関係

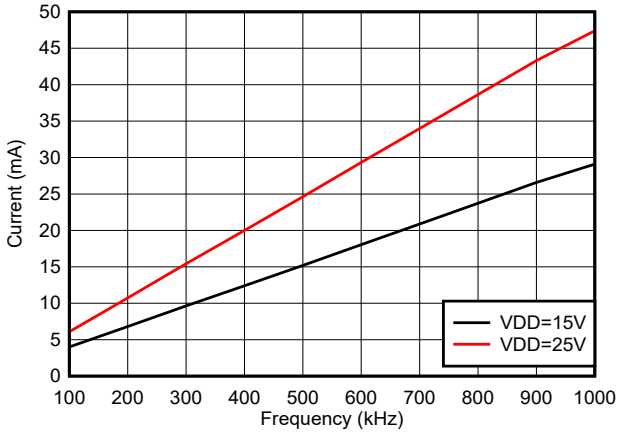


図 5-5. チャネルあたりの消費電流 ($I_{VDDA/B}$) と周波数との関係 (1nF 負荷、VDD = 15V または 25V)

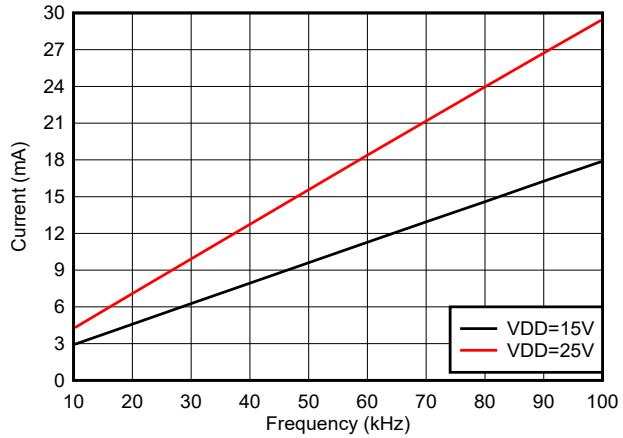


図 5-6. チャネルあたりの消費電流 ($I_{VDDA/B}$) と周波数との関係 (10nF 負荷、VDD = 15V または 25V)

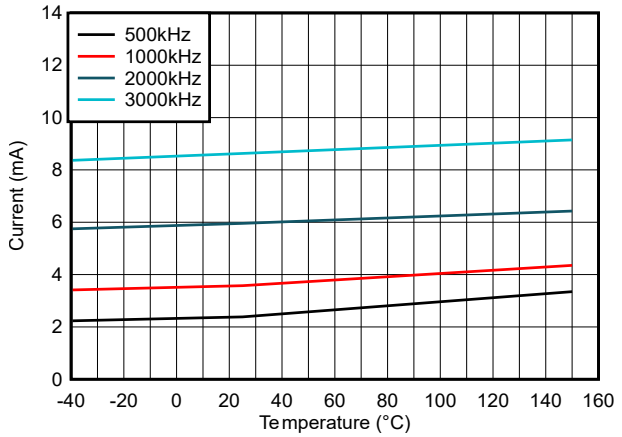


図 5-7. チャネルあたりの電源電流 ($I_{VDDA/B}$) と温度との関係 (無負荷、各種スイッチング周波数)

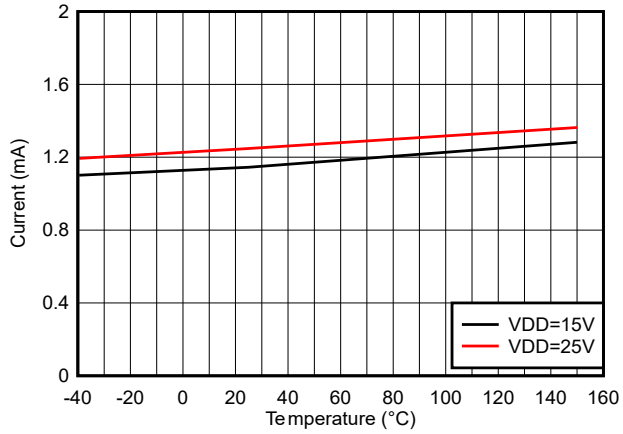


図 5-8. チャネルあたりの静止電源電流 ($I_{VDDA/B}$) と温度との関係 (無負荷、入力 Low、スイッチングなし)

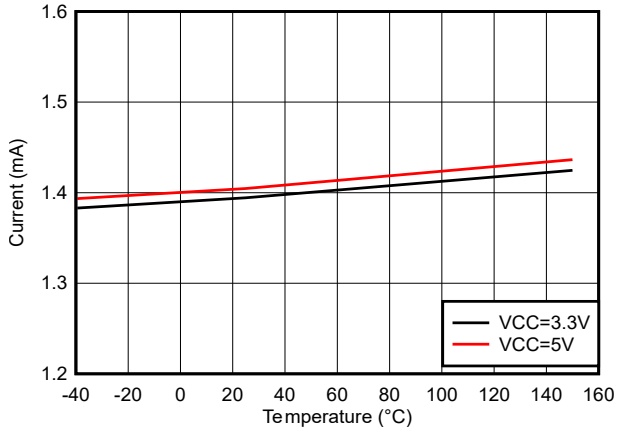


図 5-9. 静止電源電流 (I_{VCCI}) と温度との関係 (無負荷、入力 Low、スイッチングなし)

5.12 代表的特性 (続き)

VDDA = VDDB = 15V (8V および 12V UVLO バリアント) または 20V (17V UVLO バリアント) 、VCCI = 3.3V、T_A = 25°C、無負荷。(特に記述のない限り)

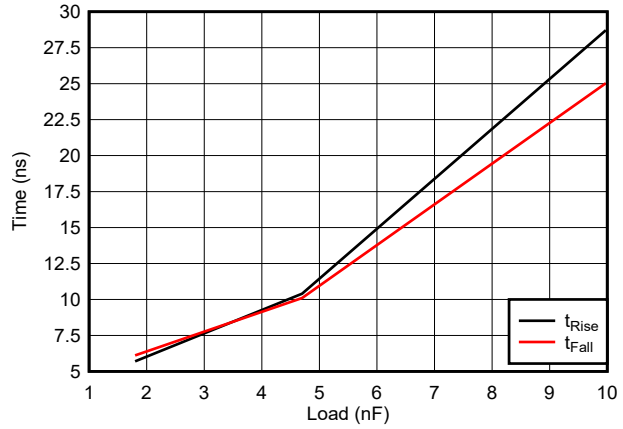


図 5-10. 立ち上がり時間および立ち下がり時間と負荷との関係

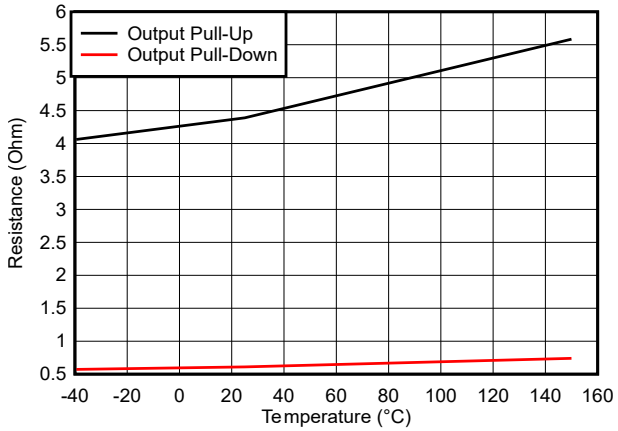


図 5-11. 出力抵抗と温度との関係

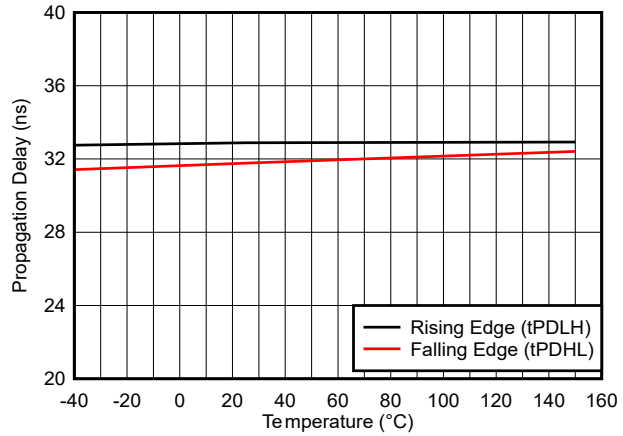


図 5-12. 伝搬遅延と温度との関係

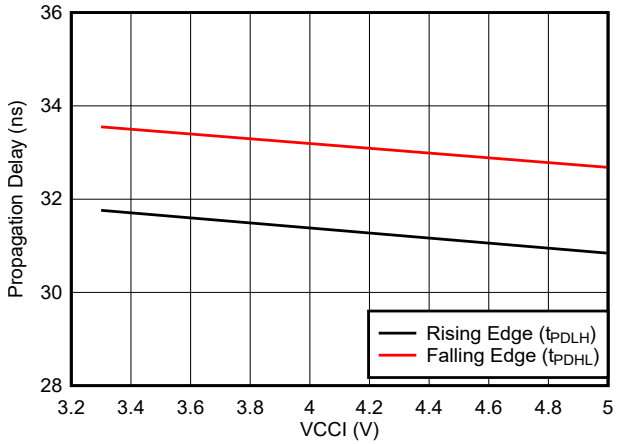


図 5-13. 伝搬遅延と VCCI との関係

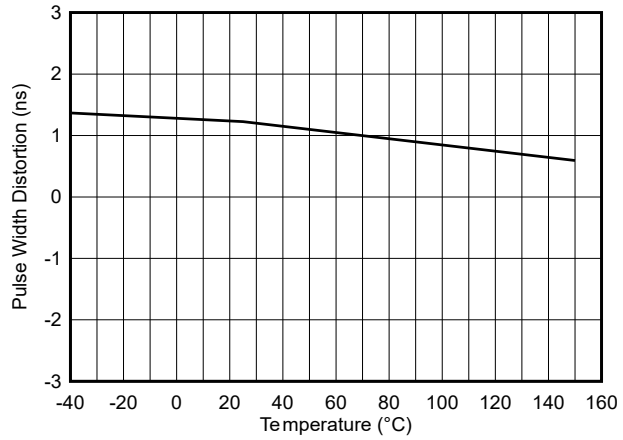


図 5-14. パルス幅歪みと温度との関係

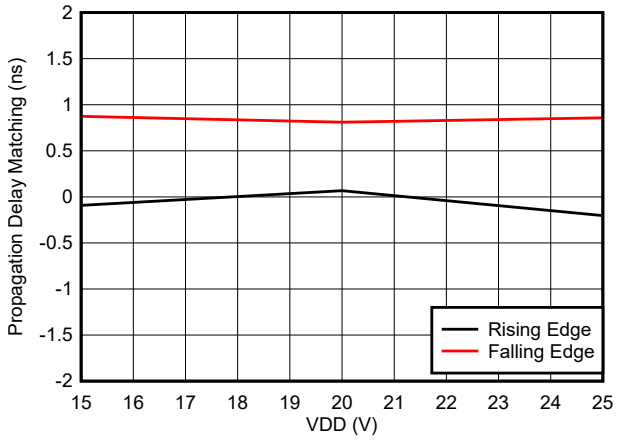


図 5-15. 伝搬遅延マッチング (t_{DM}) と VDD との関係

Copyright © 2024 Texas Instruments Incorporated

5.12 代表的特性 (続き)

VDDA = VDDB = 15V (8V および 12V UVLO バリアント) または 20V (17V UVLO バリアント) 、VCCI = 3.3V、T_A = 25°C、無負荷。(特に記述のない限り)

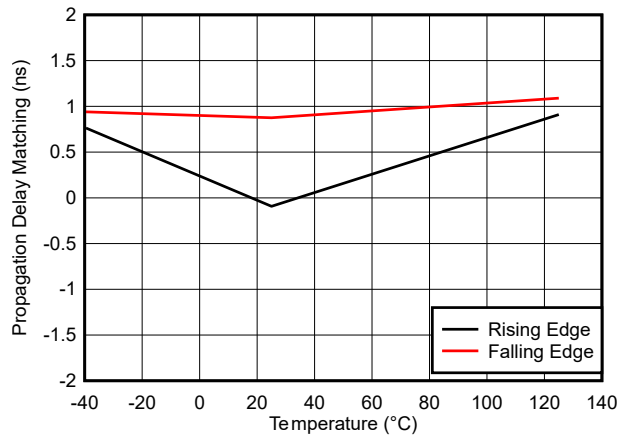


図 5-16. 伝搬遅延マッチング (t_{DM}) と温度との関係

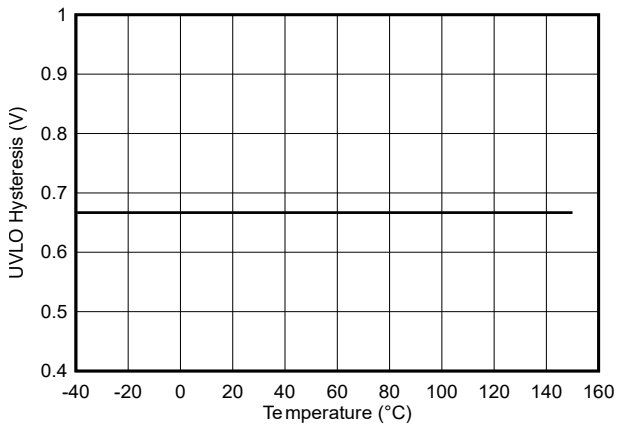


図 5-17. 8V UVLO ヒステリシスと温度との関係

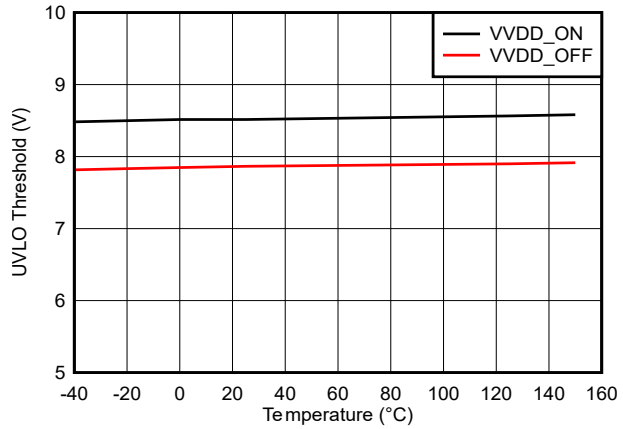


図 5-18. 8V UVLO スレッショルドと温度との関係

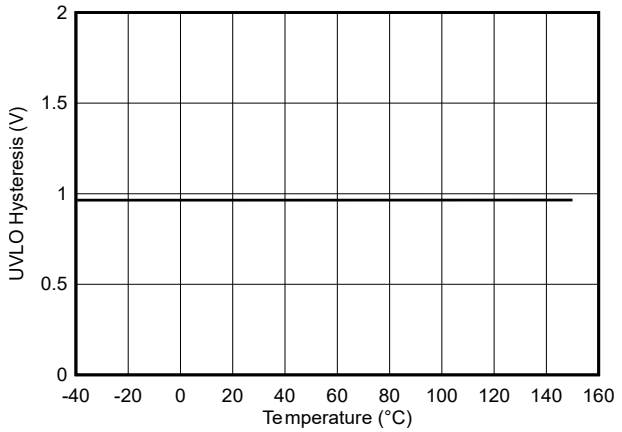


図 5-19. 12V UVLO ヒステリシスと温度との関係

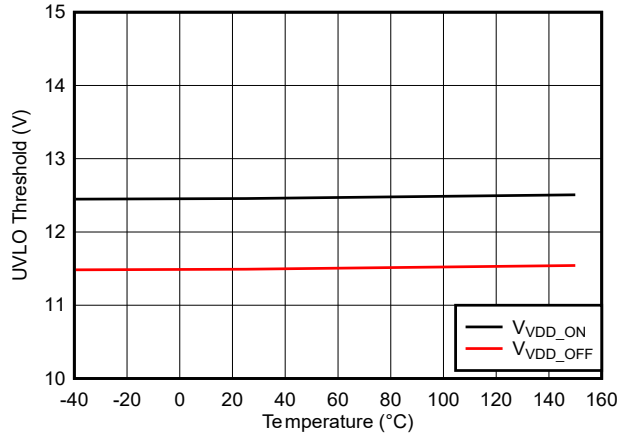


図 5-20. 12V UVLO スレッショルドと温度との関係

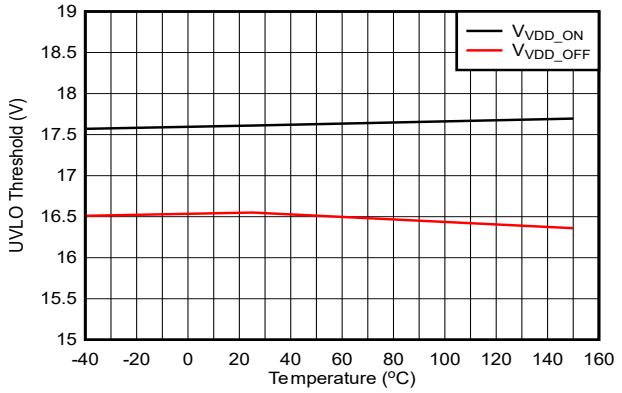


図 5-21. VDD 17V UVLO スレッショルドと温度との関係

5.12 代表的特性 (続き)

VDDA = VDDB = 15V (8V および 12V UVLO バリアント) または 20V (17V UVLO バリアント) 、VCCI = 3.3V、T_A = 25°C、無負荷。(特に記述のない限り)

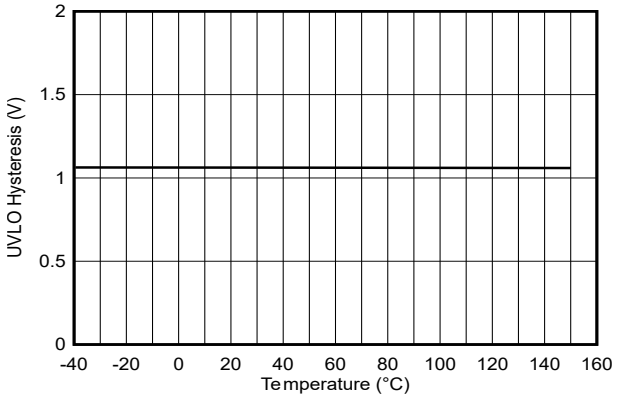


図 5-22. VDD 17V UVLO ヒステリシスと温度との関係

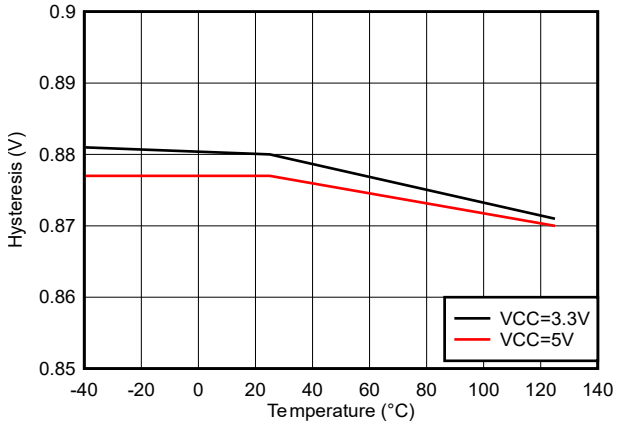


図 5-23. INA/B/EN ヒステリシスと温度との関係

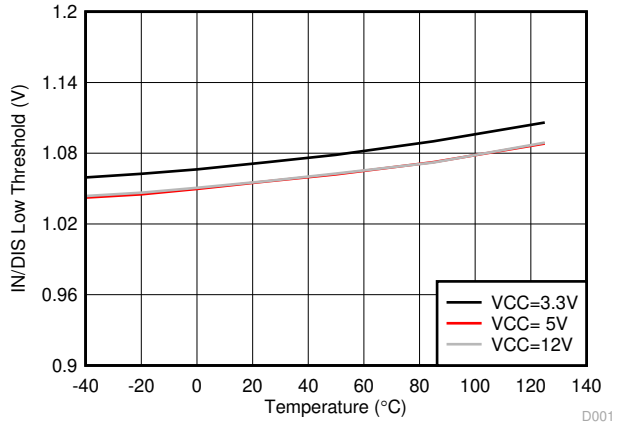


図 5-24. INA/B/EN の Low スレッショルド

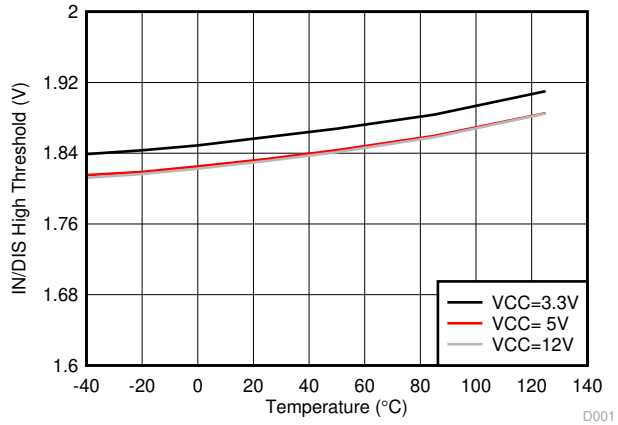


図 5-25. INA/B/EN の High スレッショルド

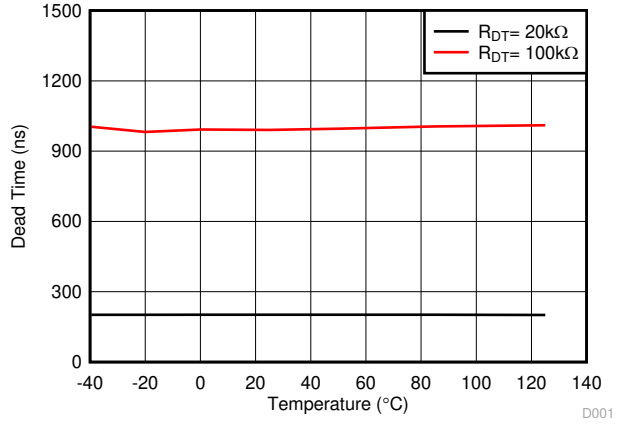


図 5-26. デッドタイムと温度との関係

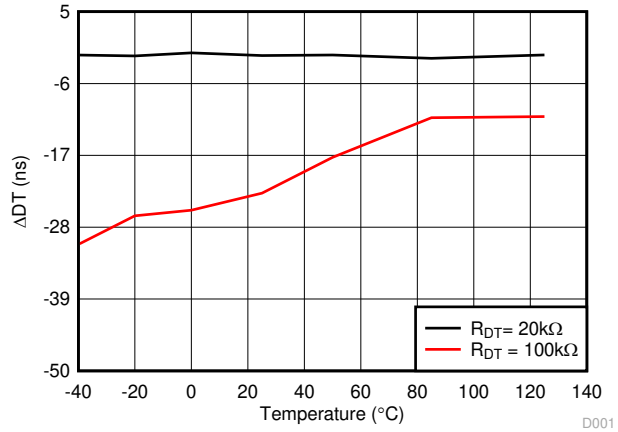


図 5-27. デッドタイム マッチングと温度との関係

Copyright © 2024 Texas Instruments Incorporated

6 パラメータ測定情報

6.1 伝搬遅延とパルス幅歪み

チャネル A と B の伝搬遅延からパルス幅歪み (t_{PWD}) と遅延マッチング (t_{DM}) を計算する方法を、図 6-1 に示します。この値は、両方の入力の位相が揃っていることを確認し、DT ピンを VCC に短絡してデッド・タイム機能を無効にすると測定できます。

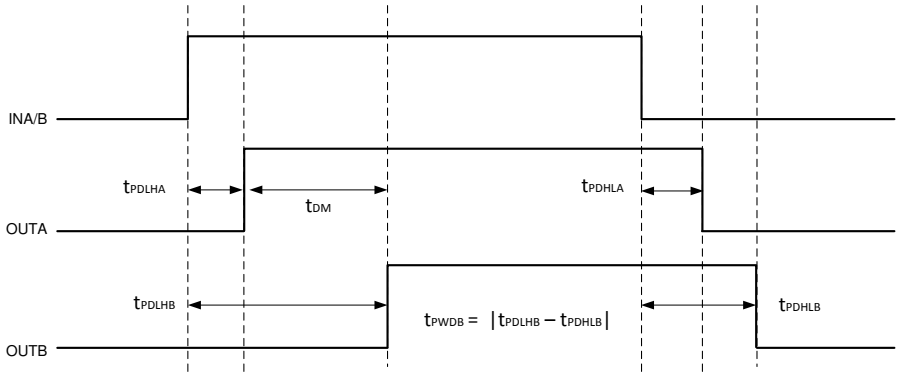


図 6-1. 重複した入力、デッド・タイム無効

6.2 立ち上がりおよび立ち下がり時間

図 6-2 に、立ち上がり (t_{RISE}) および立ち下がり (t_{FALL}) 時間の測定基準を示します。立ち上がり時間と立ち下がり時間を短縮する方法の詳細については、セクション 7.3.4 を参照してください。

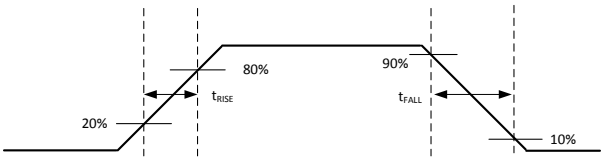


図 6-2. 立ち上がりおよび立ち下がり時間の測定基準

6.3 入力とイネーブルの応答時間

イネーブル機能の応答時間を、図 6-3 に示します。詳細については、セクション 7.4.1 を参照してください。

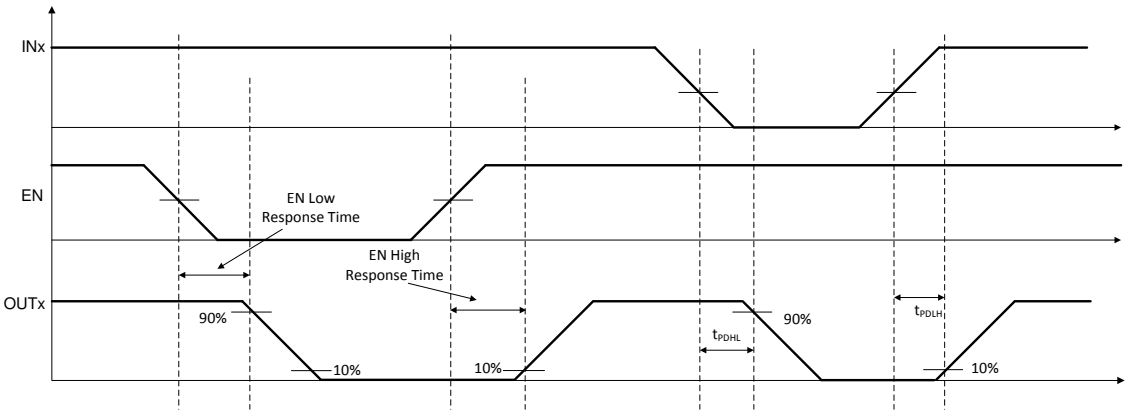


図 6-3. イネーブル ピンのタイミング

6.4 プログラム可能なデッド タイム

DT を VCCI に接続すると、DT 機能は無効になり、出力がオーバーラップできます。DT ピンと GND の間に抵抗 (R_{DT}) を配置すると、デッドタイムを調整できます。デッド タイムの詳細については、セクション 7.4.2 を参照してください。

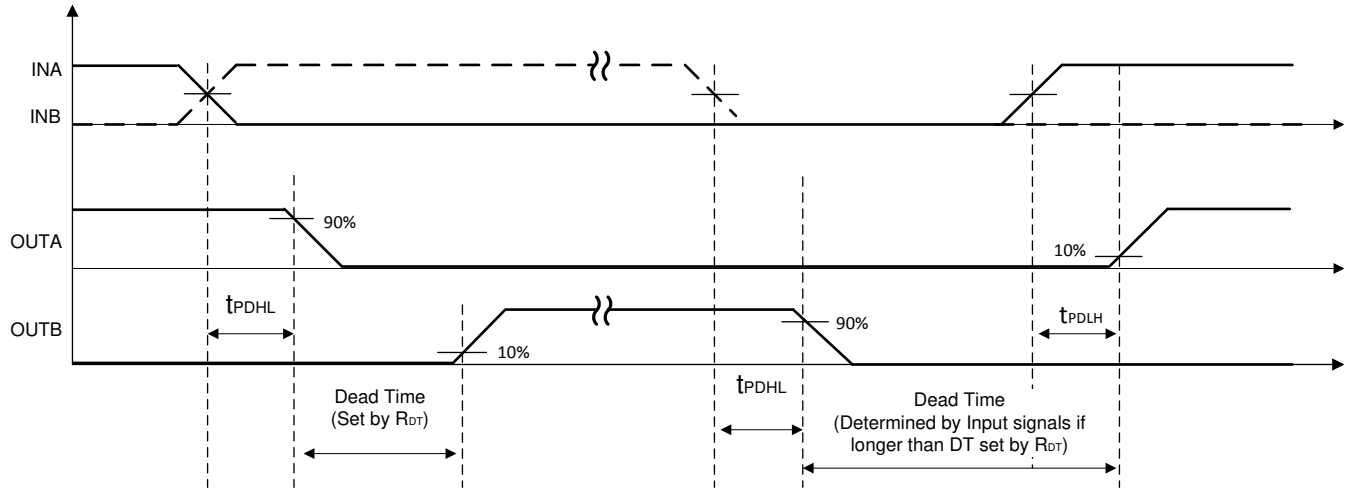


図 6-4. デッド タイムのスイッチング パラメータ

6.5 電源オン時の出力の UVLO 遅延

電源電圧 VCCI が立ち下がりスレッショルド V_{VCCI_OFF} 未満から立ち上がりスレッショルド V_{VCCI_ON} を越えて上昇するたびに、また電源電圧 VDDx が立ち下がりスレッショルド V_{VDDx_OFF} 未満から立ち上がりスレッショルド V_{VDDx_ON} を越えて上昇するたびに、出力が入力への応答を開始するまでに遅延が挿入されます。VCCI UVLO の場合、この遅延は $t_{VCCI+\ to\ OUT}$ として定義され、の最大値は 50µs です。VDDx UVLO の場合、この遅延は $t_{VDD+\ to\ OUT}$ として定義され、の最大値は 10µs です。ドライバの VCCI および VDD バイアス電源が完全に立ち上がるように、入力信号を駆動する前にある程度のマージンを持たせることを推奨します。図 6-5 と図 6-6 に、VCCI と VDD の電源オン時の UVLO 遅延タイミング図を示します。

電源電圧 VCCI が立ち下がりスレッショルド V_{VCCI_OFF} より低下するたびに、また VDDx が立ち下がりスレッショルド V_{VDDx_OFF} より低下するたびに、出力は入力への応答を停止し、2µs 以内に Low に保持されます。この非対称な遅延は、VCCI または VDDx のブラウンアウト中でも安全な動作を確保するために設計されています。

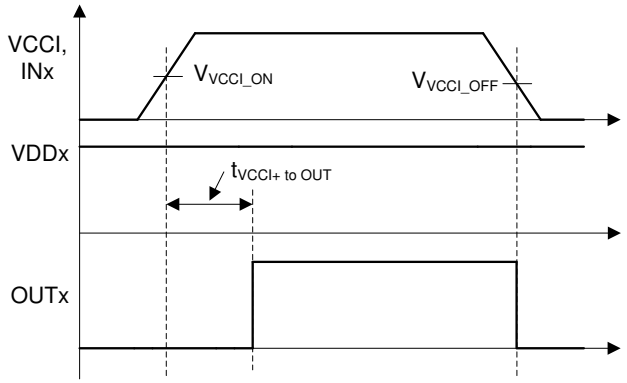


図 6-5. VCCI 電源オン時の UVLO 遅延

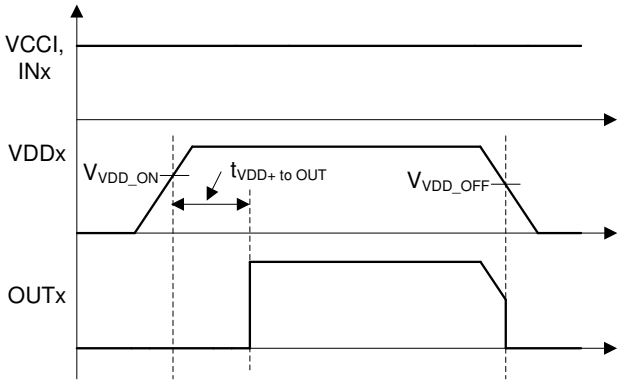


図 6-6. VDDA/B 電源オン時の UVLO 遅延

Copyright © 2024 Texas Instruments Incorporated

6.6 CMTI テスト

図 6-7 は CMTI テスト構成の概略図です。

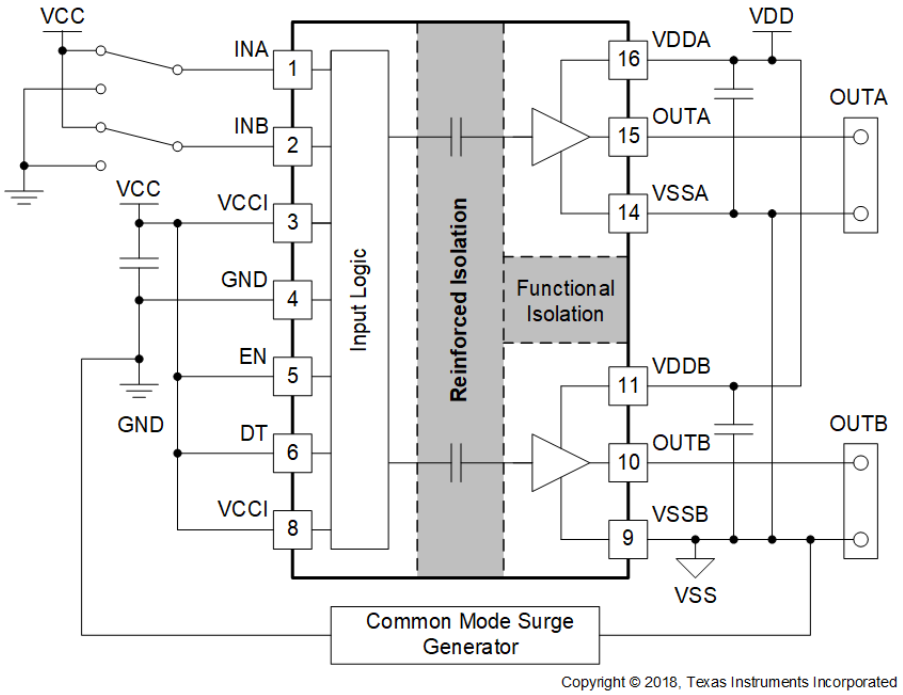


図 6-7. CMTI テスト構成の概略図

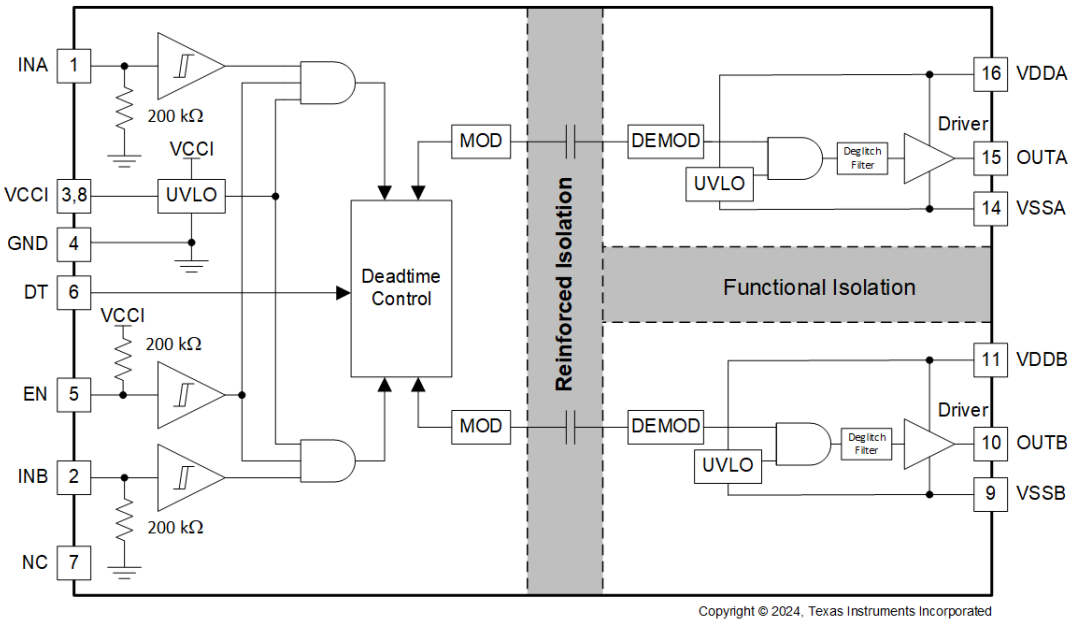
7 詳細説明

7.1 概要

パワー トランジスタを高速で切り換えると共に、スイッチング電力損失を低減するため、制御デバイスの出力とパワー トランジスタのゲートの間に大電流ゲート ドライバがしばしば配置されます。パワー トランジスタのゲートを駆動するのに十分な電流をコントローラが供給できないこともあります。これは、デジタル コントローラの場合に特に当てはまります。デジタル コントローラからの入力信号はしばしば数 mA しか供給できない 3.3V ロジック信号であるためです。

UCC21530-Q1 は、各種の電源およびモーター ドライブ トポロジに適合し、SiC MOSFET も含めた各種のトランジスタを駆動するように構成できる、柔軟なデュアル ゲート ドライバです。UCC21530-Q1 は、制御回路と組み合わせるための機能と、駆動するトランジスタを保護するための機能を豊富に備えています。たとえば、抵抗によりプログラム可能なデッド タイム (DT) 制御、EN ピン、入力および出力電源の低電圧誤動作防止 (UVLO) などです。また、入力がオープンのままである場合、または入力パルス幅が短すぎる場合、UCC21530-Q1 は出力を Low に保持します。ドライバの入力は CMOS および TTL と互換で、デジタルとアナログのどちらの電源コントローラとも接続できます。各チャネルはそれぞれの入力ピン (INA、INB) で制御されるため、各出力は完全に独立して制御されます。

7.2 機能ブロック図



Copyright © 2024 Texas Instruments Incorporated

7.3 機能説明

7.3.1 VDD、VCCI、低電圧誤動作防止 (UVLO)

UCC21530-Q1 は、両方の出力の VDD ピンと VSS ピンの間の電源回路ブロックに、低電圧誤動作防止 (UVLO) 保護機能が内蔵されています。VDD バイアス電圧がデバイスの起動時に V_{VDD_ON} より低い場合、または起動後に V_{VDD_OFF} を下回った場合、入力ピン (INA および INB) の状態に関係なく、VDD UVLO 機能はチャネル出力を Low に保持します。

ドライバの出力段にバイアスが印加されていない場合、または UVLO 状態である場合、ドライバ出力の電圧上昇を制限するアクティブ クランプ回路によってドライバ出力は Low に保持されます (図 7-1 を参照)。この条件では、下側の NMOS のゲートが R_{CLAMP} でドライバ出力に接続される一方で、上側の PMOS はオフに保持され、その抵抗は $R_{Hi\text{-}Z}$ となります。この構成では、出力は下側の NMOS デバイスのスレッショルド電圧 (バイアス電力が存在しない場合は一般に 1.5V 未満) に実質的にクランプされます。

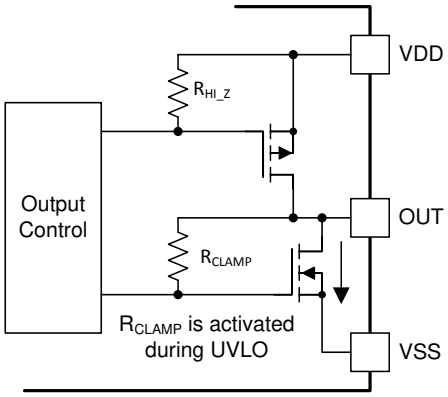


図 7-1. アクティブ プルダウン機能の概略図

VDD UVLO 保護機能はヒステリシス (V_{VDD_HYS}) を備えています。このヒステリシスは、電源のグランド ノイズが発生したときのチャタリングを防止します。このヒステリシスにより、本デバイスはバイアス電圧の小さな電圧降下を許容することもできます。このような電圧降下は、デバイスがスイッチングを開始し動作消費電流が急増した際によく発生します。

UCC21530-Q1 は入力側にも低電圧誤動作防止 (UVLO) 保護機能が内蔵されています。デバイスは、起動時に電圧 VCCI が V_{VCCI_ON} を超えるまでアクティブになりません。この信号は、ピンが V_{VCCI_OFF} より低い電圧を受け取ると送信されなくなります。VDD UVLO と同様に、安定した動作を確保するためのヒステリシス (V_{VCCI_HYS}) があります。

UCC21530-Q1 は VDD と VCCI の絶対最大値 (それぞれ 30V と 20V) に耐えられます。

表 7-1. UCC21530-Q1 VCCI UVLO 機能ロジック

条件	入力		出力	
	INA	INB	OUTA	OUTB
デバイス起動中 VCCI-GND < V_{VCCI_ON}	H	L	L	L
デバイス起動中 VCCI-GND < V_{VCCI_ON}	L	H	L	L
デバイス起動中 VCCI-GND < V_{VCCI_ON}	H	H	L	L
デバイス起動中 VCCI-GND < V_{VCCI_ON}	L	L	L	L
デバイス起動後 VCCI-GND < V_{VCCI_OFF}	H	L	L	L
デバイス起動後 VCCI-GND < V_{VCCI_OFF}	L	H	L	L
デバイス起動後 VCCI-GND < V_{VCCI_OFF}	H	H	L	L
デバイス起動後 VCCI-GND < V_{VCCI_OFF}	L	L	L	L

表 7-2. UCC21530-Q1 VDD UVLO 機能ロジック

条件	入力:INx	出力:OUTx
デバイス起動中 VDDx-VSSx < V_{VDD_ON}	L	L
デバイス起動中 VDDx-VSSx < V_{VDD_ON}	H	L
デバイス起動後 VDDx-VSSx < V_{VDD_OFF}	L	L
デバイス起動後 VDDx-VSSx < V_{VDD_OFF}	H	L

7.3.2 入力および出力論理表

表 7-3. 入力 / 出力論理表

VCCI、VDDA、VDDB に電源が投入されている想定です。UVLO の動作モードの詳細については、セクション 7.3.1 を参照してください。(1)

入力		EN	出力		注
INA	INB		OUTA	OUTB	
L	L	H またはオープンのまま	L	L	デッド タイム機能を使っている場合、デッド タイムが経過した後に出力が遷移します。セクション 7.4.2 を参照
L	H	H またはオープンのまま	L	H	
H	L	H またはオープンのまま	H	L	
H	H	H またはオープンのまま	L	L	DT はオープンのままにするか、R_{DT} でプログラム
H	H	H またはオープンのまま	H	H	DT ピンを VCCI にプル
オープンのままにする	オープンのままにする	H またはオープンのまま	L	L	-
X	X	L	L	L	離れた場所にある µC に接続する場合、EN ピンに近接した 1nF 以上の低 ESR/ESL コンデンサを使ってバイパス

(1) 「X」とは、L、H、「オープンのままにする」のいずれかであることを意味します。

7.3.3 入力段

UCC21530-Q1 の入力信号ピン (INA および INB) は、TTL および CMOS 互換の入力スレッショルド ロジックに基づいており、VDD 電源電圧から完全に絶縁されています。UCC21530-Q1 は、標準の High スレッシュルド ($V_{INA/BH}$) が 1.8V、標準の Low スレッショルドが 1V で、これらは温度によってほとんど変化しないため、ロジック レベルの制御信号 (3.3V マイコンからの信号など) で入力ピンを簡単に駆動できます (図 5-24 と 図 5-25 を参照)。ヒステリシス (V_{INA/B_HYS}) が 0.8V と広いため、ノイズ耐性と安定動作にも優れています。いずれの入力をオープンのままにしても、内部プルダウン抵抗がピンを Low に強制します。これらの抵抗の標準値は 200kΩ です (セクション 7.2 を参照)。ただし、入力を使用しない場合はグランドに接続することをお勧めします。

UCC21530-Q1 の入力側は出力ドライバから絶縁されているため、入力信号の振幅は、推奨される制限を超えない限り VDD より大きくても小さくてもかまいません。これにより、制御信号ソースと柔軟に統合でき、選択したゲートに対して最も効率的な VDD を選択できます。この場合、INA または INB に印加される信号の振幅は、VCCI の電圧を上回ってはいけません。

Copyright © 2024 Texas Instruments Incorporated

7.3.4 出力段

UCC21530-Q1 の出力段は、最も必要とされるとき、つまり、パワー スイッチのターンオン遷移のミラー プラトー領域の間 (パワー スイッチのドレインまたはコレクタ電圧に dV/dt が生じたとき) に最大のピーク ソース電流を供給できるプルアップ構造を採用しています。出力段のプルアップ構造は、P チャネル MOSFET と追加のプルアップ N チャネル MOSFET を並列接続したものです。N チャネル MOSFET の役割は、ピーク ソース電流を短時間ブーストし、高速ターンオンを実現することです。出力の状態を Low から High に変更しようとする短い瞬間だけ、N チャネル MOSFET をターンオンする方法で、このような動作を実現します。この N チャネル MOSFET (R_{NMOS}) のオン抵抗は、アクティブ時に約 1.47Ω です。

R_{OH} パラメータは DC 測定値であり、P チャネル デバイスのみのオン抵抗を表します。これは、プルアップ N チャネル デバイスは DC 状態ではオフ状態に保たれ、出力が Low から High に変化する瞬間にのみターンオンするためです。このため、この短いターンオン段階における UCC21530-Q1 のプルアップ段の実効抵抗は、R_{OH} パラメータが表す値よりもはるかに小さい値です。

UCC21530-Q1 のプルダウン構造は、N チャネル MOSFET 1 つだけで構成されています。R_{OL} パラメータ (これも DC 測定値です) は本デバイスのプルダウン状態のインピーダンスを表します。UCC21530-Q1 の両方の出力は、4A のピーク ソース電流と 6A のピーク シンク電流のパルスを供給できます。VDD と VSS の間の出力電圧スイングは、非常に低いドロップアウトを実現する MOS 出力段により、レール ツー レール動作を実現します。

ゲート ドライバを確実に動作させるため、最小パルス幅に特に注意を払います。電気的特性表に示す最小パルス幅は、無負荷のドライバにおいて出力まで到達する最小入力パルスを表します。これは、ドライバ IC に内蔵されたグリッチ除去フィルタによって決定されます。出力状態の変化を保証し、貫通電流を防止するには、仕様の最大値よりも長い入力オン / オフ パルス幅が必要です。ドライバの負荷が重い場合、システムを確実に動作させるために特別の注意を払う必要があります。ゲート スイッチング中、ドライバが各遷移を完了する前に出力状態が変化すると、非ゼロ電流スイッチング イベントが発生します。レイアウトによって生じる寄生素子と相まって、非ゼロ電流スイッチングは内部レールのオーバーシュートとゲート ドライバの EOS 損傷の原因となる可能性があります。したがって、信頼性の高いシステム動作のために、最小出力パルス幅が求められます。この最小出力パルス幅は、ゲート容量、VDD 電源電圧、ゲート抵抗、PCB レイアウト起因の寄生素子など、複数の要因に依存します。確実に動作させるために必要な最小パルス幅は、電気的特性表に示されている最小パルス幅よりも大きい場合があります。各システムに必要な最小出力パルス幅を決定するには、システム レベルの検討を行う必要があります。

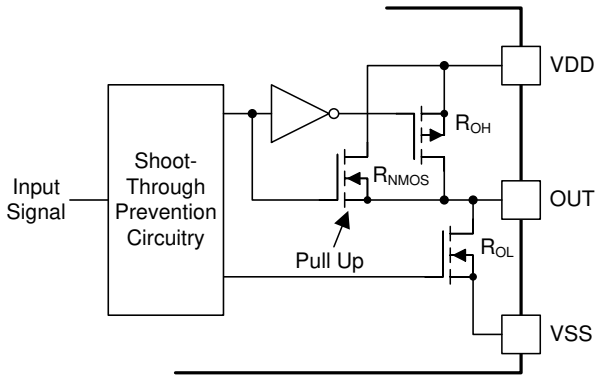


図 7-2. 出力段

7.3.5 UCC21530-Q1 のダイオード構造

図 7-3 に、UCC21530-Q1 の ESD 保護素子に関連する複数のダイオードを示します。これは、本デバイスの絶対最大定格を図で表したものです。

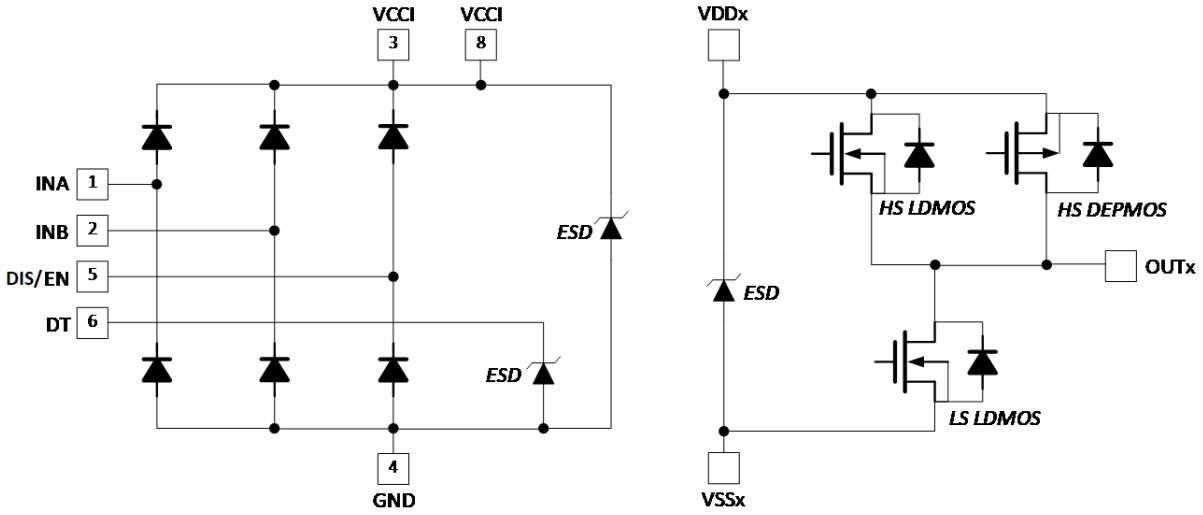


図 7-3. ESD 構造

7.4 デバイスの機能モード

7.4.1 イネーブル ピン

EN ピンを Low に設定する (V_{EN}≦0.8V) と、両方の出力が同時にシャットダウンされます。EN ピンを High にするか、オープンのままにする (V_{EN}≧2.0V) と、UCC21530-Q1 は通常に動作します。EN ピンは非常に応答性が高く、伝搬遅延や他のスイッチング パラメータについて言えば、EN と OUTA および OUTB との間の伝搬遅延時間は約 40ns です。EN ピンは、VCCI が UVLO スレッショルドを上回っている場合にのみ機能し (また必要とされ) ます。ノイズ耐性を高めるため、EN を VCCI に直接接続することを強く推奨します。

7.4.2 プログラマブル デッド タイム (DT) ピン

UCC21530-Q1 では、次の方法でデッド タイム (DT) を調整できます。

7.4.2.1 VCC に接続された DT ピン

出力は入力と完全に一致し、最小デッド タイムはアサートされません。その結果、出力はオーバーラップできます。このピンを使用しない場合、ノイズ耐性を向上させるために VCCI に接続することを推奨します。

7.4.2.2 DT ピンと GND ピンとの間の設定抵抗に接続される DT ピン

DT ピンと GND の間に抵抗 R_{DT} を配置することで、t_{DT} を設定します。ノイズ耐性を向上させるため、DT ピンに近接して配置した 1nF 以下のセラミック コンデンサでこのピンをバイパスすることを推奨します。適切な R_{DT} 値は以下のように求められます。

$$t_{DT} \approx 10 \times R_{DT} \tag{1}$$

ここで、

- t_{DT} は設定されるデッド タイム (ns) です。
- R_{DT} は DT ピンと GND の間の抵抗の値 (kΩ) です。

DT ピンの定常状態の電圧は約 0.8V です。R_{DT} はこのピンに流れる微小電流を設定し、それによってデッド タイムが設定されます。R_{DT} の値が増加するにつれて、DT ピンから流れ出す電流は減少します。R_{DT} = 100kΩ の場合、DT ピンの

Copyright © 2024 Texas Instruments Incorporated

電流は 10μA 未満です。より大きい R_{DT} 値を使う場合、ノイズ耐性を高めかつ両チャネル間のデッド タイム マッチングを向上させるため、DT ピンにできるだけ近づけて R_{DT} とセラミック コンデンサ (1nF 以下) を配置することを推奨します。

片方の入力信号の立ち下がりエッジにより、他方の信号の設定済みデッド タイムが開始されます。設定済みデッド タイムとは、ドライバが両方の出力を強制的に LOW に保持する最小期間です。設定された最小値よりも長いデッド タイムが INA および INB 信号に含まれる場合、出力は設定済みデッド タイムよりも長い間 LOW に保持されることがあります。両方の入力が同時に High になった場合、両方の出力は即座に Low に設定されます。この機能は、ハーフブリッジ アプリケーションでの貫通電流を防止するために使用され、通常動作時は設定済みデッド タイムの影響を受けません。ドライバのデッド タイム ロジックのさまざまな動作条件を 図 7-4 に示し、説明します。

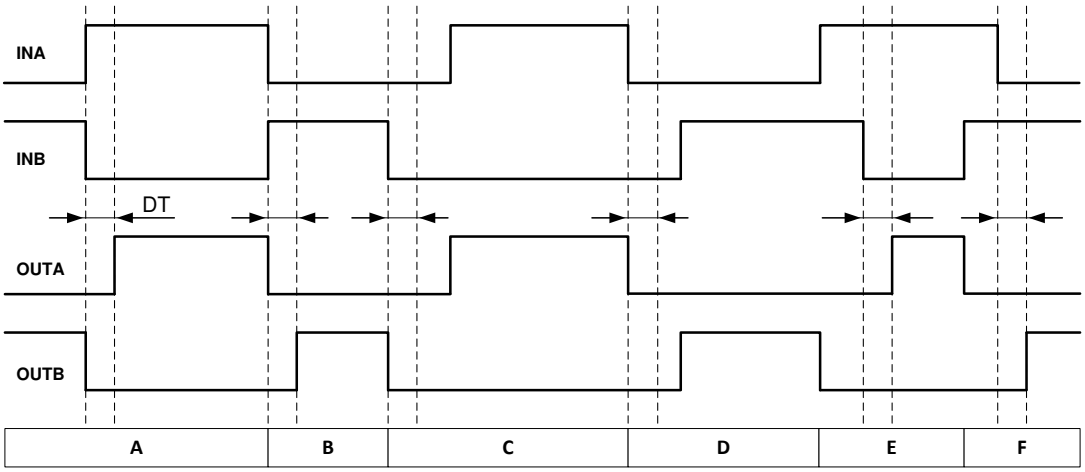


図 7-4. 入力信号と入出力ロジックの関係

条件 A:INB が Low、INA が High に遷移します。INB は即座に OUTB を LOW に設定し、設定済みデッド タイムが OUTA に割り当てられます。設定済みデッド タイムの後、OUTA は HIGH に遷移できます。

条件 B:INB が High、INA が Low に遷移します。今度は INA は即座に OUTA を LOW に設定し、設定済みデッド タイムが OUTB に割り当てられます。設定済みデッド タイムの後、OUTB は HIGH に遷移できます。

条件 C:INB が Low になりますが、INA はまだ Low のままです。INB は即座に OUTB を LOW に設定し、設定済みデッド タイムが OUTA に割り当てられます。この例では、入力信号自体のデッド タイムは設定済みデッド タイムよりも長くなっています。したがって、INA が High になると、即座に OUTA が High に設定されます。

条件 D:INA が Low になりますが、INB はまだ Low のままです。INA は即座に OUTA を LOW に設定し、設定済みデッド タイムが OUTB に割り当てられます。INB 自体のデッド タイムは、プログラムされたデッド タイムよりも長くなります。したがって、INB が High になると、即座に OUTB が High に設定されます。

条件 E:INB と OUTB がまだ High のうちに、INA が High に遷移します。オーバーシュートを防止するため、INA は OUTB を即座に Low にプルし、OUTA を Low に維持します。その後 OUTB は LOW に遷移し、設定済みデッド タイムが OUTA に割り当てられます。OUTB はすでに Low になっているため、設定済みデッド タイムの後、OUTA は HIGH に遷移できます。

条件 F:INA と OUTA がまだ High のうちに、INB が High に遷移します。オーバーシュートを防止するため、INB は OUTA を即座に Low にプルし、OUTB を Low に維持します。その後 OUTA は LOW に遷移し、設定済みデッド タイムが OUTB に割り当てられます。OUTA はすでに Low になっているため、設定済みデッド タイムの後、OUTB は HIGH に遷移できます。

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

UCC21530-Q1 は実質的に、絶縁とバッファ駆動の機能を組み合わせたものです。UCC21530-Q1 は柔軟かつ汎用的 (最高 18V の VCCI と 25V の VDDA/VDDB) なので、MOSFET、IGBT、SiC MOSFET 用のローサイド、ハイサイド、ハイサイド / ローサイド、ハーフブリッジのドライバとして使用できます。UCC21530-Q1 は各種の部品が統合され、先進の保護機能 (UVLO、デッド タイム、イネーブル) を持ち、スイッチング性能が最適化されているため、エンタープライズ、電気通信、車載、産業アプリケーション向けに、より小型かつ堅牢な設計を短期間で開発できます。

8.2 代表的なアプリケーション

図 8-1 の回路は、UCC21530-Q1 を使用して標準的なハーフブリッジ構成を駆動するリファレンス デザインを示したものです。この構成は、同期整流式降圧、同期整流式昇圧、ハーフブリッジ / フルブリッジ絶縁型トポロジ、3 相モーター駆動アプリケーションなど幾つかの一般的なパワー コンバータ トポロジで使えます。この回路は、2 つの電源 (または単一入力、二重出力電源) を使用します。電源 V_{A+} が正の駆動出力電圧を決定し、電源 V_{A-} が負のターンオフ電圧を決定します。チャネル B の構成は、チャネル A と同じです。

理想的でない PCB レイアウトと長いパッケージ リード (TO-220 および TO-247 タイプのパッケージなど) によって寄生インダクタンスが付くと、高 di/dt および dv/dt スイッチング中、パワー トランジスタのゲート - ソース間駆動電圧にリンギングが生じる可能性があります。リンギングがスレッショルド電圧を上回る場合、予期しないターンオンのリスクがあり、貫通電流のリスクさえあります。ゲート駆動に負のバイアスを印加することは、このようなリンギングをスレッショルドよりも低く保つための一般的な方法です。このソリューションでは、ドライバのチャネルごとに 2 つの独立した電源を備えているため、正と負のレール電圧を柔軟に設定できます。

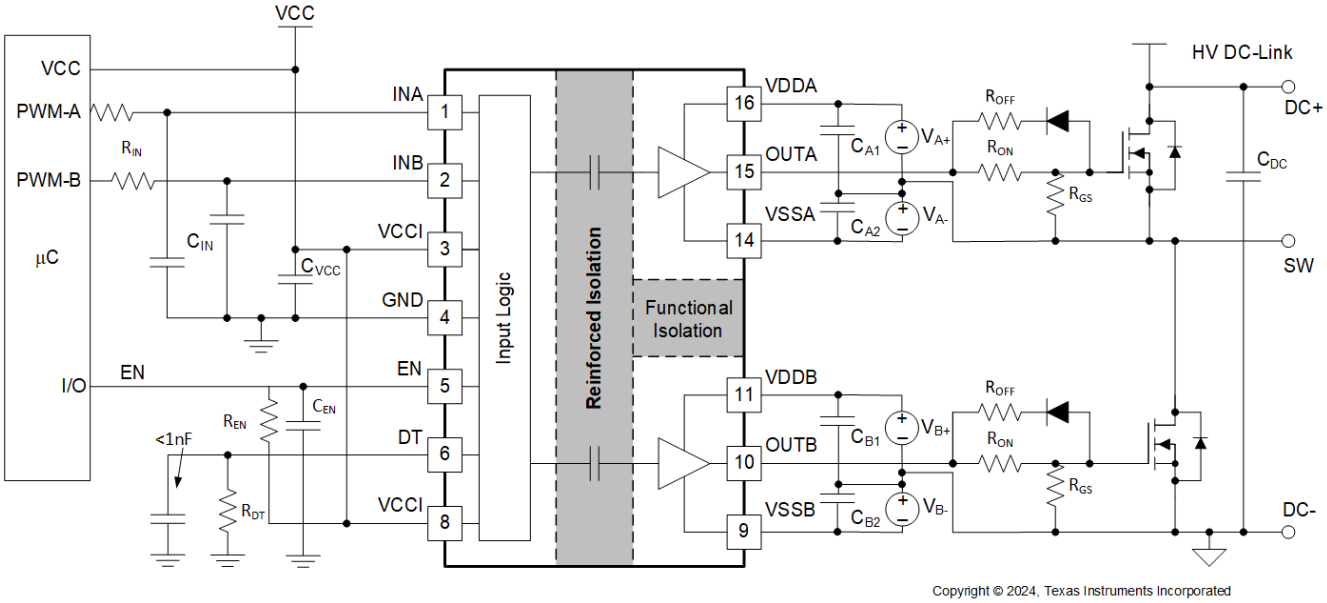


図 8-1. デュアル電源を使用した代表的なアプリケーションの回路図

Copyright © 2024 Texas Instruments Incorporated

8.2.1 設計要件

表 8-1 に、ハイサイド / ローサイド構成で 1000V SiC-MOSFET を駆動する UCC21530-Q1 の応用例のリファレンス デザイン パラメータを示します。

表 8-1. UCC21530-Q1 設計要件

パラメータ	値	単位
パワー トランジスタ	C3M0065100K	–
VCC	5.0	V
VDD	15	V
VSS	-4	V
R_{ON}	2.2	Ω
R_{OFF}	0	Ω
入力信号振幅	3.3	V
スイッチング周波数 (f_s)	100	kHz
DC リンク電圧	600	V

8.2.2 詳細な設計手順

8.2.2.1 INA/INB 入力フィルタの設計

出力の信号を低速にする (または遅延させる) 目的でゲート ドライバへの信号を成形することは推奨しません。しかし、理想的でないレイアウトまたは長い PCB 配線によって生じるリンギングを除去するために小さな入力 R_{IN}-C_{IN} フィルタを使用することはできます。

このようなフィルタでは、0～100Ω の R_{IN} と 10～100pF の C_{IN} を使用する必要があります。この例では、R_{IN} = 51Ω と C_{IN} = 33pF が選択されており、コーナー周波数は約 100MHz です。

これらの部品を選択する際は、ノイズ耐性と伝搬遅延のトレードオフに注意します。

8.2.2.2 デッド タイム抵抗およびコンデンサの選択

式 1 から、デッド タイムを 100ns に設定するには 10kΩ の抵抗を選択します。ノイズ耐性を向上させるため、DT ピンに近接して 1nF 以下のコンデンサを並列に配置します。

8.2.2.3 ゲート ドライバの出力抵抗

外部ゲートドライバ抵抗 R_{ON}/R_{OFF} は以下の目的に使われます。

1. 寄生インダクタンス / 容量に起因するリンギングの制限
2. 高電圧 / 電流スイッチングの dv/dt、di/dt、ボディ ダイオードの逆方向回復に起因するリンギングの制限
3. ゲート駆動強度 (すなわちピーク シンクおよびソース電流) の微調整によるスイッチング損失の最適化
4. 電磁干渉 (EMI) の低減

セクション 7.3.4 で述べたように、UCC21530-Q1 は P チャネル MOSFET と追加のプルアップ N チャネル MOSFET を並列にしたプルアップ構造を備えています。これらを合わせたピーク ソース電流は 4A です。その結果、ピーク ソース電流は以下の式で予測できます。

$$I_{O+} = \min\left(4A, \frac{V_{DD} - V_{SS}}{R_{NMOS} \parallel R_{OH} + R_{ON} + R_{GFET_Int}}\right) \quad (2)$$

ここで、

- R_{ON}：外部ターンオン抵抗、この例では R_{ON}=2.2Ω。
- R_{GFET_INT}：パワー トランジスタの内部ゲート抵抗 (パワー トランジスタのデータシートを参照)

- I_{O+} = ピーク ソース電流 – 4A (ゲート ドライバ ピーク ソース電流) とゲート駆動ループ抵抗に基づく計算値のうちの小さい方の値

この例では以下の式で計算されます。

$$I_{O+} = \frac{V_{DD} - V_{SS}}{R_{NMOS} \,||\, R_{OH} + R_{ON} + R_{GFET_Int}} = \frac{15V - (-4V)}{1.47\Omega \,||\, 5\Omega + 2.2\Omega + 4.7\Omega} \approx 2.4A \tag{3}$$

したがって、ドライバのピーク ソース電流は各チャネルで 2.4A です。同様に、ピーク シンク電流は以下の式で計算されます。

$$I_{O-} = \min\left(6A, \frac{V_{DD} - V_{SS} - V_{GDF}}{R_{OL} + R_{OFF} \,||\, R_{ON} + R_{GFET_Int}}\right) \tag{4}$$

ここで、

- R_{OFF}:外部ターンオフ抵抗 (この例では R_{OFF}=0)
- V_{GDF}:R_{OFF} と直列に接続された逆並列ダイオードの順方向電圧降下。この例のダイオードは MSS1P4 です。
- I_{O-}:ピーク シンク電流 – 6A (ゲート ドライバのピーク シンク電流) とゲート駆動ループ抵抗に基づく計算値のうちの小さい方の値

この例では以下の式で計算されます。

$$I_{O-} = \frac{V_{DD} - V_{SS} - V_{GDF}}{R_{OL} + R_{OFF} \,||\, R_{ON} + R_{GFET_Int}} = \frac{15V - (-4V) - 0.75V}{0.55\Omega + 0\Omega + 4.7\Omega} \approx 3.5A \tag{5}$$

したがって、ドライバのピーク シンク電流は各チャネルで 3.5A です。

推定ピーク電流は PCB レイアウトと負荷容量によっても影響されることに注意します。ゲート ドライバのループの寄生インダクタンスは、ピーク ゲート駆動電流を遅れさせ、オーバーシュートとアンダーシュートを発生させる可能性があります。そのため、ゲート ドライバのループをできるだけ小さくすることを強く推奨します。一方、パワー トランジスタの負荷容量 (C_{ISS}) が非常に小さい (通常 1nF 未満) 場合、ピーク ソース / シンク電流はループ寄生素子に支配されます。なぜなら、立ち上がりおよび立ち下がり時間が非常に小さく、寄生リンギングの周期に近いためです。

8.2.2.4 ゲート ドライバの電力損失の推定

ゲート ドライバ サブシステムの総合損失 P_G には、UCC21530-Q1 の電力損失 (P_{GD}) と、外部ゲート駆動抵抗などの周辺回路の電力損失が含まれます。ブートストラップ ダイオードの損失は P_G に含まれず、このセクションでは触れません。

P_{GD} は、UCC21530-Q1 の熱的安定性に関連する制限値を決定する主要な電力損失で、複数の要因からの損失を計算することにより推定できます。

第 1 の要因は静的電力損失 P_{GDQ} です。これにはドライバの静止電力損失と、特定のスイッチング周波数で動作しているドライバの自己消費電力が含まれます。P_{GDQ} は、与えられた VCCI、VDDA/VDDB、スイッチング周波数、周囲温度において、OUTA と OUTB に負荷が接続されていない状態でベンチ測定されます。無負荷時の出力チャネルごとの消費電流と動作周波数との関係を、図 5-4 に示します。この例では、V_{VCCI} = 5V、V_{VDD}-V_{VSS} = 19V です。INA/INB を 0V から 3.3V まで 100kHz でスイッチングした場合の各電源の電流は、I_{VCCI} ≈ 2.5mA、I_{VDDA} = I_{VDDB} ≈ 1.5mA と測定されます。その結果、P_{GDQ} は以下の式で計算できます。

$$P_{GDQ} = V_{VCCI} \times I_{VCCI} + (V_{VDDA} - V_{VSSA}) \times I_{DDA} + (V_{VDDB} - V_{VSSB}) \times I_{DDB} \approx 70mW \tag{6}$$

Copyright © 2024 Texas Instruments Incorporated

第 2 の要因は、各スイッチング サイクル中にドライバが負荷を充放電する際の、与えられた負荷容量でのスイッチング動作損失 P_{GDO} です。負荷スイッチングによる総合動的損失 P_{GSW} は以下の式で推定できます。

$$P_{GSW} = 2 \times (V_{DD} - V_{SS}) \times Q_G \times f_{SW} \tag{7}$$

ここで、

- Q_G はパワー トランジスタのゲート電荷です。

ターンオン / ターンオフするために分割レールを使う場合、VDD は正レールと負レールの差に等しくなります。

そのためこのアプリケーション例の場合、以下の式で表されます。

$$P_{GSW} = 2 \times 19V \times 35nC \times 100kHz = 133mW \tag{8}$$

Q_G は、20A で 600V をスイッチングするパワー トランジスタの総ゲート電荷量を表します。テスト条件が変わると、この値も変わる可能性があります。UCC21530-Q1 の出力段のゲート ドライバ損失 (P_{GDO}) は P_{GSW} の一部です。外部ゲート ドライバ抵抗がゼロの場合、P_{GDO} は P_{GSW} と等しくなり、すべてのゲート ドライバ損失は UCC21530-Q1 の内部で消費されます。外部ターンオンおよびターンオフ抵抗が存在する場合、総合損失はゲート ドライバのプルアップ / ダウン抵抗と外部ゲート抵抗との間で分配されます。ソース / シンク電流が 4A/6A に飽和していない場合、プルアップ / ダウン抵抗は線形かつ固定ですが、ソース / シンク電流が飽和している場合、プルアップ / ダウン抵抗は非線形であることに注意します。そのため、これらの 2 つの条件によって P_{GDO} は異なります。

ケース 1 - 線形のプルアップ / ダウン抵抗:

$$P_{GDO} = P_{GSW} \times \left(\frac{R_{OH} \parallel R_{NMOS}}{R_{OH} \parallel R_{NMOS} + R_{ON} + R_{GFET_Int}} + \frac{R_{OL}}{R_{OL} + R_{OFF} \parallel R_{ON} + R_{GFET_Int}} \right) \tag{9}$$

この設計例では、想定されるすべてのソース / シンク電流は 4A/6A 未満であるため、UCC21530-Q1 のゲート ドライバ損失は以下の式で推定できます。

$$P_{GDO} = 133mW \times \left(\frac{5\Omega \parallel 1.47\Omega}{5\Omega \parallel 1.47\Omega + 2.2\Omega + 4.7\Omega} + \frac{0.55\Omega}{0.55\Omega + 0\Omega + 4.7\Omega} \right) \approx 33mW \tag{10}$$

ケース 2 - 非線形のプルアップ / ダウン抵抗:

$$P_{GDO} = 2 \times f_{SW} \times \left[4A \times \int_0^{T_{R_Sys}} \left(V_{DD} - V_{OUTA/B}(t)\right) dt + 6A \times \int_0^{T_{F_Sys}} (V_{OUTA/B}(t) - V_{SS}) dt \right] \tag{11}$$

ここで、

- $V_{OUTA/B}(t)$ は、ターンオンおよびオフ過渡時のゲート ドライバ (OUTA、OUTB) のピン電圧であり、定電流源 (ターンオン時に 4A、ターンオフ時に 6A) が負荷コンデンサを充電 / 放電するものとして簡略化できます。その結果、$V_{OUTA/B}(t)$ 波形は線形となり、T_{R_Sys} と T_{F_Sys} は簡単に予測できます。

一部の条件で、プルアップ回路とプルダウン回路のどちらかのみが飽和し、他方が飽和していない場合、P_{GDO} はケース 1 とケース 2 の組み合わせとなり、上記の説明に基づいて、プルアップとプルダウンに対して式を簡単に特定できます。その結果、ゲート ドライバ UCC21530-Q1 で消費される全ゲート ドライバ損失 P_{GD} は以下の式で表されます。

$$P_{GD} = P_{GDQ} + P_{GDO} \tag{12}$$

これは、本設計例では 103mW に相当します。

8.2.2.5 推定接合部温度

UCC21530-Q1 の接合部温度は以下の式で推定できます。

$$T_J = T_C + \Psi_{JT} \times P_{GD} \tag{13}$$

ここで、

- T_J は接合部温度です。
- T_C は、熱電対またはその他の手段で測定された UCC21530-Q1 のケース上面温度です。
- ψ_{JT} は、「熱に関する情報」表に記載されている、接合部から上面への熱特性パラメータです。

接合部からケースへの熱抵抗 ($R_{\Theta JC}$) の代わりに接合部から上面への特性パラメータ (Ψ_{JT}) を使用することで、接合部温度の推定の精度を大幅に向上させることができます。ほとんどの IC の熱エネルギーの大半は、パッケージのリードを経由して PCB に放散されるのに対して、全エネルギーのごく一部のみがケース上面から放散されます (通常は熱電対で測定されます)。$R_{\Theta JC}$ は、熱エネルギーの大部分がケースを通して放散される場合 (例：金属パッケージが使われている場合、IC パッケージにヒートシンクが取り付けられている場合) にのみ有効に使用できます。それ以外の場合に $R_{\Theta JC}$ を使っても、真の接合部温度を正確に推定することはできません。Ψ_{JT} は、IC の上面を通して放散されるエネルギー量が、テスト環境とアプリケーション環境で同等であると仮定することで実験的に求められます。推奨レイアウト ガイドラインが守られている限り、接合部温度は数℃以内の精度で推定できます。詳細については、セクション 10.1 および『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

8.2.2.6 VCCI、VDDA/B コンデンサの選択

VCCI、VDDA、VDDB のバイパス コンデンサは、信頼性を高めるために不可欠です。十分な電圧定格、温度係数、静電容量許容差を持つ、低 ESR/ESL で表面実装型の多層セラミック コンデンサ (MLCC) を推奨します。MLCC の DC バイアスは実際の容量値に影響を与えることに注意します。たとえば、25V、1μF の X7R コンデンサは、$15V_{DC}$ の DC バイアスを印加した場合、わずか 500nF として測定されます。

8.2.2.6.1 VCCI コンデンサの選択

VCCI に接続されたバイパス コンデンサは、1 次側ロジックに必要な過渡電流と総消費電流に対応しますが、これはわずか数 mA です。したがって、この用途には 100nF 以上の 50V MLCC を推奨します。バイアス電源出力が VCCI ピンから比較的離れた場所にある場合、1μF 以上の値のタンタルまたは電解コンデンサを MLCC と並列に配置する必要があります。

Copyright © 2024 Texas Instruments Incorporated

8.2.2.7 他のアプリケーション回路の例

理想的でない PCB レイアウトと長いパッケージ リード (TO-220 および TO-247 タイプのパッケージなど) によって寄生インダクタンスが付くと、高 di/dt および dv/dt スイッチング中、パワー トランジスタのゲート - ソース間駆動電圧にリンギングが生じる可能性があります。リンギングがスレッショルド電圧を上回る場合、予期しないターンオンのリスクがあり、貫通電流のリスクさえあります。ゲート駆動に負のバイアスを印加することは、このようなリンギングをスレッショルドよりも低く保つための一般的な方法です。負のゲート駆動バイアスの実装方法の例をいくつか以下に示します。

正および負の駆動電圧を生成するために 2 つの独立した電力を使用する代わりに、絶縁型電源の出力段でツェナー ダイオードを使用してチャネル A のドライバを負バイアスでオフにする例を、図 8-2 に示します。この負バイアスはツェナー ダイオード電圧によって設定されます。絶縁型電源 V_A の電圧が 19V の場合、ターンオフ電圧は -3.9V、ターンオン電圧は 19V - 3.9V ≈ 15V です。チャネル B のドライバ回路は、チャネル A と同じです。そのため、この構成ではドライバの各チャネルについて 1 つの電源しか必要とせず、R_Z によって定常的に電力が消費されます。

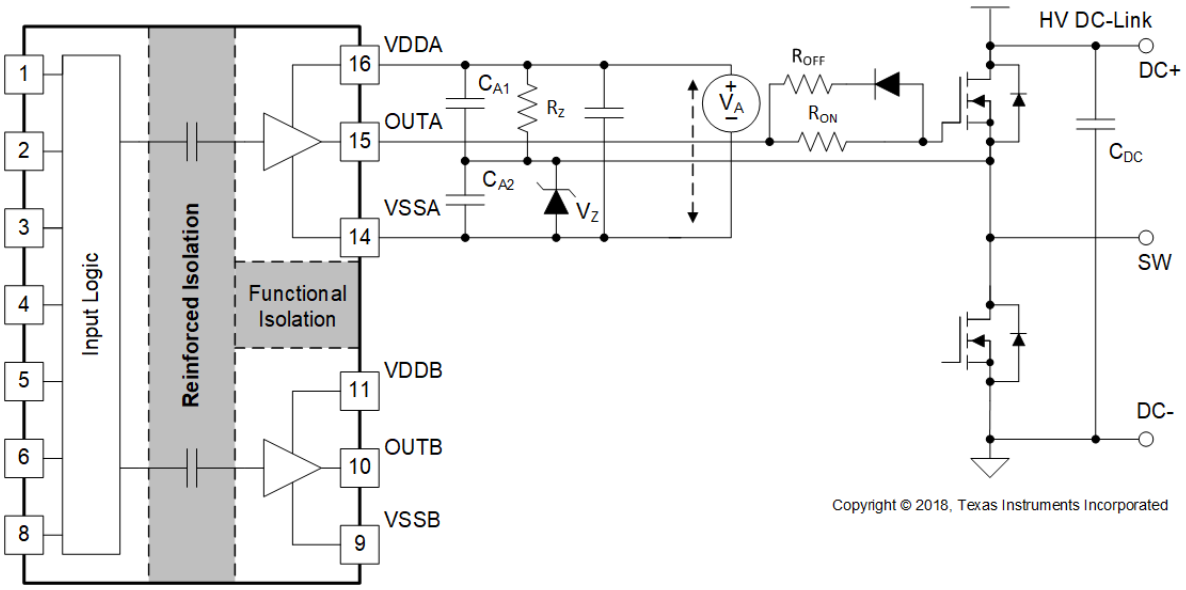


図 8-2. 絶縁型バイアス電源の出力に接続したツェナー ダイオードによる負バイアス印加

ブートストラップを使用してチャネル A に電力を供給する別の例を、図 8-3 に示します。このソリューションには負のレール電圧がないため、リンギングが少ない回路や、スレッショルド電圧が高い電源デバイスにのみ適しています。

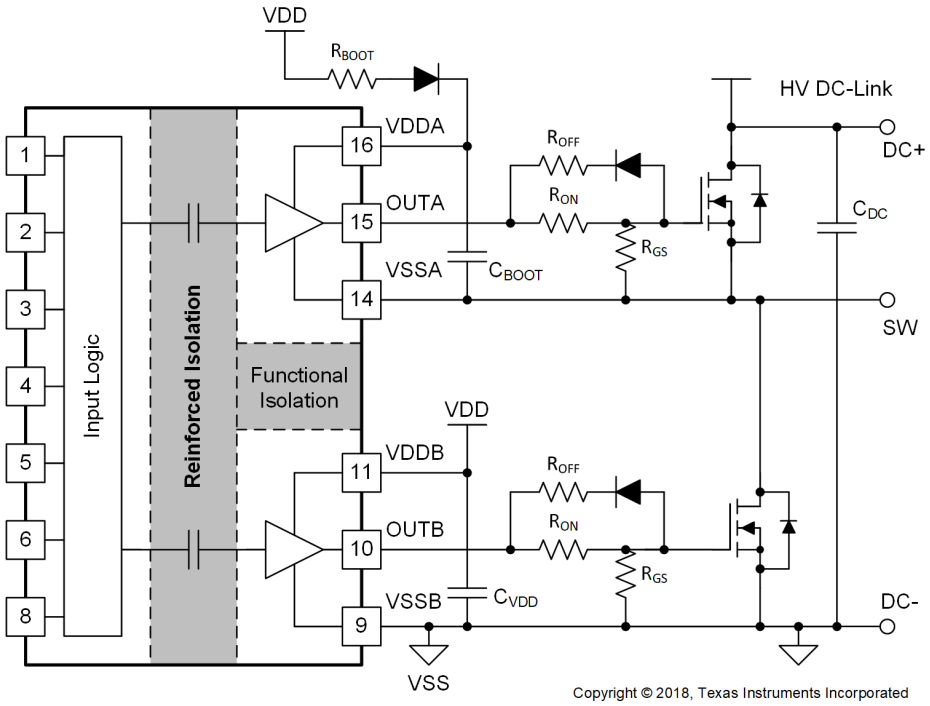


図 8-3. ハイサイド デバイス用のブートストラップ電源

Copyright © 2024 Texas Instruments Incorporated

図 8-4 に示す最後の例は単一電源構成であり、ゲート駆動ループ内のツェナー ダイオードによって負バイアスを生成しています。この方法の利点は、1 つの電源のみを使い、ブートストラップ電源をハイサイド駆動に使えることです。この設計は、3 つの方法のうちでコストと設計工数が最も少なくて済みます。しかし、この方法には以下の制約があります。

1. 負のゲート駆動バイアスはツェナー ダイオードのみによって決まるのではなく、デューティ サイクルによっても影響されます。これは、デューティ サイクルが変化すると負バイアス電圧が変化することを意味しています。そのため、固定デューティ サイクル (約 50%) のコンバータ (例: 可変周波数共振コンバータ、位相シフト コンバータ) がこの方法に適しています。
2. 推奨電源電圧範囲を維持するには、ハイサイド VDDA-VSSA として十分な電圧を維持する必要があります。これは、ブートストラップ コンデンサをリフレッシュするために、各スイッチング サイクルの間、ローサイド スイッチをターンオンさせ、またはボディ ダイオード (または逆並列ダイオード) にフリーホイール電流を流す必要があることを意味します。そのため、他の 2 つの回路例と同様のハイサイド専用電源を使わない限り、ハイサイドを 100% デューティ サイクルにすることはできません。

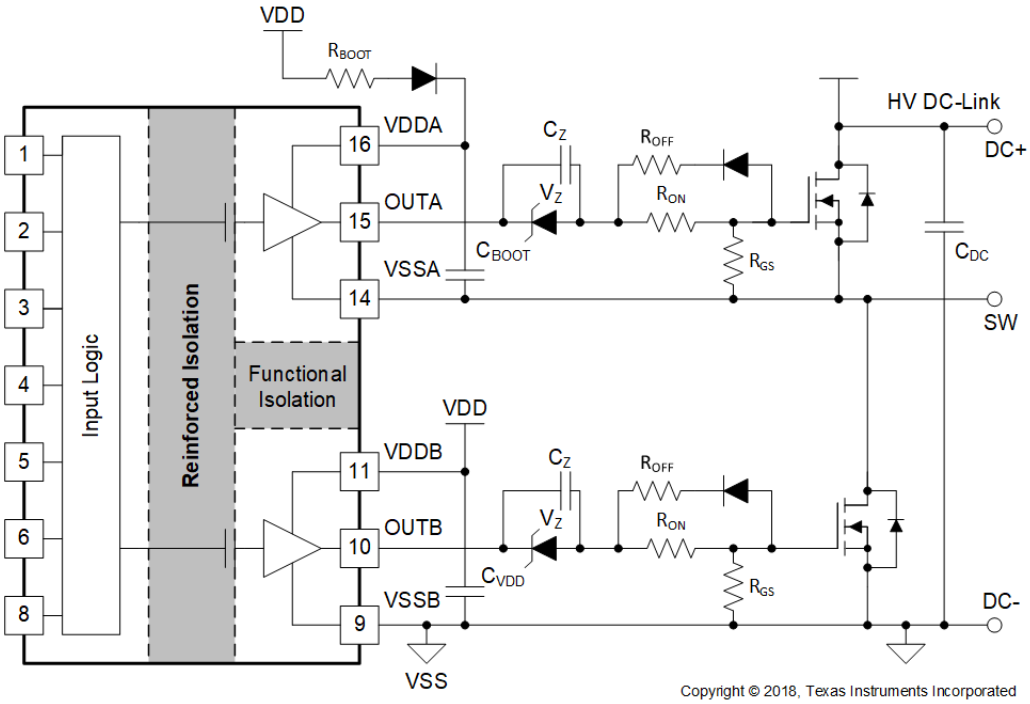


図 8-4. 1 つの電源とゲート駆動経路内のツェナー ダイオードによる負バイアス印加

8.2.3 アプリケーション曲線

図 8-5 に、インダクタ負荷として L1 を使用する複数パルスのベンチ テスト回路を示します。また、ドライバと SiC MOSFET のスイッチング過渡をさまざまな負荷条件のもとで評価するため、制御パルスのグループが生成されます。テスト条件は次のとおりです。$V_{DC\text{-}Link}$ = 600V、VCC = 5V、VDD = 15V、VSS = -4V、f_{SW} = 500kHz、R_{ON} = 5.1Ω、R_{OFF} = 1.0Ω。約 20A の電流でのオン/オフ波形を、図 8-6 に示します。

チャネル 1 (黄):ローサイド MOSFET のゲートとソースの間の電圧信号。

チャネル 2 (青):ハイサイド MOSFET のゲートとソースの間の電圧信号。

チャネル 3 (ピンク):ローサイド MOSFET のドレインとソースの間の電圧信号。

チャネル 4 (緑):ローサイド MOSFET のドレインとソースの間の電流信号。

図 8-6 で、ハイサイドとローサイドのパワー トランジスタのゲート駆動信号のデッドタイムは 100ns で、どちらの信号も 500MHz 以上の帯域幅を持つプローブで測定されます。

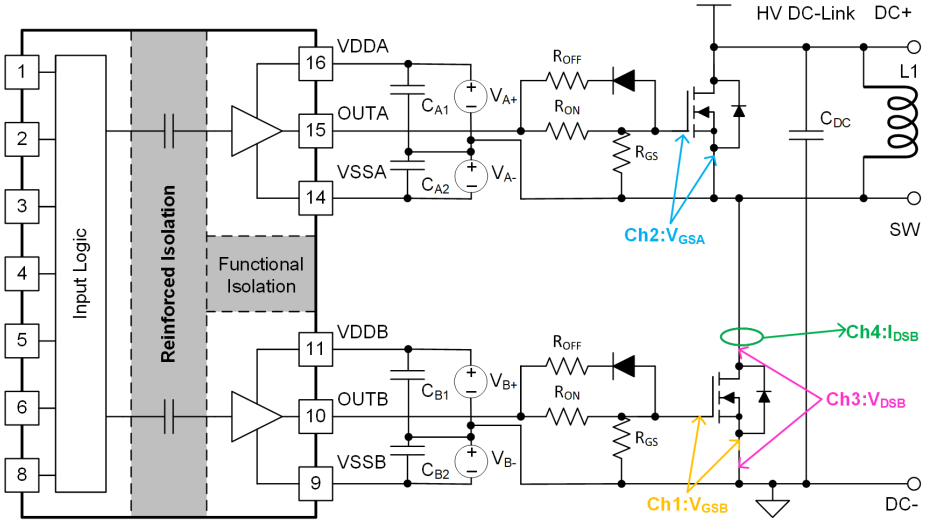


図 8-5. SiC MOSFET スイッチングを使用したベンチ テスト回路

Copyright © 2024 Texas Instruments Incorporated

図 8-6. SiC MOSFET のスイッチング波形

9 電源に関する推奨事項

UCC21530-Q1 の推奨入力電源電圧 (VCCI) は 3V～18V です。出力バイアス電源電圧 (VDDA/VDDB) 範囲は、UCC21530-Q1 のどのバージョンを使用しているかによって異なります。このバイアス電源範囲の下限は、各デバイスの内部低電圧誤動作防止 (UVLO) 保護機能によって制御されます。VDD または VCCI が、それぞれの UVLO スレッショルドを下回らないようにする必要があります (UVLO の詳細については、セクション 7.3.1 を参照)。VDDA/VDDB 範囲の上限は、UCC21530-Q1 によって駆動されているパワー デバイスの最大ゲート電圧で決まります。UCC21530-Q1 のすべてのバージョンで、推奨される VDDA/VDDB の最大値は 25V です。

VDD ピンと VSS ピンの間にローカル バイパス コンデンサを配置します。このコンデンサは、可能な限りデバイスに近く配置します。低 ESR のセラミック表面実装コンデンサを使用します。2 つのコンデンサを配置します。1 つはデバイスのバイアス用に 220nF～10μF のコンデンサ、もう 1 つは高周波フィルタ用に 100nF のコンデンサを並列に配置します。

同様に、VCCI ピンと GND ピンの間にバイパス コンデンサを配置します。UCC21530-Q1 の入力側の論理回路が消費する電流は小さいため、このバイパス コンデンサに推奨される最小値は 100nF です。

Copyright © 2024 Texas Instruments Incorporated

10 レイアウト

10.1 レイアウトのガイドライン

UCC21530-Q1 の最適性能を達成するために、以下の PCB レイアウト ガイドラインを考慮してください。

10.1.1 部品の配置に関する注意事項

- 外付けパワー トランジスタをターンオンさせる際の大きなピーク電流に対応するため、VCCI ピンと GND ピンの間と VDD ピンと VSS ピンの間に低 ESR かつ低 ESL のコンデンサを本デバイスに近接して接続する必要があります。
- ブリッジ構成のスイッチ ノード VSSA (HS) ピンでの大きな負の過渡を防止するため、上側トランジスタのソースと下側トランジスタのソースとの間の寄生インダクタンスを最小限に抑える必要があります。
- 離れた場所にあるマイコンで EN ピンを駆動する際のノイズ耐性を向上させるため、EN ピンと GND との間に小容量のバイパス コンデンサ (1nF 以上) を追加することを推奨します。
- デッド タイム機能を使う場合、内部デッド タイム回路にノイズが意図せず結合することを防ぐため、設定抵抗 R_{DT} とバイパス コンデンサを UCC21530-Q1 の DT ピンに近接して配置することを推奨します。このコンデンサは 1nF 以下とします。

10.1.2 接地に関する注意事項

- トランジスタのゲートを充放電する大きなピーク電流を、最小限の物理的面積内にとどめることは不可欠です。そうすることで、ループのインダクタンスが小さくなり、トランジスタのゲート端子のノイズが最小限に抑えられます。ゲート ドライバは、トランジスタのできるだけ近くに配置する必要があります。
- ブートストラップ コンデンサ、ブートストラップ ダイオード、VSSB に対するローカル バイパス コンデンサ、ローサイド トランジスタのボディ / 逆並列ダイオードを含む大電流経路に注意を払います。ブートストラップ コンデンサは、VDD バイパス コンデンサによってブートストラップ ダイオードを通してサイクルごとに再充電されます。この再充電は短い時間間隔で行われ、大きなピーク電流を必要とします。回路基板上のループの長さと面積を最小化することは、動作の信頼性を確保する上で重要です。

10.1.3 高電圧に関する注意事項

- 1 次側と 2 次側の間の絶縁性能を確保するため、ドライバ デバイスの下には PCB パターンも銅箔も配置しないようにします。絶縁性能を低下させるおそれがある汚染を防止するため、PCB カットアウトを推奨します。
- ハーフブリッジまたはハイサイド / ローサイド構成の場合、PCB レイアウトのハイサイドのパターンとローサイドのパターンの空間距離を最大限に広げます。

10.1.4 熱に関する注意事項

- 駆動電圧が高い、負荷が重い、スイッチング周波数が高い、のいずれかの場合、UCC21530-Q1 は大きな電力を消費する可能性があります (詳細についてはセクション 8.2.2.4 を参照)。適切な PCB レイアウトは、デバイスから PCB に熱を放散し、接合部から基板への熱インピーダンス (θ_{JB}) を最小化するのに役立ちます。
- VDDA、VDDB、VSSA、VSSB ピンに接続する PCB 銅箔の面積を増やし、VSSA、VSSB との接続を優先して最大化することを推奨します (図 10-2 と図 10-3 を参照)。しかし、上述の高電圧 PCB に関する注意事項は守る必要があります。
- システムに複数の層が存在する場合、VDDA、VDDB、VSSA、VSSB ピンを内部グランドまたは電源プレーンに適切なサイズの複数のビアで接続することも推奨します。異なる高電圧プレーンのパターン / 銅箔が重ならないようにします。

10.2 レイアウト例

2 層 PCB レイアウトの例を、図 10-1 に示します。この図では、信号と主要なコンポーネントにラベル付けされています。

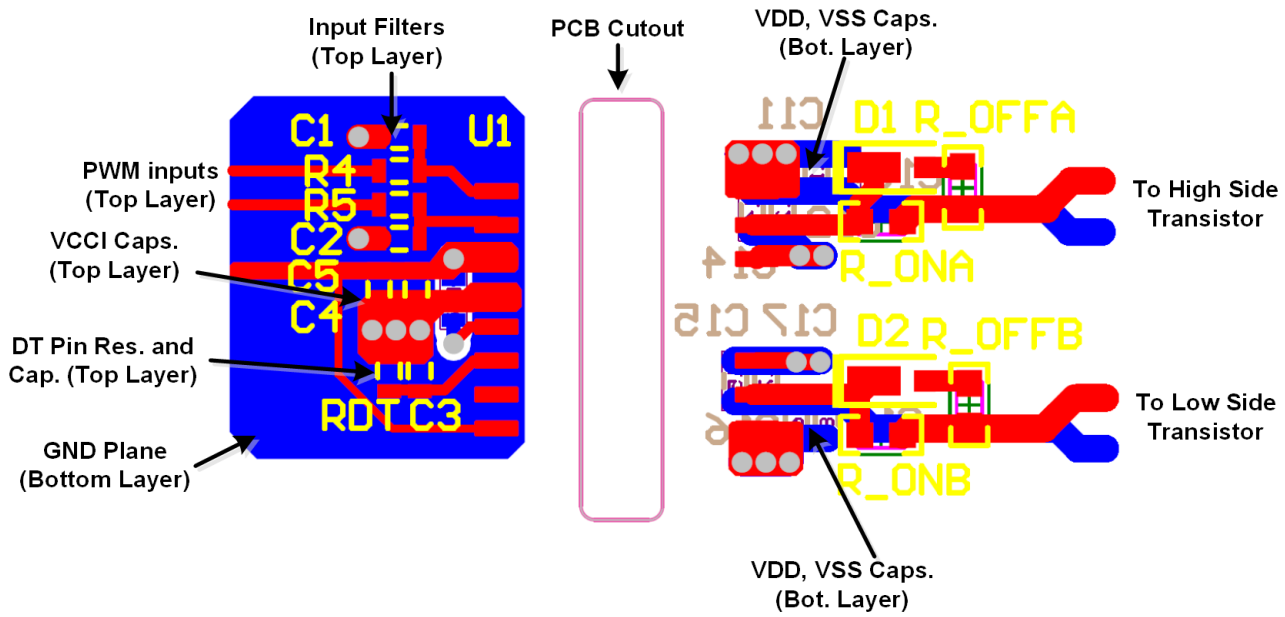


図 10-1. レイアウト例

図 10-2 と図 10-3 に上層と下層のパターンと銅箔を示します。

注

1 次側と 2 次側の間に PCB パターンも銅箔も存在しないため、絶縁性能を確保できます。

高電圧動作に備えて沿面距離を最大化するため、出力段のハイサイド ゲート ドライバとローサイド ゲート ドライバの PCB パターンの間隔が広げられています。これにより、高 dv/dt が発生する可能性があるスイッチング ノード VSSA (SW) とローサイド ゲートドライバの間の寄生容量結合によるクロストークも最小化されます。

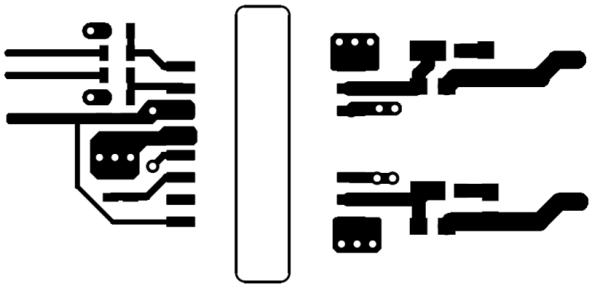


図 10-2. 上層のパターンと銅箔

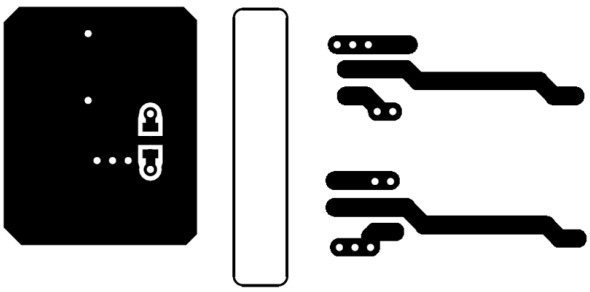


図 10-3. 下層のパターンと銅箔

Copyright © 2024 Texas Instruments Incorporated

3D レイアウト画像 (上面図と底面図) を、図 10-4 と図 10-5 に示します。

注

1 次側と 2 次側の間の PCB カットアウトの場所に注意します。これにより、絶縁性能を確保しています。

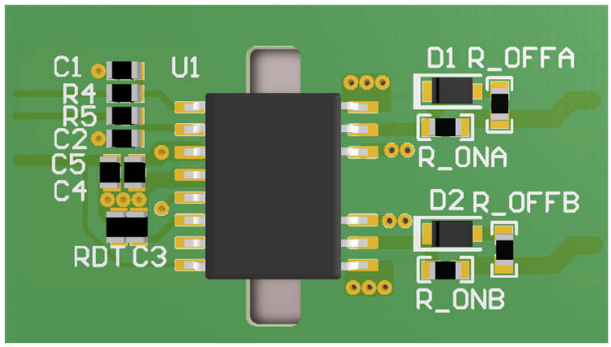


図 10-4. 3-D PCB の上面図

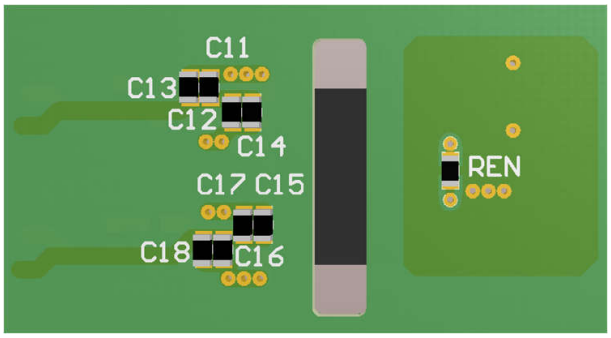


図 10-5. 3-D PCB の底面図

11 デバイスおよびドキュメントのサポート

11.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

11.2 ドキュメントのサポート

11.2.1 関連資料

関連資料については、以下を参照してください。

- 絶縁の用語集

11.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

11.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

11.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

11.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

12 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision E (August 2024) to Revision F (September 2024) — **Page**

- 「特長」および「概要」セクションと「デバイス情報」表に 17V UVLO オプションを追加 1

Changes from Revision D (April 2021) to Revision E (August 2024) — **Page**

- 「特長」の HBM および CDM ESD 分類レベルを更新 1
- 伝搬遅延の標準値を 19ns から 33ns に変更 1
- 最小パルス幅を 10ns から 20ns に変更 1
- 最大遅延マッチング 5ns の箇条書き項目を削除 1
- CMTI を 100V/ns 超から 125V/ns 超に変更 1
- 40 年を超える寿命の絶縁バリアに関する箇条書き項目を削除 1
- 5ns 未満の入力パルスの除去に関する箇条書き項目を削除 1
- 動作温度を新しい接合部温度範囲に変更 1

Copyright © 2024 Texas Instruments Incorporated

- 「認定、認定進行中」の箇条書き項目を削除.....1
- クラス最高の伝搬遅延と PWD に関する文を削除.....1
- 最小 CMTI を 100V/ns から 125V/ns に変更.....1
- DT ピンの推奨される状態と DT ピンのコンデンサ サイズを変更.....3
- 新しくリリースされたデータシートに合わせて、-0.5V の最小値をすべて -0.3V に変更.....4
- 新しくリリースされたデータシートに合わせて、すべての絶対最大値を電源 +0.5V から電源 +0.3V に変更.....4
- 入力信号電圧過渡テスト条件を 50ns に、絶対最小値を -5V に変更.....4
- ESD 業界標準に合わせて ESD の仕様を HBM = ±4000、CDM = ±1500 から HBM = ±2000、CDM = ±1000 に更新.....4
- 12V-UVLO の推奨最小 VDDA/B 電圧を 14.7V から 13.5V に変更.....4
- 周囲温度の仕様を削除.....4
- 最大接合部温度を 150°C に変更.....4
- 値を RθJA = 68.3℃/W、RθJC(top) = 31.7℃/W、RθJB = 27.6℃/W、ψJT = 17.7℃/W、ψJB = 27℃/W から RθJA = 74.1℃/W、RθJC(top) = 34.1℃/W、RθJB = 32.8℃/W、ψJT = 23.7℃/W、ψJB = 32.1℃/W に更新.....4
- PD = 1810mW、PDI = 0.05W、PDA/PDB = 880mW から PD = 950mW、PDI = 50mW、PDA/PDB = 450mW に値を更新。テスト条件を変更。.....5
- DTI =>21mm、VIOSM = 8000VPK から DTI =>17mm、VIOSM = 10000VPK に更新し、VIMP = 7692VPK を追加.....6
- 「安全関連認証」セクションを削除.....6
- 値を IS = 58mA/35mA、PS = 50mW/880mW/880mW/1810mW から IS = 53mA/32mA、PS = 50mW/800mW/800mW/1650mW に更新.....7
- VCCI 静止電流の標準値を 1.4mA から 1.5mA に変更.....7
- IVDDA/IVDDB 静止電流の仕様の最大値を 1.8mA から 2.5mA に更新.....7
- IVCCI 動作電流の標準値を 2.0mA から 3.0mA に更新し、最大値 3.5mA を追加.....7
- IVDDA/IVDDB 動作電流の最大値 = 4.2mA を追加.....7
- 立ち上がりスレッショルドの最小値 = 8V、標準値 = 8.5V、最大値 = 9V から最小値 = 7.7V、標準値 = 8.5V、最大値 = 8.9V に更新.....7
- 立ち下がりスレッショルドの最小値 = 7.5V、標準値 = 8V、最大値 = 8.5V から最小値 = 7.2V、標準値 = 7.9V、最大値 = 8.4V に更新.....7
- 8-V UVLO ヒステリシスの標準値 = 0.5V から 0.6V に更新.....7
- 立ち上がりスレッショルドの最小値 = 12.5V、標準値 = 13.5V、最大値 = 14.5V から最小値 = 11.7V、標準値 = 12.5V、最大値 = 13.3V に更新.....7
- 立ち上がりスレッショルドの最小値 = 11.5V、標準値 = 12.5V、最大値 = 13.5V から最小値 = 10.7V、標準値 = 11.5V、最大値 = 12.3V に更新.....7
- 入力 High スレッショルドの最小値を 1.6V から 1.2V に更新.....7
- 新しい「タイミング要件」表に移動してデッドタイム パラメータを更新し、より多くのパラメータを追加.....8
- 伝搬遅延 TPDHL および TPDLH を最小値 = 14ns、標準値 = 19ns、最大値 = 30ns から最小値 = 26ns、標準値 = 33ns、最大値 = 45ns に変更.....8
- 伝播遅延マッチングを最大= 5ns から最大= 6.5ns に変更 (TJ = -40C から -10C に、最大 = 5ns を TJ = -10C から 150C に変更).....8
- VCCI のパワーアップ遅延の標準値 40us を削除し、最大値 50us を追加.....8
- VDDA/VDDB の電源オン遅延を最大値= 100us から 10us に更新.....8
- CMTI の最小値を 100V/ns から 125V/ns に更新.....8
- 更新された特性に合わせて絶縁曲線 および熱曲線 を更新.....9
- 「代表的特性」の図を更新.....11
- UVLO タイミング遅延を更新.....16
- 機能ブロック図にドライバ段のグリッチ除去フィルタ ブロックを追加.....18
- 「出力段」セクションに最小パルス幅の段落を追加.....21
- ESD ダイオード構造を更新.....22

- 推奨の DT コンデンサの大きさを 2.2nF 超から 1nF 以下に変更 22
- 回路図の DT コンデンサの推奨の大きさを変更 24
- DT コンデンサの大きさを 1nF 以下に変更 25
- DT コンデンサの推奨の大きさを 2.2nF 以上から 1nF 以下に変更 35

Changes from Revision C (March 2019) to Revision D (April 2021) **Page**

- 「特長」、「概要」、「デバイス情報」セクションに 8V UVLO オプションを追加 1
- ピン機能表の NC ピン (ピン 7) に情報を追加 3
- 全温度範囲にわたって 8V UVLO スレッショルドとヒステリシスを追加 11

Changes from Revision B (November 2018) to Revision C (March 2019) **Page**

- 初版。 1

13 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2024 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PUCC21530QDWKQ1	Obsolete	Preproduction	SOIC (DWK) | 14	-	-	Call TI	Call TI	-40 to 125	
UCC21530BQDWKQ1	Obsolete	Production	SOIC (DWK) | 14	-	-	Call TI	Call TI	-40 to 125	U21530BQ
UCC21530BQDWKRQ1	Active	Production	SOIC (DWK) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	U21530BQ
UCC21530BQDWKRQ1.A	Active	Production	SOIC (DWK) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	U21530BQ
UCC21530BQDWKRQ1.B	Active	Production	SOIC (DWK) | 14	2000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	
UCC21530DQDWKRQ1	Active	Production	SOIC (DWK) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	UCC21530DQ
UCC21530DQDWKRQ1.A	Active	Production	SOIC (DWK) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	UCC21530DQ
UCC21530DQDWKRQ1.B	Active	Production	SOIC (DWK) | 14	2000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	
UCC21530QDWKQ1	Obsolete	Production	SOIC (DWK) | 14	-	-	Call TI	Call TI	-40 to 125	UCC21530Q
UCC21530QDWKRQ1	Active	Production	SOIC (DWK) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	UCC21530Q
UCC21530QDWKRQ1.A	Active	Production	SOIC (DWK) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	UCC21530Q
UCC21530QDWKRQ1.B	Active	Production	SOIC (DWK) | 14	2000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF UCC21530-Q1 :

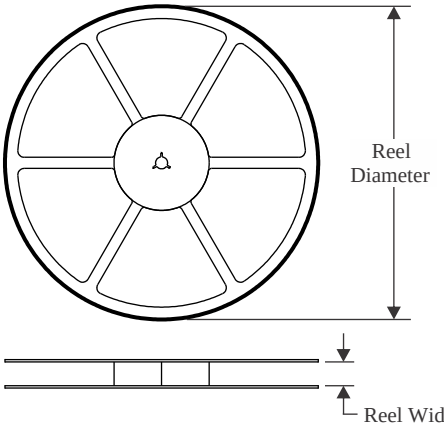
- Catalog : UCC21530

NOTE: Qualified Version Definitions:

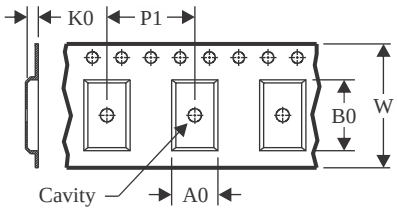
- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

REEL DIMENSIONS

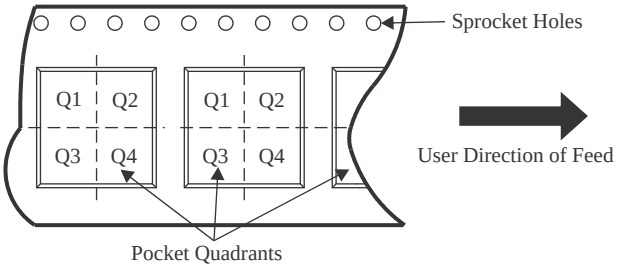


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

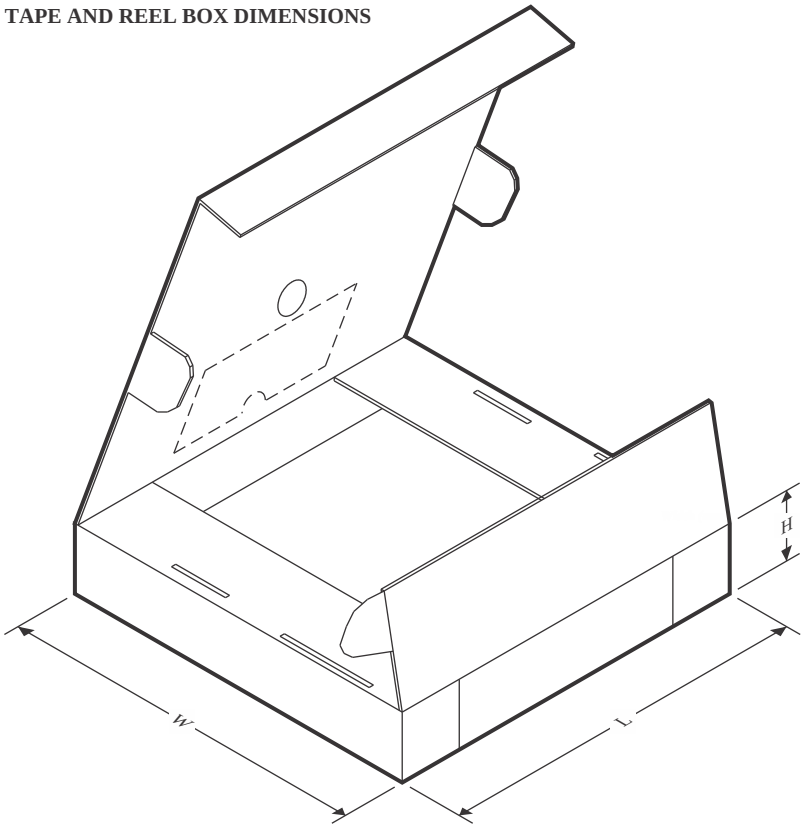
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

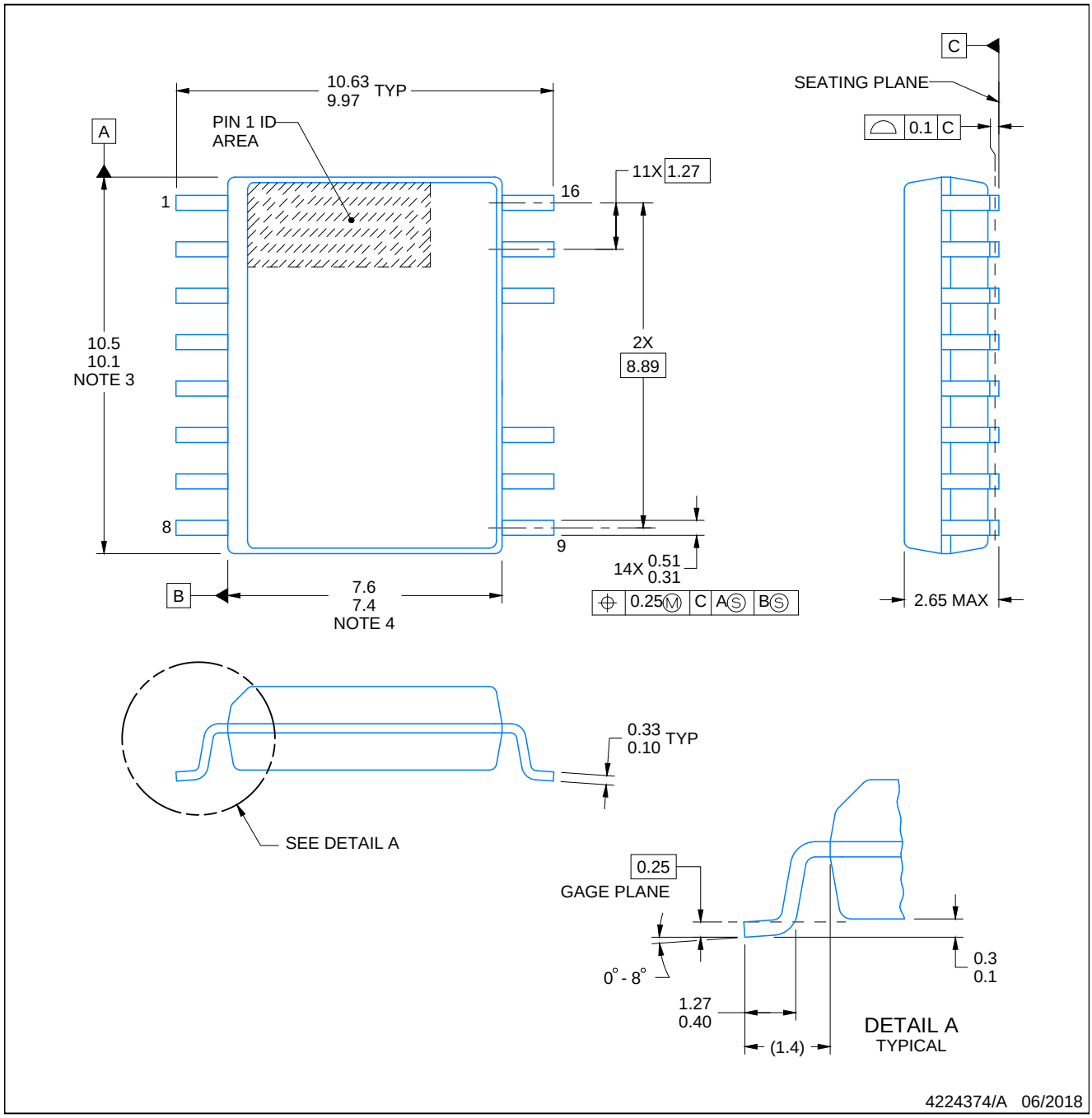
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
UCC21530BQDWKRQ1	SOIC	DWK	14	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
UCC21530DQDWKRQ1	SOIC	DWK	14	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
UCC21530QDWKRQ1	SOIC	DWK	14	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
UCC21530QDWKRQ1	SOIC	DWK	14	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



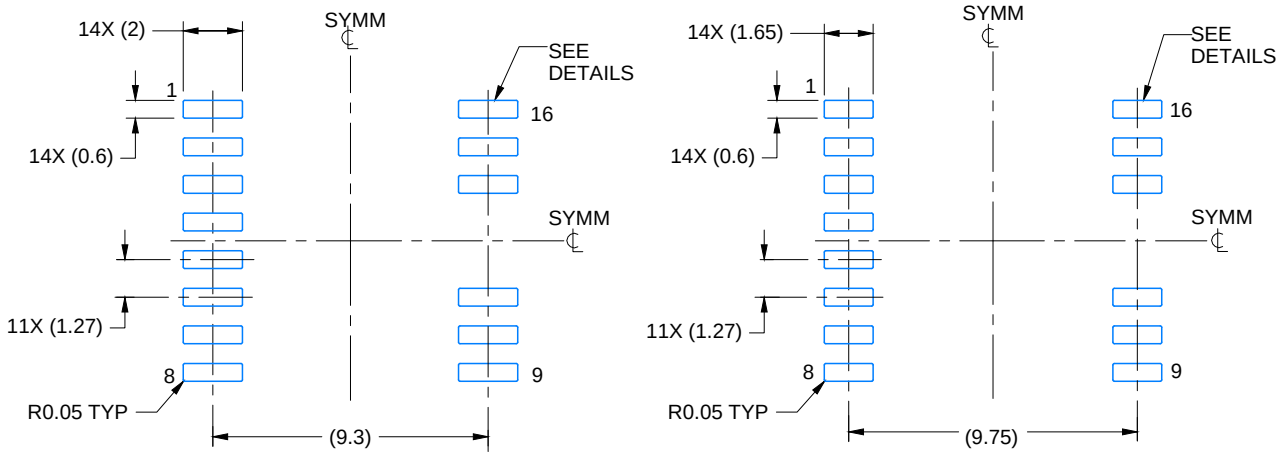
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
UCC21530BQDWKRQ1	SOIC	DWK	14	2000	350.0	350.0	43.0
UCC21530DQDWKRQ1	SOIC	DWK	14	2000	353.0	353.0	32.0
UCC21530QDWKRQ1	SOIC	DWK	14	2000	356.0	356.0	35.0
UCC21530QDWKRQ1	SOIC	DWK	14	2000	353.0	353.0	32.0



NOTES:

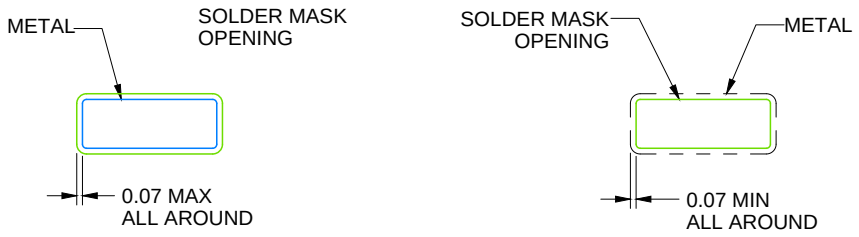
1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.
5. Reference JEDEC registration MS-013.



IPC-7351 NOMINAL
7.3 mm CLEARANCE/CREEPAGE

HV / ISOLATION OPTION
8.1 mm CLEARANCE/CREEPAGE

LAND PATTERN EXAMPLE
SCALE:4X



NON SOLDER MASK DEFINED

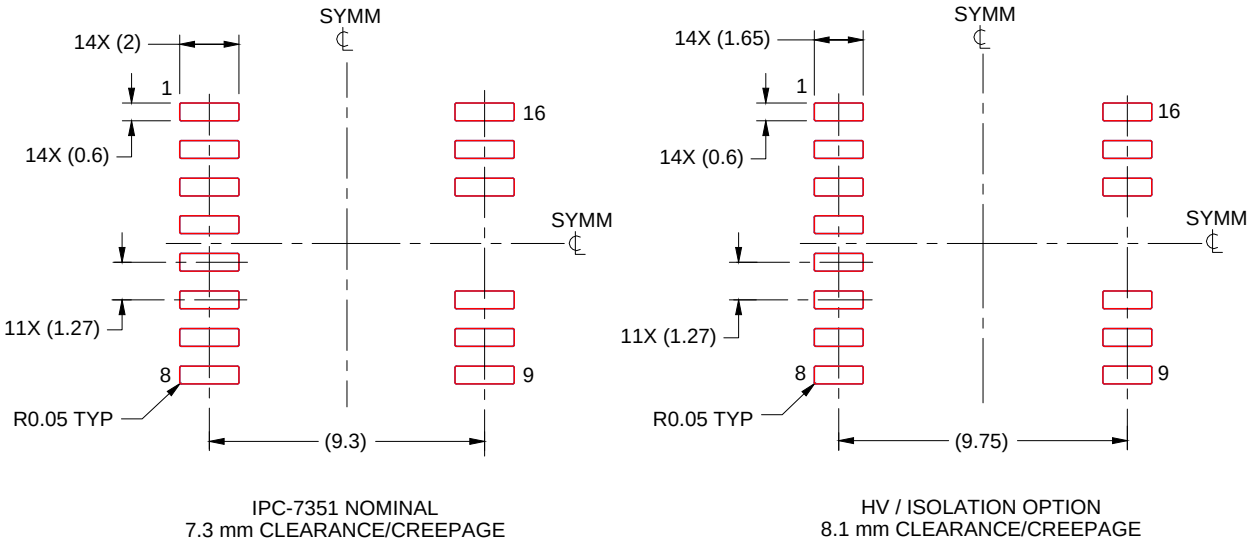
SOLDER MASK DEFINED

SOLDER MASK DETAILS

4224374/A 06/2018

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



IPC-7351 NOMINAL
7.3 mm CLEARANCE/CREEPAGE

HV / ISOLATION OPTION
8.1 mm CLEARANCE/CREEPAGE

SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:4X

4224374/A 06/2018

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

テキサス· インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、 テキサス· インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス· インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス· インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、 テキサス· インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。 テキサス· インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、 テキサス· インスツルメンツおよびその代理人を完全に補償するものとし、 テキサス· インスツルメンツは一切の責任を拒否します。

テキサス· インスツルメンツの製品は、 テキサス· インスツルメンツの販売条件、または ti.com やかかる テキサス· インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。 テキサス· インスツルメンツがこれらのリソースを提供することは、適用される テキサス· インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、 テキサス· インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated