

# TUSB1044A USB Type-C® 10Gbps マルチプロトコル双方向リニア リドライバ

## 1 特長

- 最高 10Gbps をサポートする、プロトコルに依存しない反転可能な 4 チャンネルの直線性リドライバ
  - USB Type-C®。代替モードとして USB 3.2 Gen 2 x2 と DisplayPort™ 2.1 を搭載
- Type-C アプリケーション用に、USB 3.2 と DisplayPort™ マルチプレクサが統合されたプロセッサをサポート
- Type-C ケーブル内の信号コンディショニングをサポート
- SBU 信号用のクロスポイント マルチプレクサ
- 4.05GHz において最高 11dB のリニア イコライゼーション
- チャンネル方向とイコライゼーションを GPIO および I<sup>2</sup>C により制御
- USB 電力状態の監視と DP リンクトレーニングのスレーピングによる高度な電力管理
- GPIO または I<sup>2</sup>C により設定可能
- ホットプラグ対応
- 3.3V 単一電源
- 産業用温度範囲: -40°C ~ 85°C (TUSB1044AI)
- 商業用温度範囲: 0°C ~ 70°C (TUSB1044A)
- 6mm × 4mm、0.4mm ピッチ、40 ピン QFN パッケージ

## 2 アプリケーション

- タブレット
- ノート PC
- デスクトップ PC
- ドッキング・ステーション

## 3 概要

TUSB1044A は USB Type-C® 代替モード リドライバスイッチであり、最高 10Gbps のデータレートに対応できます。このリニア リドライバはプロトコルにかかわらず動作し、DisplayPort™ を含む USB Type-C® Alt Mode インターフェイスをサポートできます。

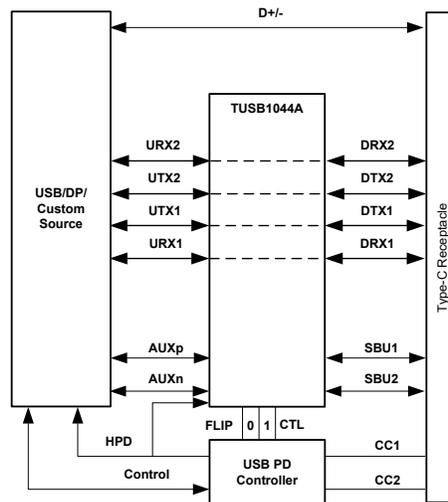
TUSB1044A には、いくつかのレベルの受信リニア イコライゼーションがあり、ケーブルおよび基板配線での損失によるシンボル間干渉 (ISI) を補償できます。単一の 3.3V 電源で動作し、商業用温度範囲および産業用温度範囲のバージョンがあります。

TUSB1044A の 4 つのレーンはすべて反転可能なので、多用途な信号コンディショナーとして、多くのアプリケーションに使用できます。

### パッケージ情報 (1)

部品番号	温度 (°C)	パッケージ	パッケージサイズ(2)
TUSB1044A	T <sub>A</sub> = 0°C ~ 70°C	RNQ (WQFN, 40)	6mm × 4mm
TUSB1044AI	T <sub>A</sub> = -40°C ~ 85°C	RNQ (WQFN, 40)	6mm × 4mm

- (1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
- (2) パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



概略回路図



## 目次

<b>1 特長</b> .....	1	7.5 プログラミング.....	38
<b>2 アプリケーション</b> .....	1	<b>8 レジスタ マップ</b> .....	40
<b>3 概要</b> .....	1	8.1 TUSB1044A のレジスタ.....	40
<b>4 ピン構成および機能</b> .....	3	<b>9 アプリケーションと実装</b> .....	47
<b>5 仕様</b> .....	6	9.1 アプリケーション情報.....	47
5.1 絶対最大定格.....	6	9.2 代表的なアプリケーション.....	47
5.2 ESD 定格.....	6	9.3 システム例.....	51
5.3 推奨動作条件.....	6	9.4 電源に関する推奨事項.....	57
5.4 熱に関する情報.....	6	9.5 レイアウト.....	58
5.5 電気的特性.....	7	<b>10 デバイスおよびドキュメントのサポート</b> .....	60
5.6 タイミング要件.....	10	10.1 ドキュメントのサポート.....	60
5.7 スイッチング特性.....	11	10.2 ドキュメントの更新通知を受け取る方法.....	60
5.8 代表的特性.....	11	10.3 サポート・リソース.....	60
<b>6 パラメータ測定情報</b> .....	15	10.4 商標.....	60
<b>7 詳細説明</b> .....	19	10.5 静電気放電に関する注意事項.....	60
7.1 概要.....	19	10.6 用語集.....	60
7.2 機能ブロック図.....	20	<b>11 改訂履歴</b> .....	60
7.3 機能説明.....	21	<b>12 メカニカル、パッケージ、および注文情報</b> .....	61
7.4 デバイスの機能モード.....	23		

## 4 ピン構成および機能

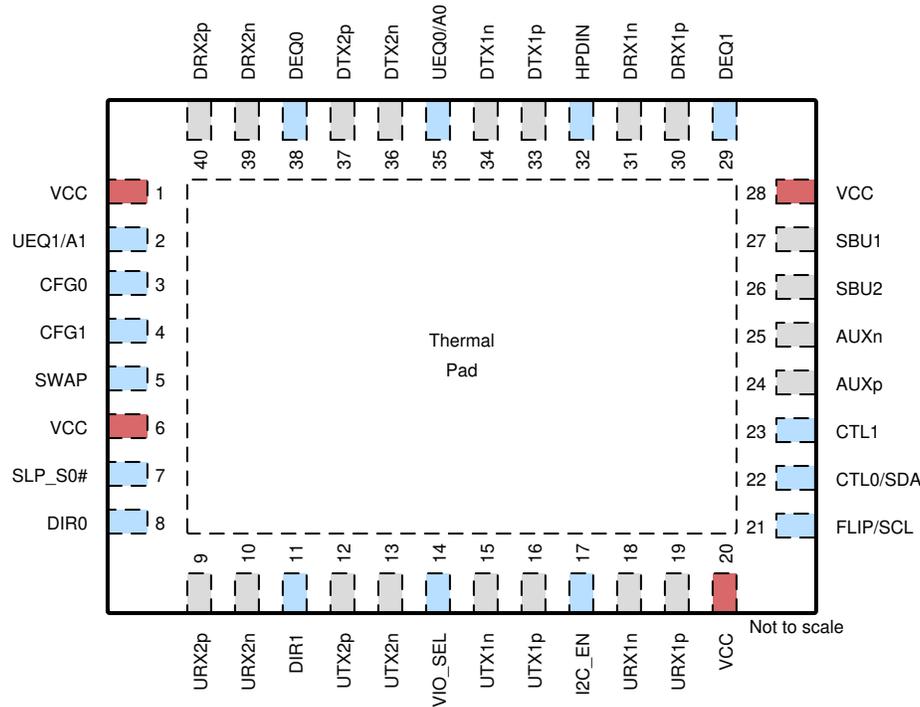


図 4-1. RNQ パッケージ 40 ピン (WQFN) 上面図

### ピンの機能

ピン		タイプ	説明
番号	名称		
1	VCC	P	3.3V 電源
2	UEQ1/A1	4 レベル I	このピンを UEQ0 とともに使用する場合、レシーバ イコライザ ゲインを、上流側の URX1、URX2、UTX1、UTX2 用に設定します。I <sup>2</sup> C モードでは、このピンは TUSB1044A I <sup>2</sup> C アドレスも設定します。表 7-10 も参照してください。
3	CFG0	4 レベル I	CFG0 の詳細を示します。このピンを CFG1 と併用すると、すべての下流チャネルとアップストリームチャネルの VOD 直線性範囲と DC ゲインが選択されます。VOD の直線性範囲と DC ゲインのオプションについては、表 7-9 を参照してください。
4	CFG1	4 レベル I	CFG1 の詳細を示します。このピンを CFG0 と併用すると、すべての下流チャネルとアップストリームチャネルで VOD の直線性範囲と DC ゲインを設定できます。VOD の直線性範囲と DC ゲインのオプションについては、表 7-9 を参照してください。
5	スワップ	2 レベル I (PD)	このピンによって、下流側と上流側のデータバス入力のチャネル方向と EQ 設定がすべて入れ替わります。 0 – チャネル方向と EQ 設定を切り替えません (デフォルト) 1 – チャネルの方向と EQ 設定を切り替えます。
6	VCC	P	3.3V 電源
7	SLP_S0#	2 レベル I (PD)	このピンを Low にアサートすると、レシーバ検出機能が無効になります。このピンが Low で TUSB1044A が U2/U3 にある間、TUSB1044A は LOS および LFPS 検出回路は無効になり、両方のチャネルの RX 終端は有効のままです。このピンが Low でかつ TUSB1044A が切断状態の場合、RX 検出機能は無効になり、両方のチャネルの RX 終端は無効になります。 0 – RX 検出無効 1 – RX 検出有効 (デフォルト)
8	DIR0	2 レベル I (PD)	このピンと DIR1 ピンで、データバス信号の方向フォーマットが設定されます。信号方向のフォーマットについては、表 7-5 を参照してください。 0 – ソース側 (DFP) 代替モードフォーマット 1 – シンク側 (UFP) 代替モードフォーマット
9	URX2p	差動 I/O	上流側の RX2 ポートの差動正入力/出力。
10	URX2n	差動 I/O	上流側の RX2 ポートの差動負入力/出力。

## ピンの機能 (続き)

ピン		タイプ	説明
番号	名称		
11	DIR1	2 レベル入出力 (PD)	このピンと DIR0 ピンで、データバス信号の方向フォーマットが設定されます。信号方向のフォーマットについては、表 7-5 を参照してください。 0 - DisplayPort 代替モードフォーマット 1 - カスタム代替モードフォーマット
12	UTX2p	差動 I/O	上流側の TX2 ポートの差動正入力/出力。
13	UTX2n	差動 I/O	上流側の TX2 ポートの差動負入力/出力。
14	VIO_SEL	4 レベル入出力	このピンは、2 レベルの GPIO 構成ピンと I <sup>2</sup> C インターフェイスの入出力電圧レベルを選択します。 0 = 3.3V 構成の入出力電圧、3.3V I <sup>2</sup> C インターフェイス (デフォルト) R = 3.3V 構成の入出力電圧、1.8V I <sup>2</sup> C インターフェイス F = 1.8V 構成の入出力電圧、3.3V I <sup>2</sup> C インターフェイス 1 = 1.8V 構成の入出力電圧、1.8V I <sup>2</sup> C インターフェイス。
15	UTX1n	差動 I/O	上流側の TX1 ポートの差動負入力/出力。
16	UTX1p	差動 I/O	上流側の TX1 ポートの差動正入力/出力。
17	I2C_EN	4 レベル I	I <sup>2</sup> C プログラミング モードまたは GPIO プログラミング選択。 0 = GPIO モード、AUX スヌープ有効 (I <sup>2</sup> C 無効) R = TI テストモード (I <sup>2</sup> C 有効) F = GPIO モード、AUX スヌープ 無効 (I <sup>2</sup> C 無効) 1 = I <sup>2</sup> C 有効。
18	URX1n	差動 I/O	上流側の RX1 ポートの差動負入力/出力。
19	URX1p	差動 I/O	上流側の RX1 ポートの差動正入力/出力。
20	VCC	P	3.3V 電源
21	FLIP/SCL	2 レベル I (PD) (フェイルセーフ)	GPIO モードではこれはフリップ制御ピンです。それ以外の場合、このピンは I <sup>2</sup> C クロックです。
22	CTL0/SDA	2 レベル I (PD) (フェイルセーフ)	GPIO モードでは、これは USB3.2 スイッチ制御ピンです。それ以外の場合、このピンは I <sup>2</sup> C データです。
23	CTL1	2 レベル I (PD)	DP Alt モード スイッチ制御ピン。GPIO モードでは、このピンは DisplayPort 機能を有効または無効に化します。それ以外の場合、I <sup>2</sup> C レジスタにより DisplayPort 機能が有効/無効になります。 L = DisplayPort は無効。 H = DisplayPort は有効。 I <sup>2</sup> C モードでは、TUSB1044A は、このピンを使用しません。
24	AUXp	I/O、 CMOS	AUXp。AC カップリングコンデンサを経由して DisplayPort ソースに接続された DisplayPort AUX の正の入出力。このピンには、AC カップリングコンデンサに加えて、TUSB1044A が DisplayPort ソース側で使用されている場合は、AC カップリングコンデンサと AUXp 間に GND までの 100kΩ 抵抗が、TUSB1044A が DisplayPort シンク側で使用されている場合は、DP_PWR (3.3V) までの 1MΩ 抵抗が AC カップリングコンデンサと AUXp ピンの間に必要です。このピンは AUXP とともに TUSB1044A によって AUX スヌーピングに使用され、Type-C の方向に基づいて SBU1/2 にルーティングされます。
25	AUXn	I/O、 CMOS	AUXn。AC カップリングコンデンサを経由して DisplayPort ソースまたはシンクに接続された DisplayPort AUX 入出力。このピンには、AC カップリングコンデンサに加えて TUSB1044A が DisplayPort ソース側で使用される場合は AUXn ピンと AC カップリングコンデンサとの間に DP_PWR (3.3V) までの 100kΩ 抵抗が、そして TUSB1044A が DisplayPort シンク側で使用される場合は、AC カップリングコンデンサと AUXn ピンとの間に GND までの 1MΩ 抵抗が必要です。このピンは AUXp とともに TUSB1044A によって AUX スヌーピングに使用され、Type-C の方向に基づいて SBU1/2 にルーティングされます。
26	SBU2	I/O、 CMOS	SBU2 の詳細を示します。TUSB1044A を DisplayPort ソース側で使用する場合は、このピンを Type-C レセプタクルの SBU2 ピンに DC カップリングします。TUSB1044A を DisplayPort シンク側で使用する場合は、このピンを Type-C レセプタクルの SBU1 ピンに DC カップリングします。GND との間に 2MΩ の抵抗も推奨されます。
27	SBU1	I/O、 CMOS	SBU1 の詳細を示します。DisplayPort ソース側で TUSB1044A を使用する場合は、このピンを Type-C レセプタクルの SBU1 ピンに DC カップリングします。DisplayPort シンク側で TUSB1044A を使用する場合は、このピンを Type-C レセプタクルの SBU2 ピンに DC カップリングします。GND との間に 2MΩ の抵抗も推奨されます。
28	VCC	P	3.3V 電源
29	DEQ1	4 レベル I	このピンを DEQ0 とともに使用する場合、高周波数イコライザゲインを、下流側の DRX1、DRX2、DTX1、DTX2 レシーバ用に設定します。
30	DRX1p	差動 I/O	下流側の RX1 ポートの差動正入力/出力。
31	DRX1n	差動 I/O	下流側の RX1 ポートの差動負入力/出力。

### ピンの機能 (続き)

ピン		タイプ	説明
番号	名称		
32	HPDIN	2 レベル I (PD)	このピンは DisplayPort シンクから受信するホットプラグ検出の入力です。HPDIN が Low の状態が 2ms を超えると、すべての DisplayPort レーンが無効になり、AUX-to-SBU スイッチは閉じたままとなります。HPDIN が High のとき、AUX スヌープまたはレジスタから有効化された DisplayPort レーンはアクティブになります。
33	DTX1p	差動 I/O	下流側の TX1 ポートの差動正入力/出力。
34	DTX1n	差動 I/O	下流側の TX1 ポートの差動負入力/出力。
35	UEQ0/A0	4 レベル I	このピンを UEQ1 とともに使用する場合、レシーバ イコライザ ゲインを、上流側の URX1、URX2、UTX1、UTX2 用に設定します。I <sup>2</sup> C モードでは、このピンは TUSB1044A I <sup>2</sup> C アドレスも設定します。表 7-10 も参照してください。
36	DTX2n	差動 I/O	下流側の TX2 ポートの差動負入力/出力。
37	DTX2p	差動 I/O	下流側の TX2 ポートの差動正入力/出力。
38	DEQ0	4 レベル I	このピンを DEQ1 とともに使用する場合、高周波数イコライザゲインを、下流側の URX1、URX2、UTX1、UTX2 レシーバ用に設定します。
39	DRX2n	差動 I/O	下流側の RX2 ポートの差動負入力/出力。
40	DRX2p	差動 I/O	下流側の RX2 ポートの差動正入力/出力。
サーマル パッド		GND	グラウンド

## 5 仕様

### 5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) <sup>(1)</sup>

		最小値	最大値	単位
V <sub>CC</sub>	電源電圧範囲	-0.3	4	V
V <sub>IN_DIFF</sub>	差動入力ピンでの差動電圧。		±2.5	V
V <sub>IN_SE</sub>	差動入力ピンのシングルエンド入力電圧。	-0.5	4	V
V <sub>IN_CMOS</sub>	CMOS 入力での入力電圧	-0.3	4	V
T <sub>stg</sub>	保存温度	-65	150	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

### 5.2 ESD 定格

			値	単位
V <sub>(ESD)</sub>	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン <sup>(1)</sup>	±5000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠、すべてのピン <sup>(2)</sup>	±1500	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。  
 (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

### 5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V <sub>CC</sub>	電源電圧	3	3.3	3.6	V
V <sub>I2C</sub>	SDA と SCL もがプルアップされる外部電源	1.7		3.6	V
V <sub>PSN</sub>	V <sub>CC</sub> の電源ノイズ			100	mV
T <sub>A</sub>	TUSB1044A 周囲温度	0		70	°C
	TUSB1044AI 周囲温度	-40		85	°C
T <sub>J</sub>	TUSB1044A 接合部温度			105	°C
	TUSB1044AI 接合部温度			125	°C

### 5.4 熱に関する情報

	熱評価基準 <sup>(1)</sup>	デバイス		単位
		RNQ (WQFN)		
		40 ピン		
R <sub>θJA</sub>	接合部から周囲への熱抵抗	37.6		°C/W
R <sub>θJC(top)</sub>	接合部からケース (上面) への熱抵抗	20.7		°C/W
R <sub>θJB</sub>	接合部から基板への熱抵抗	9.5		°C/W
Ψ <sub>JT</sub>	接合部から上面への特性パラメータ	0.2		°C/W
Ψ <sub>JB</sub>	接合部から基板への特性パラメータ	9.4		°C/W
R <sub>θJC(bot)</sub>	接合部からケース (底面) への熱抵抗	2.3		°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション レポートを参照してください。

## 5.5 電気的特性

自由気流での動作温度および電圧範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
<b>電源</b>						
$P_{\text{USB-ACTIVE}}$	USB 3.2x1 専用モードに設定されているときの平均電力。	GEN2 データ転送時の U0 でのリンク、EQ 制御ピン = NC、10Gbps での K28.5 パターン、 $V_{\text{ID}} = 1000\text{mVp-p}$ 、 $V_{\text{OD}}$ 線形性 = $900\text{mVp-p}$ ; CTL1 = L; CTL0 = H		297		mW
$P_{\text{USB-DP-ACTIVE}}$	USB 3.2x1 および 2 レーン DP 用に構成したときの平均電力	GEN2 データ転送および DP アクティブ時の U0 のリンク、EQ 制御ピン = NC、10Gbps 時の K28.5 パターン、 $V_{\text{ID}} = 1000\text{mVp-p}$ 、 $V_{\text{OD}}$ 線形性 = $900\text{mVp-p}$ 、CTL1 = H、CTL0 = H		578		mW
$P_{\text{CUSTOM-ACTIVE}}$	USB 3.2x2 用に設定した場合の平均電力	GEN2 データ転送時の U0 のリンク、EQ 制御ピン = NC、10Gbps での K28.5 パターン、 $V_{\text{ID}} = 1000\text{mVp-p}$ 、 $V_{\text{OD}}$ 線形性 = $900\text{mVp-p}$ 、		578		mW
$P_{\text{CUSTOM-ACTIVE}}$	USB 3.2x1 および 2 チャンネルのカスタム代替モード用に構成したときの平均電力。	GEN2 データ転送およびカスタム代替モードがアクティブな U0 のリンク、EQ 制御ピン = NC、10Gbps 時の K28.5 パターン、 $V_{\text{ID}} = 1000\text{mVp-p}$ 、 $V_{\text{OD}}$ 線形性 = $900\text{mVp-p}$ 、CTL1 = H、CTL0 = H		578		mW
$P_{4\text{DP-ACTIVE}}$	4 本の DP レーンに構成した場合の平均電力	4 本のアクティブな DP レーン、EQ 制御ピン = NC、10Gbps 時の K28.5 パターン、 $V_{\text{ID}} = 1000\text{mVp-p}$ 、 $V_{\text{OD}}$ 線形性 = $900\text{mVp-p}$ 、CTL1 = H、CTL0 = L		564		mW
$P_{\text{USB-NC}}$	USB3.2x1 専用に構成され、TXP/N ピンに何も接続されていないときの平均消費電力。	USB3 デバイスは TXP/TXN に接続されていない、CTL1 = L、CTL0 = H		2.5		mW
$P_{\text{USB-U2U3}}$	USB3.2x1 専用に構成され、リンクが U2 または U3 状態のときの平均電力。	U2 または U3 でのリンク、CTL1 = L、CTL0 = H、		2		mW
$P_{\text{SHUTDOWN}}$	デバイスがシャットダウン中の平均電力	CTL1 = L、CTL0 = L、I2C_EN = 0、;		0.65		mW
<b>4 ステート CMOS 入力 (UEQ[1:0]、DEQ[1:0]、CFG[1:0]、A[1:0]、I2C_EN、VIO_SEL)</b>						
$I_{\text{IH}}$	High レベル入力電流	$V_{\text{CC}} = 3.6\text{V}$ 、 $V_{\text{IN}} = 3.6\text{V}$	20		80	$\mu\text{A}$
$I_{\text{IL}}$	Low レベル入力電流	$V_{\text{CC}} = 3.6\text{V}$ 、 $V_{\text{IN}} = 0\text{V}$	-160		-40	$\mu\text{A}$
4 レベル $V_{\text{TH}}$	スレッショルド 0/R	$V_{\text{CC}} = 3.3\text{V}$		0.55		V
	スレッショルド R/Float	$V_{\text{CC}} = 3.3\text{V}$		1.65		V
	スレッショルド Float/1	$V_{\text{CC}} = 3.3\text{V}$		2.7		V
$R_{\text{PU}}$	内部プルアップ抵抗			46		k $\Omega$
$R_{\text{PD}}$	内部プルダウン抵抗			95		k $\Omega$
<b>2 ステート CMOS 入力 (CTL0、CTL1、FLIP、HPDIN、SLP_S0#、SWAP、DIR[1:0])</b>						
$V_{\text{IH-3.3V}}$	High レベル入力電圧	$V_{\text{CC}} = 3.3\text{V}$ 、 $V_{\text{IO\_SEL}} = "0"$ または "R"、	2		3.6	V
$V_{\text{IL-3.3V}}$	Low レベル入力電圧	$V_{\text{CC}} = 3.3\text{V}$ 、 $V_{\text{IO\_SEL}} = "0"$ または "R"、	0		0.8	V
$V_{\text{IH-1.8V}}$	High レベル入力電圧	$V_{\text{CC}} = 3.3\text{V}$ 、 $V_{\text{IO\_SEL}} = "F"$ または "1"、;	1.2		3.6	V
$V_{\text{IL-1.8V}}$	Low レベル入力電圧	$V_{\text{CC}} = 3.3\text{V}$ 、 $V_{\text{IO\_SEL}} = "F"$ または "1"、;	0		0.4	V
$R_{\text{PD\_CTL1}}$	CTL1、CTL0、DIR0、DIR1、FLIP、SLP_S0# の内部プルダウン抵抗			500		k $\Omega$
$R_{\text{PD\_HPDIN}}$	HPDIN の内部プルダウン抵抗			400		k $\Omega$
$R_{\text{PD\_SWAP}}$	SWAP の内部プルダウン抵抗			200		k $\Omega$

自由気流での動作温度および電圧範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
I <sub>IH</sub>	High レベル入力電流	V <sub>IN</sub> = 3.6V	-25		25	μA
I <sub>IL</sub>	Low レベル入力電流	V <sub>IN</sub> = GND、V <sub>CC</sub> = 3.6V	-25		25	μA
<b>I2C 制御ピン SCL、SDA</b>						
V <sub>IH-3.3V</sub>	High レベル入力電圧	V <sub>CC</sub> = 3.3V、VIO_SEL = "0" または "F"、I2C モードが有効、	2		3.6	V
V <sub>IL-3.3V</sub>	Low レベル入力電圧	V <sub>CC</sub> = 3.3V、VIO_SEL = "0" または "F"、I2C モードが有効、	0		0.8	V
V <sub>IH-1.8V</sub>	High レベル入力電圧	V <sub>CC</sub> = 3.3V、VIO_SEL = "R" または "1"、I2C モードが有効、	1.2		3.6	V
V <sub>IL-1.8V</sub>	Low レベル入力電圧	V <sub>CC</sub> = 3.3V、VIO_SEL = "R" または "1"、I2C モードが有効、	0		0.4	V
V <sub>OL</sub>	Low レベル出力電圧	I2C_EN ! = "0"、I <sub>OL</sub> = 3mA	0		0.4	V
I <sub>OL</sub>	Low レベル出力電流	I2C_EN ! = "0"、V <sub>OL</sub> = 0.4V	20			mA
I <sub>I2C</sub>	SDA ピンの入力電流	0.1 × V <sub>I2C</sub> < 入力電圧 < 3.3V	-10		10	μA
C <sub>I2C</sub>	入力容量		0.5		5	pF
<b>USB Gen 2 差動レシーバ (UTX1P/N、UTX2P/N、DRX1P/N、DRX2P/N)</b>						
V <sub>RX-DIFF-PP</sub>	入力差動ピークツーピーク電圧スイングのダイナミックレンジ	AC 結合の差動ピークツーピーク信号を、リファレンスチャネルを通過した CTLE 後で測定		2000		mVpp
V <sub>RX-DC-CM</sub>	レシーバの同相電圧バイアス (DC)			0		V
R <sub>RX-DIFF-DC</sub>	差動入力インピーダンス (DC)	TXP/TXN で GEN 2 デバイスが検出された後に存在	72		120	Ω
R <sub>RX-CM-DC</sub>	レシーバの DC コモン モード インピーダンス	TXP/TXN で USB3 デバイスが検出された後に存在	18		30	Ω
Z <sub>RX-HIGH-IMP-DC-POS</sub>	終端がディスエーブルの場合のコモンモード入力インピーダンス (DC)	TXP/TXN で GEN 2 デバイスが検出されない場合に存在。GND に対して 0V~500mV の範囲にわたって測定。	25			kΩ
V <sub>SIGNAL-DET-DIFF-PP</sub>	入力差動ピークツーピーク信号検出のアサートレベル	10Gbps PRBS7 パターン、低損失入力チャネル、;		80		mV
V <sub>RX-IDLE-DET-DIFF-PP</sub>	入力差動ピークツーピーク信号検出のデアサートレベル	10Gbps PRBS7 パターン、低損失入力チャネル、;		60		mV
V <sub>RX-LFPS-DET-DIFF-PP</sub>	低周波数周期信号 (LFPS) 検出スレッショルド	最小値を下回るとスケルチが実行されます。	100		300	mV
C <sub>RX</sub>	GND に対する RX 入力容量	5GHz 動作で			0.3	pF
RL <sub>RX-DIFF</sub>	差動リターンロス	50MHz~2.5GHz (90Ω 時)		-13		dB
RL <sub>RX-DIFF</sub>	差動リターンロス	90Ω で 5GHz		-12		dB
RL <sub>RX-CM</sub>	同相リターンロス	50MHz~5GHz (90Ω 時)		-10.5		dB
EQ <sub>SSP</sub>	最大設定でのレシーバのイコライゼーション	5GHz 時の UEQ[1:0] と DEQ[1:0]。		10		dB
<b>USB Gen 2 差動トランスミッタ (DTX1P/N、DTX2P/N、URX1P/N、URX2P/N)</b>						
V <sub>TX-DIFF-PP</sub>	トランスミッタのダイナミック差動電圧スイング範囲。			1500		mVpp
V <sub>TX-RCV-DETECT</sub>	レシーバの検出中の許容電圧変化量	3.3V 時			600	mV
V <sub>TX-CM-IDLE-DELTA</sub>	U2/U3 で LFPS をアクティブに送信していない状態でのトランスミッタのアイドル同相電圧変化	50Ω 負荷を使用して、AC カップリングコンデンサの接続側で測定した	-600		600	mV

自由気流での動作温度および電圧範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V <sub>TX-DC-CM</sub>	トランスミッタの同相電圧バイアス (DC)			1.75	2.3	V
V <sub>TX-CM-AC-PP-ACTIVE</sub>	Tx AC 同相電圧 (アクティブ時)	Rx EQ 設定は入力チャネル損失に一致、時間と振幅の両方で TXP + TXN からの最大ミスマッチ、-40 °C ~ 85°C			100	mVpp
V <sub>TX-IDLE-DIFF-AC-PP</sub>	AC 電氣的アイドル時の差動ピークツーピーク出力電圧	パッケージピンの	0		10	mV
V <sub>TX-IDLE-DIFF-DC</sub>	DC 電氣的アイドル時の差動出力電圧	ローパスフィルタより後段のパッケージピンで AC 部品を取り除きます	0		14	mV
R <sub>TX-DIFF</sub>	ドライバの差動インピーダンス		75		120	Ω
C <sub>AC-COUPLING</sub>	AC カップリングコンデンサ		75		265	nF
R <sub>TX-CM</sub>	ドライバのコモンモードインピーダンス	0V ~ 500mV の AC グランドを基準として測定	18		30	Ω
I <sub>TX-SHORT</sub>	TX 短絡電流	TX +/- は GND へ短絡			74	mA
RL <sub>TX-DIFF</sub>	差動リターンロス	50MHz ~ 2.5GHz (90Ω 時)		-13		dB
RL <sub>TX-DIFF</sub>	差動リターンロス	90Ω で 5GHz		-10.5		dB
RL <sub>TX-CM</sub>	同相リターンロス	50MHz ~ 5GHz (90Ω 時)		-10		dB
<b>AC の特性</b>						
クロストーク	TX 信号と RX 信号のペア間の差動クロストーク	5GHz 動作で		-30		dB
G <sub>LF</sub>	0dB 設定での低周波数電圧ゲイン。	100MHz 時、200mVpp < V <sub>ID</sub> < 2000mVpp、0dB DC ゲイン、	-1	0	1	dB
CP <sub>1 dB-LF-1100</sub>	低周波数 -1dB 圧縮ポイント	100MHz 時、200mVpp < V <sub>ID</sub> < 2000mVpp、1100mVpp の線形性設定、		1100		mVpp
CP <sub>1 dB-HF-1100</sub>	高周波数 -1dB 圧縮ポイント	5GHz 時、200mVpp < V <sub>ID</sub> < 2000mVpp、1100mVpp の線形性設定、		1200		mVpp
f <sub>LF</sub>	低周波数カットオフ	200mVpp < V <sub>ID</sub> < 2000mVpp		22	50	kHz
D <sub>J</sub>	TX 出力の確定的ジッタ	200mVpp < V <sub>ID</sub> < 2000mVpp、PRBS7、10Gbps		0.07		Upp
D <sub>J</sub>	TX 出力の確定的ジッタ	200mVpp < V <sub>ID</sub> < 2000mVpp、PRBS7、8.1Gbps		0.07		Upp
T <sub>J</sub>	TX 出力の合計ジッタ	200mVpp < V <sub>ID</sub> < 2000mVpp、PRBS7、10Gbps		0.11		Upp
T <sub>J</sub>	TX 出力合計ジッタ	200mVpp < V <sub>ID</sub> < 2000mVpp、PRBS7、8.1Gbps		0.11		Upp
<b>DisplayPort レシーバ (UTX1P/N、UTX2P/N、URX1P/N、URX2P/N)</b>						
V <sub>ID-PP</sub>	ピークツーピークの入力差動ダイナミック電圧範囲			1500		V
V <sub>IC</sub>	入力同相電圧			0		V
C <sub>AC</sub>	AC カップリング容量		75		265	nF
EQ <sub>DP</sub>	レシーバマイクロライゼーション	4.05 GHz での DPEQ1、DPEQ0		9.5		dB
d <sub>R</sub>	データレート	UHBR10			10.0	Gbps
R <sub>ii</sub>	入力終端抵抗		80	100	120	Ω
<b>DisplayPort トランスミッタ (DTX1P/N、DTX2P/N、DRX1P/N、DRX2P/N)</b>						
V <sub>TX-DIFFPP</sub>	VOD ダイナミックレンジ			1500		mV
<b>AUXP/N および SBU1/2</b>						

自由気流での動作温度および電圧範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
R <sub>ON</sub>	出力オン抵抗	V <sub>CC</sub> = 3.3V、AUXP の VI = 0V~0.4V、 AUXN の VI = 2.7V~3.6V		5	12	Ω
ΔR <sub>ON</sub>	ペア内でのオン抵抗の不整合	V <sub>CC</sub> = 3.3V、AUXP の VI = 0V~0.4V、 AUXN の VI = 2.7V~3.6V			2.0	Ω
R <sub>ON_FLAT</sub>	オン抵抗の平坦性 (R <sub>ON</sub> の最大値 – R <sub>ON</sub> の最小値) は、V <sub>CC</sub> と温度が同じ状況で測定	V <sub>CC</sub> = 3.3V、AUXP の VI = 0V~0.4V、 AUXN の VI = 2.7V~3.6V			1.0	Ω
V <sub>AUXP_DC_CM</sub>	AUXP と SBU1 の AUX チャネル DC コモンモード電圧。	V <sub>CC</sub> = 3.3V	0		0.4	V
V <sub>AUXN_DC_CM</sub>	AUXN と SBU2 の AUX チャネル DC コモンモード電圧	V <sub>CC</sub> = 3.3V	2.7		3.6	V

## 5.6 タイミング要件

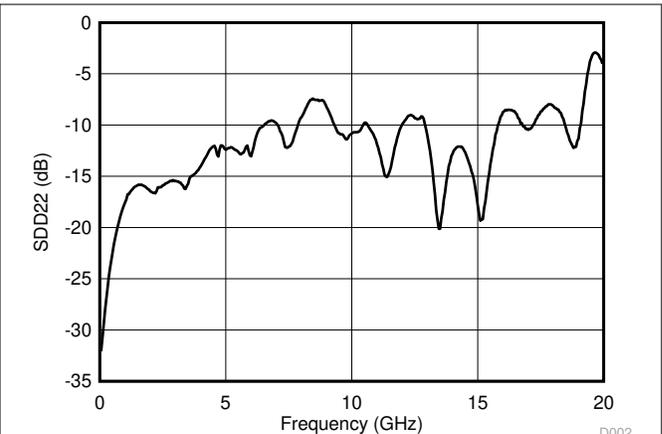
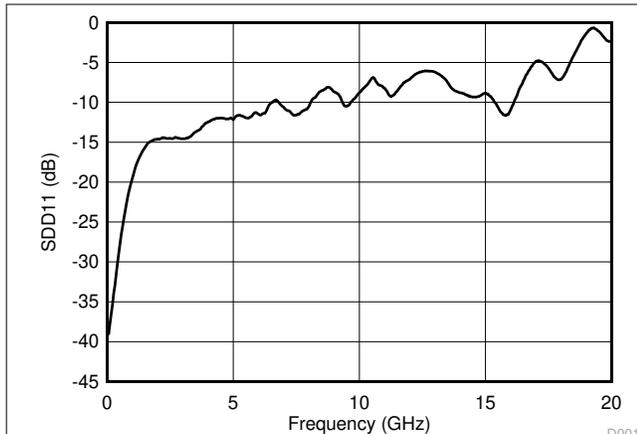
		最小値	公称値	最大値	単位
<b>I<sup>2</sup>C タイミング</b>					
f <sub>SCL</sub>	I <sup>2</sup> C クロック周波数			1	MHz
t <sub>BUF</sub>	START 条件と STOP 条件間のバス開放時間	0.5			μs
t <sub>HDSTA</sub>	リピート スタート コンディションの後のホールド時間。この時間が経過すると、最初のクロックパルスが生成されます	0.26			μs
t <sub>LOW</sub>	I <sup>2</sup> C クロックの Low 期間	0.5			μs
t <sub>HIGH</sub>	I <sup>2</sup> C クロックの High 期間	0.26			μs
t <sub>SUSTA</sub>	反復開始条件のセットアップ時間	0.26			μs
t <sub>HDDAT</sub>	データ ホールド時間	0			μs
t <sub>SUDAT</sub>	データ セットアップ時間	50			ns
t <sub>R</sub>	SDA 信号と SCL 信号の両方の立ち上がり時間			120	ns
t <sub>F</sub>	SDA 信号と SCL 信号の両方の立ち下がり時間		20 × (V <sub>I2C</sub> /5.5V)	120	ns
t <sub>SUSTO</sub>	停止条件のセットアップ時間	0.26			μs
C <sub>BUS</sub>	各バスラインの容量性負荷			100	pF
<b>HPDIN および CTL1</b>					
t <sub>CTL1_DEBO UNCE</sub>	Low が最小値より大きい場合、H レーンから L.DP レーンに遷移するときの、無効になっている CTL1 と HPDIN デバウンス時間。	2.5			ms
<b>USB3.1 および DisplayPort モード遷移要件 GPIO モード</b>					
t <sub>GP_USB_4D P</sub>	USB3.1 専用モードから 4 レーン DisplayPort モードへ、またはその逆に遷移するときの CTL0 と CTL1 の最小オーバーラップ。	4			μs
<b>パワーオンタイミング</b>					
t <sub>d_pg</sub>	V <sub>CC(MIN)</sub> から内部パワー グッドが High にアサートされるまで			500	μs
t <sub>cfg_su</sub>	CFG ピンの設定	350			μs
t <sub>cfg_hd</sub>	CFG ピンホールド	10			μs
t <sub>ctl_db</sub>	CTL[1:0] と FLIP ピンのデバウンス			16	ms
t <sub>VCC_RAMP</sub>	VCC 電源ランプ要件	0.1		100	ms

## 5.7 スイッチング特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
<b>USB 3.1</b>					
$t_{DLEEntry}$	U0 から電氣的アイドルまでの遅延		0.16		ns
$t_{DLEExit_U1}$	U1 既存時間:電氣的アイドルのブレークから LFPS の転送まで		0.16		ns
$t_{DLEExit_U2U3}$	U2/U3 終了時間:電氣的アイドル状態のブレークから LFPS の転送まで		5		$\mu$ s
$t_{RXDET\_IN TVL}$	切断中の RX 検出間隔			12	ms
$t_{DLEExit\_D ISC}$	切断終了時間		12		ms
$t_{Exit\_SHTD N}$	シャットダウン終了時間	CTL0 = Vcc/2 から U2U3 へ	0.5		ms
$t_{DIFF\_DLY}$	差動伝搬遅延			300	ps
$t_{PWRUPAC TIVE}$	Vcc がデバイスアクティブまで 70% に達したときの時間			1	ms
$t_{R/F}$	出力立ち上がり / 立ち下がり時間	1.7 インチで測定された差動電圧の 20% ~ 80%、入力信号の立ち上がり/立ち下がりは 35ps 未満、	35		ps
$t_{RF-MM}$	出力立ち上がり / 立ち下がり時間の不一致	出力ピンから 1.7 インチで測定された差動電圧の 20%~80%		2.6	ps
<b>AUXP/N と SBU1/2</b>					
$t_{AUX\_PD}$	スイッチ伝搬遅延			1050	ps
$t_{AUX\_SW\_OFF}$	CTL1 からスイッチオフになるまでのスイッチング時間。			500	ns
$t_{AUX\_SW\_ON}$	CTL1 からスイッチオンになるまでのスイッチング時間			500	ns
$t_{AUX\_INTR A}$	ペア内出力スキュー			100	ps

## 5.8 代表的特性



### 5.8 代表的特性 (続き)

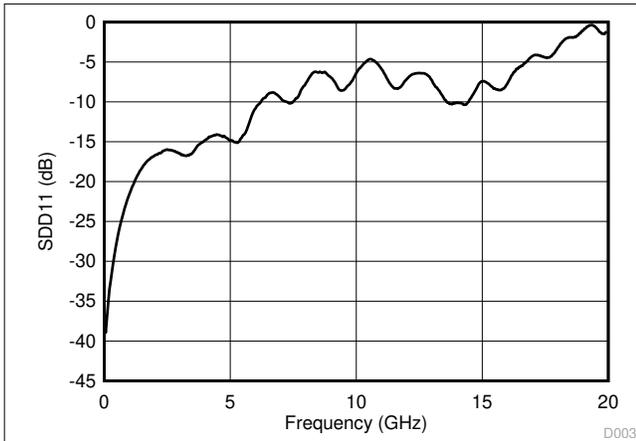


図 5-3. アップストリームポートの入力リターンロス性能

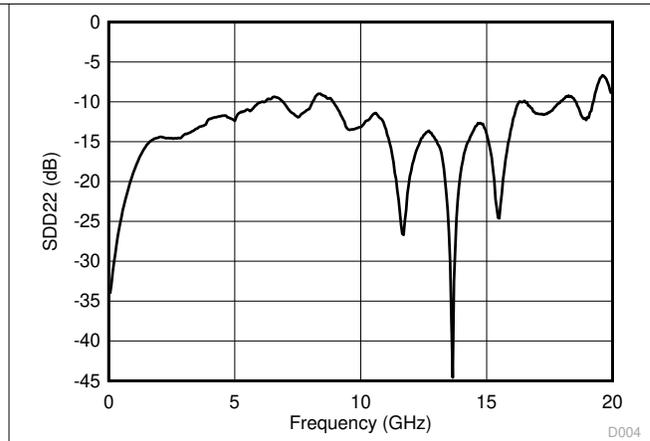


図 5-4. アップストリームポートの出力リターンロス性能

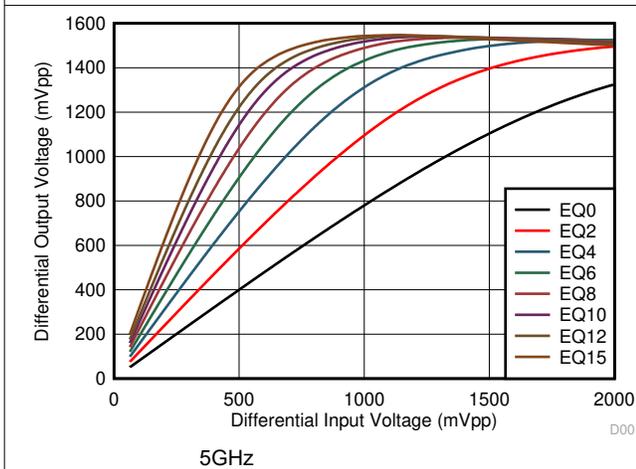


図 5-5. 5GHz でのダウンストリームからアップストリームまでの直線性性能

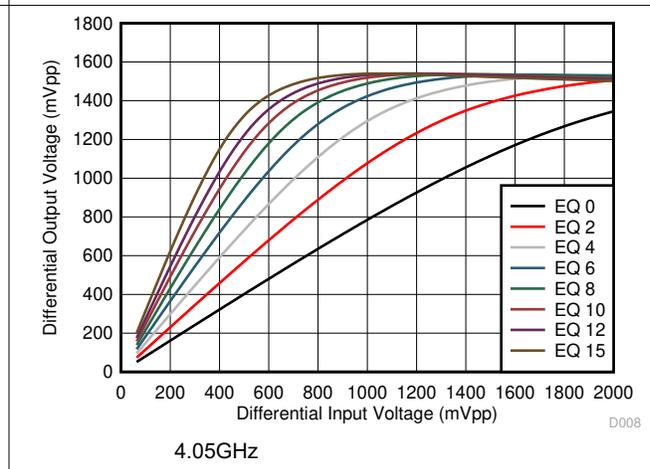


図 5-6. 4.05GHz でのダウンストリームからアップストリームまでの直線性性能

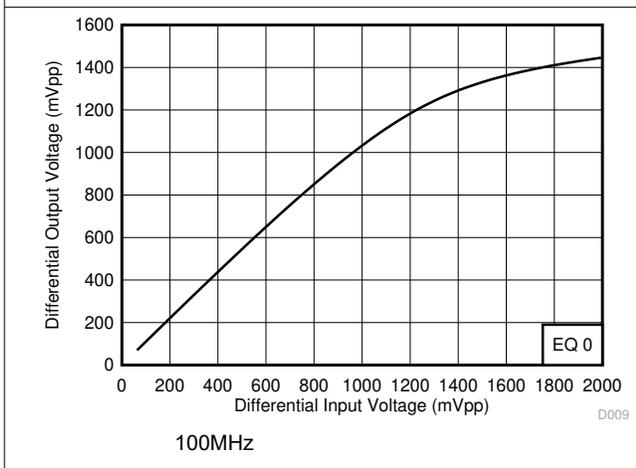


図 5-7. 100MHz でのダウンストリームからアップストリームまでの直線性性能

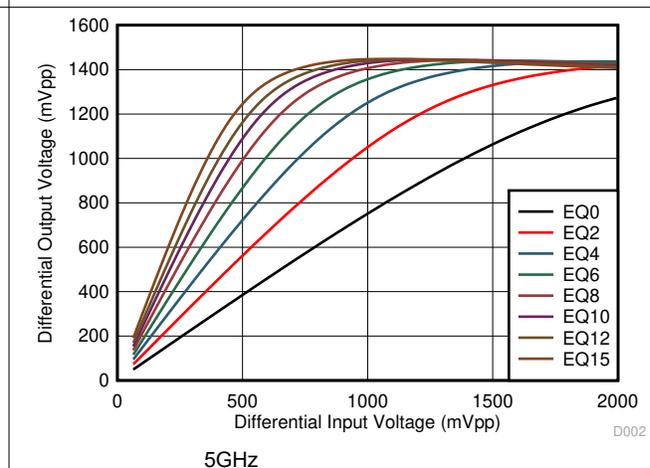


図 5-8. 5GHz でのアップストリームからダウンストリームまでの直線性パフォーマンス

## 5.8 代表的特性 (続き)

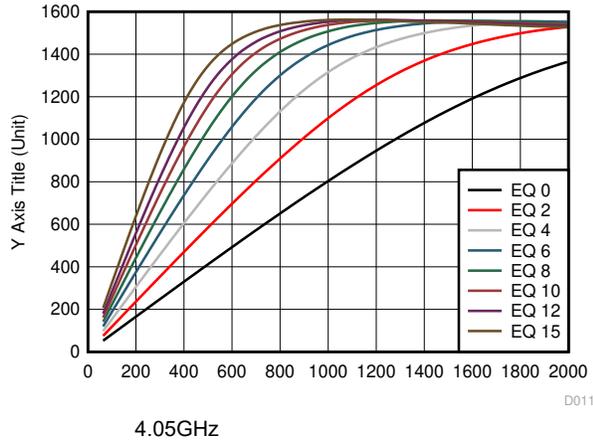


図 5-9. 4.05GHz でのアップストリームからダウンストリームまでの直線性パフォーマンス

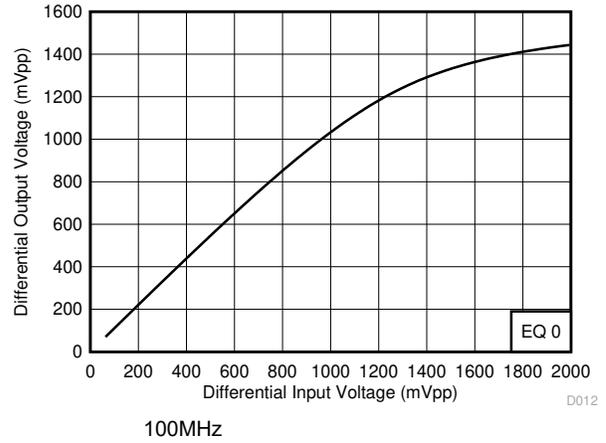
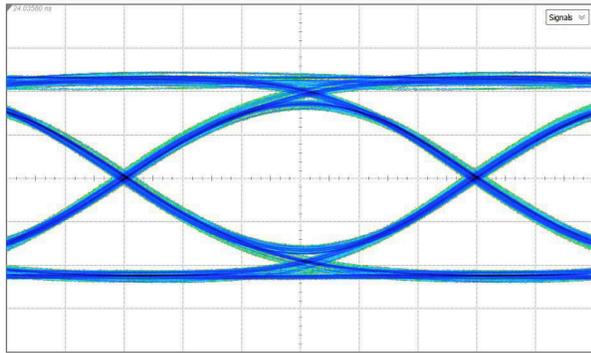
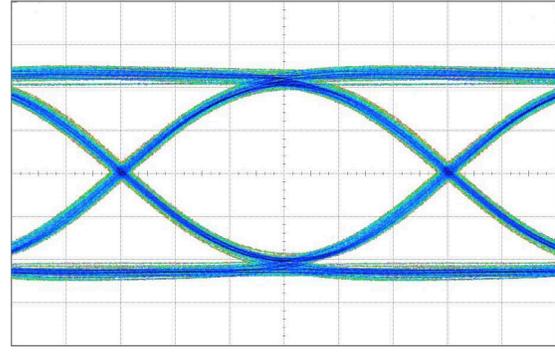


図 5-10. 100MHz でのアップストリームからダウンストリームまでの直線性パフォーマンス



出典: データレート: 10Gbps; データパターン: PRBS7; スイング: 1Vpp  
 チャンネル: アップストリームからダウンストリーム、12 インチ 6mil 入力 PCB チャンネル  
 設定: EQ 設定: 8; フラット ゲイン設定 0dB; リニア・レンジ設定: 1100mVpp

図 5-11. 10Gbps での出力アイパターン性能



出典: データレート: 8.1Gbps; データパターン: PRBS7; スイング: 1Vpp  
 チャンネル: アップストリームからダウンストリーム、12 インチ 6mil 入力 PCB チャンネル  
 設定: EQ 設定: 7; フラット ゲイン設定 0dB; リニア・レンジ設定: 1100mVpp

図 5-12. 8.1Gbps での出力アイパターン性能

5.8 代表的特性 (続き)

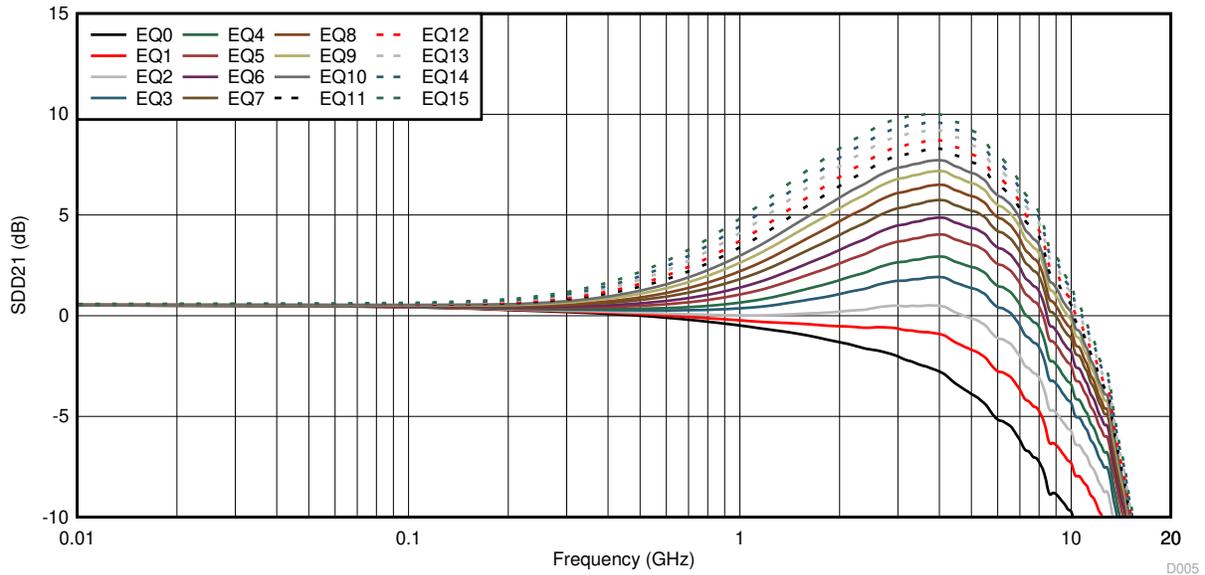


図 5-13. アップストリームからダウンストリームへの EQ 設定曲線

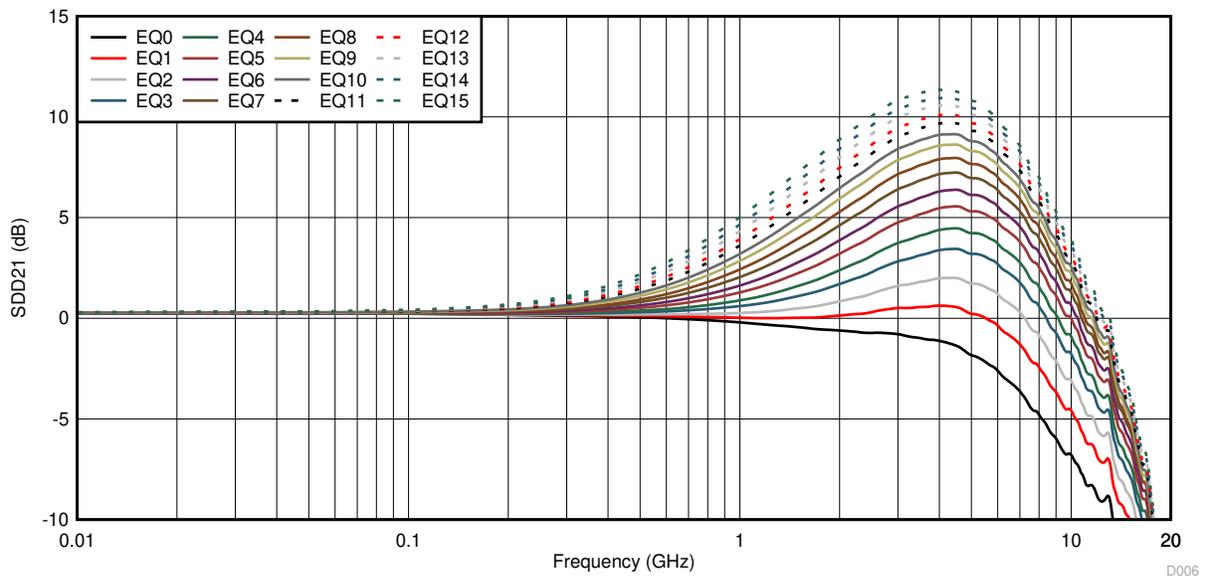


図 5-14. ダウンストリームからアップストリームへの EQ 設定曲線

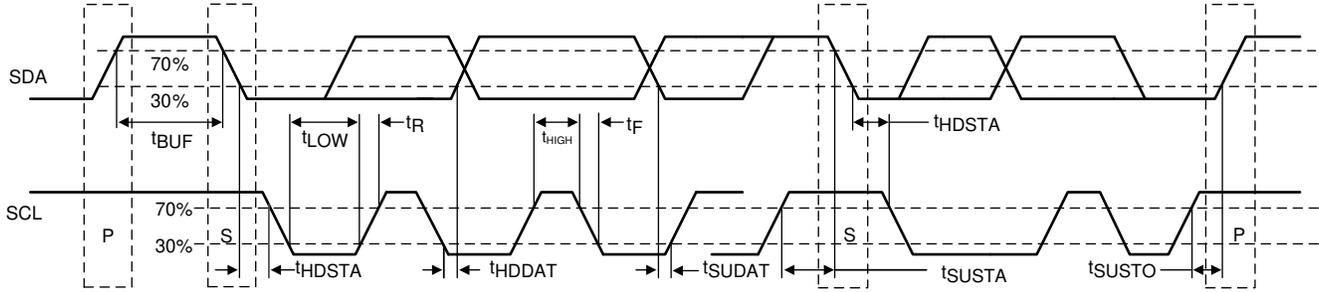


図 6-1. I<sup>2</sup>C のタイミング図の定義

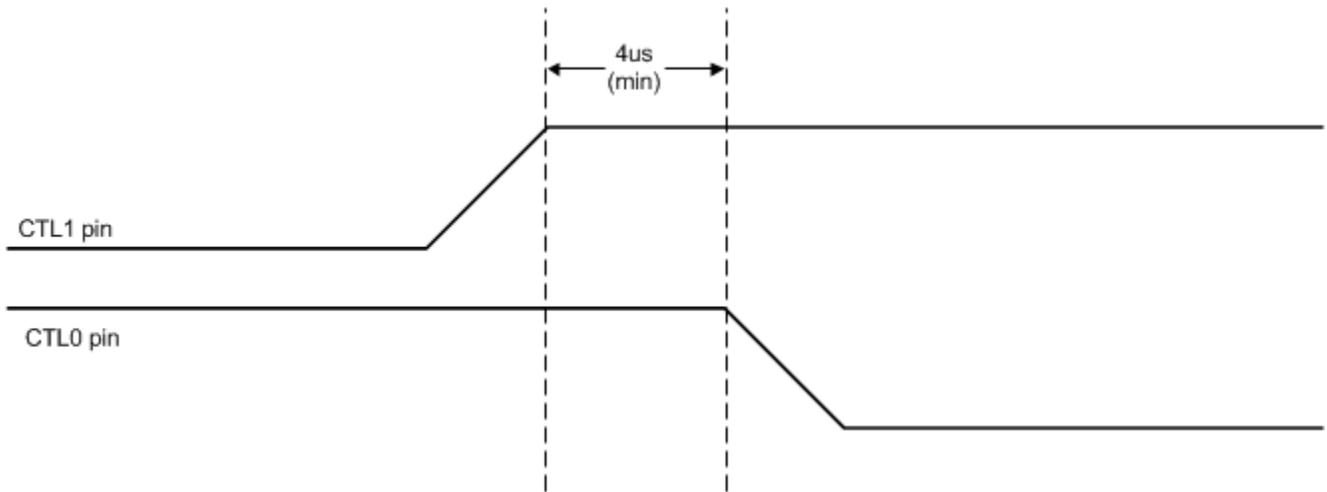


図 6-2. GPIO モードでの USB 3.2 から 4 レーン DisplayPort

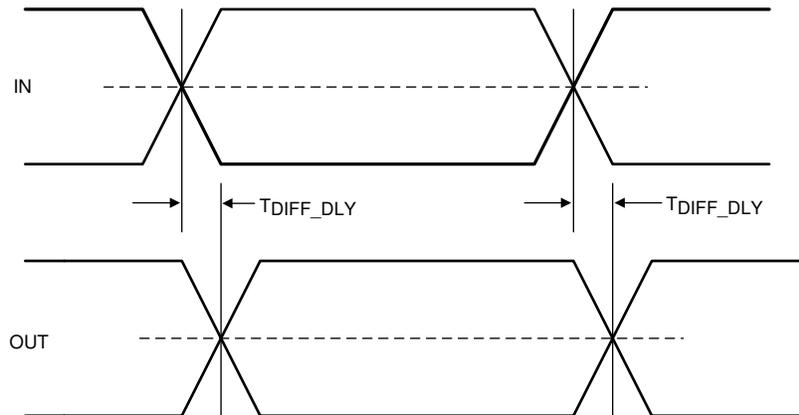


図 6-3. 伝搬遅延

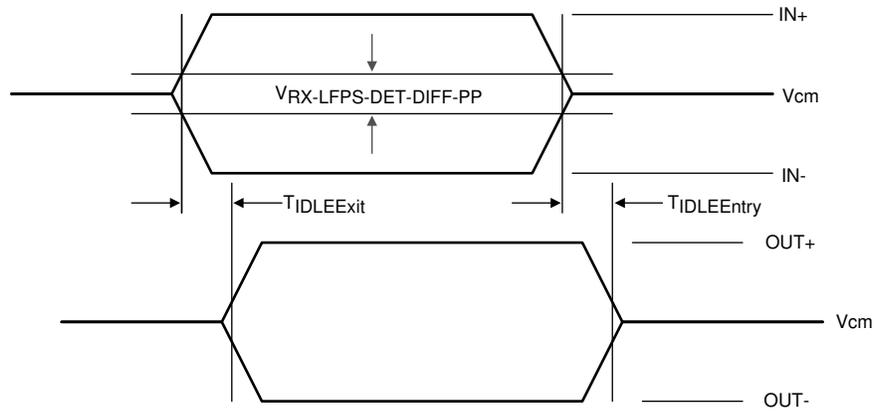


図 6-4. 電氣的アイドル モードの終了および開始遅延

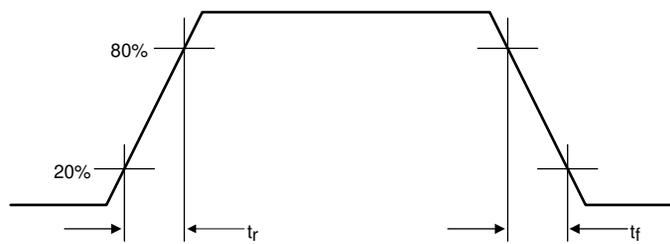
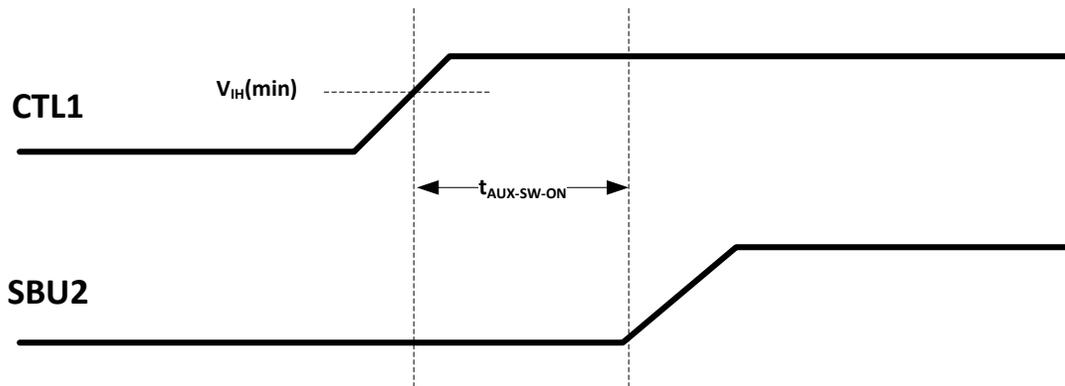
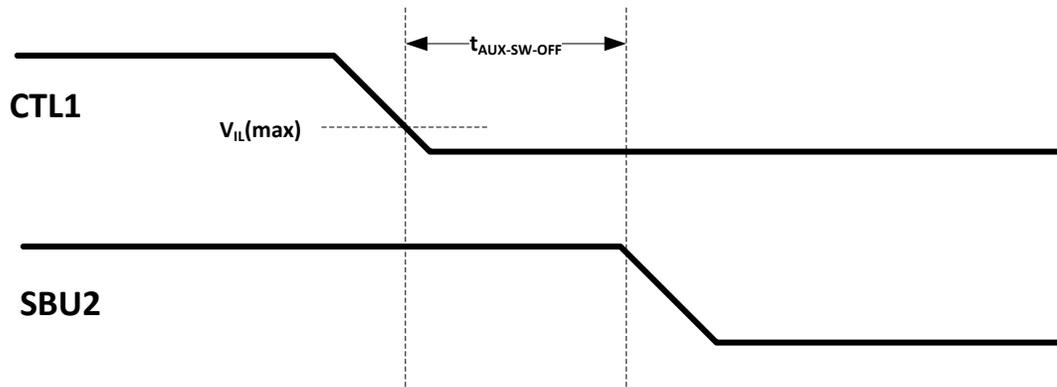


図 6-5. 出力の立ち上がりおよび立ち下がり時間



Copyright © 2017, Texas Instruments Incorporated

図 6-6. AUX から SBU へのスイッチ オンのタイミング図



Copyright © 2017, Texas Instruments Incorporated

図 6-7. AUX から SBU へのスイッチ オフのタイミング図

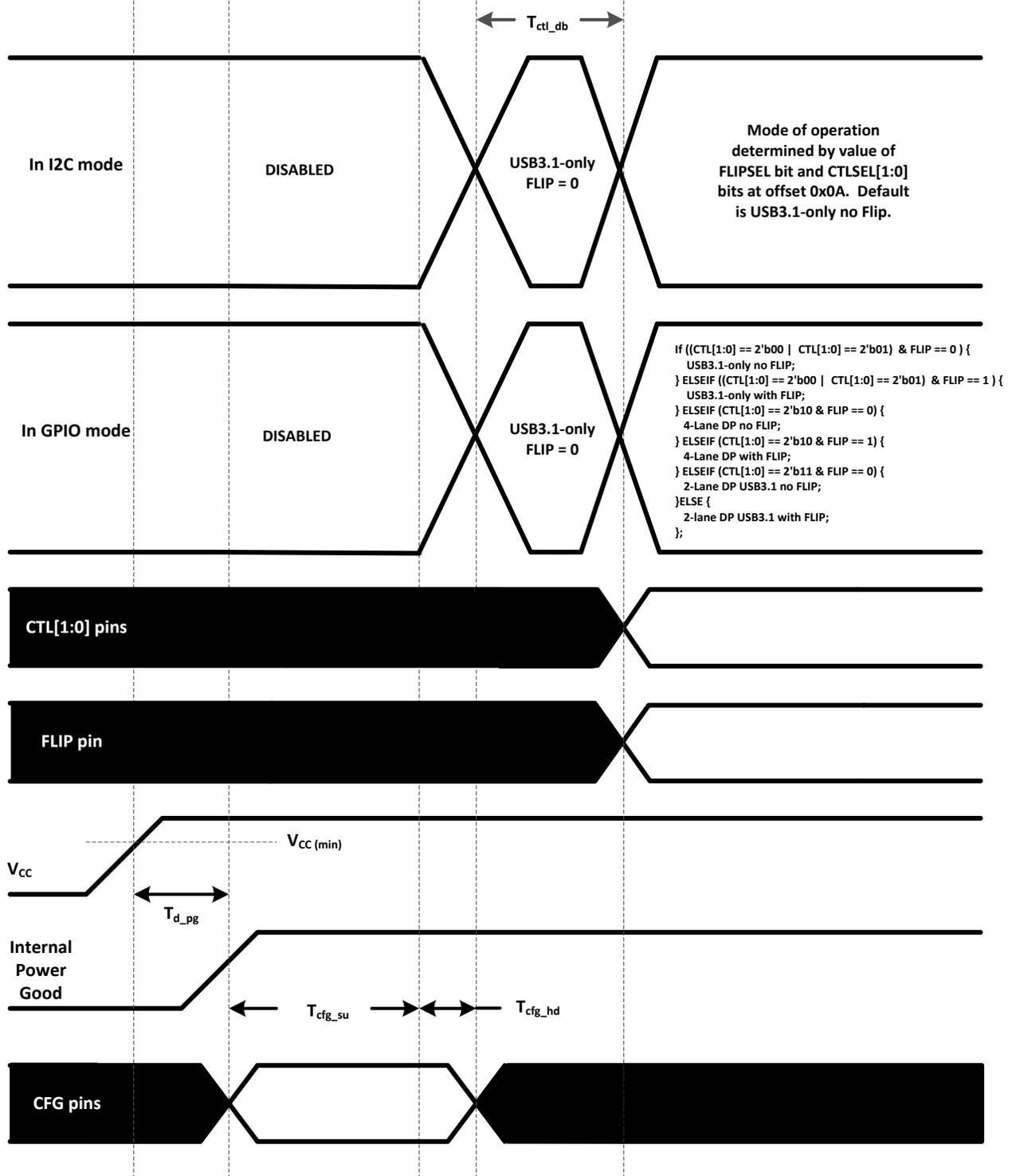


図 6-8. パワーアップのタイミング図

## 7 詳細説明

### 7.1 概要

TUSB1044A は USB Type-C 代替モードリドライバ スイッチであり、最高 10.0Gbps のデータ レートに対応できます。このデバイスには、第 5 世代 USB リドライバテクノロジーが使用されています。このデバイスは、USB Type-C 規格で、VESA® DisplayPort™ 代替モードの C、D、E、F 構成に使用します。また、このデバイスは、カスタム USB Type-C 代替モードをサポートする構成も可能です。

TUSB1044A には、USB 3.2 Gen 2 または DisplayPort (またはその他の代替モード) 信号が PCB やケーブルを通過する際に発生するシンボル間干渉 (ISI) によるケーブルと基板配線損失を補償するための、複数レベルの受信イコライゼーション機能があります。このデバイスには 3.3V の電源が必要です。このデバイスは、商業用温度範囲と 産業用温度範囲での動作に対応しています。

ホスト (ソース) アプリケーションまたはデバイス (シンク) アプリケーションを対象に、TUSB1044A によって、USB 3.2 Gen 2 および DisplayPort バージョン 2.1 UHBR10 のトランスミッタのコンプライアンステストとレシーバ ジッタ耐性テストの両方にシステムが合格することができます。リドライバは、チャネル損失を補償するイコライゼーションを適用して入力データを回復し、高い差動電圧で信号を駆動します。各チャネルには、ゲイン設定を選択できるレシーバイコライザーが搭載されています。アップストリームおよびダウンストリーム側ポートのイコライゼーション制御は、それぞれ UEQ[1:0] および DEQ[1:0] ピンを使用して、または I<sup>2</sup>C インターフェイスにより設定できます。

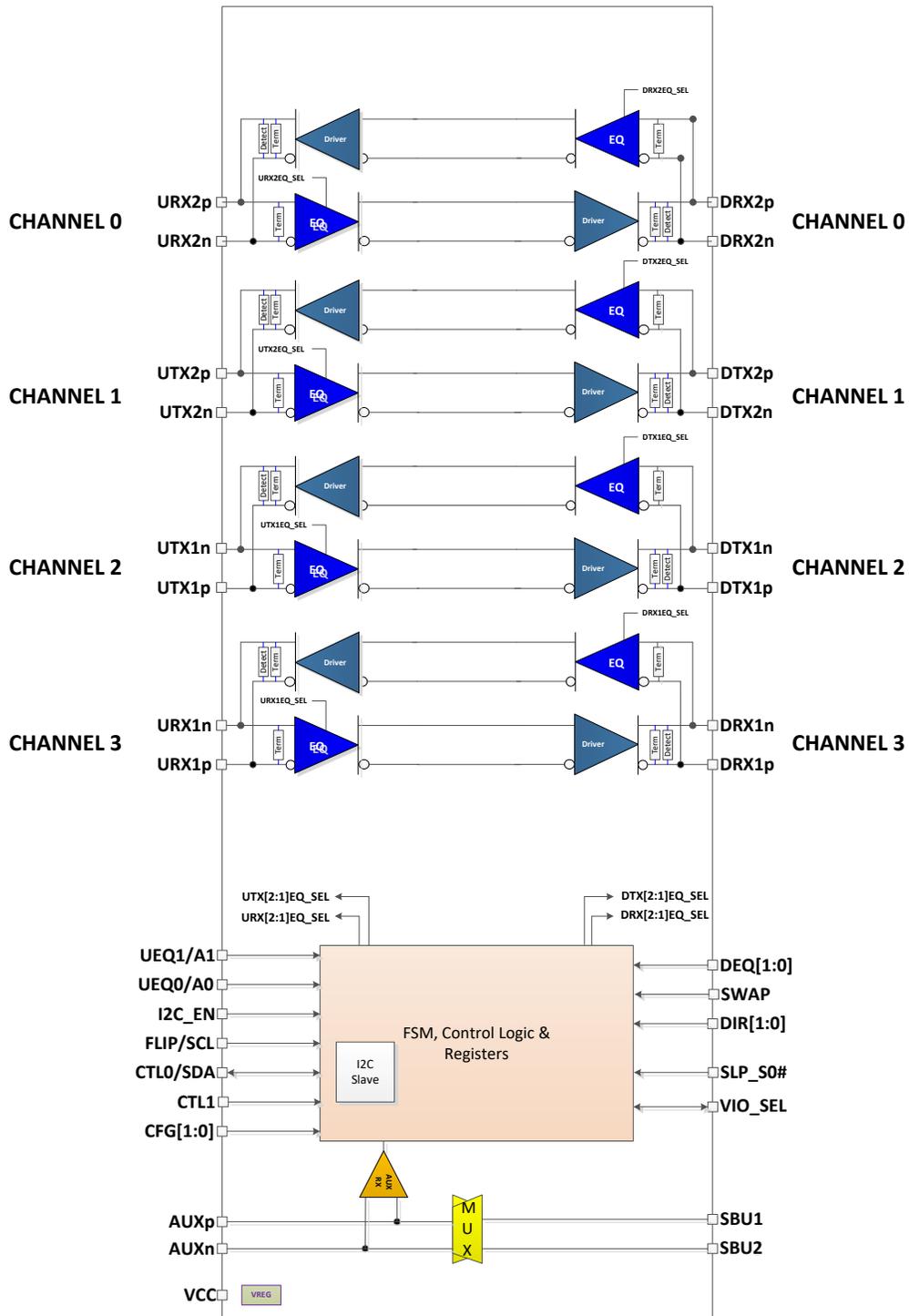
さらに、CFG[1:0] または等価な I<sup>2</sup>C レジスタを使用すると、すべてのチャネルの EQ DC ゲインと電圧直線性範囲を制御できます (表 7-9 も参照)。この柔軟な制御により、各種の標準準拠要件を満たしたデバイスをセットアップできます。

TUSB1044A の高度ステート マシンにより、このデバイスはホストおよびデバイスに対して透過的に動作します。電源投入後、TUSB1044A は TX ペアでレシーバ検出を定期的に行います。デバイスが USB 3.2 レシーバを検出すると、RX 終端が有効になり、TUSB1044A はリドライブする準備ができます。

TUSB1044A は、CTL[1:0]、FLIP、DIR[1:0]、SWAP ピンまたは I<sup>2</sup>C インターフェイスにより、非常に柔軟なデータパス信号方向制御を実現します。入出力信号ピンのマッピングの詳細については、表 7-5 を参照してください。

このデバイスの超低消費電力アーキテクチャは、3.3V の電源で動作し、性能向上を実現しています。自動的な LFPS デイエンファシス制御により、システムはさらに USB 3.2 に準拠しています。

## 7.2 機能ブロック図



## 7.3 機能説明

### 7.3.1 USB 3.2

TUSB1044A は、USB3.2x2 モード (USB32\_BY2\_EN = 1) で動作する場合、最大 20Gbps の USB データレートをサポートし、USB3.2x1 モード (USB32\_BY2\_EN = 0) で動作する場合は最大 10Gbps の USB3.2 データレートをサポートしています。TUSB1044A は、USB で定義されたすべての電力状態 (U0、U1、U2、U3) をサポートしています。TUSB1044A は、リニア リドドライバであるため、TUSB1044A は USB3.2 物理層トラフィックをデコードできません。TUSB1044A は、レシーバ終端、電氣的アイドル、LFPS、および SuperSpeed 信号レートなどの実際の物理層の状態を監視し、USB3.2 インターフェイスの USB 電力状態を判別します。

TUSB1044A は、インテリジェントな低周波数周期信号 (LFPS) 検出器を備えています。LFPS 検出器は低周波信号を自動的に検出し、レシーバのイコライゼーション機能を無効にします。LFPS を受信していないとき、TUSB1044A は UEQ[1:0] および DEQ[1:0] ピンまたは UEQ[3:0]\_SEL および DEQ[3:0]\_SEL レジスタにプログラムされた値に基づいて、レシーバイコライゼーションを有効にします。

### 7.3.2 USB3.2x2 の説明

TUSB1044A を USB3.2 x2 モード用に構成すると、リンクが USB 3.2 x2 または USB 3.2 x1 で動作するかどうかが決まります。リンクが USB 3.2 x2 の場合、TUSB1044A では、1 つのポートが USB 3.2 x1 ポートとして動作し、残りのポートは、もう 1 つのポートのリードに従って動作します。USB 3.2 x1 ポートとして機能するポートを、構成レーンと呼びます。構成レーンを決定するのは Type-C の向きのみです。通常の向き (FLIP = L) の場合、ポート 1 が構成レーンです。反転方向 (FLIP = H) では、ポート 2 が構成レーンです。

USB 3.2 x2 では、構成レーンは標準の USB 3.2 x1 ポートとして動作します。すべての USB 低消費電力状態 (切断、U1、U2、U3) の間、非構成レーンは消費電力を節約するため無効になります。これらの低消費電力状態への移行と終了を決定するのは、構成レーンのみです。構成レーンで低電力状態からの終了が検出されると、非構成レーンが有効になります。

表 7-1. 構成レーンの選択

DIR0 PIN または DIR0 レジスタ	FLIP PIN または FLIP_SEL レジスタ	構成レーン	非構成レーン
0 (ソース)	0	DRX1 -> URX1	DRX2 -> URX2
		UTX1 -> DTX1	UTX2 -> DTX2
	1	DRX2 -> URX2	DRX1 -> URX1
		UTX2 -> DTX2	UTX1 -> DTX1
1 (シンク)	0	DRX2 -> URX2	DRX1 -> URX1
		UTX2 -> DTX2	UTX1 -> DTX1
	1	DRX1 -> URX1	DRX2 -> URX2
		UTX1 -> DTX1	UTX2 -> DTX2

#### 注

GPIO モードでは、次の条件すべてが満たされる場合、TUSB1044A は、USB3.2 x2 モードで有効になります: DIR1 ピン = H、Dir0 ピン = L または H、CTL0 ピン = H かつ CTL1 ピン = H

I<sup>2</sup>C モードでは、USB3.2 x2 モードはデフォルトで無効になります。I<sup>2</sup>C モードの USB3.2x2 は、次のいずれかの条件に該当する場合に有効になります。

- オフセット 0xA で、USB32\_BY2\_EN ビット = 1'b1、CTLSEL\_1:0 ビット = 2'b01。
- オフセット 0xA で、CTLSEL\_1:0 ビット = 2'b11、オフセット 0xC では DIR\_SEL ビット = 2'b10 または 2'b11

### 7.3.3 ディスプレイポート

TUSB1044A は、最高 10.0 Gbps (UHBR10) のデータ速度で最大 4 つの DisplayPort レーンをサポートします。TUSB1044A は、DisplayPort モードに設定されている場合、DisplayPort ソースと DisplayPort シンク間を通過するネイティブ AUX トラフィックを監視します。消費電力を低減するために、TUSB1044A は AUX トランザクションの内容に基づいてアクティブな DisplayPort レーン数を管理します。TUSB1044A は、DisplayPort シンクの DPCD レジスタ 00101h (LANE\_COUNT\_SET) および 00600h (SET\_POWER\_STATE) へのネイティブ AUX 書き込みをスヌープします。TUSB1044A は、LANE\_COUNT\_SET に書き込まれた値に基づいてレーンを無効化または有効化します。SET\_POWER\_STATE が D3 のとき、TUSB1044A はすべてのレーンを無効化します。それ以外の場合、アクティブなレーンは LANE\_COUNT\_SET の値に基づいています。

DisplayPort AUX スヌーピングは、デフォルトで有効になっていますが、AUX\_SNOOP\_DISABLE レジスタを変更することで無効化することもできます。AUX スヌープが無効化されている場合、TUSB1044A の DisplayPort レーンの管理は、各種構成レジスタを介して制御されます。

### 7.3.4.4 レベル入力

TUSB1044A には、イコライゼーション ゲインと 直線性範囲を制御し、TUSB1044A をさまざまな動作モードに設定するための 4 レベル入力ピン (I2C\_EN, UEQ[1:0], DEQ[1:0], CFG[1:0], A[1:0]) があります。これらの 4 レベル入力は、抵抗分圧回路を使用して 4 つの有効なレベルを設定し、より広範な制御設定を可能にします。内部プルアップ抵抗およびプルダウン抵抗が実装されています。これらの内部抵抗は、外部抵抗と組み合わせることで、所定の電圧レベルを実現します。

表 7-2. 4 レベル制御ピンの設定

レベル	設定
0	オプション 1: 1K $\Omega$ 5% を GND に接続します。 オプション 2: GND に直接接続
R	20K $\Omega$ 5% を GND に接続します。
F	フロート (ピンはオープンのままにする)
1	オプション 1: 1K $\Omega$ 5% を V <sub>CC</sub> に接続します。 オプション 2: V <sub>CC</sub> に直接接続します。

#### 注

すべての 4 レベル入力は、内部リセットの立ち上がりエッジでラッチされます。T<sub>cfg\_hd</sub> の後、消費電力を削減するため、内部プルアップおよびプルダウン抵抗を切り離します。

### 7.3.5 レシーバのリニア イコライゼーション

レシーバのイコライゼーションは、入力前にシステムでのチャンネル挿入損失とシンボル間干渉を補償することを意図しています。レシーバは、高周波成分を基準として信号の低周波数成分を減衰させることで、これらの損失を克服します。チャンネル挿入損失に合わせて、適切なゲイン設定を選択してください。2本の4レベル入力ピンにより、最大16件のイコライゼーション設定が可能です。アップストリームパスとダウンストリームパスには、それぞれUEQ[1:0]とDEQ[1:0]の2本の4レベル入力があります。TUSB1044Aでは、各チャンネルおよび各方向(上流または下流)について、I<sup>2</sup>CレジスタURX[2:1]EQ\_SEL、UTX[2:1]EQ\_SEL、DRX[2:1]EQ\_SEL、DTX[2:1]EQ\_SELにより柔軟にイコライゼーション設定を調整できます。

## 7.4 デバイスの機能モード

### 7.4.1 GPIOモードでのデバイス構成

TUSB1044Aは、I2C\_EN = 0 または I2C\_EN = F のとき、GPIO 構成になります。TUSB1044Aは、USBと2種類のType-C代替モードとの動作組み合わせをサポートしています。1つの組み合わせはUSBと代替モードDisplayPortによるもので、もう1つの組み合わせはUSBとカスタム代替モードによるものです。いずれの動作組み合わせでも、DIR[1:0]ピンまたはI<sup>2</sup>Cで、データパスの方向を追加設定し、デバイスをソース側またはシンク側で動作させることができます。表7-3も参照してください。

デバイスをUSBと代替モードのDisplayPortで動作するように設定した場合、さらに次の構成を設定できます: USB3.2のみ、2レーンのDisplayPort + USB 3.2、または4レーンのDisplayPort (USB3.2なし)。CTL1ピンは、DisplayPortを有効にするかどうかを制御します。CTL1とCTL0の組み合わせによって、USB3.2のみ、2レーンのDisplayPort、または4レーンのDisplayPortが選択されます(詳細については表7-3を参照)。AUXP/NとSBU1/2とのマッピングは、表7-4に基づいて制御されます。

デバイスをUSBとカスタム代替モードで動作するように設定すると、さらに以下の構成を設定できます: 3.2USBのみ、2チャンネルのカスタム代替モード + USB 3.2、または4チャンネルのカスタム代替モード (USB 3.2なし)。CTL1ピンは、DisplayPortが有効になるかどうかを制御します。CTL1とCTL0の組み合わせにより、USB 3.2のみ、2チャンネルのカスタム代替モード、または4チャンネルのカスタム代替モードチャンネルが選択されます(表7-3を参照)。AUXP/NとSBU1/2とのマッピングは、表7-4に基づいて制御されます。

SWAPピンを使用して、データパス方向をさらに制御することができます。HIGHに設定すると、SWAPピンではすべてのチャンネルでデータパスの方向が反転され、アップストリームおよびダウンストリーム側の入力ポートのイコライゼーション設定が入れ替わります。このピンは、TUSB1044Aが一方の端のみにインストールされているアクティブケーブルアプリケーションで役立ちます。ソース側またはシンク側のレセプタクルに接続するケーブルの端に基づいて、SWAPピンの設定が可能です。

電源投入後(VVCCを0Vから3.3Vに)、TUSB1044AはデフォルトでUSB 3.2モードになります。USB PDコントローラは、Type-Cポートデバイスが接続されていないことを検出した場合、または接続されたデバイスにUSB 3.2動作が不要と判断された場合に、CTL0ピンをLowからHigh、そして再びLowに遷移させて、TUSB1044AをUSB3.1モードから解除する必要があります。

表 7-3. GPIO 構成制御

DIR1 PIN	DIR0 PIN	CTL1 PIN	CTL0 PIN	FLIP PIN	TUSB1044A 構成	VESA®DisplayPort™ ALT モード DFP_D 構成
USB + DisplayPort 代替モード (ソース側)						
L	L	L	L	L	パワーダウン	—
L	L	L	L	H	パワーダウン	—
L	L	L	H	L	1ポート USB 3.2 - フリップ機能なし	—
L	L	L	H	H	1ポート USB 3.2 - フリップ機能あり	—
L	L	H	L	L	4レーン DP - フリップ機能なし	CとE
L	L	H	L	H	4レーン DP - フリップ機能あり	CとE
L	L	H	H	L	1ポート USB 3.2 + 2レーン DisplayPort - フリップ機能なし	DとF
L	L	H	H	H	1ポート USB 3.2 + 2レーン DisplayPort - フリップ機能あり	DとF

表 7-3. GPIO 構成制御 (続き)

DIR1 PIN	DIR0 PIN	CTL1 PIN	CTL0 PIN	FLIP PIN	TUSB1044A 構成	VESA®DisplayPort™ ALT モード DFP_D 構成
USB + DisplayPort 代替モード (シンク側)						
L	H	L	L	L	パワーダウン	-
L	H	L	L	H	パワーダウン	-
L	H	L	H	L	1 ポート USB 3.2 - フリップ機能なし	-
L	H	L	H	H	1 ポート USB 3.2 - フリップ機能あり	-
L	H	H	L	L	4 レーン DP - フリップ機能なし	C と E
L	H	H	L	H	4 レーン DP - フリップ機能あり	C と E
L	H	H	H	L	1 ポート USB 3.2 + 2 レーン DisplayPort - フリップ機能なし	D と F
L	H	H	H	H	1 ポート USB 3.2 + 2 レーン DisplayPort - フリップ機能あり	D と F
USB + カスタム代替モード (ソース側)						
H	L	L	L	L	パワーダウン	-
H	L	L	L	H	パワーダウン	-
H	L	L	H	L	1 ポート USB 3.2 - フリップ機能なし	-
H	L	L	H	H	1 ポート USB 3.2 - フリップ機能あり	-
H	L	H	L	L	4 チャネルカスタム代替モード - フリップ機能なし	-
H	L	H	L	H	4 チャネルカスタム代替モード - フリップ機能あり	-
H	L	H	H	L	USB 3.2 x2 - フリップ機能なし	-
H	L	H	H	H	USB 3.2 x2 - フリップ機能あり	-
USB + カスタム代替モード (シンク側)						
H	H	L	L	L	パワーダウン	-
H	H	L	L	H	パワーダウン	-
H	H	L	H	L	1 ポート USB 3.2 - フリップ機能なし	-
H	H	L	H	H	1 ポート USB 3.2 - フリップ機能あり	-
H	H	H	L	L	4 チャネルカスタム代替モード - フリップ機能なし	-
H	H	H	L	H	4 チャネルカスタム代替モード - フリップ機能あり	-
H	H	H	H	L	USB 3.2 x2 - フリップ機能なし	-
H	H	H	H	H	USB 3.2 x2 - フリップ機能あり	-

表 7-4. GPIO AUXP/N から SBU1/2 へのマッピング

CTL1 ピン	FLIP ピン	マッピング
H	L	AUXp → SBU1 AUXn → SBU2
H	H	AUXp → SBU2 AUXn → SBU1
L > 2ms	X	オープン

表 7-5 では、マルチプレクサ配線の詳細を示しています TUSB1044A。この表は GPIO モードに有効です。CH\_SWAP\_SEL = 4'b0000 または 4'b1111 の場合、この表は I<sup>2</sup>C モードにも有効です。

表 7-5. 入力から出力へのマッピング

					SWAP = L			SWAP = H		
					送信元	送信元	送信先	送信元	送信元	送信先
DIR1 PIN	DIR0 PIN	CTL1 PIN	CTL0 PIN	FLIP PIN	RX EQ 制御 ピン	入力 ピン	出力 ピン	RX EQ 制御 ピン	入力 ピン	出力 ピン
<b>USB + DisplayPort™ 代替モード (ソース側)</b>										
ディセーブル										
L	L	L	L	L	該当なし	該当なし	該当なし	該当なし	該当なし	該当なし
L	L	L	L	H	該当なし	該当なし	該当なし	該当なし	該当なし	該当なし
USB 3.2 のみの通常の向き										
L	L	L	H	L	DEQ[1:0]	DRX1P	URX1P (SSRXP)	DEQ[1:0]	URX1P (SSTXP)	DRX1P
					DEQ[1:0]	DRX1N	URX1N (SSRXN)	DEQ[1:0]	URX1N (SSTXN)	DRX1N
					UEQ[1:0]	UTX1P (SSTXP)	DTX1P	UEQ[1:0]	DTX1P	UTX1P (SSRXP)
					UEQ[1:0]	UTX1N (SSTXN)	DTX1N	UEQ[1:0]	DTX1N	UTX1N (SSRXN)
USB3.2 のみ反転方向										
L	L	L	H	H	DEQ[1:0]	DRX2P	URX2P (SSRXP)	DEQ[1:0]	URX2P (SSTXP)	DRX2P
					DEQ[1:0]	DRX2N	URX2N (SSRXN)	DEQ[1:0]	URX2N (SSTXN)	DRX2N
					UEQ[1:0]	UTX2P (SSTXP)	DTX2P	UEQ[1:0]	DTX2P	UTX2P (SSRXP)
					UEQ[1:0]	UTX2N (SSTXN)	DTX2N	UEQ[1:0]	DTX2N	UTX2N (SSRXN)
4 レーン DP 通常方向										
L	L	H	L	L	UEQ[1:0]	URX2P (DP0P)	DRX2P	UEQ[1:0]	DRX2P	URX2P (DP0P)
					UEQ[1:0]	URX2N (DP0N)	DRX2N	UEQ[1:0]	DRX2N	URX2N (DP0N)
					UEQ[1:0]	UTX2P (DP1P)	DTX2P	UEQ[1:0]	DTX2P	UTX2P (DP1P)
					UEQ[1:0]	UTX2N (DP1N)	DTX2N	UEQ[1:0]	DTX2N	UTX2N (DP1N)
					UEQ[1:0]	UTX1P (DP2P)	DTX1P	UEQ[1:0]	DTX1P	UTX1P (DP2P)
					UEQ[1:0]	UTX1N (DP2N)	DTX1N	UEQ[1:0]	DTX1N	UTX1N (DP2N)
					UEQ[1:0]	URX1P (DP3P)	DRX1P	UEQ[1:0]	DRX1P	URX1P (DP3P)
					UEQ[1:0]	URX1N (DP3N)	DRX1N	UEQ[1:0]	DRX1N	URX1N (DP3N)
4 レーン DP 反転方向										

表 7-5. 入力から出力へのマッピング (続き)

					SWAP = L			SWAP = H		
					送信元	送信元	送信先	送信元	送信元	送信先
DIR1 PIN	DIR0 PIN	CTL1 PIN	CTL0 PIN	FLIP PIN	RX EQ 制御ピン	入力ピン	出力ピン	RX EQ 制御ピン	入力ピン	出力ピン
L	L	H	L	H	UEQ[1:0]	URX1P (DP0P)	DRX1P	UEQ[1:0]	DRX1P	URX1P (DP0P)
					UEQ[1:0]	URX1N (DP0N)	DRX1N	UEQ[1:0]	DRX1N	URX1N (DP0N)
					UEQ[1:0]	UTX1P (DP1P)	DTX1P	UEQ[1:0]	DTX1P	UTX1P (DP1P)
					UEQ[1:0]	UTX1N (DP1N)	DTX1N	UEQ[1:0]	DTX1N	UTX1N (DP1N)
					UEQ[1:0]	UTX2P (DP2P)	DTX2P	UEQ[1:0]	DTX2P	UTX2P (DP2P)
					UEQ[1:0]	UTX2N (DP2N)	DTX2N	UEQ[1:0]	DTX2N	UTX2N (DP2N)
					UEQ[1:0]	URX2P (DP3P)	DRX2P	UEQ[1:0]	DRX2P	URX2P (DP3P)
					UEQ[1:0]	URX2N (DP3N)	DRX2N	UEQ[1:0]	DRX2N	URX2N (DP3N)
3.2USB + 2 レーン DP 通常方向										
L	L	H	H	L	DEQ[1:0]	DRX1P	URX1P (SSRXP)	DEQ[1:0]	URX1P (SSTXP)	DRX1P
					DEQ[1:0]	DRX1N	URX1N (SSRXN)	DEQ[1:0]	URX1N (SSTXN)	DRX1N
					UEQ[1:0]	UTX1P (SSTXP)	DTX1P	UEQ[1:0]	DTX1P	UTX1P (SSRXP)
					UEQ[1:0]	UTX1N (SSTXN)	DTX1N	UEQ[1:0]	DTX1N	UTX1N (SSRXN)
					UEQ[1:0]	URX2P (DP0P)	DRX2P	UEQ[1:0]	DRX2P	URX2P (DP0P)
					UEQ[1:0]	URX2N (DP0N)	DRX2N	UEQ[1:0]	DRX2N	URX2N (DP0N)
					UEQ[1:0]	UTX2P (DP1P)	DTX2P	UEQ[1:0]	DTX2P	UTX2P (DP1P)
					UEQ[1:0]	UTX2N (DP1N)	DTX2N	UEQ[1:0]	DTX2N	UTX2N (DP1N)
3.2USB + 2 レーン DP 反転方向										

表 7-5. 入力から出力へのマッピング (続き)

					SWAP = L			SWAP = H		
					送信元	送信元	送信先	送信元	送信元	送信先
DIR1 PIN	DIR0 PIN	CTL1 PIN	CTL0 PIN	FLIP PIN	RX EQ 制御ピン	入力ピン	出力ピン	RX EQ 制御ピン	入力ピン	出力ピン
L	L	H	H	H	DEQ[1:0]	DRX2P	URX2P (SSRXP)	DEQ[1:0]	URX2P (SSTXP)	DRX2P
					DEQ[1:0]	DRX2N	URX2N (SSRXN)	DEQ[1:0]	URX2N (SSTXN)	DRX2N
					UEQ[1:0]	UTX2P (SSTXP)	DTX2P	UEQ[1:0]	DTX2P	UTX2P (SSRXP)
					UEQ[1:0]	UTX2N (SSTXN)	DTX2N	UEQ[1:0]	DTX2N	UTX2N (SSRXN)
					UEQ[1:0]	URX1P (DP0P)	DRX1P	UEQ[1:0]	DRX1P	URX1P (DP0P)
					UEQ[1:0]	URX1N (DP0N)	DRX1N	UEQ[1:0]	DRX1N	URX1N (DP0N)
					UEQ[1:0]	UTX1P (DP1P)	DTX1P	UEQ[1:0]	DTX1P	UTX1P (DP1P)
					UEQ[1:0]	UTX1N (DP1N)	DTX1N	UEQ[1:0]	DTX1N	UTX1N (DP1N)
<b>USB + DisplayPort 代替モード (シンク側)</b>										
ディセーブル										
L	H	L	L	L	該当なし	該当なし	該当なし	該当なし	該当なし	該当なし
L	H	L	L	H	該当なし	該当なし	該当なし	該当なし	該当なし	該当なし
USB 3.2 のみの通常の向き										
L	H	L	H	L	UEQ[1:0]	UTX2P	DTX2P (SSRXP)	UEQ[1:0]	DTX2P (SSTXP)	UTX2P
					UEQ[1:0]	UTX2N	DTX2N (SSRXN)	UEQ[1:0]	DTX2N (SSTXN)	UTX2N
					DEQ[1:0]	DRX2P (SSTXP)	URX2P	DEQ[1:0]	URX2P	DRX2P (SSRXP)
					DEQ[1:0]	DRX2N (SSTXN)	URX2N	DEQ[1:0]	URX2N	DRX2N (SSRXN)
USB3.2 のみ反転方向										
L	H	L	H	H	UEQ[1:0]	UTX1P	DTX1P (SSRXP)	UEQ[1:0]	DTX1P (SSTXP)	UTX1P
					UEQ[1:0]	UTX1N	DTX1N (SSRXN)	UEQ[1:0]	DTX1N (SSTXN)	UTX1N
					DEQ[1:0]	DRX1P (SSTXP)	URX1P	DEQ[1:0]	URX1P	DRX1P (SSRXP)
					DEQ[1:0]	DRX1N (SSTXN)	URX1N	DEQ[1:0]	URX1N	DRX1N (SSRXN)
4 レーン DP 通常方向										

表 7-5. 入力から出力へのマッピング (続き)

					SWAP = L			SWAP = H		
					送信元	送信元	送信先	送信元	送信元	送信先
DIR1 PIN	DIR0 PIN	CTL1 PIN	CTL0 PIN	FLIP PIN	RX EQ 制御 ピン	入力 ピン	出力 ピン	RX EQ 制御 ピン	入力 ピン	出力 ピン
L	H	H	L	L	UEQ[1:0]	URX2P	DRX2P (DP3P)	UEQ[1:0]	DRX2P (DP3P)	URX2P
					UEQ[1:0]	URX2N	DRX2N (DP3N)	UEQ[1:0]	DRX2N (DP3N)	URX2N
					UEQ[1:0]	UTX2P	DTX2P (DP2P)	UEQ[1:0]	DTX2P (DP2P)	UTX2P
					UEQ[1:0]	UTX2N	DTX2N (DP2N)	UEQ[1:0]	DTX2N (DP2N)	UTX2N
					UEQ[1:0]	UTX1P	DTX1P (DP1P)	UEQ[1:0]	DTX1P (DP1P)	UTX1P
					UEQ[1:0]	UTX1N	DTX1N (DP1N)	UEQ[1:0]	DTX1N (DP1N)	UTX1N
					UEQ[1:0]	URX1P	DRX1P (DP0P)	UEQ[1:0]	DRX1P (DP0P)	URX1P
					UEQ[1:0]	URX1P	DRX1N (DP0N)	UEQ[1:0]	DRX1N (DP0N)	URX1N
4 レーン DP 反転方向										
L	H	H	L	H	UEQ[1:0]	URX1P	DRX1P (DP3P)	UEQ[1:0]	DRX1P (DP3P)	URX1P
					UEQ[1:0]	URX1N	DRX1N (DP3N)	UEQ[1:0]	DRX1N (DP3N)	URX1N
					UEQ[1:0]	UTX1P	DTX1P (DP2P)	UEQ[1:0]	DTX1P (DP2P)	UTX1P
					UEQ[1:0]	UTX1N	DTX1N (DP2N)	UEQ[1:0]	DTX1N (DP2N)	UTX1N
					UEQ[1:0]	UTX2P	DTX2P (DP1P)	UEQ[1:0]	DTX2P (DP1P)	UTX2P
					UEQ[1:0]	UTX2N	DTX2N (DP1N)	UEQ[1:0]	DTX2N (DP1N)	UTX2N
					UEQ[1:0]	URX2P	DRX2P (DP0P)	UEQ[1:0]	DRX2P (DP0P)	URX2P
					UEQ[1:0]	URX2N	DRX2N (DP0N)	UEQ[1:0]	DRX2N (DP0N)	URX2N
3.2USB + 2 レーン DP 通常方向										

表 7-5. 入力から出力へのマッピング (続き)

					SWAP = L			SWAP = H		
					送信元	送信元	送信先	送信元	送信元	送信先
DIR1 PIN	DIR0 PIN	CTL1 PIN	CTL0 PIN	FLIP PIN	RX EQ 制御ピン	入力ピン	出力ピン	RX EQ 制御ピン	入力ピン	出力ピン
L	H	H	H	L	DEQ[1:0]	DRX2P (SSRXP)	URX2P	DEQ[1:0]	URX2P	DRX2P (SSRXP)
					DEQ[1:0]	DRX2N (SSRXN)	URX2N	DEQ[1:0]	URX2N	DRX2N (SSRXN)
					UEQ[1:0]	UTX2P	DTX2P (SSTXP)	UEQ[1:0]	DTX2P (SSTXP)	UTX2P
					UEQ[1:0]	UTX2N	DTX2N (SSTXN)	UEQ[1:0]	DTX2N (SSTXN)	UTX2N
					UEQ[1:0]	URX1P	DRX1P (DP0P)	UEQ[1:0]	DRX1P (DP0P)	URX1P
					UEQ[1:0]	URX1N	DRX1N (DP0N)	UEQ[1:0]	DRX1N (DP0N)	URX1N
					UEQ[1:0]	UTX1P	DTX1P (DP1P)	UEQ[1:0]	DTX1P (DP1P)	UTX1P
					UEQ[1:0]	UTX1N	DTX1N (DP1N)	UEQ[1:0]	DTX1N (DP1N)	UTX1N
3.2USB + 2 レーン DP 反転方向										
L	H	H	H	H	DEQ[1:0]	DRX1P (SSRXP)	URX1P	DEQ[1:0]	URX1P	DRX1P (SSRXP)
					DEQ[1:0]	DRX1N (SSRXN)	URX1N	DEQ[1:0]	URX1N	DRX1N (SSRXN)
					UEQ[1:0]	UTX1P	DTX1P (SSTXP)	UEQ[1:0]	DTX1P (SSTXP)	UTX1P
					UEQ[1:0]	UTX1N	DTX1N (SSTXN)	UEQ[1:0]	DTX1N (SSTXN)	UTX1N
					UEQ[1:0]	URX2P	DRX2P (DP0P)	UEQ[1:0]	DRX2P (DP0P)	URX2P
					UEQ[1:0]	URX2N	DRX2N (DP0N)	UEQ[1:0]	DRX2N (DP0N)	URX2N
					UEQ[1:0]	UTX2P	DTX2P (DP1P)	UEQ[1:0]	DTX2P (DP1P)	UTX2P
					UEQ[1:0]	UTX2N	DTX2N (DP1N)	UEQ[1:0]	DTX2N (DP1N)	UTX2N
USB + カスタム代替モード (ソース側)										
ディセーブル										
H	L	L	L	L	該当なし	該当なし	該当なし	該当なし	該当なし	該当なし
H	L	L	L	H	該当なし	該当なし	該当なし	該当なし	該当なし	該当なし
USB 3.2 のみの通常の向き										
H	L	L	H	L	DEQ[1:0]	DRX1P	URX1P (SSRXP)	DEQ[1:0]	URX1P (SSTXP)	DRX1P
					DEQ[1:0]	DRX1N	URX1N (SSRXN)	DEQ[1:0]	URX1N (SSTXN)	DRX1N
					UEQ[1:0]	UTX1P (SSTXP)	DTX1P	UEQ[1:0]	DTX1P	UTX1P (SSRXP)
					UEQ[1:0]	UTX1N (SSTXN)	DTX1N	UEQ[1:0]	DTX1N	UTX1N (SSRXN)
USB3.2 のみ反転方向										

表 7-5. 入力から出力へのマッピング (続き)

					SWAP = L			SWAP = H		
					送信元	送信元	送信先	送信元	送信元	送信先
DIR1 PIN	DIR0 PIN	CTL1 PIN	CTL0 PIN	FLIP PIN	RX EQ 制御ピン	入力ピン	出力ピン	RX EQ 制御ピン	入力ピン	出力ピン
H	L	L	H	H	DEQ[1:0]	DRX2P	URX2P (SSRXP)	DEQ[1:0]	URX2P (SSTXP)	DRX2P
					DEQ[1:0]	DRX2N	URX2N (SSRXN)	DEQ[1:0]	URX2N (SSTXN)	DRX2N
					UEQ[1:0]	UTX2P (SSTXP)	DTX2P	UEQ[1:0]	DTX2P	UTX2P (SSRXP)
					UEQ[1:0]	UTX2N (SSTXN)	DTX2N	UEQ[1:0]	DTX2N	UTX2N (SSRXN)
4 レーンカスタム通常方向										
H	L	H	L	L	DEQ[1:0]	DRX2P	URX2P (LN1RXP)	DEQ[1:0]	URX2P (LN1RXP)	DRX2P
					DEQ[1:0]	DRX2N	URX2N (LN1RXN)	DEQ[1:0]	URX2N (LN1RXN)	DRX2N
					UEQ[1:0]	UTX2P (LN1TXP)	DTX2P	UEQ[1:0]	DTX2P	UTX2P (LN1TXP)
					UEQ[1:0]	UTX2N (LN1TXN)	DTX2N	UEQ[1:0]	DTX2N	UTX2N (LN1TXN)
					UEQ[1:0]	UTX1P (LN0TXP)	DTX1P	UEQ[1:0]	DTX1P	UTX1P (LN0TXP)
					UEQ[1:0]	UTX1N (LN0TXN)	DTX1N	UEQ[1:0]	DTX1N	UTX1N (LN0TXN)
					DEQ[1:0]	DRX1P	URX1P (LN0RXP)	DEQ[1:0]	URX1P (LN0RXP)	DRX1P
					DEQ[1:0]	DRX1N	URX1N (LN0RXN)	DEQ[1:0]	URX1N (LN0RXN)	DRX1N
4 レーンカスタムフリップ方向										
H	L	H	L	H	DEQ[1:0]	DRX1P	URX1P (LN1RXP)	DEQ[1:0]	URX1P (LN1RXP)	DRX1P
					DEQ[1:0]	DRX1N	URX1N (LN1RXN)	DEQ[1:0]	URX1N (LN1RXN)	DRX1N
					UEQ[1:0]	UTX1P (LN1TXP)	DTX1P	UEQ[1:0]	DTX1P	UTX1P (LN1TXP)
					UEQ[1:0]	UTX1N (LN1TXN)	DTX1N	UEQ[1:0]	DTX1N	UTX1N (LN1TXN)
					UEQ[1:0]	UTX2P (LN0TXP)	DTX2P	UEQ[1:0]	DTX2P	UTX2P (LN0TXP)
					UEQ[1:0]	UTX2N (LN0TXN)	DTX2N	UEQ[1:0]	DTX2N	UTX2N (LN0TXN)
					DEQ[1:0]	DRX2P	URX2P (LN0RXP)	DEQ[1:0]	URX2P (LN0RXP)	DRX2P
					DEQ[1:0]	DRX2N	URX2N (LN0RXN)	DEQ[1:0]	URX2N (LN0RXN)	DRX2N
USB3.2 x 2 通常方向										

表 7-5. 入力から出力へのマッピング (続き)

					SWAP = L			SWAP = H		
					送信元	送信元	送信先	送信元	送信元	送信先
DIR1 PIN	DIR0 PIN	CTL1 PIN	CTL0 PIN	FLIP PIN	RX EQ 制御ピン	入力ピン	出力ピン	RX EQ 制御ピン	入力ピン	出力ピン
H	L	H	H	L	DEQ[1:0]	DRX1P	URX1P (SSRXP)	DEQ[1:0]	URX1P (SSTXP)	DRX1P
					DEQ[1:0]	DRX1N	URX1N (SSRXN)	DEQ[1:0]	URX1N (SSTXN)	DRX1N
					UEQ[1:0]	UTX1P (SSTXP)	DTX1P	UEQ[1:0]	DTX1P	UTX1P (SSRXP)
					UEQ[1:0]	UTX1N (SSTXN)	DTX1N	UEQ[1:0]	DTX1N	UTX1N (SSRXN)
					UEQ[1:0]	UTX2P (LN0TXP)	DTX2P	UEQ[1:0]	DTX2P	UTX2P (LN0TXP)
					UEQ[1:0]	UTX2N (LN0TXN)	DTX2N	UEQ[1:0]	DTX2N	UTX2N (LN0TXN)
					DEQ[1:0]	DRX2P	URX2P (LN0RXP)	DEQ[1:0]	URX2P (LN0RXP)	DRX2P
					DEQ[1:0]	DRX2N	URX2N (LN0RXN)	DEQ[1:0]	URX2N (LN0RXN)	DRX2N
USB3.2 x 2 反転方向										
H	L	H	H	H	DEQ[1:0]	DRX2P	URX2P (SSRXP)	DEQ[1:0]	URX2P (SSTXP)	DRX2P
					DEQ[1:0]	DRX2N	URX2N (SSRXN)	DEQ[1:0]	URX2N (SSTXN)	DRX2N
					UEQ[1:0]	UTX2P (SSTXP)	DTX2P	UEQ[1:0]	DTX2P	UTX2P (SSRXP)
					UEQ[1:0]	UTX2N (SSTXN)	DTX2N	UEQ[1:0]	DTX2N	UTX2N (SSRXN)
					UEQ[1:0]	UTX1P (LN0TXP)	DTX1P	UEQ[1:0]	DTX1P	UTX1P (LN0TXP)
					UEQ[1:0]	UTX1N (LN0TXN)	DTX1N	UEQ[1:0]	DTX1N	UTX1N (LN0TXN)
					DEQ[1:0]	DRX1P	URX1P (LN0RXP)	DEQ[1:0]	URX1P (LN0RXP)	DRX1P
					DEQ[1:0]	DRX1N	URX1N (LN0RXN)	DEQ[1:0]	URX1N (LN0RXN)	DRX1N
USB + カスタム代替モード (シンク側)										
ディセーブル										
H	H	L	L	L	該当なし	該当なし	該当なし	該当なし	該当なし	該当なし
H	H	L	L	H	該当なし	該当なし	該当なし	該当なし	該当なし	該当なし
USB 3.2 のみの通常の向き										
H	H	L	H	L	UEQ[1:0]	UTX2P	DTX2P (SSRXP)	UEQ[1:0]	DTX2P (SSTXP)	UTX2P
					UEQ[1:0]	UTX2N	DTX2N (SSRXN)	UEQ[1:0]	DTX2N (SSTXN)	UTX2N
					DEQ[1:0]	DRX2P (SSTXP)	URX2P	DEQ[1:0]	URX2P	DRX2P (SSRXP)
					DEQ[1:0]	DRX2N (SSTXN)	URX2N	DEQ[1:0]	URX2N	DRX2N (SSRXN)
USB3.2 のみ反転方向										

表 7-5. 入力から出力へのマッピング (続き)

					SWAP = L			SWAP = H		
					送信元	送信元	送信先	送信元	送信元	送信先
DIR1 PIN	DIR0 PIN	CTL1 PIN	CTL0 PIN	FLIP PIN	RX EQ 制御ピン	入力ピン	出力ピン	RX EQ 制御ピン	入力ピン	出力ピン
H	H	L	H	H	UEQ[1:0]	UTX1P	DTX1P (SSRXP)	UEQ[1:0]	DTX1P (SSTXP)	UTX1P
					UEQ[1:0]	UTX1N	DTX1N (SSRXN)	UEQ[1:0]	DTX1N (SSTXN)	UTX1N
					DEQ[1:0]	DRX1P (SSTXP)	URX1P	DEQ[1:0]	URX1P	DRX1P (SSRXP)
					DEQ[1:0]	DRX1N (SSTXN)	URX1N	DEQ[1:0]	URX1N	DRX1N (SSRXN)
4 レーンカスタム通常方向										
H	H	H	L	L	DEQ[1:0]	DRX2P	URX2P (LN1TXP)	DEQ[1:0]	URX2P (LN1TXP)	DRX2P
					DEQ[1:0]	DRX2N	URX2N (LN1TXN)	DEQ[1:0]	URX2N (LN1TXN)	DRX2N
					UEQ[1:0]	UTX2P (LN1RXP)	DTX2P	UEQ[1:0]	DTX2P	UTX2P (LN1RXP)
					UEQ[1:0]	UTX2N (LN1RXN)	DTX2N	UEQ[1:0]	DTX2N	UTX2N (LN1RXN)
					UEQ[1:0]	UTX1P (LN0RXP)	DTX1P	UEQ[1:0]	DTX1P	UTX1P (LN0RXP)
					UEQ[1:0]	UTX1N (LN0RXN)	DTX1N	UEQ[1:0]	DTX1N	UTX1N (LN0RXN)
					DEQ[1:0]	DRX1P	URX1P (LN0RXP)	DEQ[1:0]	URX1P (LN0RXP)	DRX1P
					DEQ[1:0]	DRX1N	URX1N (LN0RXN)	DEQ[1:0]	URX1N (LN0RXN)	DRX1N
4 レーンカスタムフリップ方向										
H	H	H	L	H	DEQ[1:0]	DRX2P	URX2P (LN0RXP)	DEQ[1:0]	URX2P (LN0RXP)	DRX2P
					DEQ[1:0]	DRX2N	URX2N (LN0RXN)	DEQ[1:0]	URX2N (LN0RXN)	DRX2N
					UEQ[1:0]	UTX2P (LN0RXP)	DTX2P	UEQ[1:0]	DTX2P	UTX2P (LN0RXP)
					UEQ[1:0]	UTX2N (LN0RXN)	DTX2N	UEQ[1:0]	DTX2N	UTX2N (LN0RXN)
					UEQ[1:0]	UTX1P (LN0RXP)	DTX1P	UEQ[1:0]	DTX1P	UTX1P (LN0RXP)
					UEQ[1:0]	UTX1N (LN0RXN)	DTX1N	UEQ[1:0]	DTX1N	UTX1N (LN0RXN)
					DEQ[1:0]	DRX1P	URX1P (LN0TXP)	DEQ[1:0]	URX1P (LN0TXP)	DRX1P
					DEQ[1:0]	DRX1N	URX1N (LN0TXN)	DEQ[1:0]	URX1N (LN0TXN)	DRX1N
USB3.2 x 2 通常方向										

表 7-5. 入力から出力へのマッピング (続き)

					SWAP = L			SWAP = H		
					送信元	送信元	送信先	送信元	送信元	送信先
DIR1 PIN	DIR0 PIN	CTL1 PIN	CTL0 PIN	FLIP PIN	RX EQ 制御ピン	入力ピン	出力ピン	RX EQ 制御ピン	入力ピン	出力ピン
H	H	H	H	L	UEQ[1:0]	UTX2P	DTX2P (SSRXP)	UEQ[1:0]	DTX2P (SSTXP)	UTX2P
					UEQ[1:0]	UTX2N	DTX2N (SSRXN)	UEQ[1:0]	DTX2N (SSTXN)	UTX2N
					DEQ[1:0]	DRX2P (SSTXP)	URX2P	DEQ[1:0]	URX2P	DRX2P (SSRXP)
					DEQ[1:0]	DRX2N (SSTXN)	URX2N	DEQ[1:0]	URX2N	DRX2N (SSRXN)
					UEQ[1:0]	UTX1P	DTX1P (LN0RXP)	UEQ[1:0]	DTX1P (LN0RXP)	UTX1P
					UEQ[1:0]	UTX1N	DTX1N(LN0RXN)	UEQ[1:0]	DTX1N(LN0RXN)	UTX1N
					DEQ[1:0]	DRX1P (LN0TXP)	URX1P	DEQ[1:0]	URX1P	DRX1P (LN0TXP)
					DEQ[1:0]	DRX1N (LN0TXN)	URX1N	DEQ[1:0]	URX1N	DRX1N (LN0TXN)
USB3.2 x 2 反転方向										
H	H	H	H	H	UEQ[1:0]	UTX1P	DTX1P (SSRXP)	UEQ[1:0]	DTX1P (SSSXP)	UTX1P
					UEQ[1:0]	UTX1N	DTX1N (SSRXN)	UEQ[1:0]	DTX1N (SSSXN)	UTX1N
					DEQ[1:0]	DRX1P (SSTXP)	URX1P	DEQ[1:0]	URX1P	DRX1P (SSRXP)
					DEQ[1:0]	DRX1N (SSTXN)	URX1N	DEQ[1:0]	URX1N	DRX1N (SSRXN)
					DEQ[1:0]	DRX2P	URX2P (LN0TXP)	DEQ[1:0]	URX2P (LN0TXP)	DRX2P
					DEQ[1:0]	DRX2N	URX2N (LN0TXN)	DEQ[1:0]	URX2N (LN0TXN)	DRX2N
					UEQ[1:0]	UTX2P (LN0RXP)	DTX2P	UEQ[1:0]	DTX2P	UTX2P (LN0RXP)
					UEQ[1:0]	UTX2N (LN0RXN)	DTX2N	UEQ[1:0]	DTX2N	UTX2N (LN0RXN)

### 7.4.2 I<sup>2</sup>C モードでのデバイス構成

TUSB1044A は I2C\_EN が「1」と等しくない場合、I<sup>2</sup>C モードになります。GPIO モードで定義されているのと同じ構成が、I<sup>2</sup>C モードでも使用できます。TUSB1044AUSB3.2、DisplayPort、およびカスタム代替モードの構成は、表 7-6 に基づいて制御されます。AUXP/N から SBU1/2 へのマッピングは表 7-6 に基づいて制御されます。

表 7-6. I<sup>2</sup>C コントローラ制御

レジスタ						TUSB1044A 構成	VESA®DisplayPort™ 代替モード DFP_D の構成
USB32_BY2_EN	DIRSEL1	DIRSEL0	CTLSEL1	CTLSEL0	FLIPSEL		
USB + DisplayPort 代替モード (ソース側)							
X	L	L	L	L	X	パワーダウン	-
L	L	L	L	H	L	1 ポート USB 3.2x1 - フリップ機能なし	-

表 7-6. I<sup>2</sup>C コントローラ制御 (続き)

レジスタ						TUSB1044A 構成	VESA®DisplayPort™ 代替モード DFP_D の構成
USB32_BY 2_EN	DIRSEL1	DIRSEL0	CTLSEL1	CTLSEL0	FLIPSEL		
L	L	L	L	H	H	1 ポート USB 3.2x1 - フリップ機能あり	-
H	L	L	L	H	L	1 ポート USB 3.2x2 - フリップ機能なし	-
H	L	L	L	H	H	1 ポート USB 3.2x2 - フリップ機能あり	-
X	L	L	H	L	L	4 レーン DP - フリップ機能なし	C と E
X	L	L	H	L	H	4 レーン DP - フリップ機能あり	C と E
X	L	L	H	H	L	1 ポート USB 3.2 x1 + 2 レーン DP-フリップ機能なし	D と F
X	L	L	H	H	H	1 ポート USB 3.2x1 + 2 レーン DisplayPort - フリップ機能あり	D と F
USB + DisplayPort 代替モード (シンク側)							
X	L	H	L	L	X	パワーダウン	-
L	L	H	L	H	L	1 ポート USB 3.2x1 - フリップ機能なし	-
L	L	H	L	H	H	1 ポート USB 3.2x1 - フリップ機能あり	-
H	L	H	L	H	L	1 ポート USB 3.2x2 - フリップ機能なし	-
H	L	H	L	H	H	1 ポート USB 3.2x2 - フリップ機能あり	-
X	L	H	H	L	L	4 レーン DP - フリップ機能なし	C と E
X	L	H	H	L	H	4 レーン DP - フリップ機能あり	C と E
X	L	H	H	H	L	1 ポート USB 3.2 x1 + 2 レーン DP-フリップ機能なし	D と F
X	L	H	H	H	H	1 ポート USB 3.2x1 + 2 レーン DisplayPort - フリップ機能あり	D と F
USB + カスタム代替モード (ソース側)							
X	H	L	L	L	X	パワーダウン	-
L	H	L	L	H	L	1 ポート USB 3.2x1 - フリップ機能なし	-
L	H	L	L	H	H	1 ポート USB 3.2x1 - フリップ機能あり	-
H	H	L	L	H	L	1 ポート USB 3.2x2 - フリップ機能なし	-
H	H	L	L	H	H	1 ポート USB 3.2x2 - フリップ機能あり	-
X	H	L	H	L	L	4 チャネルカスタム代替モード - フリップ機能なし	-
X	H	L	H	L	H	4 チャネルカスタム代替モード - フリップ機能あり	-

表 7-6. I<sup>2</sup>C コントローラ制御 (続き)

レジスタ						TUSB1044A 構成	VESA®DisplayPort™ 代替モード DFP_D の構成
USB32_BY2_EN	DIRSEL1	DIRSEL0	CTLSEL1	CTLSEL0	FLIPSEL		
X	H	L	H	H	L	1 ポート USB 3.2x2 - フリップ機能なし	-
X	H	L	H	H	H	1 ポート USB 3.2x2 - フリップ機能あり	-
USB + カスタム代替モード (シンク側)							
X	H	H	L	L	X	パワーダウン	-
L	H	H	L	H	L	1 ポート USB 3.2x1 - フリップ機能なし	-
L	H	H	L	H	H	1 ポート USB 3.2x1 - フリップ機能あり	-
H	H	H	L	H	L	1 ポート USB 3.2x2 - フリップ機能なし	-
H	H	H	L	H	H	1 ポート USB 3.2x2 - フリップ機能あり	-
X	H	H	H	L	L	4 チャンネルカスタム代替モード - フリップ機能なし	-
X	H	H	H	L	H	4 チャンネルカスタム代替モード - フリップ機能あり	-
X	H	H	H	H	L	1 ポート USB 3.2x2 - フリップ機能なし	-
X	H	H	H	H	H	1 ポート USB 3.2x2 - フリップ機能あり	-

表 7-7. I<sup>2</sup>C の AUXP/N から SBU1/2 へのマッピング

レジスタ			マッピング
AUX_SBU_OVR	CTLSEL1	FLIPSEL	
00	H	L	AUXp → SBU1 AUXn → SBU2
00	H	H	AUXp → SBU2 AUXn → SBU1
00	L	X	オープン
01	X	X	AUXp → SBU1 AUXn → SBU2
10	X	X	AUXp → SBU2 AUXn → SBU1
11	X	X	オープン

### 7.4.3 DisplayPort モード

TUSB1044A は、データレート最大 10.0Gbps で最大 4 本の DisplayPort レーンをサポートします。TUSB1044A は、GPIO 制御または I<sup>2</sup>C レジスタ制御により DisplayPort で有効化できます。GPIO モードの場合、DisplayPort は表 7-3 に基づいて制御されます。GPIO モードでない場合、DisplayPort 機能の有効化は I<sup>2</sup>C レジスタにより制御されます。

### 7.4.4 カスタム代替モード

TUSB1044A は、最大 10Gbps のデータレートで、最大 2 レーン (または 4 チャンネル) のカスタム代替モードをサポートします。TUSB1044A は、GPIO 制御または I<sup>2</sup>C レジスタ制御により DisplayPort で有効化できます。AUX スヌープが無効な GPIO モードでは、カスタム代替モードはサポートされていません。GPIO モードの場合、カスタム代替モードは表 7-3 に基づいて制御されます。GPIO モードでない場合、DisplayPort 機能の有効化は I<sup>2</sup>C レジスタにより制御されま

す。I<sup>2</sup>C モードでは、このモードの動作では、AUX\_SNOP\_DISABLE レジスタ 13h ビット 7 を 0 のままにしておく必要  
があります。

### 7.4.5 直線性 EQ の構成

TUSB1044A レシーバ レーンは、アップストリームおよびダウンストリーム ポートのレシーバ イコライゼーション用の制御  
機能を備えています。レシーバのイコライゼーション ゲイン値は、I<sup>2</sup>C レジスタと GPIO のどちらかにより制御可能です。  
TUSB1044AGPIO モードの場合、利用可能な各組み合わせのゲイン値の詳細を表 7-8 に示します。また、レジスタ  
URX[2:1] EQ\_SEL、UTX[2:1] EQ\_SEL、DRX[2:1] EQ\_SEL、DRX[2:1] EQ\_SEL、および DTX[2:1] EQ\_SEL を更  
新することで、これらと同じオプションをチャンネルごとに、および I<sup>2</sup>C モードのアップストリームおよびダウンストリーム側ポ  
ートでも使用できます。

表 7-8. TUSB1044A レシーバのイコライゼーション制御

EQ 設 定#	1100mV の直線性設定を使用したダウンストリーム側ポート				1100mV の直線性設定を使用したアップストリーム側ポート			
	DEQ1 ピン レベル	DEQ0 ピン レベル	EQ ゲイン: 5GHz (dB)	EQ ゲイン 4.05GHz (dB)	UEQ1 ピン レベル	UEQ0 ピン レベル	EQ ゲイン 5GHz (dB)	EQ ゲイン 4.05GHz (dB)
0	0	0	-2.1	-1.4	0	0	-4.4	-3.3
1	0	R	0	0.4	0	R	-2.2	-1.5
2	0	F	1.5	1.7	0	F	0.7	0.0
3	0	1	3.0	3.2	0	1	0.9	1.4
4	R	0	4.0	4.1	R	0	1.9	2.4
5	R	R	5.0	5.2	R	R	3.0	3.5
6	R	F	5.9	6.1	R	F	3.8	4.3
7	R	1	6.7	6.9	R	1	4.7	5.2
8	F	0	7.4	7.7	F	0	5.4	6.0
9	F	R	8.0	8.3	F	R	6.0	6.6
10	F	F	8.5	8.8	F	F	6.5	7.2
11	F	1	9.0	9.4	F	1	7.1	7.7
12	1	0	9.4	9.8	1	0	7.5	8.1
13	1	R	9.8	10.3	1	R	7.9	8.6
14	1	F	10.1	10.6	1	F	8.3	9.0
15	1	1	10.5	11.0	1	1	8.6	9.4

### 7.4.6 可変 VOD リニア動作範囲および DC ゲイン

CFG0 ピンと CFG1 ピンを使用して、ダウンストリームとアップストリームの両方のデータパス方向で、TUSB1044A 差動  
出力電圧 (VOD) スイングのリニア動作範囲とレシーバイコライゼーション DC ゲインを調整できます。表 7-9 に、使用可  
能な選択肢を示します。

表 7-9. VOD のリニア動作範囲および DC ゲイン

設定 #	CFG1 ピン レベル	CFG0 ピン レベル	ダウンストリーム DC ゲイン (dB)	アップストリーム DC ゲイン (dB)	ダウンストリーム VOD の線形範囲 (mVpp)	アップストリーム VOD の線形範囲 (mVpp)
0	0	0	1	0	900	900
1	0	R	0	1	900	900
2	0	F	0	0	900	900
3	0	1	1	1	900	900
4	R	0	0	0	1100	1100
5	R	R	1	0	1100	1100
6	R	F	0	1	1100	1100

**表 7-9. VOD のリニア動作範囲および DC ゲイン (続き)**

設定 #	CFG1 ピン レベル	CFG0 ピン レベル	ダウンストリーム DC ゲイン (dB)	アップストリーム DC ゲイン (dB)	ダウンストリーム VOD の線形範囲 (mVpp)	アップストリーム VOD の線形範囲 (mVpp)
7	R	1	2	2	1100	1100
8	F	0	予約済み	予約済み	予約済み	予約済み
9	F	R	予約済み	予約済み	予約済み	予約済み
10	F	F	0	0	1300	1300
11	F	1	予約済み	予約済み	予約済み	予約済み
12	1	0	予約済み	予約済み	予約済み	予約済み
13	1	R	予約済み	予約済み	予約済み	予約済み
14	1	F	予約済み	予約済み	予約済み	予約済み
15	1	1	予約済み	予約済み	予約済み	予約済み

### 7.4.7 USB3.1 モード

TUSB1044A は、レシーバ終端、電気的アイドル、LFPS、SuperSpeed 信号レートなどの物理層の状態を監視し、USB3.1 インターフェイスの状態を判定します。USB 3.1 インターフェイスの状態に応じて、USB 3.1 が有効な場合 (CTL0 = H または CTLSEL0 = 1b1)、TUSB1044A は 4 つの主要な動作モードのいずれかになります: 接続解除、U2/U3、U1、U0 です。

接続解除モードは、TUSB1044A が上流側ポート(UFP)および下流側ポート(DFP)の両方で、相手側終端を検出していない状態です。接続解除モードは、4 つの各モードのうち最小消費電力モードです。TUSB1044A では、UFP と DFP の両方で相手側レシーバ終端が検出されるまで、このモードが維持されます。TUSB1044A は、相手側終端が検出されると直ちにこのモードを終了し、U0 モードに移行します。

U0 モードでは、TUSB1044A は UFP および DFP で受信したすべてのトラフィックをリドライブします。U0 は、すべての USB3.1 モードの中で最も高い電力モードです。TUSB1044A は、UFP および DFP の両方で電気的アイドルが発生するまで、U0 モードのままになります。電気的アイドルを検出すると、TUSB1044A はすぐに U1 に移行します。

U1 モードは、U0 モードと U2/U3 モードの中間モードです。U1 モードでは、TUSB1044A の UFP と DFP のレシーバ終端が有効なまま維持されます。UFP および DFP トランスミッタの DC 同相電圧が維持されます。U1 の消費電力は、U0 の消費電力と類似しています。

接続解除モードに隣接して、U2 と U3 モードは次に消費電力が低い状態になります。このモードでは、TUSB1044A は定期的に遠端レシーバ検出を実行します。UFP または DFP のいずれかで相手側レシーバ終端が検出されない場合、TUSB1044A は U2/U3 モードを離れ、接続解除モードに移行します。このデバイスは、有効な LFPS も監視します。有効な LFPS が検出されると、TUSB1044A は直ちに U0 モードに遷移します。U2/U3 モードでは、TUSB1044A のレシーバ終端は有効なままですが、TX DC コモンモード電圧は維持されません。

SLP\_S0# が Low にアサートされると、TUSB1044A はレシーバ検出機能を無効にします。SLP\_S0# が Low で、TUSB1044A が U2 と U3 にある場合、TUSB1044A は、LOS と FPS 検出回路が無効になり、両方のチャンネルの RX 終端は有効が維持されます。これにより、U2 と U3 モードでの TUSB1044A 消費電力をさらに削減できます。SLP\_S0# が High にアサートされると、TUSB1044A は再び遠端レシーバ検出の実行を開始し、同時に、デバイスが U2 と U3 モードの終了タイミングを把握できるよう LFPS を監視します。

SLP\_S0# が Low にアサートされ、TUSB1044A が切断モードになっている場合、TUSB1044A の切断モードは維持され、遠端レシーバの検出は実行されません。これにより切断モード中の TUSB1044A の消費電力をさらに低減できます。SLP\_S0# が High にアサートされると、TUSB1044A は再び遠端レシーバの検出を開始するため、デバイスは切断モードを終了するタイミングを把握できます。

## 7.5 プログラミング

さらにプログラマビリティを高めるため、I<sup>2</sup>C を使用して TUSB1044A を制御できます。SCL 端子と SDA 端子は、それぞれ I<sup>2</sup>C クロックと I<sup>2</sup>C データに使用されます。

**表 7-10. I<sup>2</sup>C ターゲット アドレス**

TUSB1044A I <sup>2</sup> C ターゲット アドレス									
UEQ1/A1 ピンレベル	UEQ0/A0 ピンレベル	ビット 7 (MSB)	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0 (W/R)
0	0	1	0	0	0	1	0	0	0/1
0	R	1	0	0	0	1	0	1	0/1
0	F	1	0	0	0	1	1	0	0/1
0	1	1	0	0	0	1	1	1	0/1
R	0	0	1	0	0	0	0	0	0/1
R	R	0	1	0	0	0	0	1	0/1
R	F	0	1	0	0	0	1	0	0/1
R	1	0	1	0	0	0	1	1	0/1
F	0	0	0	1	0	0	0	0	0/1
F	R	0	0	1	0	0	0	1	0/1
F	F	0	0	1	0	0	1	0	0/1
F	1	0	0	1	0	0	1	1	0/1
1	0	0	0	0	1	1	0	0	0/1
1	R	0	0	0	1	1	0	1	0/1
1	F	0	0	0	1	1	1	0	0/1
1	1	0	0	0	1	1	1	1	0/1

### 7.5.1 TUSB1044A I<sup>2</sup>C レジスタへの書き込み手順は次のとおりです

1. コントローラは、スタート条件 (S) を生成し、その後に TUSB1044A の 7 ビットアドレスと、書き込みサイクルを示す値 0 の W/R ビットを送信して書き込み操作を開始します。
2. TUSB1044A が、アドレス サイクルをアクノリッジします。
3. コントローラは、1 バイトのデータ (MSB ファースト) からなる、書き込まれるサブアドレス (TUSB1044A4 内の I<sup>2</sup>C レジスタ) を提供します。
4. TUSB1044A が、サブアドレス サイクルをアクノリッジします。
5. コントローラが I<sup>2</sup>C レジスタに書き込むデータの最初のバイトを送信します。
6. TUSB1044A が、バイト転送をアクノリッジします。
7. コントローラが書き込むデータの追加のバイトを送信し続けます。各バイト転送は TUSB1044A からのアクノリッジで完了します。
8. コントローラが停止条件 (P) を生成して書き込み動作を終了します。

### 7.5.2 TUSB1044A I<sup>2</sup>C レジスタを読み出す手順は以下の通りです。

1. コントローラが開始条件 (S) を生成して読み出し動作を開始し、TUSB1044A の 7 ビット アドレスと 1 値「W/R」ビットを送信して読み取りサイクルを示します。
2. TUSB1044A が、アドレス サイクルをアクノリッジします。
3. TUSB1044A は、レジスタ 00h または最後の読み出しサブアドレス + 1 から、メモリレジスタの内容を MSB ファーストで送信します。読み取りの前に I<sup>2</sup>C レジスタへの書き込みが発生した場合、TUSB1044A は書き込みで指定されたサブアドレスから開始します。
4. TUSB1044A は、各バイト転送の後、コントローラからのアクノリッジ (ACK) または非アクノリッジ (NACK) を待ちます。I<sup>2</sup>C コントローラは、各データ バイト転送の受信をアクノリッジします。
5. TUSB1044A は、ACK を受信するとデータの次のバイトを送信します。

6. マスタが停止条件 (P) を生成して読み取り動作を終了します。

### 7.5.3 I<sup>2</sup>C 読み出しの開始サブアドレスを設定するには、次の手順を使用します。

1. コントローラは、スタート条件 (S) を生成し、その後に TUSB1044A の 7 ビットアドレスと、書き込みサイクルを示す値 0 の W/R ビットを送信して書き込み操作を開始します。
2. TUSB1044A が、アドレス サイクルをアクノリッジします。
3. コントローラが 1 バイトのデータ (MSB ファースト) で構成された書き込むサブアドレス (TUSB1044A 内の I<sup>2</sup>C レジスタ) を送信します。
4. TUSB1044A が、サブアドレス サイクルをアクノリッジします。
5. コントローラが停止条件 (P) を生成して書き込み動作を終了します。

---

#### 注

読み出し手順にサブアドレス指定が含まれていない場合、読み出しはレジスタ オフセット 00h から開始し、I<sup>2</sup>C コントローラが読み出し動作を終了するまでレジスタの内容をバイト単位で送信します。読み出しの前に I<sup>2</sup>C レジスタへの書き込みが発生した場合、読み出しはアドレス書き込みで指定されたサブアドレスから開始します。

---

## 8 レジスタ マップ

### 8.1 TUSB1044A のレジスタ

TUSB1044A レジスタのメモリマップされたレジスタを、表 8-1 に示します。表 8-1 にないレジスタ オフセット アドレスはすべて予約済みと見なすべきであり、レジスタ内容は変更しないでください。

表 8-1. TUSB1044A のレジスタ

オフセット	略称	レジスタ名	セクション
Ah	General_1	汎用レジスタ 1	<a href="#">表示</a>
Bh	General_2	汎用レジスタ 2	<a href="#">表示</a>
Ch	General_3	汎用レジスタ 3	<a href="#">表示</a>
10h	UFP2_EQ	UFP2 EQ コントロール	<a href="#">表示</a>
11h	UFP1_EQ	UFP1 EQ コントロール	<a href="#">表示</a>
12h	DisplayPort_1	AUX スヌープ ステータス	<a href="#">表示</a>
13h	DisplayPort_2	DP レーン有効化 / 無効化制御	<a href="#">表示</a>
20h	DFP2_EQ	DFP2 EQ コントロール	<a href="#">表示</a>
21h	DFP1_EQ	DFP1 EQ コントロール	<a href="#">表示</a>
22h	USB3_MISC	その他の USB3 制御	<a href="#">表示</a>
23h	USB3_LOS	USB3 LOS スレッショルド制御	<a href="#">表示</a>

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-2 に、このセクションでアクセスタイプに使用しているコードを示します。

表 8-2. TUSB1044A のアクセス タイプ コード

アクセスタイプ	表記	概要
読み取りタイプ		
R	R	読み出し
RH	R H	ハードウェアによってセットまたはクリアされる の読み取り
書き込みタイプ		
W	W	書き込み
WS	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

#### 8.1.1 General\_1 レジスタ (オフセット = Ah) [リセット = 00h]

General\_1 を表 8-3 に示します。

[概略表](#)に戻ります。

表 8-3. General\_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7	RESERVED	R	0h	予約済み
6	USB32_BY2_EN	R/W	0h	このフィールドを設定すると、USB3.2 x2 モードが有効になります。 USB3.2 x2 モードにより、このデバイスは最大 20Gbps で動作できます。 このフィールドが 0 の場合、デバイスは 10Gbps に制限されます。 0h = USB3.2 x2 ディセーブル 1h = USB3.2 x2 イネーブル

**表 8-3. General\_1 レジスタのフィールドの説明 (続き)**

ビット	フィールド	タイプ	リセット	概要
5	SWAP_SEL	R/W	0h	このフィールドを設定すると、すべてのチャンネルでグローバル方向スワップが実行されます。 0h = チャンネル方向と EQ 設定は通常モードにある 1h = 入力ポートのすべてのチャンネル方向と EQ 設定を反転。
4	EQ_OVERRIDE	R/W	0h	このフィールドを設定すると、ソフトウェアはピンからサンプリングされた値ではなく、レジスタからの EQ 設定を使用できます。 0h = EQ ピンのサンプリングされた状態に基づく EQ 設定。 1h = 各 EQ レジスタにプログラムされた値に基づく EQ 設定。
3	HPDIN_OVERRIDE	R/W	0h	HPDIN ピンの状態をオーバーライドします。 0h = HPD_IN ピンに基づく HPD_IN。 1h = HPD_IN high。
2	FLIP_SEL	R/W	0h	FLIPSEL 0h = 通常の方向 1h = 反転方向。
1-0	CTLSEL_1:0	R/W	0h	DP モードと USB モードを制御します。 0h = ディセーブル。USB3 および DisplayPort のすべての RX と TX が無効になります。 1h = USB3.2 のみ有効化。 2h = DisplayPort の 4 レーンを有効化。 3h = USB3.2 と 2 つの DisplayPort レーン。

### 8.1.2 General\_2 レジスタ (オフセット= Bh) [リセット= 00h]

General\_2 を表 8-4 に示します。

[概略表](#)に戻ります。

**表 8-4. General\_2 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	概要
7-4	RESERVED	R	0h	予約済み
3-0	CH_SWAP_SEL	R/W	0h	各チャンネルの方向 (TX から RX, RX から TX) と EQ 設定を入れ替えます。チャンネルには 0~3 の番号が付けられています。レーンごとに 1 ビット。 0h = チャンネルおよび EQ 設定は通常。 1h = 逆チャンネルの方向と EQ 設定。

### 8.1.3 General\_3 レジスタ (オフセット = Ch) [リセット = 00h]

General\_3 を表 8-5 に示します。

[概略表](#)に戻ります。

**表 8-5. General\_3 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	概要
7	RESERVED	R	0h	予約済み
6	VOD_DCGAIN_OVERRIDE	R/W	0h	このフィールドを設定すると、ソフトウェアが、ピンからサンプリングされた値ではなく、レジスタからの VOD 直線性範囲と DC ゲイン設定を使用できるようになります。 0h = CFG[2:1] ピンでサンプリングされた VOD の直線性と DC ゲイン設定。 1b = 各 EQ レジスタにプログラムされた値に基づく EQ 設定。

表 8-5. General\_3 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	概要
5-2	VOD_DCGAIN_SEL	R/W	0h	このフィールドは、すべてのチャンネル、すべての方向の VOD 直線性範囲と DC ゲインを選択します。VOD_DCGAIN_OVERRIDE = 0b の場合、このフィールドは CFG[1:0] ピンのサンプリングされた状態を反映します。VOD_DCGAIN_OVERRIDE = 1b のとき、ソフトウェアはこのフィールドに書き込まれた値に基づいて、すべてのチャンネルと全方向の VOD 直線性範囲と DC ゲインを変更できます。各 CFG は 2 ビットの値です。レジスタから CFG1/0 へのマッピングは次のとおりです。[5:2]={CFG1[1:0]、CFG0[1:0]}ここで、CFGx[1:0]のマッピングは: 0h = 0 1h = R 2h = F 3h = 1
1-0	DIR_SEL	R/W	0h	格子パターン モードを設定します。このフィールドが 2h または 3h、かつ CTLSEL[1:0]が 3h の場合、デバイスは USB3.2 x2 として機能します。 0h = USB + DP Alt モードソース 1h = USB + DP Alt モードシンク。 2h = USB +カスタムまたは USB3.2x2 ソース 3h = USB +カスタムまたは USB3.2x2 シンク。

#### 8.1.4 UFP2\_EQ レジスタ (オフセット = 10h) [リセット = 00h]

UFP2\_EQ を表 8-6 に示します。

[概略表](#)に戻ります。

表 8-6. UFP2\_EQ レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7-4	UTX2EQ_SEL	R/W	0h	フィールドは、UTX2P/N ピンの EQ を選択します。EQ_OVERRIDE = 0b の場合、このフィールドは UEQ[1:0] ピンのサンプリングされた状態を反映します。EQ_OVERRIDE = 1b のとき、ソフトウェアはこのフィールドに書き込まれた値に基づいて UTX2P/N ピンの EQ 設定を変更できます。
3-0	URX2EQ_SEL	R/W	0h	フィールドは、URX2P/N ピンの EQ を選択します。EQ_OVERRIDE = 0b の場合、このフィールドは UEQ[1:0] ピンのサンプリングされた状態を反映します。EQ_OVERRIDE = 1b のとき、ソフトウェアはこのフィールドに書き込まれた値に基づいて URX2P/N ピンの EQ 設定を変更できます。

#### 8.1.5 UFP1\_EQ レジスタ (オフセット = 11h) [リセット = 00h]

UFP1\_EQ を表 8-7 に示します。

[概略表](#)に戻ります。

表 8-7. UFP1\_EQ レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7-4	UTX1EQ_SEL	R/W	0h	フィールドは、UTX1P/N ピンの EQ を選択します。EQ_OVERRIDE = 0b の場合、このフィールドは UEQ[1:0] ピンのサンプリングされた状態を反映します。EQ_OVERRIDE = 1b のとき、ソフトウェアはこのフィールドに書き込まれた値に基づいて UTX1P/N ピンの EQ 設定を変更できます。
3-0	URX1EQ_SEL	R/W	0h	フィールドは、URX1P/N ピンの EQ を選択します。EQ_OVERRIDE = 0b の場合、このフィールドは UEQ[1:0] ピンのサンプリングされた状態を反映します。EQ_OVERRIDE = 1b のとき、ソフトウェアはこのフィールドに書き込まれた値に基づいて URX1P/N ピンの EQ 設定を変更できます。

### 8.1.6 DisplayPort\_1 レジスタ (オフセット = 12h) [リセット = 00h]

DisplayPort\_1 を表 8-8 に示します。

概略表に戻ります。

**表 8-8. DisplayPort\_1 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	概要
7	RESERVED	R	0h	予約済み
6-5	SET_POWER_STATE	RH	0h	このフィールドは、DPCD アドレス 0x00600 への AUX 書き込みのスヌーピング値を表します。AUX_SNOOP_DISABLE = 0b のとき、スヌーピング値に基づいて DP レーンをイネーブルまたはディスエーブルにします。AUX_SNOOP_DISABLE = 1b の場合、DP レーンのイネーブル/ディスエーブルは DPx_DISABLE レジスタの状態によって決定されます。ここでは、x = 0、1、2、または 3 です。CTLSEL1 が 1b から 0b に変化すると、このフィールドはハードウェアによって 0h にリセットされます。
4-0	LANE_COUNT_SET	RH	0h	このフィールドは、DPCD アドレス 0x00101 レジスタへの AUX 書き込みのスヌーピング値を表します。AUX_SNOOP_DISABLE = 0b のとき、スヌープ値で指定された DP レーンをイネーブルにします。未使用の DP レーンは、電力を節約するためディスエーブルされます。AUX_SNOOP_DISABLE = 1b の場合、DP レーンのイネーブル/ディスエーブルは DPx_DISABLE レジスタによって決定されます。ここでは、x = 0、1、2、または 3 です。CTLSEL1 が 1b から 0b に変化すると、このフィールドはハードウェアによって 0h にリセットされます。

### 8.1.7 DisplayPort\_2 レジスタ (オフセット = 13h) [リセット = 00h]

DisplayPort\_2 を表 8-9 に示します。

概略表に戻ります。

**表 8-9. DisplayPort\_2 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	概要
7	AUX_SNOOP_DISABLE	R/W	0h	AUX スヌーピング値またはレジスタに基づいて DP レーンを有効にするかどうかを制御します。 0h = AUX スヌープは有効です。 1h = AUX スヌープは無効です。DP レーンはレジスタによって制御されます。
6	RESERVED	R	0h	予約済み
5-4	AUX_SBU_OVR	R/W	0h	このフィールドは、CTL1 および FLIP に基づいて AUXP/N と SBU1/2 の接続および切断を上書き制御します。CTLSEL1 と FLIPSEL レジスタの状態に関係なく AUX から SBU へのトラフィックを許可するには、このフィールドを 1b に変更します。 0h = CTLSEL1 および FLIPSEL によって決定される AUX から SBU への接続 1h = AUXP -> SBU1 and AUXN -> SBU2 2h = AUXP -> SBU2 and AUXN -> SBU1 3h = AUX から SBU ガーオープンです。
3	DP3_DISABLE	R/W	0h	AUX_SNOOP_DISABLE = 1b の場合に、このフィールドを使用して DP レーン 3 を有効化または無効化できます。AUX_SNOP_DISABLE = 0b の場合、このフィールドを変更してもレーン 3 の機能には影響しません。 0h = DP レーン 3 は有効です。 1h = DP レーン 3 は無効です。
2	DP2_DISABLE	R/W	0h	AUX_SNOOP_DISABLE = 1b の場合に、このフィールドを使用して DP レーン 2 を有効化または無効化できます。AUX_SNOP_DISABLE = 0b の場合、このフィールドを変更してもレーン 2 の機能には影響しません。 0h = DP レーン 2 は有効です。 1h = DP レーン 2 は無効です。

**表 8-9. DisplayPort\_2 レジスタのフィールドの説明 (続き)**

ビット	フィールド	タイプ	リセット	概要
1	DP1_DISABLE	R/W	0h	AUX_SNOOP_DISABLE = 1b の場合に、このフィールドを使用して DP レーン 1 を有効化または無効化できます。AUX_SNOP_DISABLE = 0b の場合、このフィールドを変更してもレーン 1 の機能には影響しません。 0h = DP レーン 1 は有効です。 1h = DP レーン 1 は無効です。
0	DP0_DISABLE	R/W	0h	AUX_SNOOP_DISABLE = 1b の場合に、このフィールドを使用して DP レーン 0 を有効化または無効化できます。AUX_SNOP_DISABLE = 0b の場合、このフィールドを変更してもレーン 0 の機能には影響しません。 0h = DP レーン 0 は有効です。 1h = DP レーン 0 は無効です。

### 8.1.8 DFP2\_EQ レジスタ (オフセット = 20h) [リセット = 00h]

DFP2\_EQ を表 8-10 に示します。

[概略表](#)に戻ります。

**表 8-10. DFP2\_EQ レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	概要
7-4	DTX2EQ_SEL	R/W	0h	フィールドは、DTX2P/N ピンの EQ を選択します。EQ_OVERRIDE = 0b の場合、このフィールドは DEQ[1:0] ピンのサンプリングされた状態を反映します。EQ_OVERRIDE = 1b のとき、ソフトウェアはこのフィールドに書き込まれた値に基づいて DTX2P/N ピンの EQ 設定を変更できます。
3-0	DRX2EQ_SEL	R/W	0h	フィールドは、DRX2P/N ピンの EQ を選択します。EQ_OVERRIDE = 0b の場合、このフィールドは DEQ[1:0] ピンのサンプリングされた状態を反映します。EQ_OVERRIDE = 1b のとき、ソフトウェアはこのフィールドに書き込まれた値に基づいて DRX2P/N ピンの EQ 設定を変更できます。

### 8.1.9 DFP1\_EQ レジスタ (オフセット = 21h) [リセット = 00h]

DFP1\_EQ を表 8-11 に示します。

[概略表](#)に戻ります。

**表 8-11. DFP1\_EQ レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	概要
7-4	DTX1EQ_SEL	R/W	0h	フィールドは、DTX1P/N ピンの EQ を選択します。EQ_OVERRIDE = 0b の場合、このフィールドは DEQ[1:0] ピンのサンプリングされた状態を反映します。EQ_OVERRIDE = 1b のとき、ソフトウェアはこのフィールドに書き込まれた値に基づいて DTX1P/N ピンの EQ 設定を変更できます。
3-0	DRX1EQ_SEL	R/W	0h	フィールドは、DRX1P/N ピンの EQ を選択します。EQ_OVERRIDE = 0b の場合、このフィールドは DEQ[1:0] ピンのサンプリングされた状態を反映します。EQ_OVERRIDE = 1b のとき、ソフトウェアはこのフィールドに書き込まれた値に基づいて DRX1P/N ピンの EQ 設定を変更できます。

### 8.1.10 USB3\_MISC レジスタ (オフセット = 22h) [リセット = 04h]

USB3\_MISC を表 8-12 に示します。

[概略表](#)に戻ります。

**表 8-12. USB3\_MISC レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	概要
7	CM_ACTIVE	RH	0h	コンプライアンス モードのステータス。 0h = USB3.2 コンプライアンス モードではありません。 1h = USB3.2 コンプライアンス モードです。
6	LFPS_EQ	R/W	0h	URX[2:1]EQ_SEL、UTX[2:1]EQ_SEL、DRX[2:1]EQ_SEL、DTX[2:1]EQ_SEL に基づく EQ 設定を受信 LFPS 信号に適用するかどうかを制御します。 0h = LFP 受信時に EQ を 0 に設定 1h = LFPS 受信時に関連レジスタによって設定される EQ。
5	U2U3_LFPS_DEBOUNCE	R/W	0h	受信 LFPS をデバウンスするかどうかを制御します。 0h = U2/U3 が終了する前に LFPS のデバウンスはありません。 1h = U2/U3 が終了する前に LFPS の 200µs デバウンスはありません。
4	DISABLE_U2U3_RXDET	R/W	0h	U2/U3 状態で Rx.Detect を実行するかどうかを制御します。 0h = U2/U3 での Rx.Detect は有効です。 1h = U2/U3 での Rx.Detect は無効です。
3-2	DFP_RXDET_INTERVAL	R/W	1h	このフィールドは、ダウンストリーム側ポート (DTX1P/N および DTX2P/N) の Rx.Detect の間隔を制御します。 0h = 8ms 1h = 12ms 2h = 予約済み 3h = 予約済み。
1-0	USB_COMPLIANCE_CTRL	R/W	0h	コンプライアンス モードの検出が FSM によって決定されるか、ディスエーブルになるかを制御します 0h = FSM によって決定されるコンプライアンス モード。 1h = DFP 方向でコンプライアンスモードをイネーブル。 2h = UFP 方向でコンプライアンスモードをイネーブル。 3h = コンプライアンス モードはディスエーブル。

### 8.1.11 USB3\_LOS レジスタ (オフセット = 23h) [リセット = 23h]

USB3\_LOS を表 8-13 に示します。

概略表に戻ります。

**表 8-13. USB3\_LOS レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	概要
7	VCM_LFPS_WAIT	R/W	0h	LFPS を通過する前に TX Vcm が安定するまでの遅延を追加 0h = 有効化 1h = 無効化
6	RESERVED	R	0h	予約済み
5-3	CFG_LOS_HYST	R/W	4h	20 log (LOS デアサート スレッショルド / LOS アサート スレッショルド) として定義される LOS ヒステリシスを制御します 0h = 0.15dB 1h = 0.85dB 2h = 1.45dB 3h = 2.00dB 4h = 2.70dB 5h = 3.00dB 6h = 3.40dB 7h = 3.80dB

表 8-13. USB3\_LOS レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	概要
2-0	CFG_LOS_VTH	R/W	3h	LOS アサートスレッシュヨルド電圧の制御 0h = 67mV 1h = 72mV 2h = 79mV 3h = 85mV 4h = 91mV 5h = 97mV 6h = 105mV 7h = 112mV

## 9 アプリケーションと実装

### 注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくこととなります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 9.1 アプリケーション情報

TUSB1044A は、PCB トレースやケーブルなどの受動媒体を通じた信号減衰によって引き起こされるシンボル間干渉 (ISI) ジッタを補償するために特に設計されたリニアドライバです。TUSB1044A には 4 つの独立した入力があるため、16 種類のイコライゼーションの選択肢を活かして、7 つの入力すべてについて ISI を訂正できるように本デバイスを最適化できます。TUSB1044A を USB3.1 ホスト/DisplayPort 2.1 GPU と USB3.1 Type-C レセプタクルの間に配置すれば、信号整合性の問題を補正して、より堅牢なシステムを実現できます。

### 9.2 代表的なアプリケーション

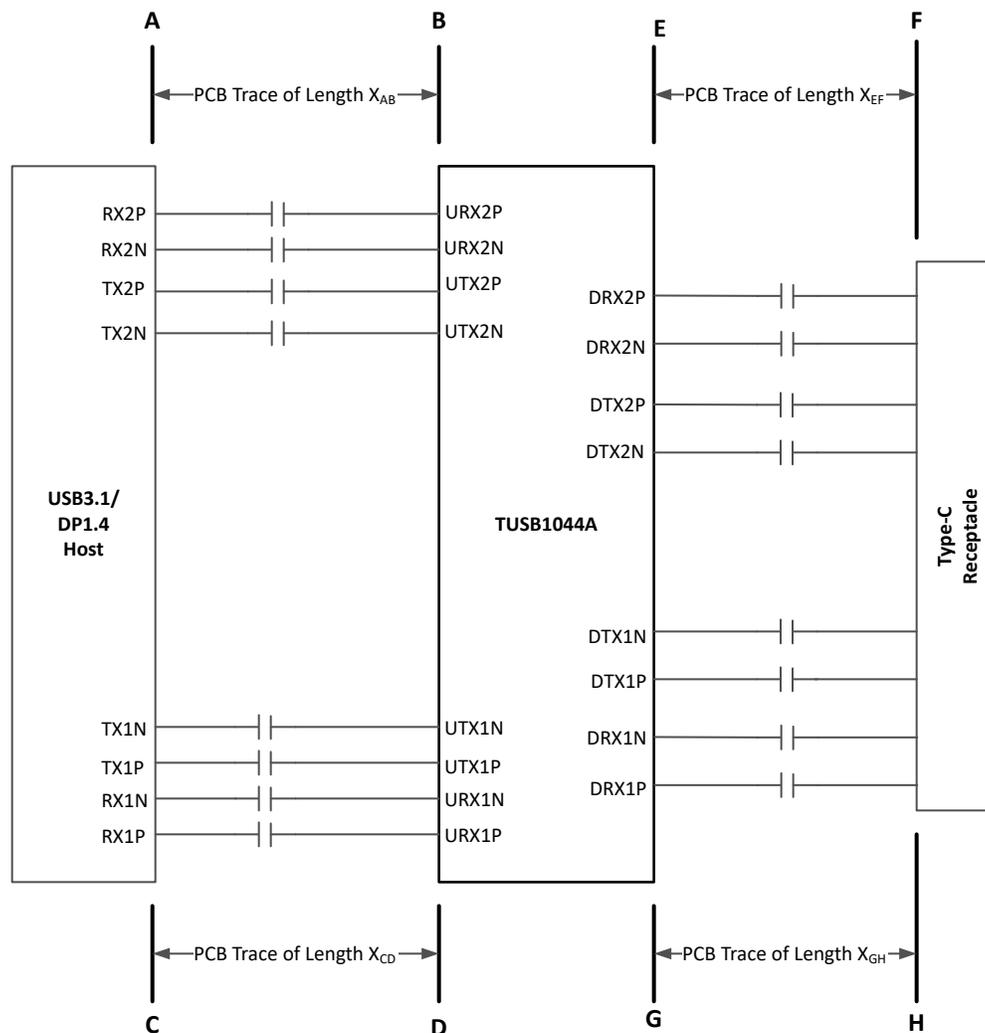


図 9-1. ホスト アプリケーション内の TUSB1044A

### 9.2.1 設計要件

この設計例では、表 9-1 に示すパラメータを使用します。

**表 9-1. 設計パラメータ**

パラメータ	値
A から B への PCB パターン長、 $X_{AB}$	8 インチ (5GHz で 1dB/インチを想定)
C から D への PCB パターン長、 $X_{CD}$	8 インチ (5GHz で 1dB/インチを想定)
E から F への PCB パターン長、 $X_{EF}$	1.5 インチ (5GHz で 1dB/インチを想定)
G から H への PCB パターン長、 $X_{GH}$	1.5 インチ (5GHz で 1dB/インチを想定)
PCB のパターン幅	4 マイル
AC カップリング コンデンサ (75nF~265nF)	220nF
VCC 電源 (3V~3.6V)	3.3V
I <sup>2</sup> C モードまたは GPIO モード	I <sup>2</sup> C モード
1.8V または 3.3V I <sup>2</sup> C インターフェイス	3.3V <sub>I2C</sub> .1K $\Omega$ 抵抗を使用して I2C_EN ピンを 3.3V にプルアップします。

### 9.2.2 詳細な設計手順

TUSB1044A デバイスの代表的な用途を図 9-2 に示します。このデバイスは、GPIO ピンや I<sup>2</sup>C インターフェイスで制御できます。図 9-2 では、Type-C PD コントローラを使用し、I<sup>2</sup>C インターフェイスからデバイスを構成しています。I<sup>2</sup>C モードでは、各レーシーバのイコライゼーション設定は I<sup>2</sup>C レジスタにより独立して制御可能です。このため、イコライゼーションピン (UEQ[1:0] と DEQ[1:0]) は、すべて未接続のままにすることができます。これらのピンを未接続のままにしておくと、EQ1/A1 と UEQ0/A0 の両方がピンレベル F なので、TUSB1044A 7 ビットの I<sup>2</sup>C ターゲットアドレスは 12h になります。別の I<sup>2</sup>C ターゲットアドレスが必要な場合は、目的の I<sup>2</sup>C ターゲットアドレスが生成されるレベルに UEQ1/A1 ピンと UEQ0/A0 ピンを設定します。

最新の ECN (技術変更通知) の USB 3.2 仕様により、USB レセプタクルとデバイス、ホスト、またはハブの USB 3.2 レシーバピンとの間に AC カップリングコンデンサを配置できます。TUSB1044A は、DRX2P/N ピンと DRX1P/N ピンの図 9-2 にあるように、AC コンデンサの追加をサポートしています。AC カップリングコンデンサは、297nF 以上であることを確認してください。330nF の値が推奨されます。

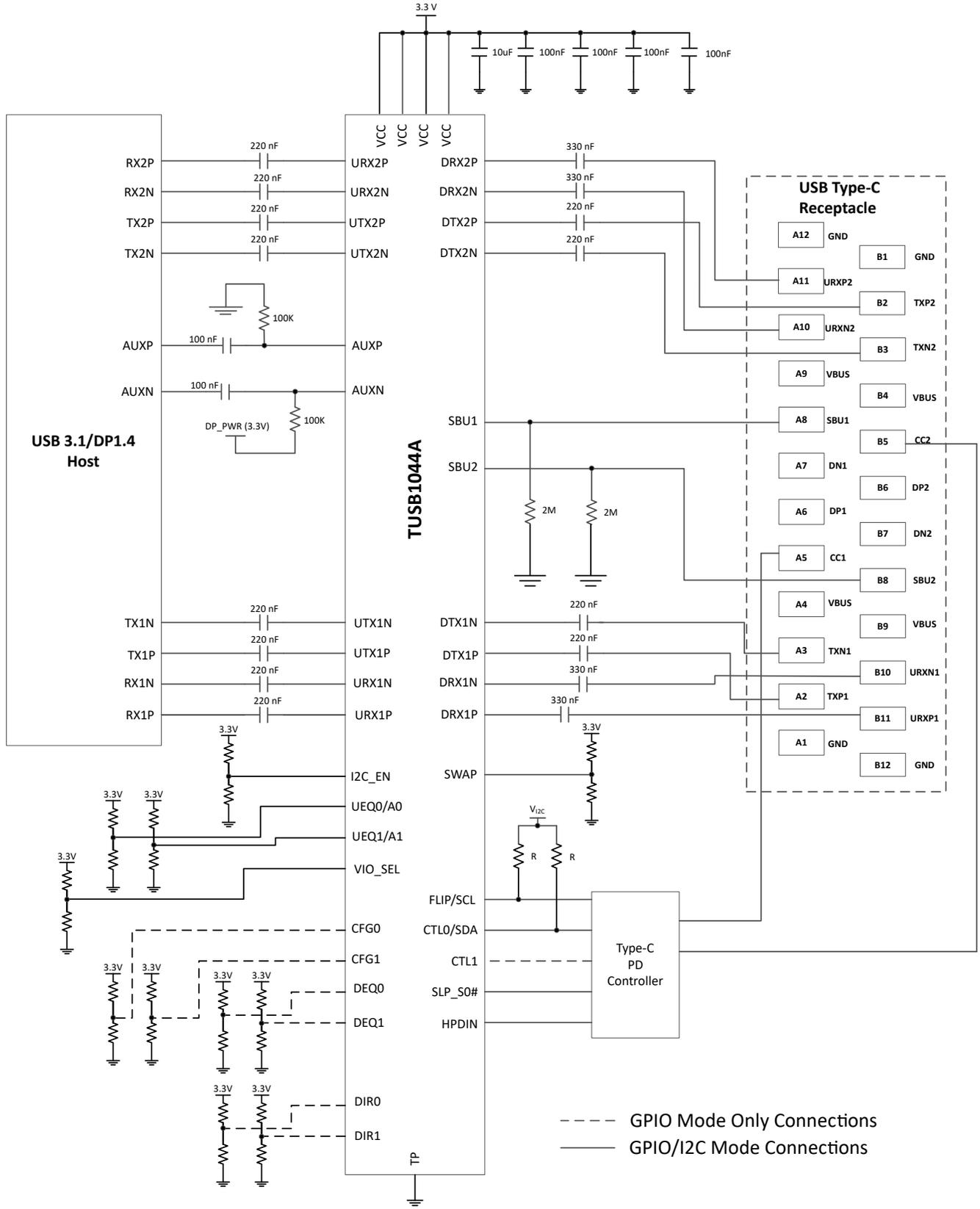


図 9-2. 代表的なアプリケーション回路

### 9.2.3 ESD 保護

TUSB1044A を静電放電 (ESD) から保護するために、ESD 部品を内蔵する必要がある場合があります。TI は、表 9-2 に示す ESD 保護に関する推奨事項に従うことを推奨します。クランプ電圧が表 9-2 に規定されている値よりも大きい場合、各差動ピンに  $R_{ESD}$  を接続する必要がある場合があります。ESD 部品は USB コネクタの近くに配置することを推奨しています。

表 9-2. ESD ダイオードの推奨特性

パラメータ	推奨事項
ブレイクダウン電圧	$\geq 3.5V$
I/O 容量	最大 5Gbps のデータレート: $\leq 0.50pF$
	5Gbps を超えるデータレート: $\leq 0.35pF$
P および N の I/O ピン間での容量の差	$\leq 0.07pF$
8A $I_{pp}$ IO から GND <sup>(1)</sup> へのクランプ電圧	$\leq 4.5V$
標準的な動的抵抗	$\leq 30m\Omega$

(1) IEC 61000-4-5 に準拠 (8/20 $\mu$ s 電流波形)

表 9-3. 推奨 ESD 保護部品

メーカー	部品番号	IEC 61000-4-2 接触 $\pm 8kV$ をサポートする $R_{ESD}$
Nexperia	PUSB3FR4	1 $\Omega$
Nexperia	PESD2V8Y1BSF	1 $\Omega$
テキサス・インスツルメンツ	TPD1E04U04DPLR	2 $\Omega$
テキサス・インスツルメンツ	TPD4E02B04DQAR	2 $\Omega$

### 9.2.4 アプリケーション曲線

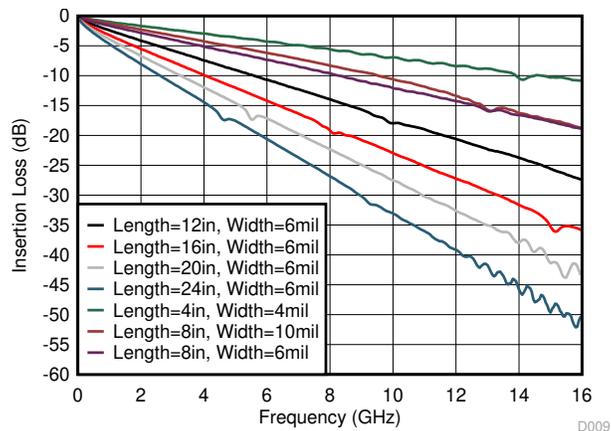


図 9-3. FR4 PCB トレースの挿入損失

### 9.3 システム例

#### 9.3.1 USB 3.2 のみ (USB/DP 代替モード)

TUSB1044A は、CTL1 ピンが Low で CTL0 ピンが High のときのみ USB3.1 です。

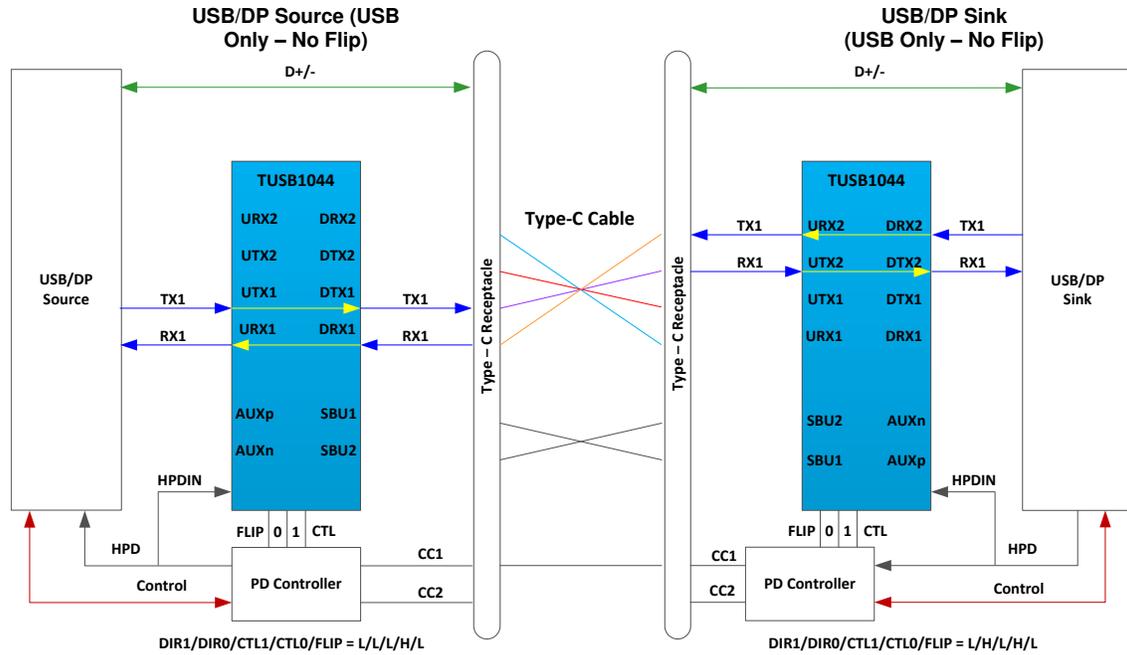


図 9-4. USB3.2 のみ – フリップ機能なし

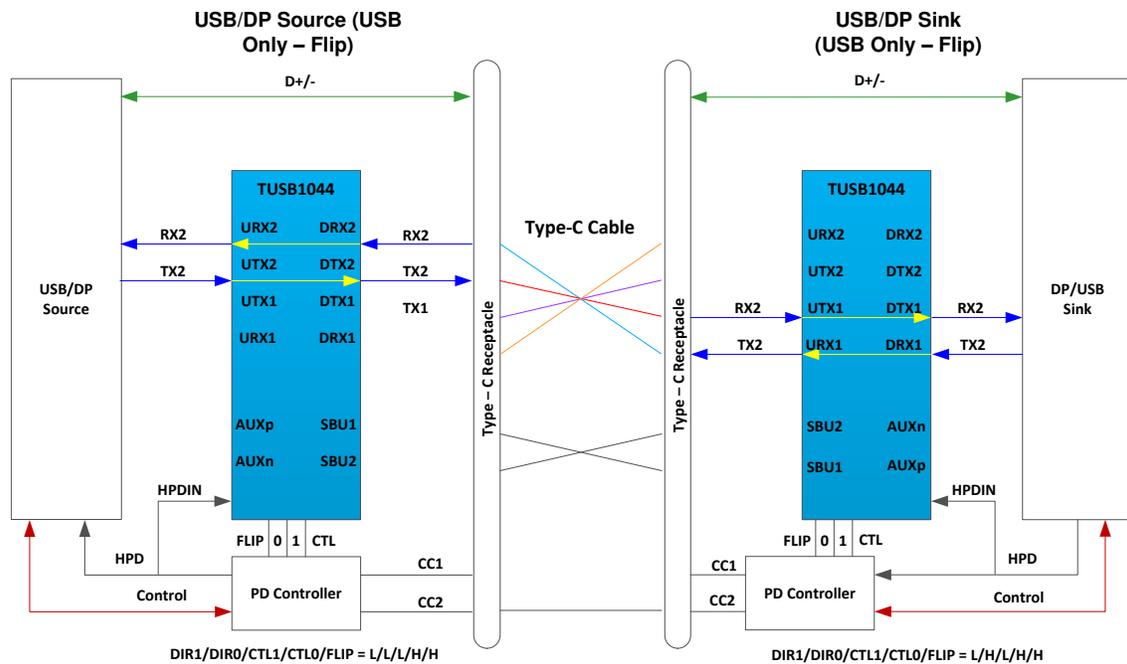


図 9-5. USB3.1 のみ – フリップ機能あり

### 9.3.2 USB3.2 および2 レーン DisplayPort

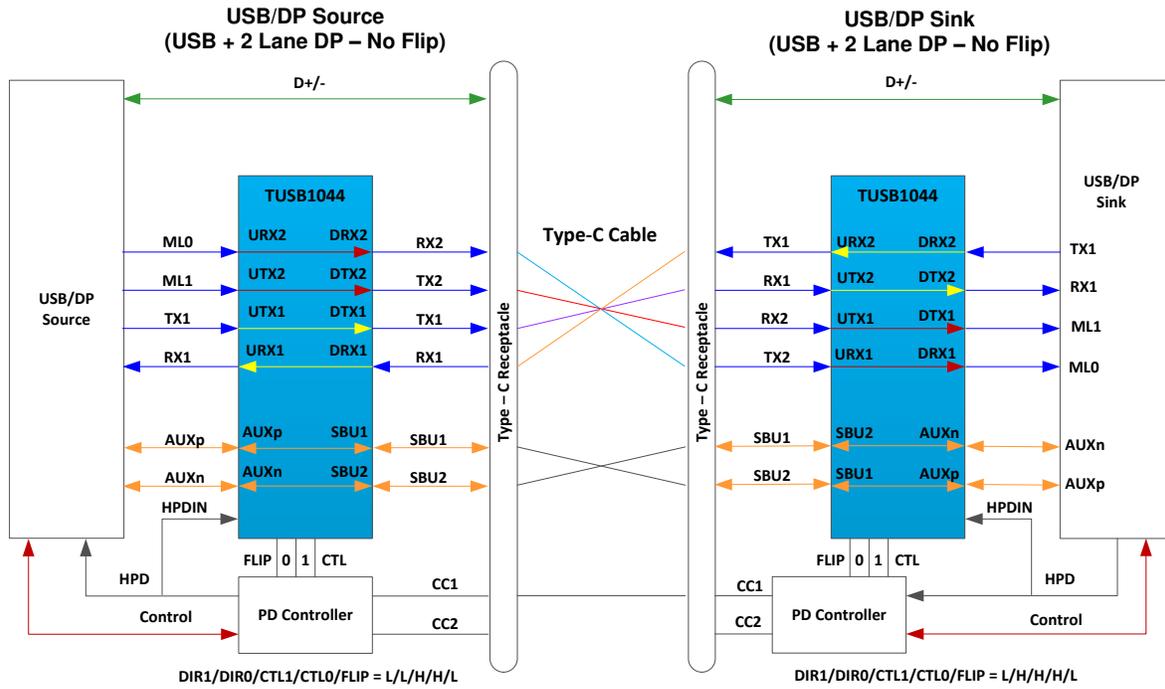


図 9-6. USB3.2 + 2 レーン DisplayPort – フリップ機能なし

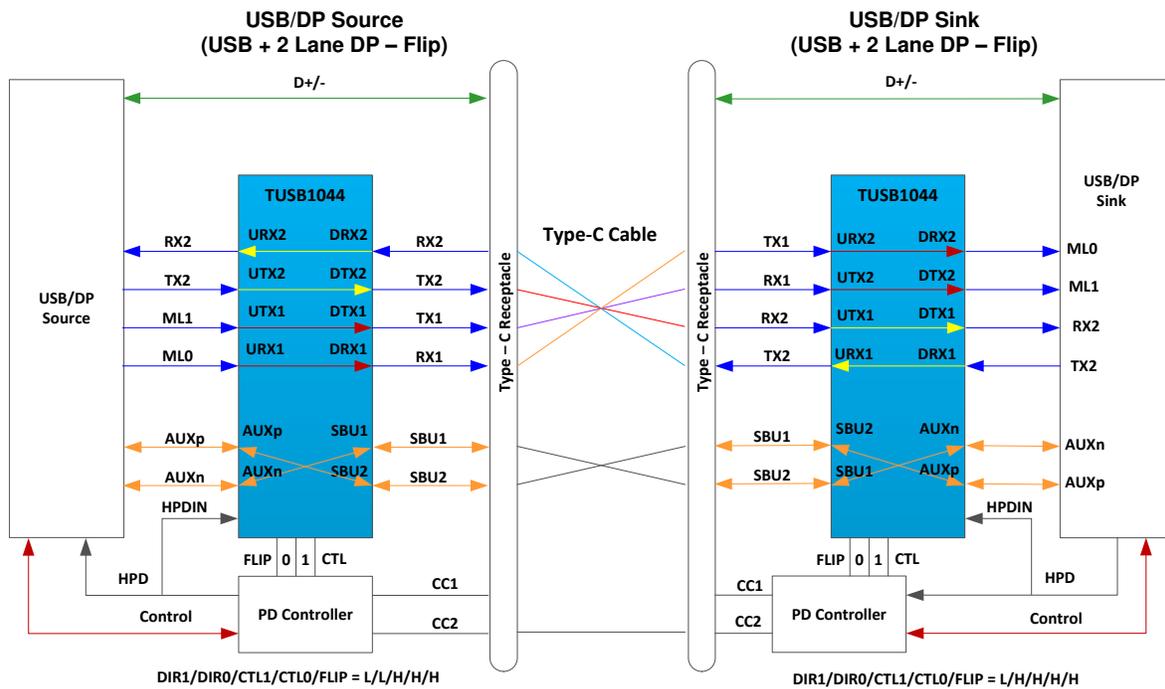


図 9-7. USB 3.2 + 2 レーン DisplayPort – フリップ機能あり

9.3.3 DisplayPort のみ

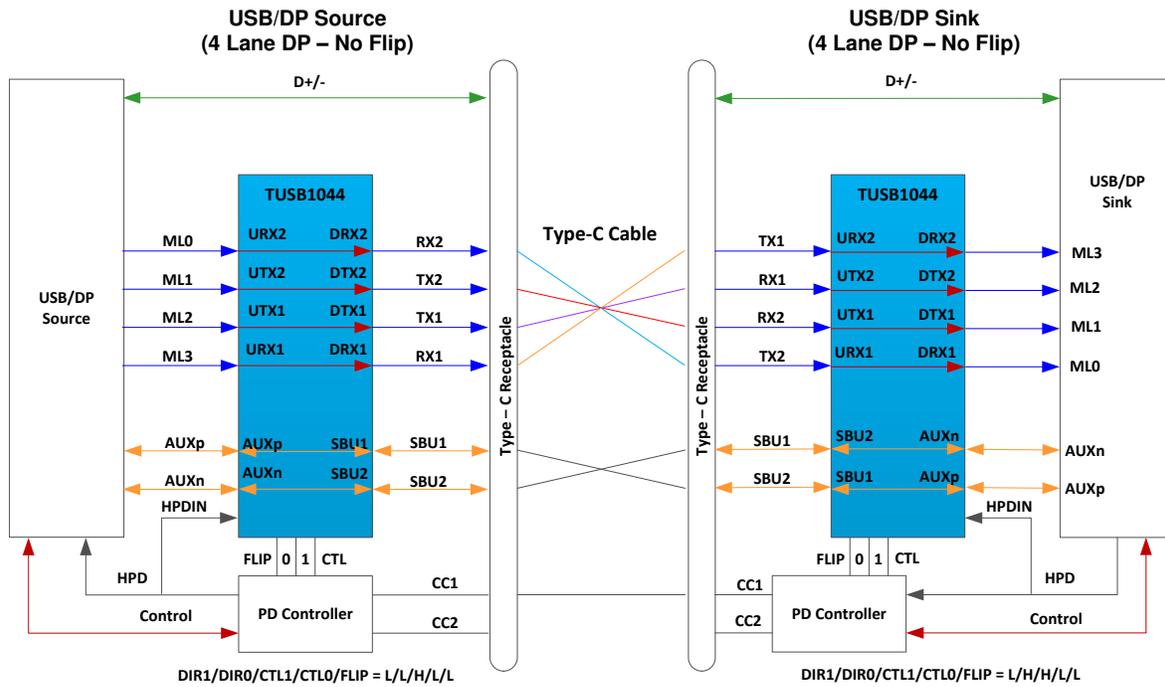


図 9-8.4 レーン DP - フリップ機能なし

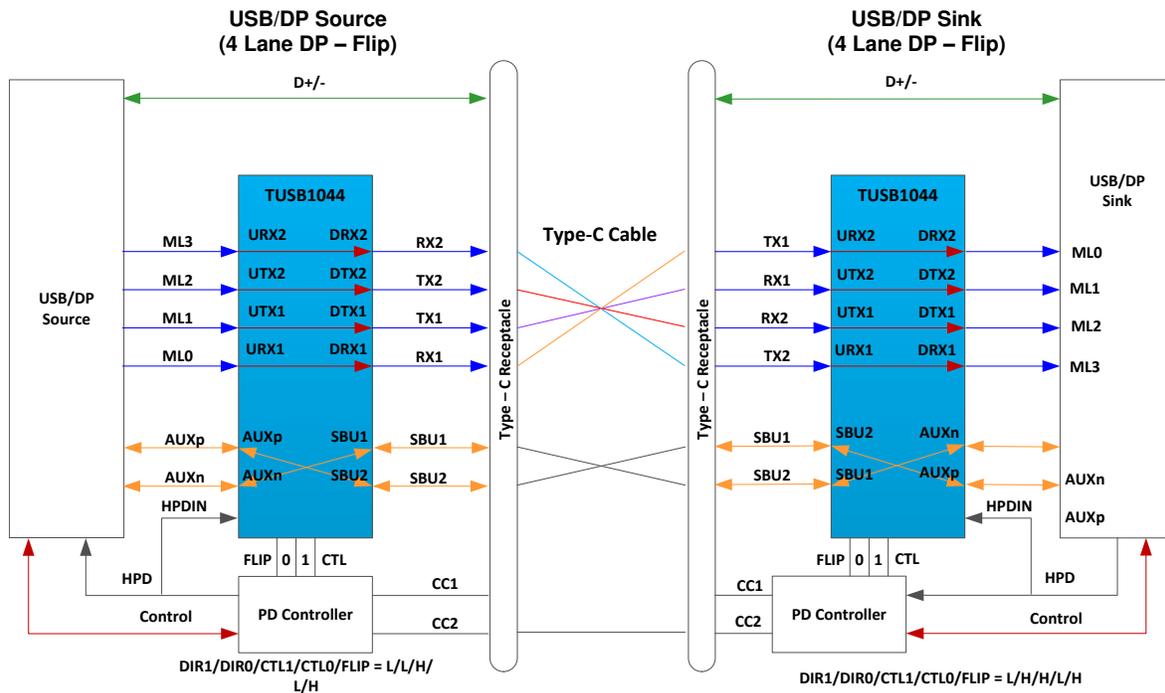


図 9-9.4 レーン DP - フリップ機能あり

9.3.4 USB 3.2 のみ (USB/カスタム代替モード)

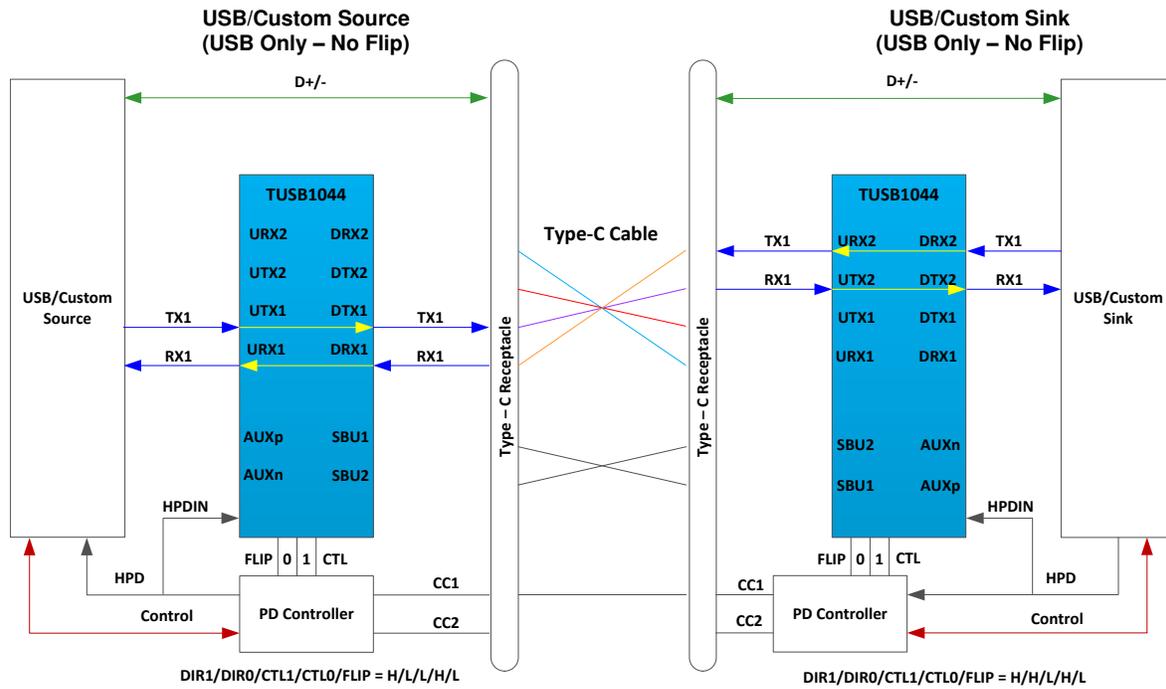


図 9-10. USB3.2 のみ – フリップ機能なし

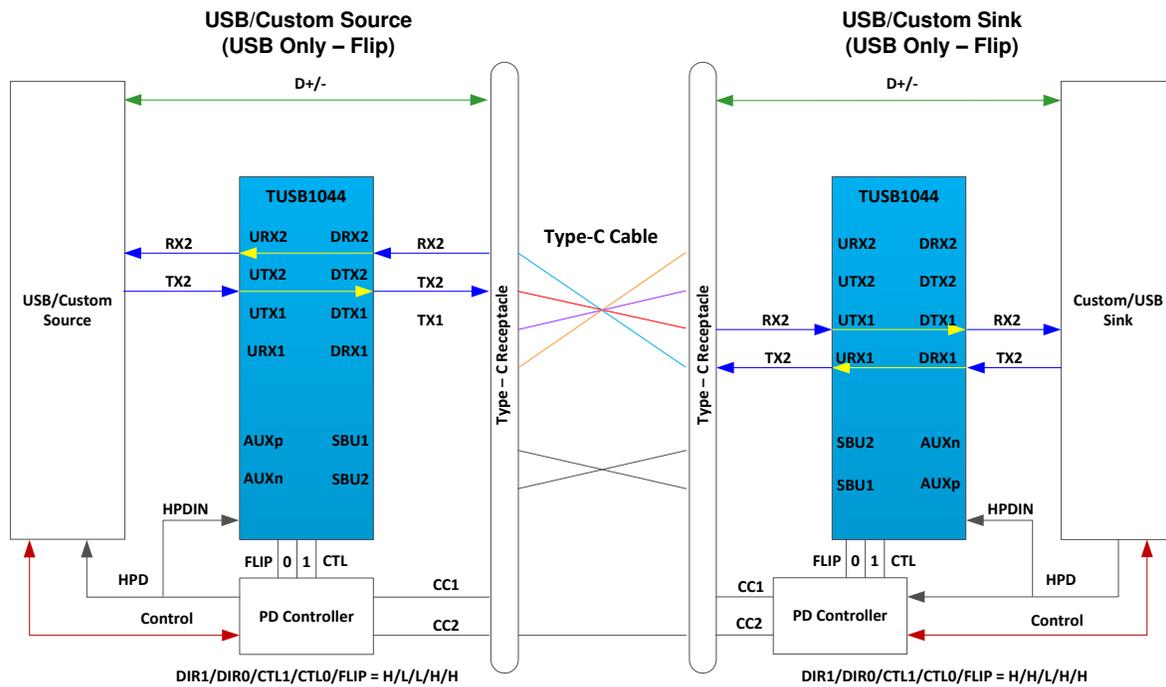


図 9-11. USB3.2 のみ – フリップ機能あり

### 9.3.5 USB3.2 と 1 レーンのカスタム代替モード

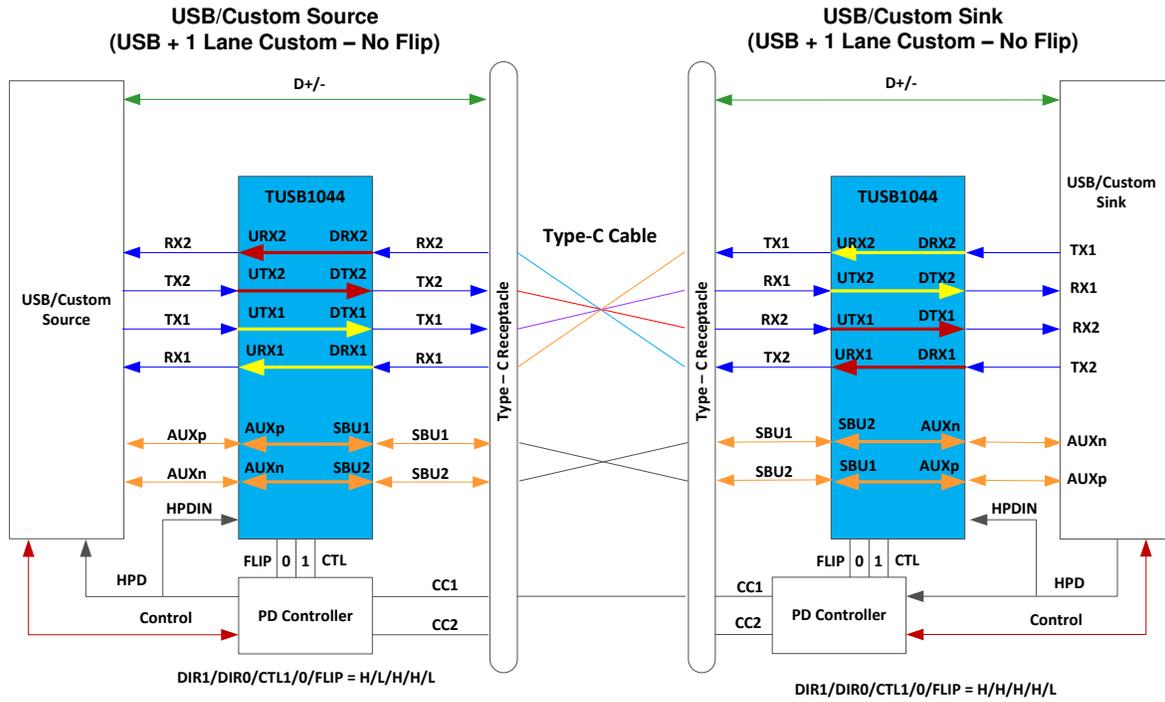


図 9-12. 3.2USB + 1 レーンカスタム代替モード – フリップ機能なし

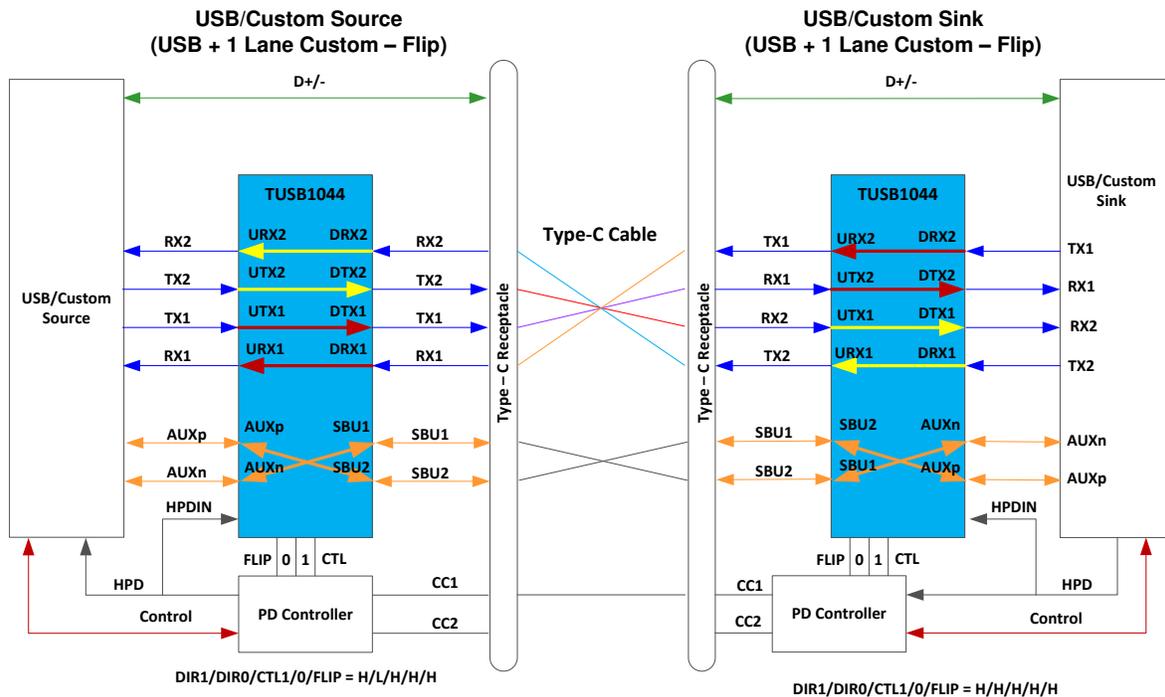


図 9-13. 3.2USB + 1 レーンカスタム代替モード – フリップ

### 9.3.6 USB3.2 と 2 レーンカスタム代替モード

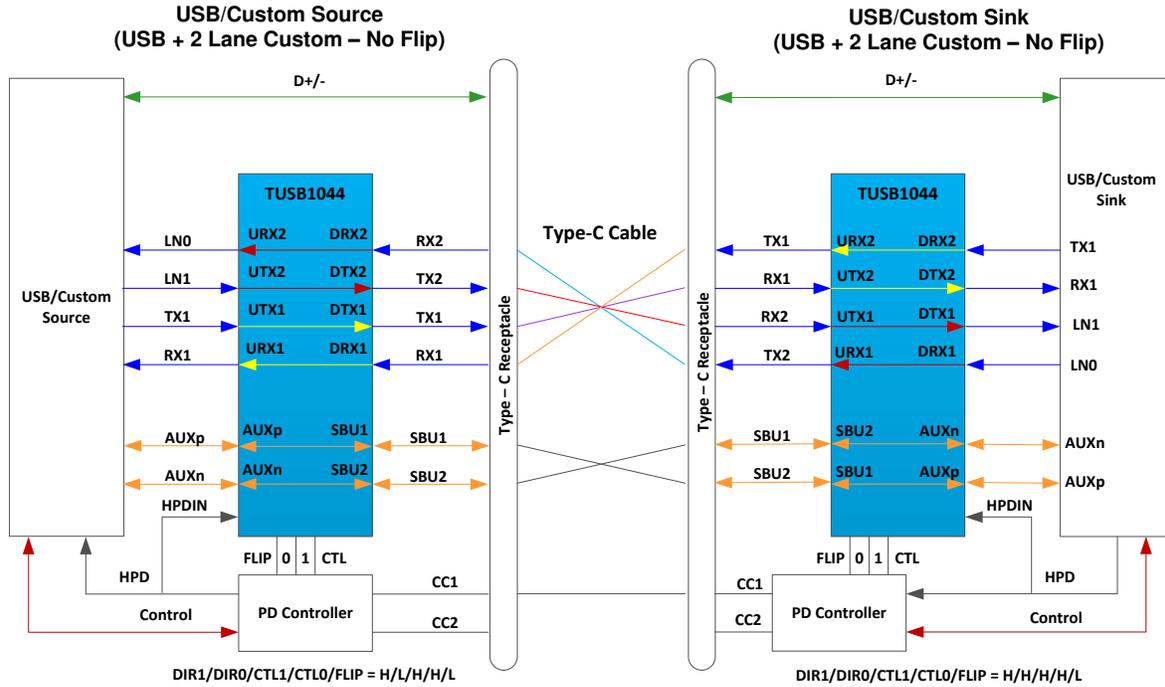


図 9-14. 2 レーンカスタム代替モード – フリップ機能なし

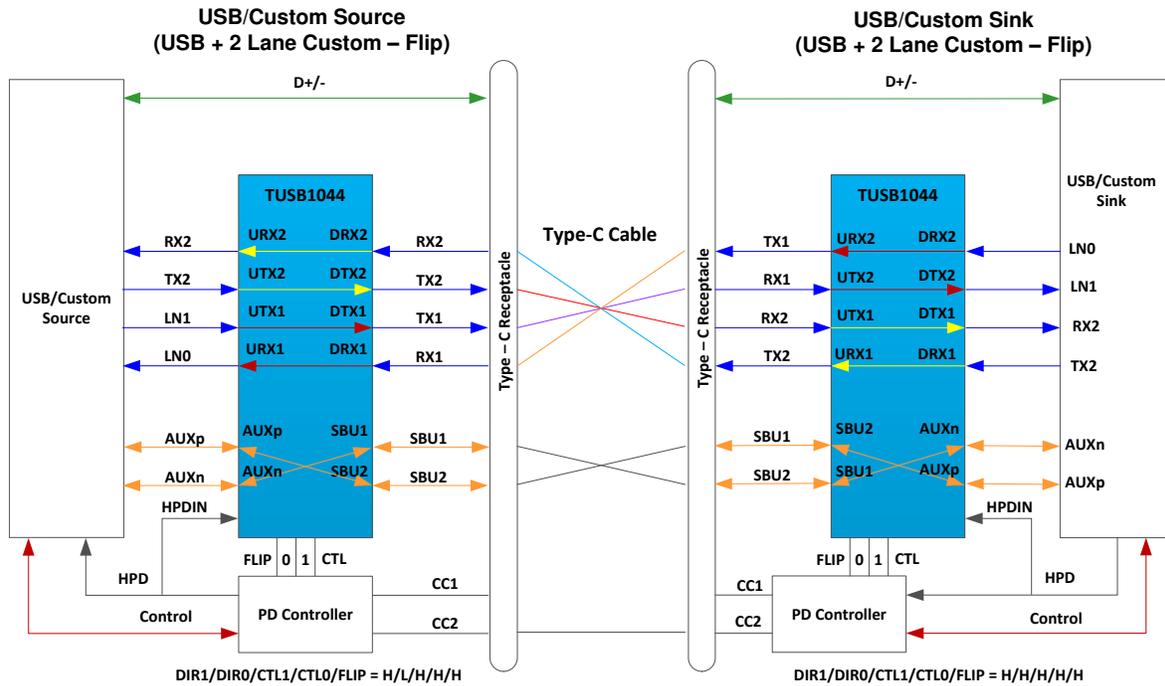


図 9-15. 2 レーンカスタム代替モード – フリップ機能あり

### 9.3.7 USB3.2 と 4 レーンカスタム代替モード

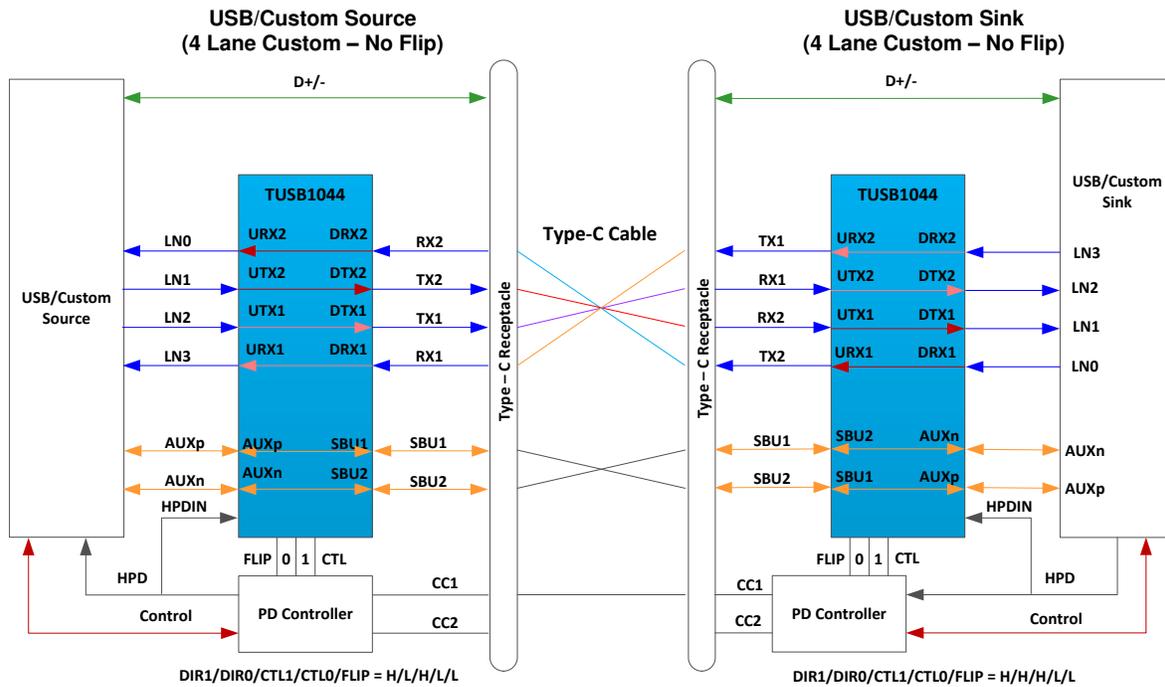


図 9-16. 4 レーンカスタム代替モード – フリップ機能なし

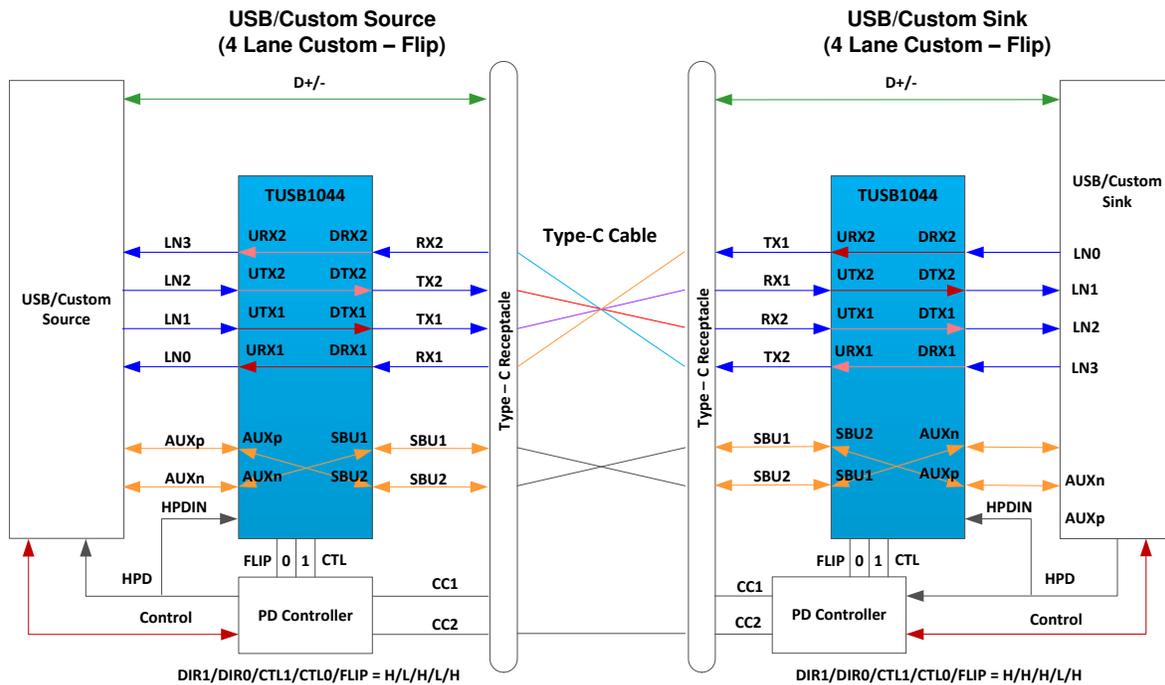


図 9-17. 4 レーンカスタム代替モード – フリップ機能あり

## 9.4 電源に関する推奨事項

TUSB1044A は、3.3V 電源で動作するように設計されています。絶対最大定格表に記載されているレベルより上のレベルは使用しないでください。高い電圧のシステム電源を使用する場合、電圧レギュレータを使用して 3.3V に降圧すること

ができます。ノイズを低減し、電源の整合性を向上させるためにデカップリング コンデンサを使用します。各電源ピンに 0.1 $\mu$ F コンデンサを使用します。

## 9.5 レイアウト

### 9.5.1 レイアウトのガイドライン

1. RXP/N と TXP/N ペアについて、90 $\Omega$ ( $\pm$ 15%) の差動インピーダンスで制御された配線を行います。
2. その他の高速信号から遠ざけます。
3. ペア内の配線を 2mil 以内に抑えます。
4. 配線長を一致させるための調整は、配線長の不一致が発生している場所の近くで行います。
5. 各ペアは、信号配線幅の 3 倍以上離す必要があります。
6. 差動配線での曲げの使用は最小限に抑えます。曲げを使用する場合、左右の曲げの数は可能な限り等しくし、曲げの角度は 135 度以上としてください。このセットアップにより、曲げに起因する長さの不一致が最小限に抑えられ、その結果、曲げが EMI に及ぼす影響が最小限に抑えられます。
7. すべての差動ペアは同じ層に配線します。
8. ビアの数を最小限に抑えます。TI は、TUSB1044A および Type-C コネクタの間は 1VIA 以下、TUSB1044A と USB3.1 デバイス/ホストの間は 1 ビア以下にすることを推奨します。
9. グランド プレーンに隣接する層に配線を配置します。
10. 差動ペアは、プレーンの割れ目の上には配線しないようにします。
11. なお、テストポイントを追加することは、インピーダンスの非連続性をもたらすため、信号性能に悪影響を及ぼします。テストポイントを使用する場合、テストポイントを連続的かつ対称的に配置します。差動ペアにスタブを形成するような方法で、テストポイントを配置するべきではありません。
12. 5GHz で 1dB/インチの損失を仮定し、TUSB1044A と Type-C コネクタの間のパターン長が 1.5 インチ以上であることを確認してください。
13. 5GHz で 1dB/インチの損失を仮定すると、TUSB1044A と USB 3.1 ホスト/デバイス間のパターン長が 8 インチ以下であることを確認してください。
14. ESD 保護デバイスと EMI 抑制デバイスを注意深く選定し、 $\pm$ 650mV の電圧範囲にわたるフラット・シャント容量特性を持つ 10Gbps での優れた過渡性能を備えていることを確認してください。なお、小信号挿入損失特性は、10Gbps 動作に対する非線形デバイス(ESD デバイス)の適合性を判断するには不十分です

### 9.5.2 レイアウト例

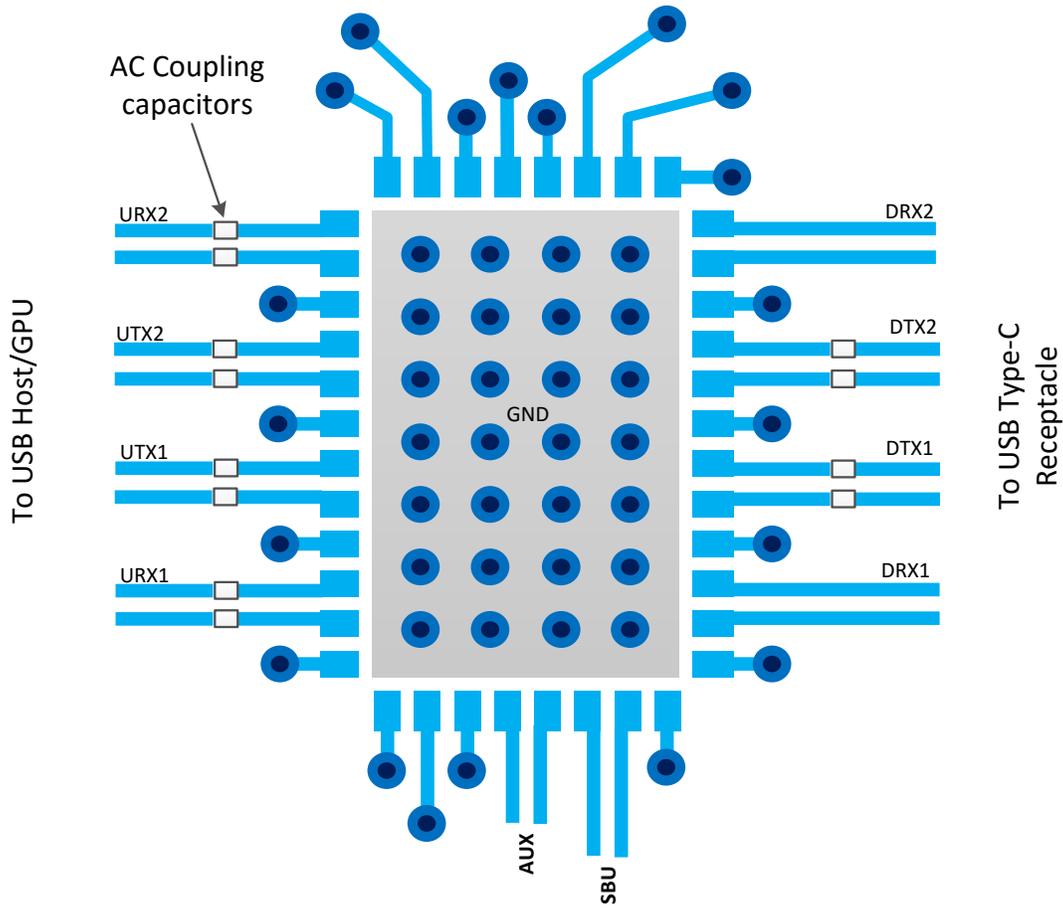


図 9-18. レイアウト例

## 10 デバイスおよびドキュメントのサポート

### 10.1 ドキュメントのサポート

#### 10.1.1 関連資料

このセクションに記載されている文書は、この仕様で引用されているものです。テキストでの参照のほとんどには、テキストの簡素化のため、完全なドキュメントのタイトルではなく、[ドキュメント タグ]の形式で示されるドキュメント タグが使用されています。

関連資料については、以下を参照してください。

- USB Implementers Forum, Inc., [USB32] [ユニバーサル シリアルバス 3.2 仕様](#)
- 『USB Implementers Forum, Inc.』, [TYPE-C] [USB Type-C®のケーブルおよびコネクタの仕様](#)

### 10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

### 10.3 サポート・リソース

[テキサス・インスツルメンツ E2E™ サポート・フォーラム](#)は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

### 10.4 商標

DisplayPort™ is a trademark of VESA.

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

USB Type-C® are registered trademarks of USB Implementers Forum.

VESA® is a registered trademark of Video Electronics Standards Association.

すべての商標は、それぞれの所有者に帰属します。

### 10.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

### 10.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

## 11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
March 2025	*	初版

## 12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

## 重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

**PACKAGING INFORMATION**

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
<a href="#">TUSB1044AIRNQR</a>	Active	Production	WQFN (RNQ)   40	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TUSB44A
TUSB1044AIRNQR.B	Active	Production	null (null)	3000   LARGE T&R	-	NIPDAU	Level-1-260C-UNLIM	See TUSB1044AIRNQR	TUSB44A
<a href="#">TUSB1044AIRNQT</a>	Active	Production	WQFN (RNQ)   40	250   SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TUSB44A
TUSB1044AIRNQT.B	Active	Production	null (null)	250   SMALL T&R	-	NIPDAU	Level-1-260C-UNLIM	See TUSB1044AIRNQT	TUSB44A
<a href="#">TUSB1044ARNQR</a>	Active	Production	WQFN (RNQ)   40	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TUSB44A
TUSB1044ARNQR.B	Active	Production	null (null)	3000   LARGE T&R	-	NIPDAU	Level-1-260C-UNLIM	See TUSB1044ARNQR	TUSB44A
<a href="#">TUSB1044ARNQT</a>	Active	Production	WQFN (RNQ)   40	250   SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TUSB44A
TUSB1044ARNQT.B	Active	Production	null (null)	250   SMALL T&R	-	NIPDAU	Level-1-260C-UNLIM	See TUSB1044ARNQT	TUSB44A

<sup>(1)</sup> **Status:** For more details on status, see our [product life cycle](#).

<sup>(2)</sup> **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

<sup>(3)</sup> **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

<sup>(4)</sup> **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

<sup>(5)</sup> **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

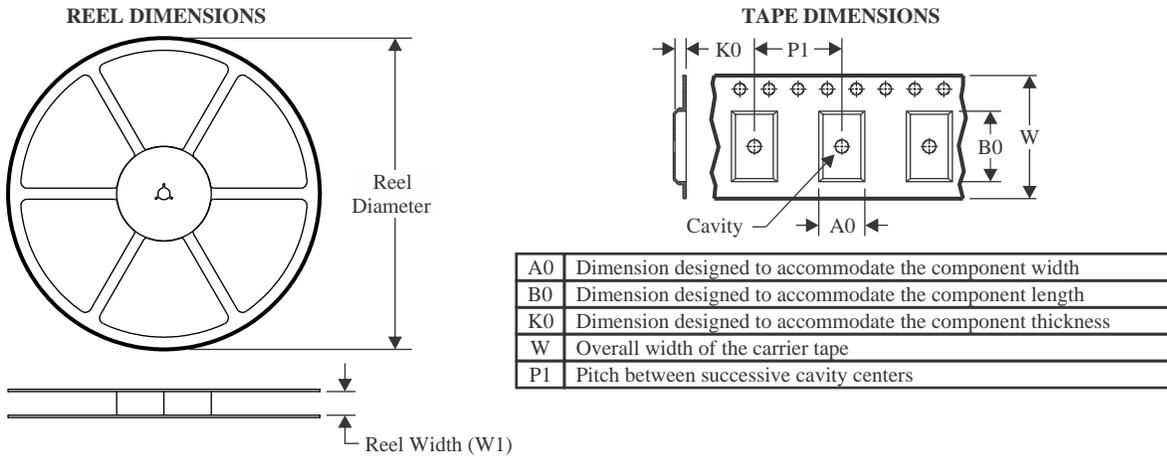
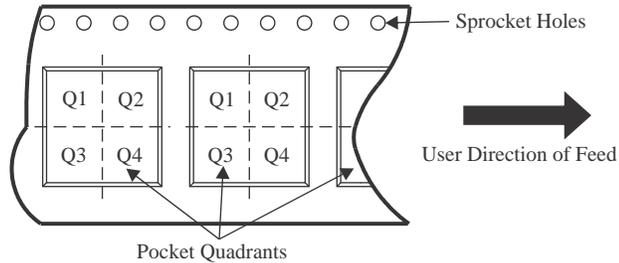
<sup>(6)</sup> **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:**The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative

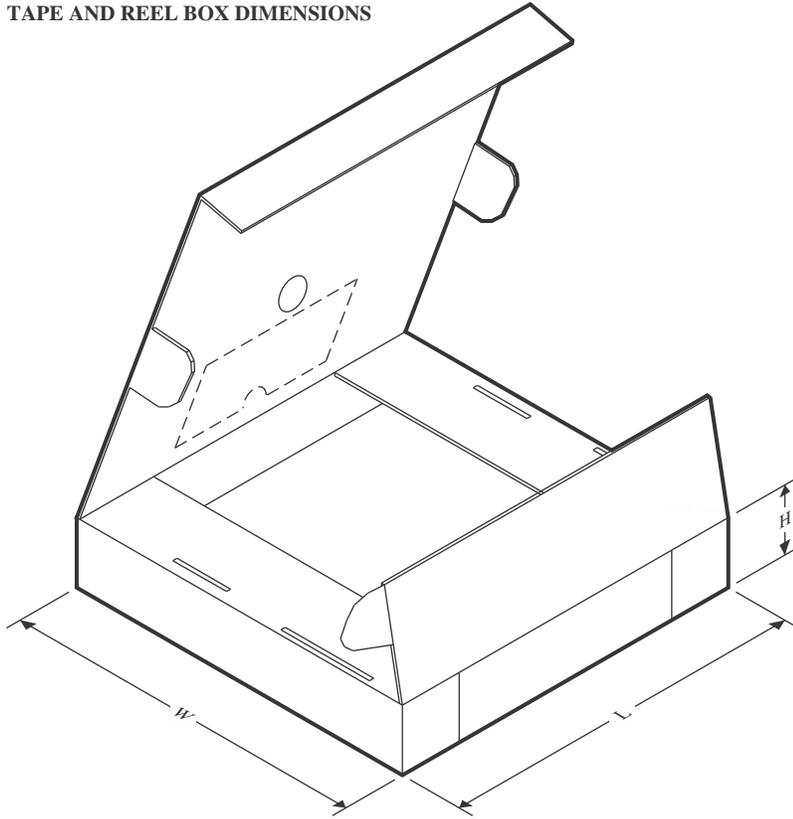
and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

**TAPE AND REEL INFORMATION**

**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TUSB1044AIRNQR	WQFN	RNQ	40	3000	330.0	12.4	4.3	6.3	1.1	8.0	12.0	Q2
TUSB1044AIRNQT	WQFN	RNQ	40	250	180.0	12.4	4.3	6.3	1.1	8.0	12.0	Q2
TUSB1044ARNQR	WQFN	RNQ	40	3000	330.0	12.4	4.3	6.3	1.1	8.0	12.0	Q2
TUSB1044ARNQT	WQFN	RNQ	40	250	180.0	12.4	4.3	6.3	1.1	8.0	12.0	Q2

**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TUSB1044AIRNQR	WQFN	RNQ	40	3000	367.0	367.0	35.0
TUSB1044AIRNQT	WQFN	RNQ	40	250	210.0	185.0	35.0
TUSB1044ARNQR	WQFN	RNQ	40	3000	367.0	367.0	35.0
TUSB1044ARNQT	WQFN	RNQ	40	250	210.0	185.0	35.0

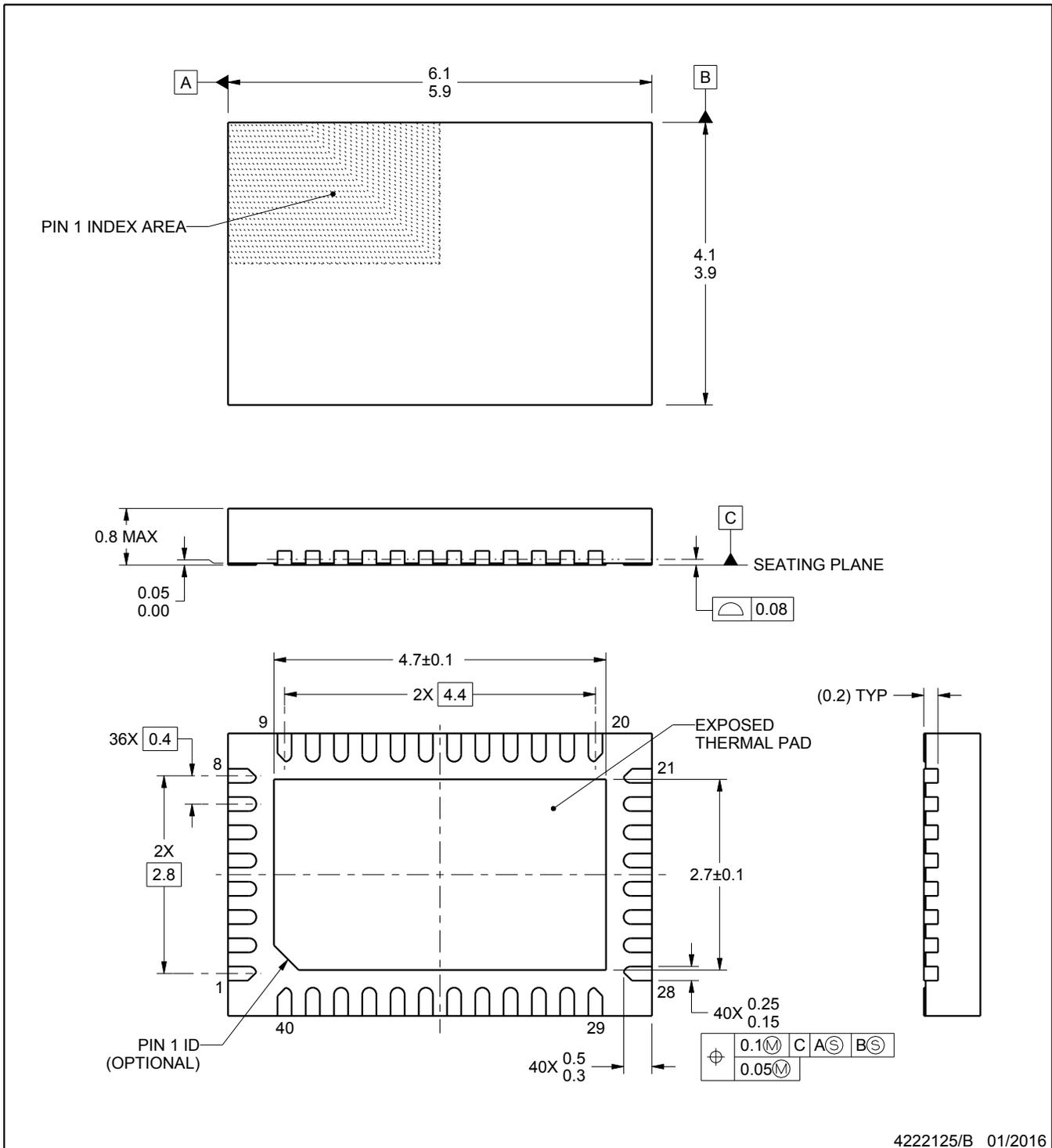
# RNQ0040A



# PACKAGE OUTLINE

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



4222125/B 01/2016

**NOTES:**

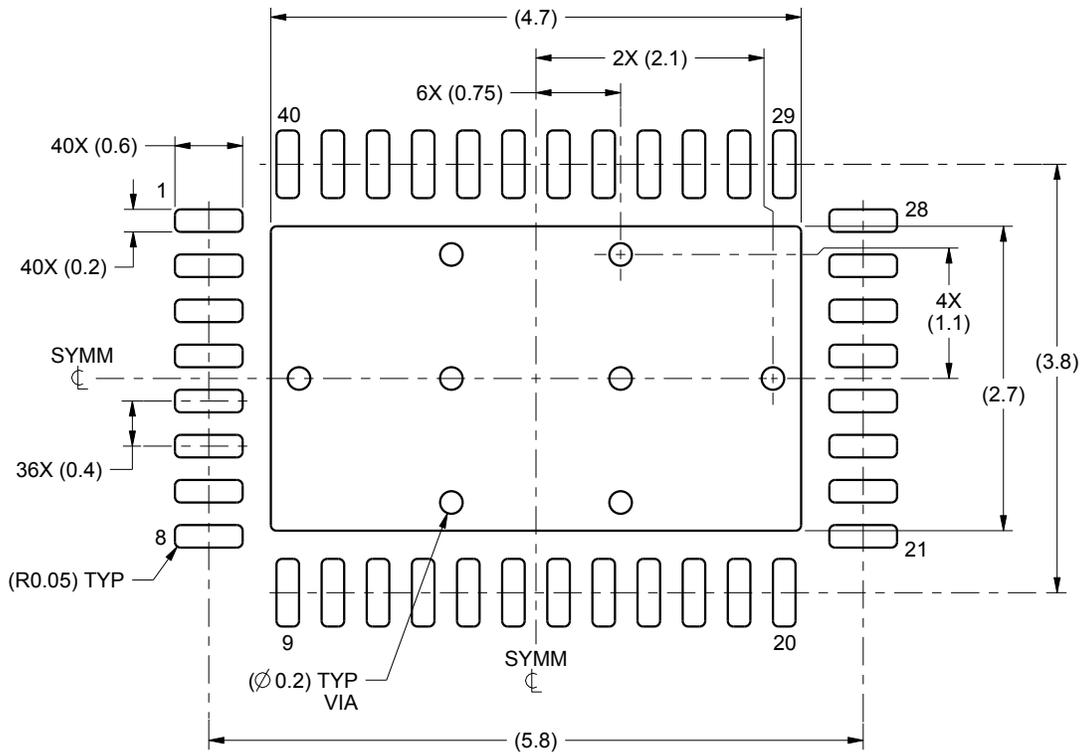
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

# EXAMPLE BOARD LAYOUT

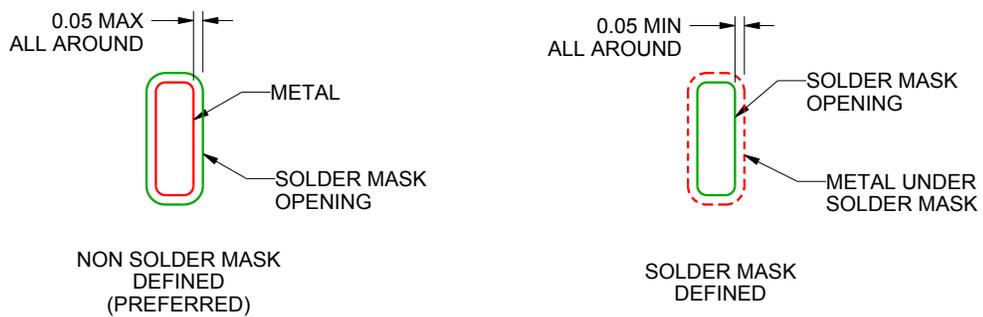
**RNQ0040A**

**WQFN - 0.8 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE  
SCALE:15X



SOLDER MASK DETAILS

4222125/B 01/2016

NOTES: (continued)

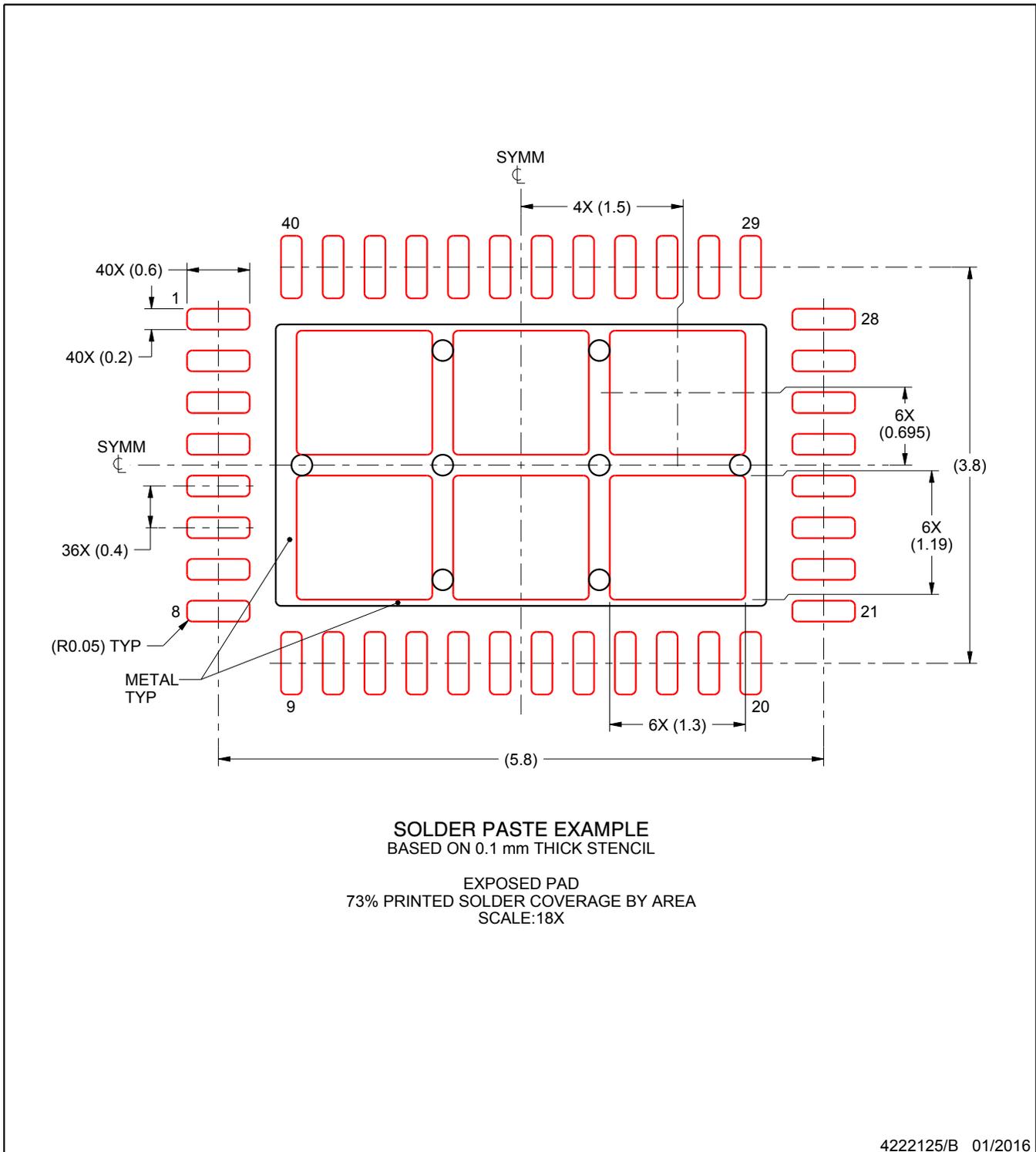
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 ([www.ti.com/lit/slua271](http://www.ti.com/lit/slua271)).

# EXAMPLE STENCIL DESIGN

RNQ0040A

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

## 重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適したテキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているテキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかるテキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2025, Texas Instruments Incorporated