TS3USB30E シングル イネーブル付きの ESD 保護 High-Speed USB 2.0 (480Mbps) 1:2 マルチプレクサ/デマルチプレクサ スイッチ

1 特長

- 2.7V～4.3V の V_{CC} で動作
- D+/D– ピンは最大 5.25V を許容
- 1.8V 互換の制御ピン入力
- I_{OFF} により部分的パワーダウン モードでの動作をサポート
- R_{ON} = 10Ω (最大値)
- ΔR_{ON} = 0.35Ω (標準値)
- $C_{io(ON)}$ = 7.5pF (標準値)
- 低消費電力 (最大 70nA)
- –3dB 帯域幅= 1400MHz (標準値)
- JESD 78、クラス II 準拠で 100mA 超のラッチアップ性能 [1]
- JESD 22 準拠で ESD 性能を試験済み
  - 人体モデルで 8000V (A114-B、クラス II)
  - 1000V、デバイス帯電モデル (C101)
- I/O ポートから GND への ESD 性能 [2]
  - 人体モデルで 15000V
- 10 ピン UQFN でパッケージ (1.8mm x 1.4mm)

2 アプリケーション

- USB 1.0、1.1、2.0 の信号ルーティング
- 多目的信号スイッチング
- ポータブル エレクトロニクス
- 産業用
- コンシューマ製品

3 概要

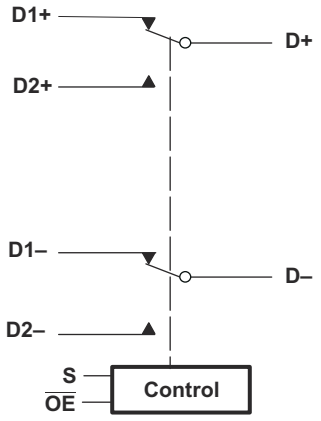
TS3USB30E は、USB I/O 数が限られたハブまたはコントローラを備えたハンドセットおよび民生アプリケーション (例：携帯電話、デジタル カメラ、ノート PC) での High-Speed USB 2.0 信号のスイッチングに特化して設計された高帯域幅 1:2 スイッチです。このスイッチは帯域幅が広く (1400MHz)、エッジと位相の歪みを最小限に抑えて信号を通過させることができます。このデバイスは、USB ホスト デバイスからの差動出力を対応する 2 つの出力のいずれかに、または 2 つの異なるホストからの作動出力を対応する 1 つの出力に多重化します。このスイッチは双方向であり、出力での高速信号の減衰は全くないか、あってもわずかです。TS3USB30E は、ビット間のスキューが小さく、チャネル間のノイズ分離が大きくなるよう設計されています。また、High-Speed USB 2.0 (480Mbps) などの各種規格に適合しています。

TS3USB30E は、すべてのピンに ESD 保護セルが搭載されており、小型の UQFN パッケージ (1.8mm × 1.4mm) または VSSOP パッケージで供給され、-40℃～85℃の自由気流温度範囲で動作が規定されています。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
TS3USB30E	DGS (VSSOP、10)	3mm × 4.9mm
	RSW (UQFN、10)	1.8mm × 1.4mm

(1) 供給されているすべてのパッケージについては、セクション 11 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



機能ブロック図

[1] $\overline{OE}$ および S 入力を除く
[2] 高電圧 HBM は、標準の HBM テスト (A114-B、クラス II) に加えて実行されたもので、GND を基準としてテストされた I/O ポート にのみ適用されます。

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

Table of Contents

1 特長.....1
2 アプリケーション.....1
3 概要.....1
4 Pin Configuration and Functions.....3
5 Specifications.....4
5.1 Absolute Maximum Ratings.....4
5.2 ESD Ratings.....4
5.3 Recommended Operating Conditions.....4
5.4 Thermal Information.....4
5.5 Electrical Characteristics.....5
5.6 Dynamic Electrical Characteristics.....5
5.7 Switching Characteristics.....5
5.8 Typical Characteristics.....7
6 Parameter Measurement Information.....8
7 Detailed Description.....12
7.1 Overview.....12
7.2 Functional Block Diagram.....12
7.3 Feature Description.....12
7.4 Device Functional Modes.....12
8 Application and Implementation.....13
8.1 Application Information.....13
8.2 Typical Application.....13
8.3 Power Supply Recommendations.....14
8.4 Layout.....14
9 Device and Documentation Support.....16
9.1 Documentation Support.....16
9.2 ドキュメントの更新通知を受け取る方法.....16
9.3 サポート・リソース.....16
9.4 Trademarks.....16
9.5 静電気放電に関する注意事項.....16
9.6 用語集.....16
10 Revision History.....16
11 Mechanical, Packaging, and Orderable Information.....17

Copyright © 2024 Texas Instruments Incorporated

4 Pin Configuration and Functions

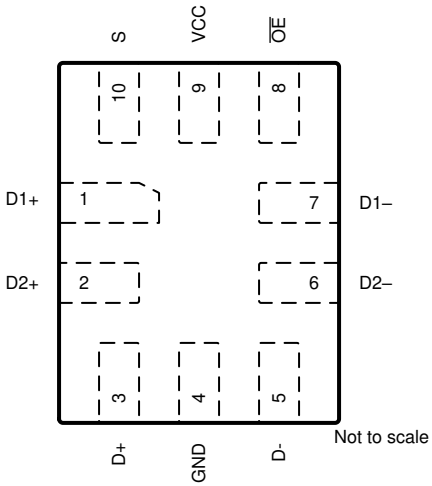


図 4-1. RSW Package 10-Pin UQFN Top View

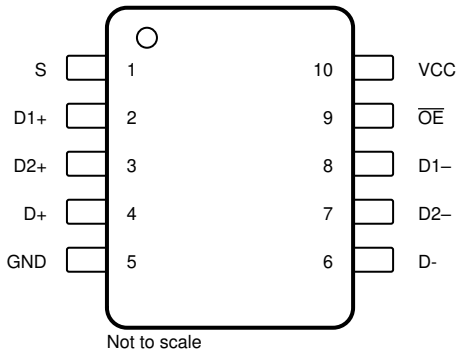


図 4-2. DGS Package 10-Pin VSSOP Top View

表 4-1. Pin Functions

PIN			I/O	DESCRIPTION
NAME	UQFN	VSSOP		
D+	3	4	I/O	Common USB signal path
D–	5	6	I/O	
D1+	1	2	I/O	USB signal path port 1
D1–	7	8	I/O	
D2+	2	3	I/O	USB signal path port 2
D2–	6	7	I/O	
GND	4	5	—	Ground
$\overline{OE}$	8	9	I	Bus-switch enable
S	10	1	I	Select input
VCC	9	10	—	Voltage supply

Copyright © 2024 Texas Instruments Incorporated

5 Specifications

5.1 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted) (see (1) (2))

			MIN	MAX	UNIT
V_{CC}	Supply voltage		–0.5	7	V
V_{IN}	Control input voltage		–0.5	7	V
$V_{I/O}$	Signal path I/O voltage (3)	D+, D– when V_{CC} > 0V	–0.5	V_{CC} + 0.3	V
		D+, D– when V_{CC} = 0V	–0.5	5.25	
I_{IK}	Control input clamp current	V_{IN} < 0V		–50	mA
$I_{I/OK}$	I/O port clamp current	$V_{I/O}$ < 0V		–50	mA
$I_{I/O}$	ON-state switch current(4)			±64	mA
	Continuous current through V_{CC} or GND			±100	mA
T_{stg}	Storage temperature		–65	150	°C

(1) Stresses beyond those listed under *Absolute Maximum Ratings* may cause permanent damage to the device. These are stress ratings only, which do not imply functional operation of the device at these or any other conditions beyond those indicated under *Recommended Operating Conditions*. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.
(2) All voltages are with respect to ground, unless otherwise specified.
(3) V_I and V_O are used to denote specific conditions for $V_{I/O}$.
(4) I_I and I_O are used to denote specific conditions for $I_{I/O}$.

5.2 ESD Ratings

				VALUE	UNIT
$V_{(ESD)}$	Electrostatic discharge	Human body model (HBM), per ANSI/ESDA/JEDEC JS-001(1)	All pins	8000	V
			I/O port to GND	15000	V
		Charged-device model (CDM), per ANSI/ESDA/JEDEC JS-002 (2)		1000	V

(1) JEDEC document JEP155 states that 500V HBM allows safe manufacturing with a standard ESD control process.
(2) JEDEC document JEP157 states that 250V CDM allows safe manufacturing with a standard ESD control process.

5.3 Recommended Operating Conditions

over operating free-air temperature range (unless otherwise noted) (1).

			MIN	MAX	UNIT
V_{CC}	Supply voltage		3	4.3	V
V_{IH}	High-level control input voltage	V_{CC} = 3V to 3.6V	1.3	V_{CC}	V
		V_{CC} = 4.3V	1.7	V_{CC}	
V_{IL}	Low-level control input voltage	V_{CC} = 3V to 3.6V	0	0.5	V
		V_{CC} = 4.3V	0	0.7	
$V_{I/O}$	Data input/output voltage		0	V_{CC}	V
T_A	Operating free-air temperature		–40	85	°C

(1) All unused control inputs of the device must be held at V_{CC} or GND to ensure proper device operation. Refer to *Implications of Slow or Floating CMOS Inputs*.

5.4 Thermal Information

THERMAL METRIC(1)		Device		UNIT
		DGS (VSSOP)	RSW (UQFN)	
		10 PINS	10 PINS	
$R_{\theta JA}$	Junction-to-ambient thermal resistance	203.1	114.5	°C/W
$R_{\theta JC(top)}$	Junction-to-case (top) thermal resistance	88.7	64.7	°C/W
$R_{\theta JB}$	Junction-to-board thermal resistance	123.0	21.0	°C/W
ψ_{JT}	Junction-to-top characterization parameter	21.2	1.9	°C/W

Copyright © 2024 Texas Instruments Incorporated

THERMAL METRIC(1)		Device		UNIT
		DGS (VSSOP)	RSW (UQFN)	
		10 PINS	10 PINS	
ψ_{JB}	Junction-to-board characterization parameter	121.6	21.0	°C/W

(1) For more information about traditional and new thermal metrics, see the Semiconductor and IC Package Thermal Metrics application report.

5.5 Electrical Characteristics

over operating free-air temperature range (unless otherwise noted)(1)

PARAMETER		TEST CONDITIONS	MIN	TYP(2)	MAX	UNIT
V_{IK}	Control inputs clamp voltage	V_{CC} = 3V, I_I = –18mA			–1.2	V
I_{IN}	Control inputs	V_{CC} = 4.3V, 0V, V_{IN} = 0V to 4.3V			±1	µA
I_{OZ}	D+ and D– OFF-state leakage current(3)	V_{CC} = 4.3V, V_O = 0V to 3.6V, V_I = 0V, Switch OFF			±1	µA
I_{OFF}	Powered off leakage current	V_{CC} = 0V, V_O = 0V to 4.3V, V_I = 0V, V_{IN} = V_{CC} or GND			±2	µA
I_{CC}	Supply current	V_{CC} = 4.3V, $I_{I/O}$ = 0mA, Switch ON or OFF			1	µA
ΔI_{CC} (4)	Control inputs	V_{CC} = 4.3V, V_{IN} = 2.6V			10	µA
C_{in}	Control inputs digital input capacitance	V_{CC} = 0V, V_{IN} = V_{CC} or GND		1		pF
$C_{io(OFF)}$	OFF-state input capacitance	V_{CC} = 3.3V, $V_{I/O}$ = 3.3V or 0V, Switch OFF		2		pF
$C_{io(ON)}$	ON-state input capacitance	V_{CC} = 3.3V, $V_{I/O}$ = 3.3V or 0V, Switch ON		7.5		pF
R_{ON}	ON-state resistance(5)	V_{CC} = 3V, V_I = 0.4V, I_O = –8mA		6	10	Ω
ΔR_{ON}	ON-state resistance match between channels	V_{CC} = 3V, V_I = 0.4V, I_O = –8mA		0.35		Ω
$r_{on(flat)}$	ON-state resistance flatness	V_{CC} = 3V, V_I = 0V or 1V, I_O = –8mA		2		Ω

(1) V_{IN} and I_{IN} refer to control inputs. V_I, V_O, I_I, and I_O refer to data pins.
(2) All typical values are at V_{CC} = 3.3V (unless otherwise noted), T_A = 25°C.
(3) For I/O ports, the parameter I_{OZ} includes the input leakage current.
(4) This is the increase in supply current for each input that is at the specified TTL voltage level, rather than V_{CC} or GND.
(5) Measured by the voltage drop between the A and B terminals at the indicated current through the switch. ON-state resistance is determined by the lower of the voltages of the two (A or B) terminals.

5.6 Dynamic Electrical Characteristics

over operating range, T_A = –40°C to 85°C, V_{CC} = 3.3V ±10%, GND = 0V

PARAMETER		TEST CONDITIONS	TYP(1)	UNIT
X_{TALK}	Crosstalk	R_L = 50Ω, f = 240MHz, See 図 6-3	–32	dB
O_{ISO}	OFF isolation	R_L = 50Ω, f = 240MHz, See 図 6-2	–32	dB
BW	Bandwidth (–3 dB)	R_L = 50Ω, See 図 6-4	1400	MHz

(1) For minimum or maximum conditions, use the appropriate value specified under *Electrical Characterisics* for the applicable device type.

5.7 Switching Characteristics

over operating range, T_A = –40°C to 85°C, V_{CC} = 3.3V ±10%, GND = 0V

PARAMETER		TEST CONDITIONS	MIN	TYP(1)	MAX	UNIT
t_{pd}	Propagation delay(2) (3)	R_L = 50Ω, C_L = 5pF, At 480Mbps, See 図 6-5		0.25		ns
t_{ON}	Line enable time, SEL to D, nD	R_L = 50Ω, C_L = 5pF, See 図 6-1			30	ns
t_{OFF}	Line disable time, SEL to D, nD	R_L = 50Ω, C_L = 5pF, See 図 6-1			25	ns
t_{ON}	Line enable time, $\overline{OE}$ to D, nD	R_L = 50Ω, C_L = 5pF, See 図 6-1			30	ns

Copyright © 2024 Texas Instruments Incorporated

over operating range, T_A = –40°C to 85°C, V_{CC} = 3.3V ±10%, GND = 0V

PARAMETER		TEST CONDITIONS	MIN	TYP(1)	MAX	UNIT
t_{OFF}	Line disable time, $\overline{OE}$ to D, nD	R_L = 50Ω, C_L = 5pF, See 図 6-1			25	ns
$t_{SK(O)}$	Output skew between center port to any other port(2)	R_L = 50Ω, C_L = 5pF, See 図 6-6			50	ps
$t_{SK(P)}$	Skew between opposite transitions of the same output (t_{PHL} – t_{PLH})(2)	R_L = 50Ω, C_L = 5pF, See 図 6-6			20	ps
t_J	Total jitter(2)	R_L = 50Ω, C_L = 5pF, t_R = t_F = 500ps at 480Mbps (PRBS = 2^{15} – 1)			20	ps

(1) For minimum or maximum conditions, use the appropriate value specified under *Electrical Characteristics* for the applicable device type.
(2) Specified by design
(3) The bus switch contributes no propagational delay other than the RC delay of the on resistance of the switch and the load capacitance. The time constant for the switch alone is of the order of 0.25ns for 10pF load. Since this time constant is much smaller than the rise/fall times of typical driving signals, bus switch adds very little propagational delay to the system. Propagational delay of the bus switch, when used in a system, is determined by the driving circuit on the driving side of the switch and its interactions with the load on the driven side.

Copyright © 2024 Texas Instruments Incorporated

5.8 Typical Characteristics

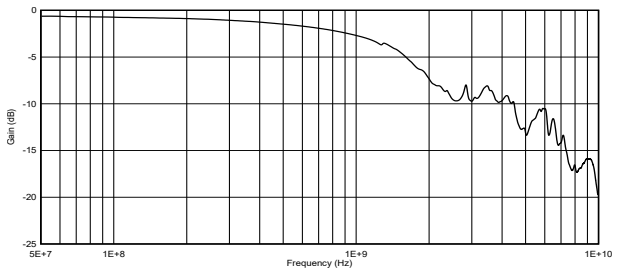


図 5-1. Gain vs Frequency

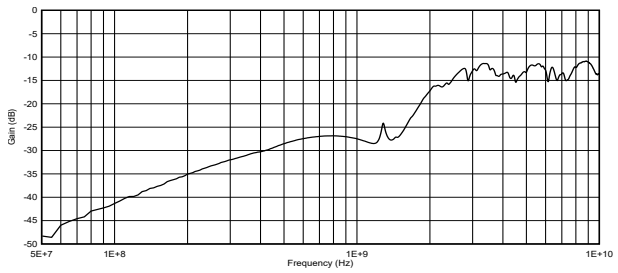


図 5-2. OFF Isolation

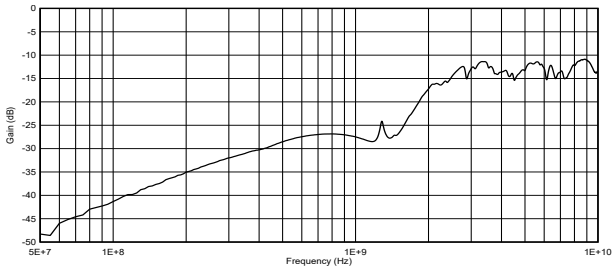
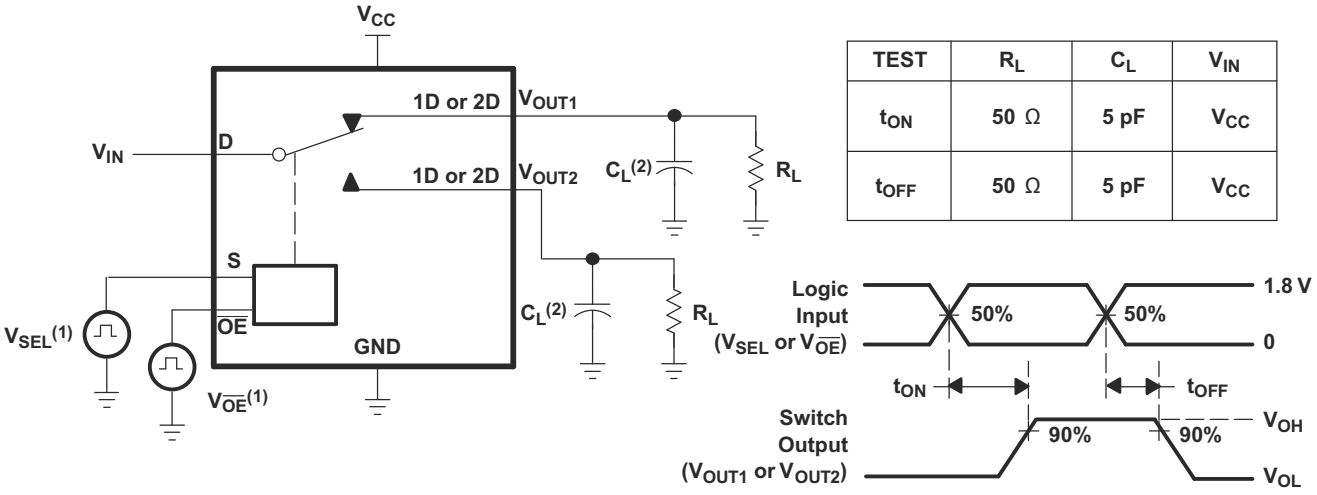


図 5-3. Crosstalk

6 Parameter Measurement Information



TEST	R_L	C_L	V_{IN}
t_{ON}	50 Ω	5 pF	V_{CC}
t_{OFF}	50 Ω	5 pF	V_{CC}

A. All input pulses are supplied by generators having the following characteristics: PRR ≤ 10MHz, Z_O = 50Ω, t_r < 5ns, t_f < 5ns.
B. C_L includes probe and jig capacitance.

図 6-1. Turn-On (t_{ON}) and Turn-Off Time (t_{OFF})

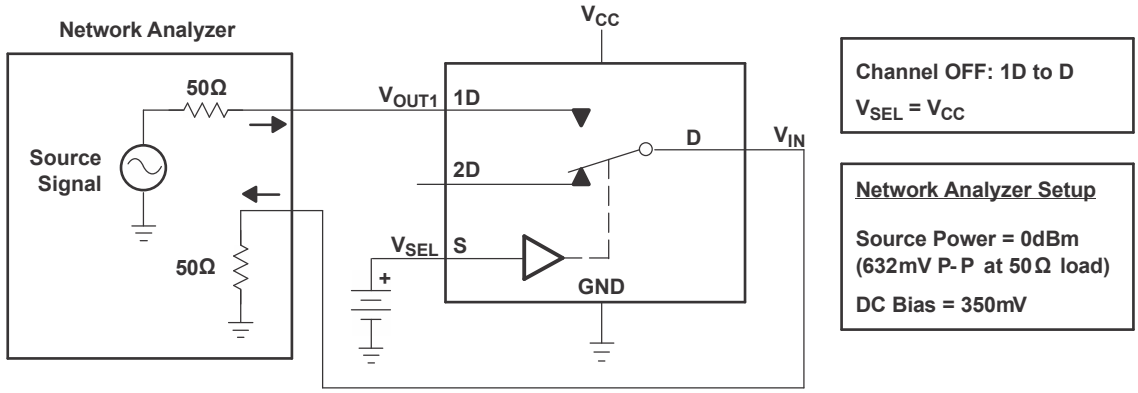


図 6-2. OFF Isolation (O_{ISO})

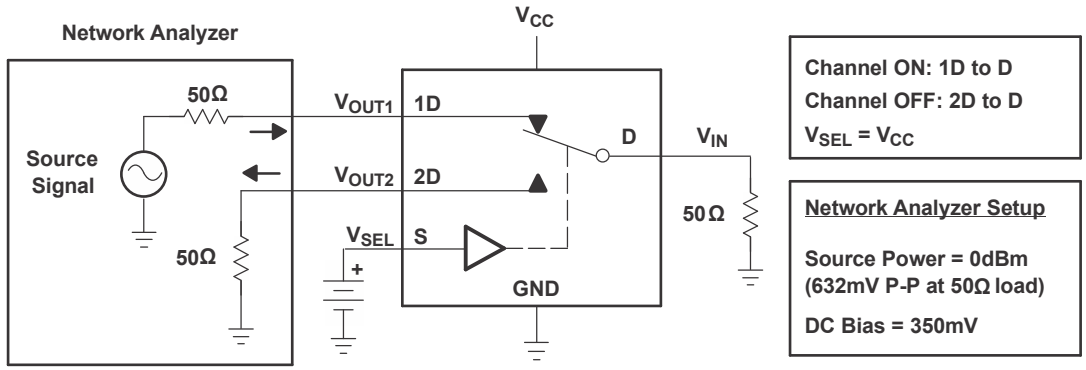


図 6-3. Crosstalk (X_{TALK})

Copyright © 2024 Texas Instruments Incorporated

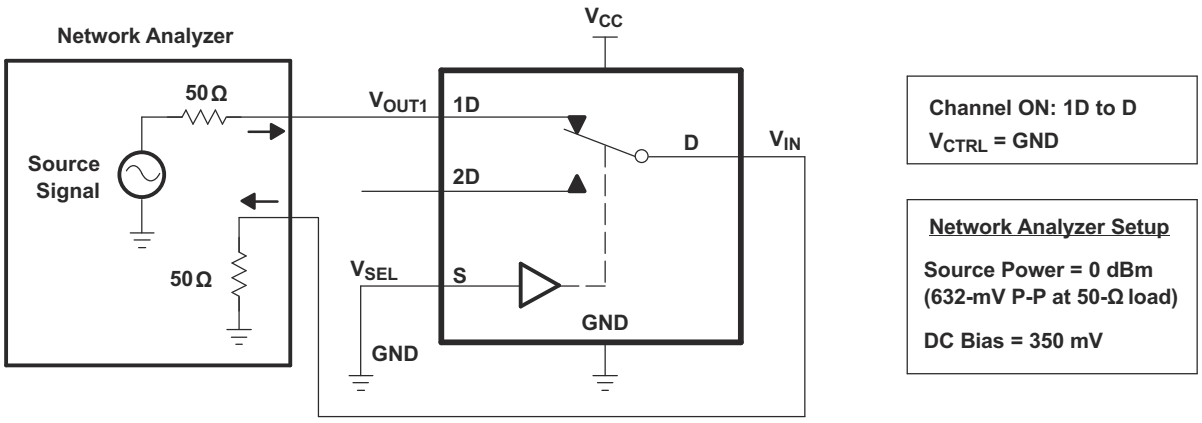


図 6-4. Bandwidth (BW)

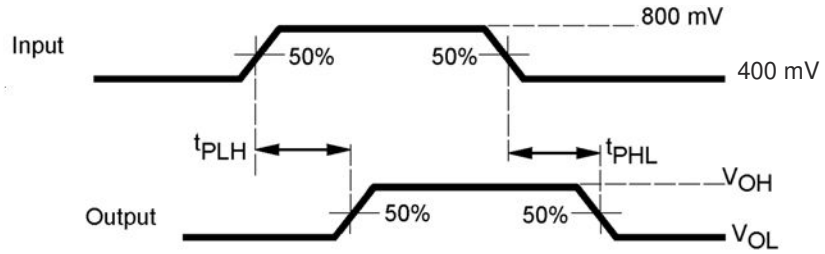
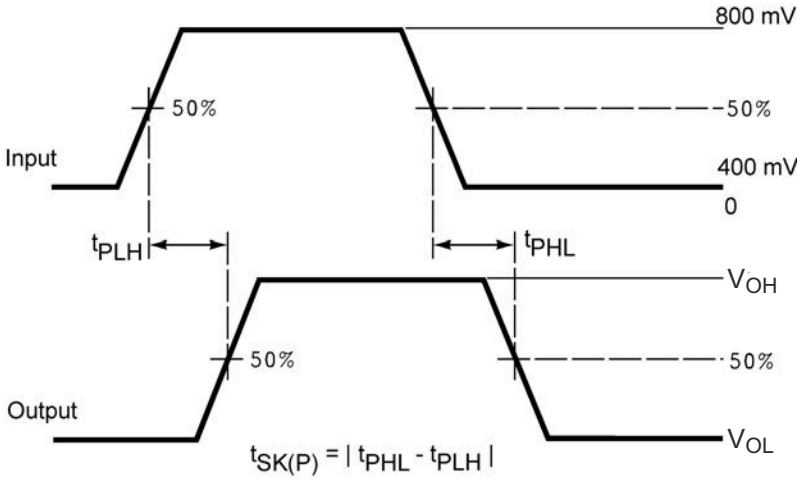
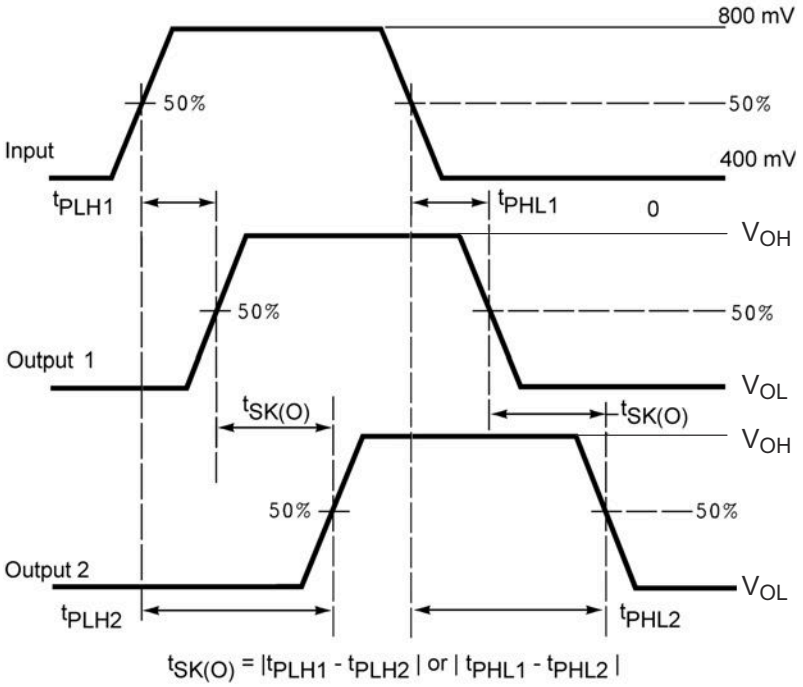


図 6-5. Propagation Delay



Pulse Skew $t_{SK(P)}$



Output Skew $t_{SK(P)}$

図 6-6. Skew Test

Copyright © 2024 Texas Instruments Incorporated

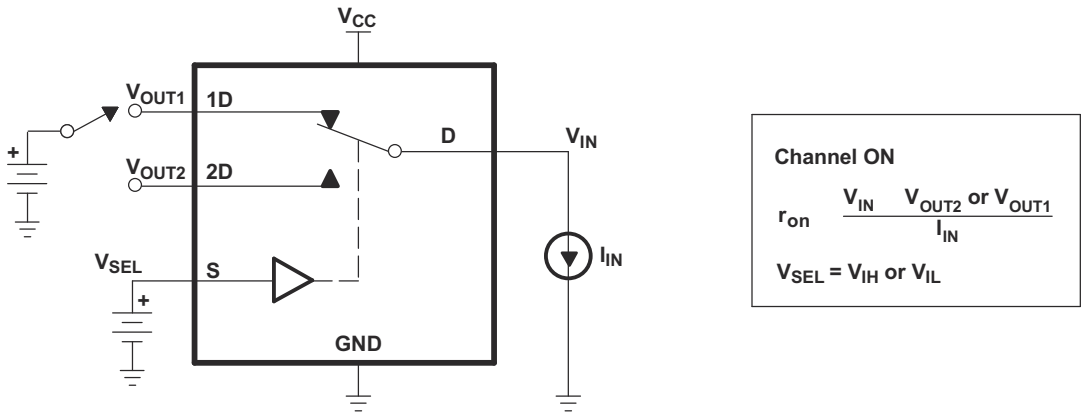


図 6-7. ON-State Resistance (R_{ON})

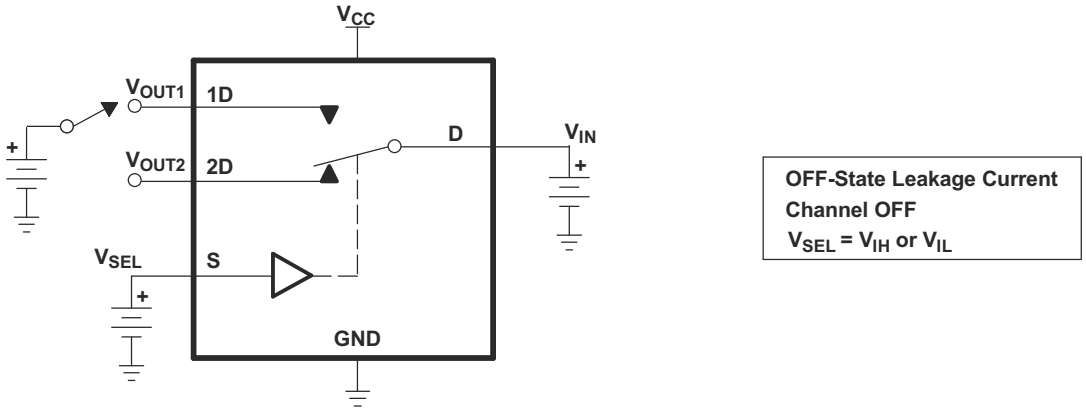


図 6-8. OFF-State Leakage Current

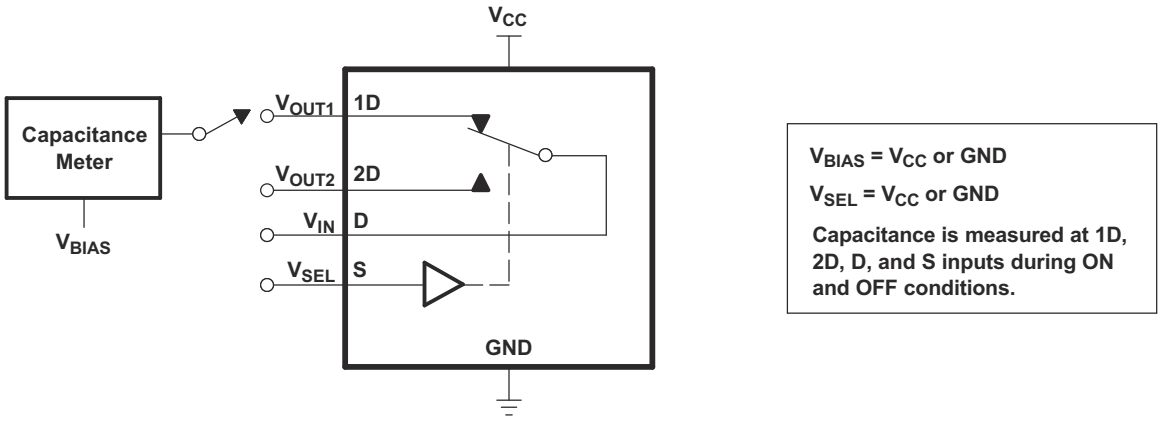


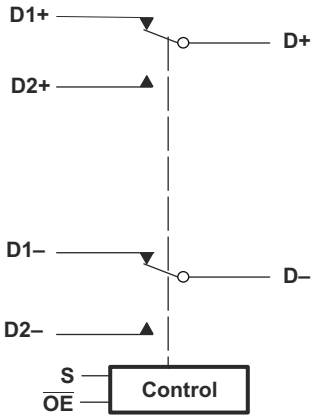
図 6-9. Capacitance

7 Detailed Description

7.1 Overview

The TS3USB30E is a high-bandwidth switch specially designed for the switching and isolating of high-speed USB 2.0 signals in systems with limited USB I/Os. The wide bandwidth (1400MHz) of this switch allows signals to pass with minimum edge and phase distortion. The device multiplexes differential outputs from a USB host device to one of two corresponding outputs or from two different hosts to one corresponding output. The switch is bidirectional and offers little or no attenuation of the high-speed signals at the outputs. The switch is designed for low bit-to-bit skew and high channel-to-channel noise isolation, and is compatible with various standards such as high-speed USB 2.0 (480Mbps).

7.2 Functional Block Diagram



7.3 Feature Description

The TS3USB30E has a bus-switch enable pin $\overline{OE}$ that can place the signal paths in high impedance. This allows the user to isolate the bus when the bus is not in use to consume less current.

7.4 Device Functional Modes

The device functional modes are shown in 表 7-1.

表 7-1. Truth Table

S	$\overline{OE}$	FUNCTION
X	H	Disconnect
L	L	D = D1
H	L	D = D2

Copyright © 2024 Texas Instruments Incorporated

8 Application and Implementation

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 Application Information

There are many USB applications in which the USB hubs or controllers have a limited number of USB I/Os. The TS3USB30E solution can effectively expand the limited USB I/Os by switching between multiple USB buses to a single USB hub or controller. The TS3USB30E can also be used to connect a single USB controller to two USB connectors or controllers.

8.2 Typical Application

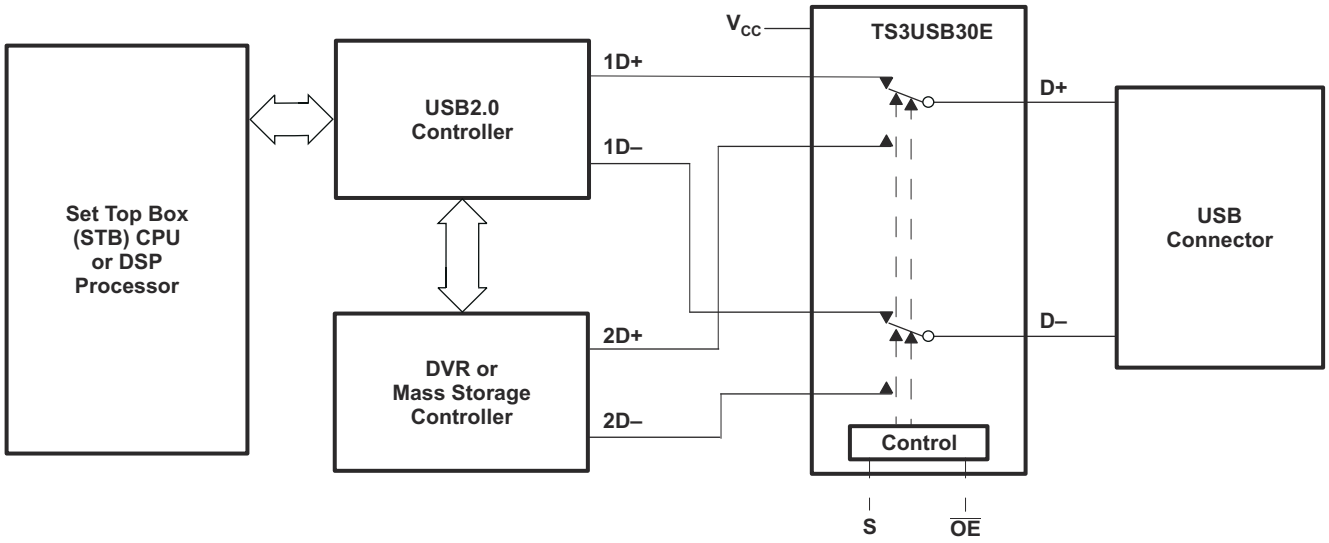


図 8-1. Application Diagram

8.2.1 Design Requirements

Design requirements of the USB 1.0, 1.1, and 2.0 standards should be followed. TI recommends that the digital control pins S and $\overline{OE}$ be pulled up to V_{CC} or down to GND to avoid undesired switch positions that could result from the floating pin.

8.2.2 Detailed Design Procedure

The TS3USB30E can be properly operated without any external components. However, TI recommends to connect any unused pins to ground through a 50Ω resistor to prevent signal reflections back into the device.

Copyright © 2024 Texas Instruments Incorporated

8.2.3 Application Curves

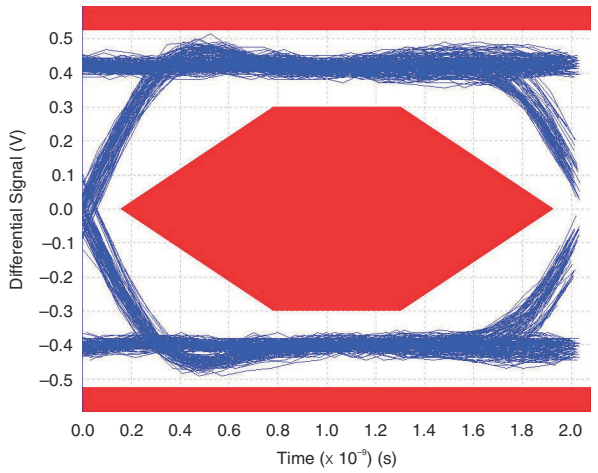


図 8-2. Eye Pattern: 480Mbps USB Signal With No Switch (Through Path)

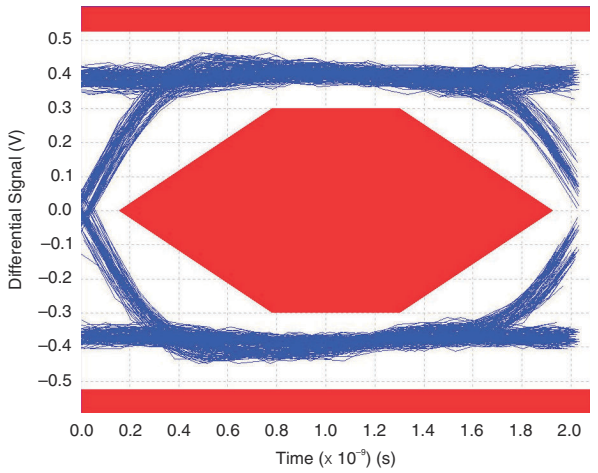


図 8-3. Eye Pattern: 480Mbps USB Signal With Switch NC Path

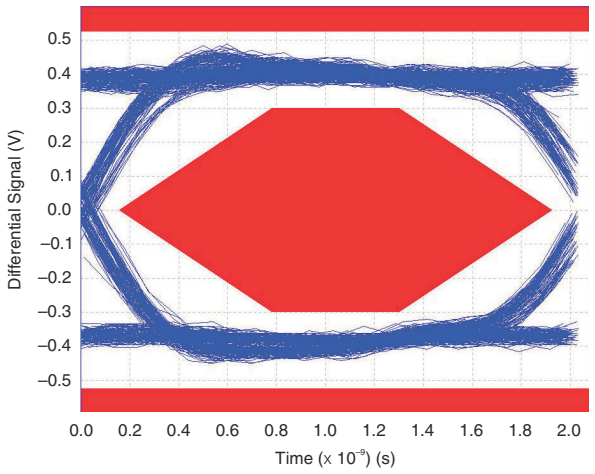


図 8-4. Eye Pattern: 480Mbps USB Signal With Switch NO Path

8.3 Power Supply Recommendations

Power to the device is supplied through the V_{CC} pin and must follow the USB 1.0, 1.1, and 2.0 standards. TI recommends placing a bypass capacitor as close as possible to the supply pin V_{CC} to help smooth out lower frequency noise to provide better load regulation across the frequency spectrum.

8.4 Layout

8.4.1 Layout Guidelines

Place supply bypass capacitors as close to V_{CC} pin as possible and avoid placing the bypass caps near the D+ and D– traces.

The high-speed D+ and D– traces must always be of equal length and must be no more than 4 inches; otherwise, the eye diagram performance may be degraded. A high-speed USB connection is made through a shielded, twisted pair cable with a differential characteristic impedance. In the layout, make sure the impedance of D+ and D– traces match the cable characteristic differential impedance for optimal performance.

Route the high-speed USB signals using a minimum of vias and corners to reduce signal reflections and impedance changes. When a via must be used, increase the clearance size around the via to minimize the

Copyright © 2024 Texas Instruments Incorporated

capacitance. Each via introduces discontinuities in the transmission line of the signal and increases the chance of picking up interference from the other layers of the board. Be careful when designing test points on twisted pair lines; through-hole pins are not recommended.

When it becomes necessary to turn 90°, use two 45° turns or an arc instead of making a single 90° turn. This reduces reflections on the signal traces by minimizing impedance discontinuities.

Do not route USB traces under or near crystals, oscillators, clock signal generators, switching regulators, mounting holes, magnetic devices, or ICs that use or duplicate clock signals.

Avoid stubs on the high-speed USB signals because the stubs can cause signal reflections. If a stub is unavoidable, then make sure the stub is less than 200mm.

Route all high-speed USB signal traces over continuous planes (VCC or GND), with no interruptions.

Avoid crossing over anti-etch, commonly found with plane splits.

Due to high frequencies associated with the USB, a printed circuit board with at least four layers is recommended: two signal layers separated by a ground layer and a power layer. The majority of signal traces should run on a single layer, preferably Signal 1. Immediately next to this layer should be the GND plane, which is solid with no cuts. Avoid running signal traces across a split in the ground or power plane. When running across split planes is unavoidable, sufficient decoupling must be used. Minimizing the number of signal vias reduces EMI by reducing inductance at high frequencies. For more information on layout guidelines, see *High Speed Layout Guidelines* and *USB 2.0 Board Design and Layout Guidelines*.

8.4.2 Layout Example

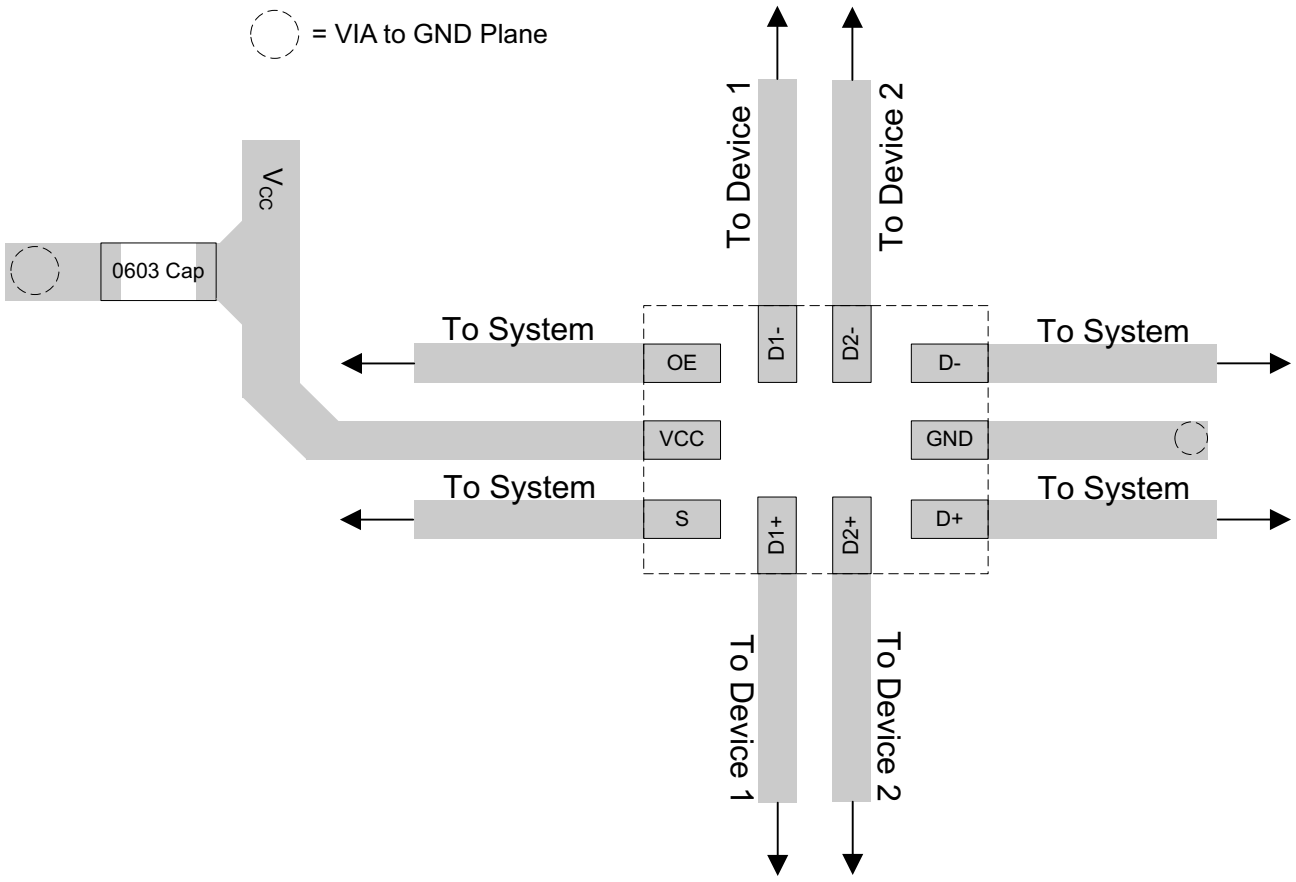


図 8-5. Layout Recommendation

Copyright © 2024 Texas Instruments Incorporated

9 Device and Documentation Support

9.1 Documentation Support

9.1.1 Related Documentation

For related documentation, see the following:

- Texas Instruments, *Implications of Slow or Floating CMOS Inputs* application note
- Texas Instruments, *High Speed Layout Guidelines*
- Texas Instruments, *USB 2.0 Board Design and Layout Guidelines*

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.4 Trademarks

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision F (August 2015) to Revision G (October 2024)	Page
• Changed the *Pin Configuration* images and removed the RSW bottom view pinout	3
• Removed footnote in *Absolute Maximum Ratings* which stated "The input and output voltage ratings may be exceeded if the input and output clamp-current ratings are observed."	4
• Changed XTALK from -54dB to -32dB	5
• Changed OISO from -40dB to -32dB	5
• Changed BW from 900MHz to 1400GHz and removed CL = 5pF from Test Conditions	5
• Changed the *Gain vs Frequency* graph	7
• Changed the *Crosstalk (X_{TALK})* graph	7
• Changed the *Off Isolation (O_{ISO})* graph	7
• Removed the 50Ω pulldown resistor on VOUT1 from the *Off Isolation (O_{ISO})* image	8
• Added the text D next to V_{IN} the *Crosstalk (X_{TALK})* image	8

Copyright © 2024 Texas Instruments Incorporated

Changes from Revision E (August 2012) to Revision F (August 2015) **Page**

- 「ピン構成および機能」セクション、「ESD 定格」表、「機能説明」セクション、「デバイスの機能モード」セクション、「アプリケーションと実装」セクション、「電源に関する推奨事項」セクション、「レイアウト」セクション、「デバイスおよびドキュメントのサポート」セクション、「メカニカル、パッケージ、および注文情報」セクションを追加 1
- 「概要」のパッケージ タイプを次のように変更しました。変更前：DGS、変更後：VSSOP..... 1

11 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

Copyright © 2024 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TS3USB30EDGSR	Active	Production	VSSOP (DGS) | 10	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(L6Q, L6R)
TS3USB30EDGSR.B	Active	Production	VSSOP (DGS) | 10	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(L6Q, L6R)
TS3USB30EDGSRG4	Active	Production	VSSOP (DGS) | 10	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	L6R
TS3USB30EDGSRG4.B	Active	Production	VSSOP (DGS) | 10	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	L6R
TS3USB30ERSWR	Active	Production	UQFN (RSW) | 10	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(LY7, LYO, LYV)
TS3USB30ERSWR.A	Active	Production	UQFN (RSW) | 10	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(LY7, LYO, LYV)
TS3USB30ERSWR.B	Active	Production	UQFN (RSW) | 10	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(LY7, LYO, LYV)
TS3USB30ERSWRG4.A	Active	Production	UQFN (RSW) | 10	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LYV
TS3USB30ERSWRG4.B	Active	Production	UQFN (RSW) | 10	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LYV

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

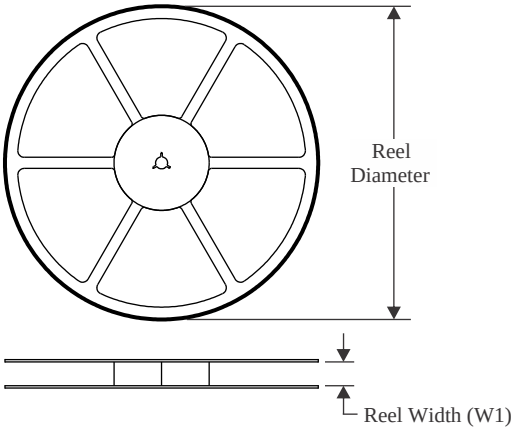
Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative

and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

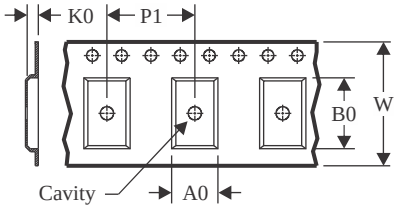
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

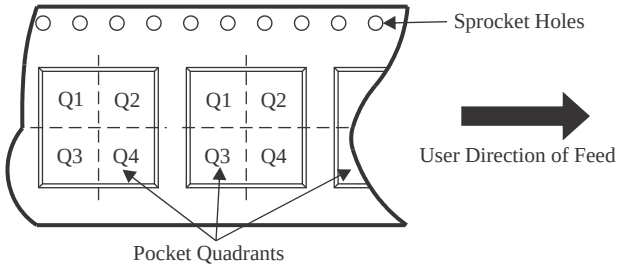


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

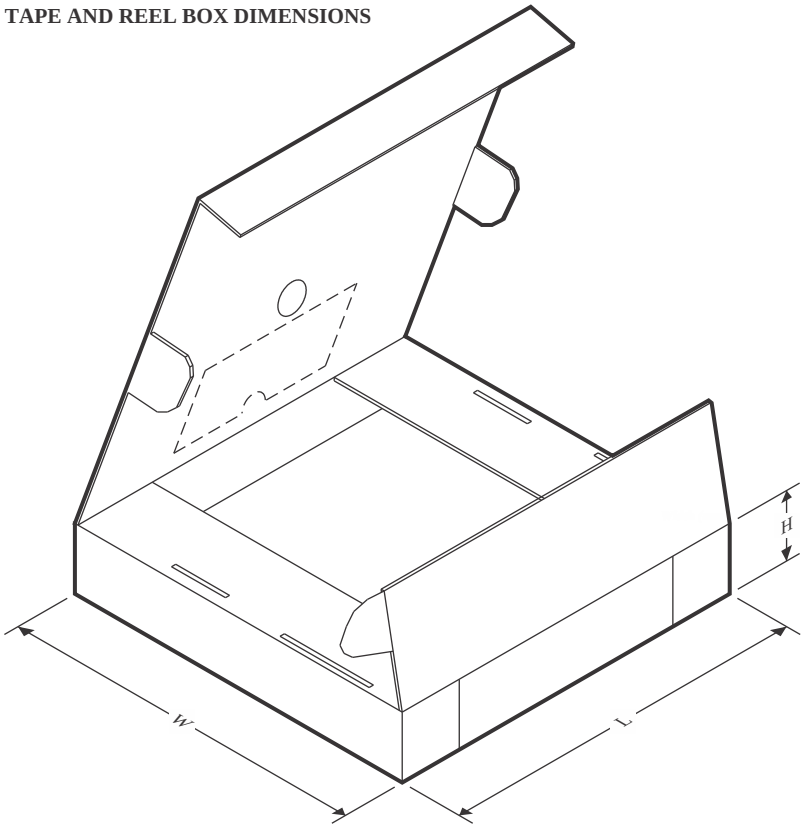
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TS3USB30EDGSR	VSSOP	DGS	10	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TS3USB30EDGSRG4	VSSOP	DGS	10	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TS3USB30ERSWR	UQFN	RSW	10	3000	180.0	9.5	1.6	2.0	0.8	4.0	8.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

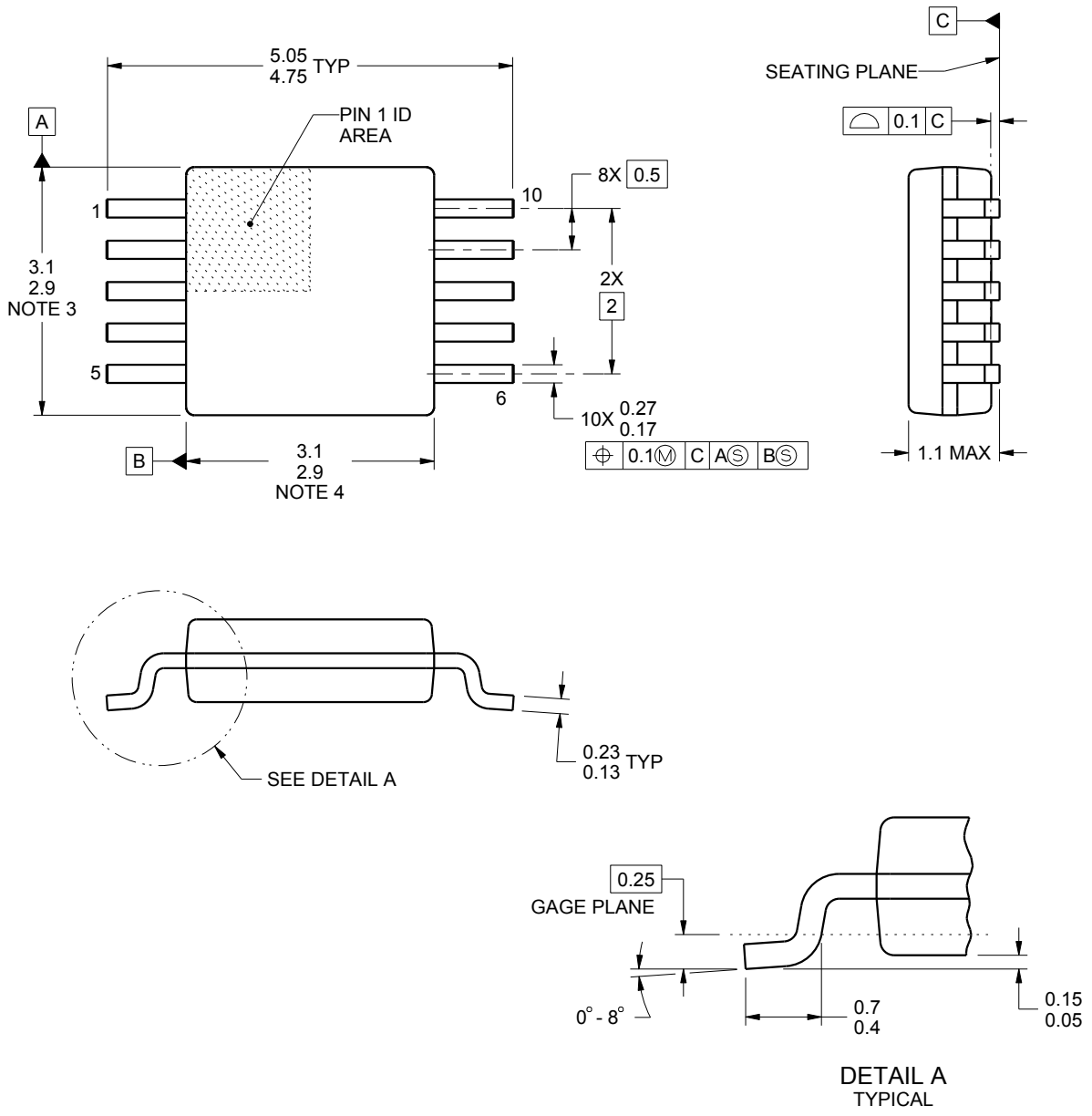
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TS3USB30EDGSR	VSSOP	DGS	10	2500	358.0	335.0	35.0
TS3USB30EDGSRG4	VSSOP	DGS	10	2500	358.0	335.0	35.0
TS3USB30ERSWR	UQFN	RSW	10	3000	189.0	185.0	36.0

PACKAGE OUTLINE

DGS0010A

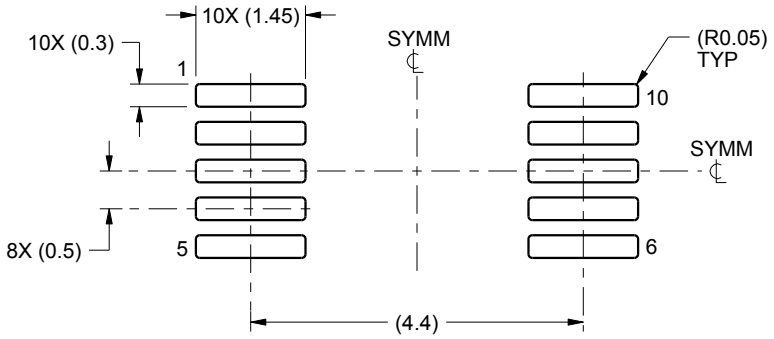
VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE

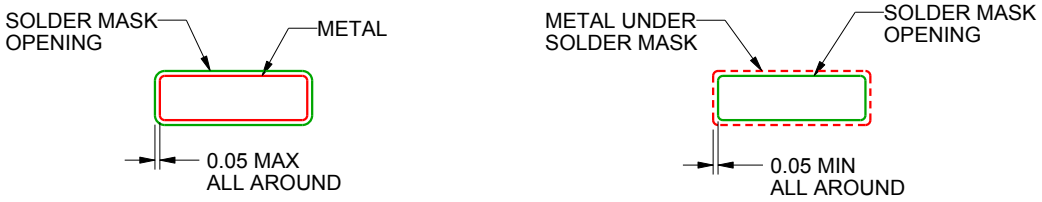


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187, variation BA.



LAND PATTERN EXAMPLE
SCALE:10X

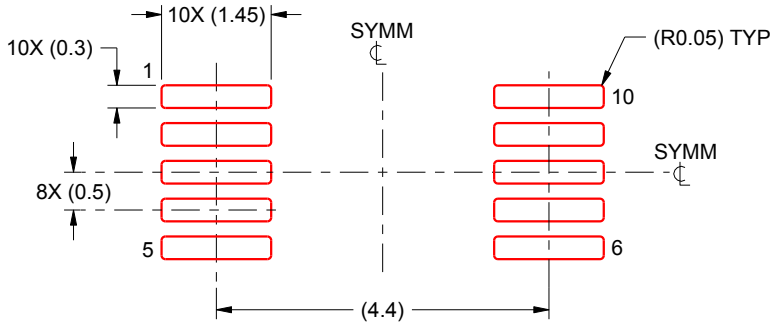


SOLDER MASK DETAILS
NOT TO SCALE

4221984/A 05/2015

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:10X

4221984/A 05/2015

NOTES: (continued)

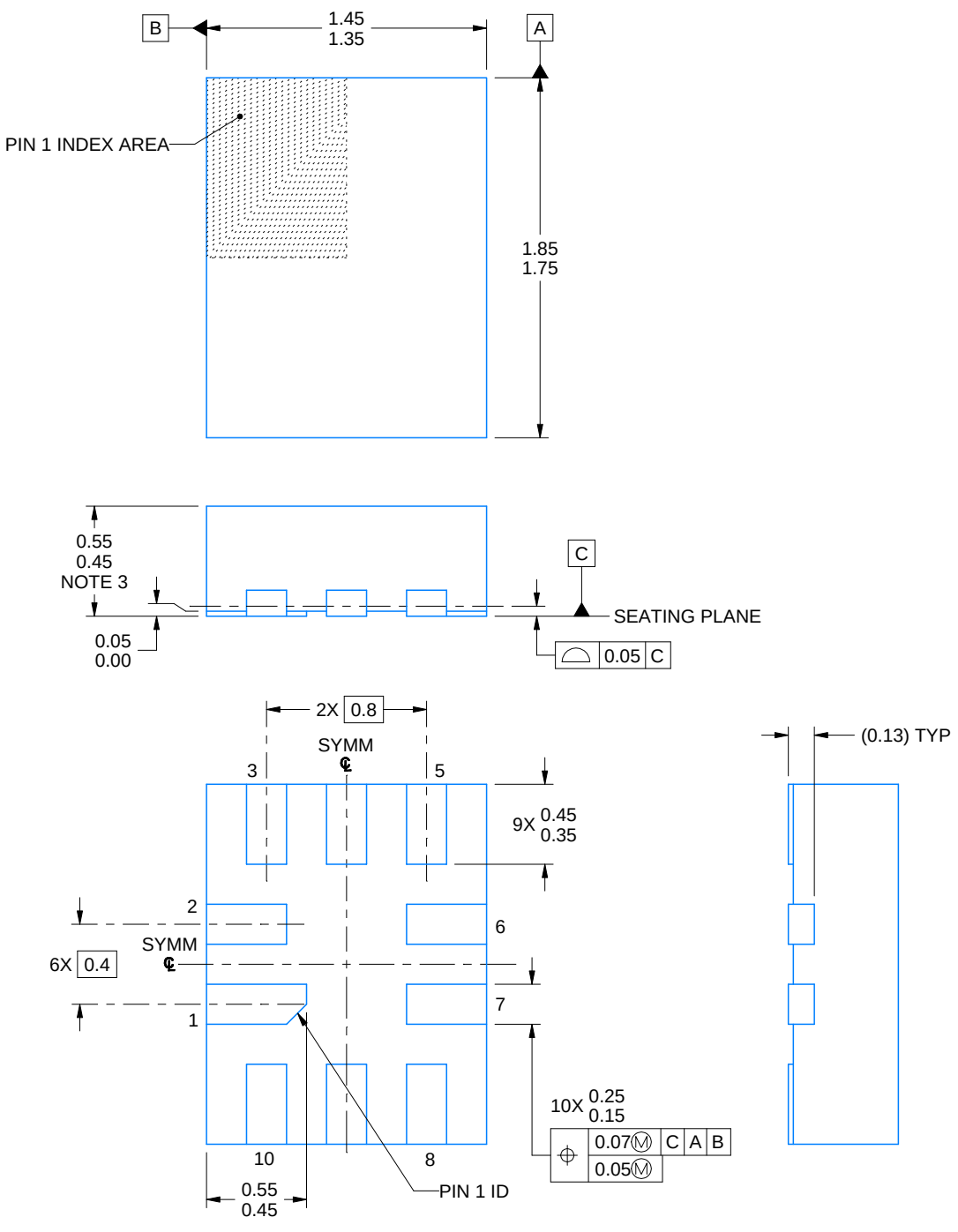
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

RSW0010A

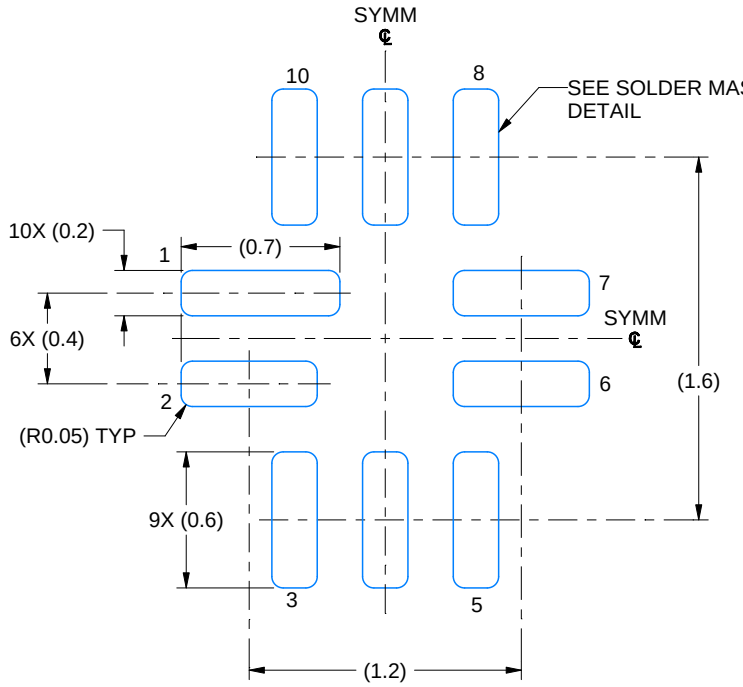
UQFN - 0.55 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

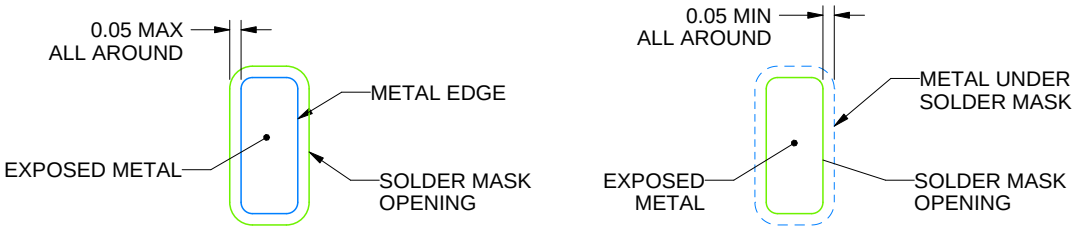


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This package complies to JEDEC MO-288 variation UDEE, except minimum package height.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 30X

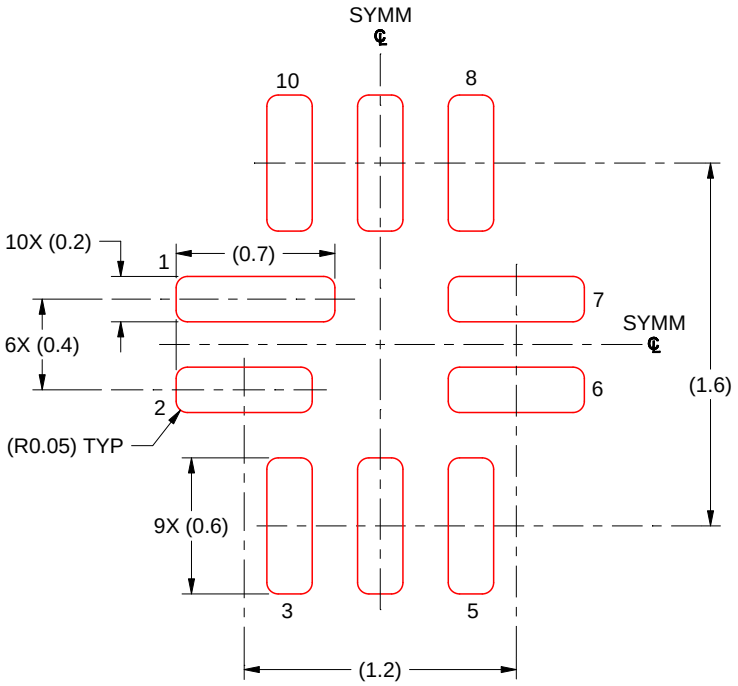


SOLDER MASK DETAILS

4224897/A 03/2019

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 30X

4224897/A 03/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月