

TS3USB3000 DPDT USB 2.0 High-Speedおよび Mobile High-Definition Link (MHL) 6.1GHzスイッチ

1 特長

- V_{CC} 範囲: 2.3V~4.8V
- Mobile Hi-Definition Link (MHL) スイッチ
 - 帯域幅(−3dB): 6.1GHz
 - R_{ON} (標準値): 5.7Ω
 - C_{ON} (標準値): 1.6pF
- USB スイッチ
 - 帯域幅(−3dB): 6.1GHz
 - R_{ON} (標準値): 4.6Ω
 - C_{ON} (標準値): 1.4pF
- 消費電流: 30μA (標準値)
- 特殊機能:
 - I_{OFF} 保護により、パワーダウン状態でのリーク電流を防止(V_{CC} および $V_{BUS} = 0V$)
 - 1.8V 互換の制御入力(SEL、 $\overline{OE}$)
 - 外部部品なしで、すべてのI/Oピンにおいて最大5.5Vの過電圧耐性(OVT)
 - 9VからD+/−ピンへの短絡時の過電圧保護
- ESD性能
 - 3.5kV 人体モデル(A114B、Class II)
 - 1kV 荷電デバイス・モデル(C101)
- 10ピンのUQFNパッケージ
(1.5mm×2mm、0.5mmピッチ)

2 アプリケーション

- スマートフォン、タブレット、モバイル
- ポータブル機器
- デジタル・スチル・カメラ

3 概要

TS3USB3000 デバイスは双極双投(DPDT)マルチプレクサで、高速のMobile High-Definition Link (MHL) スイッチと、USB 2.0 High-Speed (480Mbps) スイッチが同じパッケージに搭載されています。これらの構成から、システム設計者は一般的なUSBまたはMicro-USBコネクタを、MHLビデオ信号とUSBデータの両方に使用できます。

TS3USB3000の V_{CC} 範囲は2.3V~4.8Vで、過電圧耐性(OVT)機能がサポートされているため、I/Oピンは最大5.5Vの過電圧状況に耐えられます。電源オフ保護機能により、電力が存在しないときはすべてのI/Oピンが強制的に高インピーダンス・モードになるため、このような状況では信号ラインが完全に絶縁され、過剰なリーク電流が発生しません。TS3USB3000の選択ピンは、1.8Vの制御電圧と互換性があるため、モバイル・プロセッサからの汎用I/O (GPIO)と直接接続が可能です。

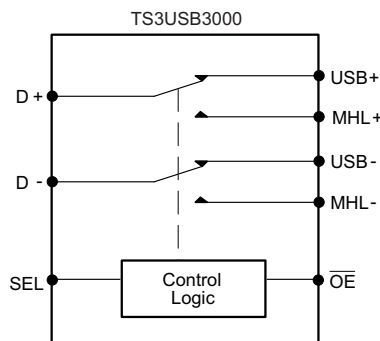
TS3USB3000は小型の10ピンUQFNパッケージで供給され、サイズはわずか1.5mm×2mmなので、モバイル・アプリケーションでの使用に理想的です。

製品情報 ⁽¹⁾

型番	パッケージ	本体サイズ(公称)
TS3USB3000	UQFN (10)	1.50mm×2.00mm

(1) 利用可能なすべてのパッケージについては、このデータシートの末尾にある注文情報を参照してください。

機能ブロック図



Copyright © 2017, Texas Instruments Incorporated



目次

1	特長	1	8.3	Feature Description	11
2	アプリケーション	1	8.4	Device Functional Modes	13
3	概要	1	9	Application and Implementation	14
4	改訂履歴	2	9.1	Application Information	14
5	Pin Configuration and Functions	4	9.2	Typical Application	14
6	Specifications	5	10	Power Supply Recommendations	18
6.1	Absolute Maximum Ratings	5	11	Layout	18
6.2	ESD Ratings	5	11.1	Layout Guidelines	18
6.3	Recommended Operating Conditions	5	11.2	Layout Example	19
6.4	Thermal Information	6	12	デバイスおよびドキュメントのサポート	20
6.5	Electrical Characteristics	6	12.1	ドキュメントのサポート	20
6.6	Dynamic Characteristics	7	12.2	ドキュメントの更新通知を受け取る方法	20
6.7	Timing Requirements	7	12.3	コミュニティ・リソース	20
6.8	Typical Characteristics	8	12.4	商標	20
7	Parameter Measurement Information	10	12.5	静電気放電に関する注意事項	20
8	Detailed Description	11	12.6	Glossary	20
8.1	Overview	11	13	メカニカル、パッケージ、および注文情報	20
8.2	Functional Block Diagram	11	13.1	付録: パッケージ・オプション	21

4 改訂履歴

Revision E (July 2018) から Revision F に変更 Page

- 重複したテープ・アンド・リールの情報を削除 20

Revision D (November 2017) から Revision E に変更 Page

- 「特長」の「9VからD-ピンへの短絡時の過電圧保護」を「9VからD+/-ピンへの短絡時の過電圧保護」に変更 1
- Changed From: V_D , D- DC voltage To: $V_{D+/-}$, D+/- DC voltage in the *Absolute Maximum Ratings* 5
- Changed Note (4) From: This rating only applies to the D- pin with respect to GND. To: This rating only applies to the D+/- pins with respect to GND in the *Absolute Maximum Ratings* 5
- Changed D- To: D+/- in *Overvoltage Protection When 9-V Short to D+/- Pin* 11
- Changed D- To: D+/- in *Pin Leakage* 13

Revision C (January 2017) から Revision D に変更 Page

- 「付録: パッケージ・オプション」のデバイス・マーキングの列を変更 20

Revision B (October 2015) から Revision C に変更 Page

- Extended the IC recommended V_{CC} operating range to $V_{CC} = 2.3$ to 4.8 V in the [特長](#), [概要](#), [Absolute Maximum Ratings](#), [Recommended Operating Conditions](#), [Electrical Characteristics](#), [Dynamic Characteristics](#) and [Timing Requirements](#) sections 6

Revision A (April 2013) から Revision B に変更 Page

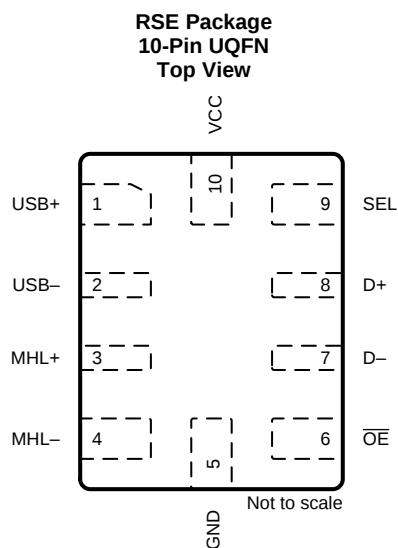
- 「ピン構成および機能」セクション、「ESD定格」表、「機能説明」セクション、「デバイスの機能モード」セクション、「アプリケーションと実装」セクション、「電源に関する推奨事項」セクション、「レイアウト」セクション、「デバイスおよびドキュメントのサポート」セクション、「メカニカル、パッケージ、および注文情報」セクションを追加 1

2012年12月発行のものから更新

Page

• TIデータシートを更新 - 特定の変更点なし.....	1
-------------------------------	-------------------

5 Pin Configuration and Functions



Pin Functions

PIN		I/O	DESCRIPTION
NO.	NAME		
1	USB+	I/O	USB data (Differential +)
2	USB-	I/O	USB data (Differential -)
3	MHL+	I/O	MHL data (Differential +)
4	MHL-	I/O	MHL data (Differential -)
5	GND	—	Ground
6	$\overline{OE}$	I	Output enable (Active low)
7	D-	I/O	Data switch output (Differential -)
8	D+	I/O	Data switch output (Differential +)
9	SEL	I	Switch select (logic Low = D+/D- to USB+/USB- Logic High = D+/D- to MHL+/MHL-)
10	VCC	—	Supply voltage

6 Specifications

6.1 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted)^{(1) (2)}

			MIN	MAX	UNIT
V _{CC}	Supply voltage ⁽³⁾		−0.3	5.5	V
V _{I/O}	Input-output DC voltage ⁽³⁾		−0.3	5.5	V
V _{D+/-}	D+/- DC voltage ⁽⁴⁾		−0.3	9	V
V _I	Digital input voltage (SEL, $\overline{\text{OE}}$)		−0.3	5.5	V
I _K	Input-output port diode current	V _{I/O} < 0	−50		mA
I _{IK}	Digital logic input clamp current ⁽³⁾	V _I < 0	−50		mA
I _{CC}	Continuous current through VCC			100	mA
I _{GND}	Continuous current through GND		−100		mA
T _{stg}	Storage temperature		−65	150	°C

- (1) Stresses beyond those listed under *Absolute Maximum Ratings* may cause permanent damage to the device. These are stress ratings only, which do not imply functional operation of the device at these or any other conditions beyond those indicated under *Recommended Operating Conditions*. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.
- (2) The algebraic convention, whereby the most negative value is a minimum and the most positive value is a maximum.
- (3) All voltages are with respect to ground, unless otherwise specified.
- (4) This rating only applies to the D+/- pins with respect to GND. VCC must be powered within the recommended operating conditions of 2.3 V to 4.8 V and the OE pin must be logic high for this rating to be applicable. Any condition where VCC is unpowered or the OE pin is not high must reference the rest of the *Absolute Maximum Ratings* Table.

6.2 ESD Ratings

			VALUE	UNIT
V _(ESD)	Electrostatic discharge	Human body model (HBM), per ANSI/ESDA/JEDEC JS-001 ⁽¹⁾	±3500	V
		Charged-device model (CDM), per JEDEC specification JESD22-C101 ⁽²⁾	±1000	

- (1) JEDEC document JEP155 states that 500-V HBM allows safe manufacturing with a standard ESD control process.
- (2) JEDEC document JEP157 states that 250-V CDM allows safe manufacturing with a standard ESD control process.

6.3 Recommended Operating Conditions

			MIN	MAX	UNIT
V _{CC}	Supply voltage		2.3	4.8	V
V _{I/O (USB)}	Analog voltage		0	3.6	V
V _{I/O (MHL)}					
V _I	Digital input voltage (SEL, $\overline{\text{OE}}$)		0	V _{CC}	V
T _{RAMP (V_{CC})}	Power supply ramp time requirement (V _{CC})		100	1000	μs/V
T _A	Operating free-air temperature		−40	85	°C

6.4 Thermal Information

THERMAL METRIC ⁽¹⁾		TS3USB3000	UNIT
		RSE (UQFN)	
		10 PINS	
R _{θJA}	Junction-to-ambient thermal resistance	191.6	°C/W
R _{θJC(top)}	Junction-to-case (top) thermal resistance	94.3	°C/W
R _{θJB}	Junction-to-board thermal resistance	117.5	°C/W
ψ _{JT}	Junction-to-top characterization parameter	7.4	°C/W
ψ _{JB}	Junction-to-board characterization parameter	117.4	°C/W

(1) For more information about traditional and new thermal metrics, see the [Semiconductor and IC Package Thermal Metrics](#) application report.

6.5 Electrical Characteristics

T_A = –40°C to +85°C, Typical values are at V_{CC} = 3.3 V, T_A = 25°C, (unless otherwise noted)

PARAMETER		TEST CONDITIONS		MIN	TYP	MAX	UNIT
MHL SWITCH							
R _{ON}	ON-state resistance	V _{CC} = 2.7 V	V _{I/O} = 1.65 V, I _{ON} = –8 mA	5.7	9	Ω	
		V _{CC} = 2.3 V	V _{I/O} = 1.65 V, I _{ON} = –8 mA	5.7	9.5		
ΔR _{ON}	ON-state resistance match between + and – paths	V _{CC} = 2.3 V	V _{I/O} = 1.65 V, I _{ON} = –8 mA	0.1		Ω	
R _{ON} (FLAT)	ON-state resistance flatness	V _{CC} = 2.3 V	V _{I/O} = 1.65 V to 3.45 V, I _{ON} = –8 mA	1		Ω	
I _{OZ}	OFF leakage current	V _{CC} = 4.8 V	Switch OFF, V _{MHL±} = 1.65 V to 3.45 V, V _{D±} = 0 V	–2	2	μA	
I _{OFF}	Power-off leakage current	V _{CC} = 0 V	Switch ON or OFF, V _{MHL±} = 1.65 V to 3.45 V, V _{D±} = NC	–10	10	μA	
I _{ON}	ON leakage current	V _{CC} = 4.8 V	Switch ON, V _{MHL±} = 1.65 V to 3.45 V, V _{D±} = NC	–2	2	μA	
		V _{CC} = 2.3 V	Switch ON, V _{MHL±} = 1.65 V to 3.45 V, V _{D±} = NC	–125	125		
USB SWITCH							
R _{ON}	ON-state resistance	V _{CC} = 2.3 V	V _{I/O} = 0.4 V, I _{ON} = –8 mA	4.6	7.5	Ω	
ΔR _{ON}	ON-state resistance match between + and – paths	V _{CC} = 2.3 V	V _{I/O} = 0.4 V, I _{ON} = –8 mA	0.1		Ω	
R _{ON} (FLAT)	ON-state resistance flatness	V _{CC} = 2.3 V	V _{I/O} = 0 V to 0.4 V, I _{ON} = –8 mA	1		Ω	
I _{OZ}	OFF leakage current	V _{CC} = 4.8 V	Switch OFF, V _{USB±} = 0 V to 3.6 V, V _{D±} = 0 V	–2	2	μA	
I _{OFF}	Power-off leakage current	V _{CC} = 0 V	Switch ON or OFF, V _{USB±} = 0 V to 3.6 V, V _{D±} = NC	–10	10	μA	
I _{ON}	ON leakage current	V _{CC} = 4.8 V	Switch ON, V _{USB±} = 0 V to 3.6 V, V _{D±} = NC	–2	2	μA	
		V _{CC} = 2.3 V	Switch ON, V _{USB±} = 0 V to 3.6 V, V _{D±} = NC	–125	125		
DIGITAL CONTROL INPUTS (SEL, $\overline{\text{OE}}$)							
V _{IH}	Input logic high	V _{CC} = 2.3 V to 4.8 V		1.3		V	
V _{IL}	Input logic low	V _{CC} = 2.3 V to 4.8 V			0.6	V	
I _{IN}	Input leakage current	V _{CC} = 4.8 V, V _{I/O} = 0 V to 3.6 V, V _{IN} = 0 to 4.8 V		–10	10	μA	

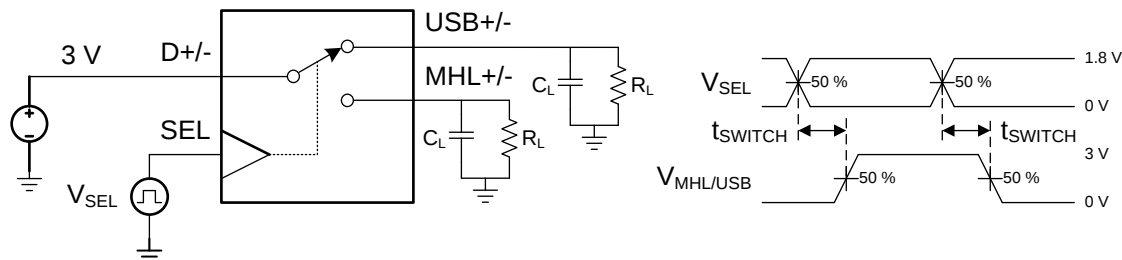
6.6 Dynamic Characteristics

over operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
C _{ON(MHL)}	MHL path ON capacitance V _{CC} = 3.3 V, V _{I/O} = 0 or 3.3 V, f = 240 MHz		1.6	2	pF
C _{ON(USB)}	USB path ON capacitance V _{CC} = 3.3 V, V _{I/O} = 0 or 3.3 V, f = 240 MHz		1.4	2	pF
C _{OFF(MHL)}	MHL path OFF capacitance V _{CC} = 3.3 V, V _{I/O} = 0 or 3.3 V f = 240 MHz		1.4	2	pF
C _{OFF(USB)}	USB path OFF capacitance V _{CC} = 3.3 V, V _{I/O} = 0 or 3.3 V f = 240 MHz		1.6	2	pF
C _I	Digital input capacitance V _{CC} = 3.3 V, V _I = 0 or 2 V		2.2		pF
O _{ISO}	OFF Isolation V _{CC} = 2.3 V to 4.8 V, R _L = 50 Ω, f = 240 MHz		–34		dB
X _{TALK}	Crosstalk V _{CC} = 2.3 V to 4.8 V, R _L = 50 Ω, f = 240 MHz		–37		dB
B _{W(MHL)}	MHL path –3-dB bandwidth V _{CC} = 2.3 V to 4.8 V, R _L = 50 Ω, f = 240 MHz		6.1		GHz
B _{W(USB)}	USB path –3-dB bandwidth V _{CC} = 2.3 V to 4.8 V, R _L = 50 Ω		6.1		GHz
SUPPLY					
V _{CC}	Power supply voltage		2.3	4.8	V
I _{CC}	Positive supply current V _{CC} = 4.8 V, V _{IN} = V _{CC} or GND, V _{I/O} = 0 V, Switch ON or OFF		30	50	μA
I _{CC, HZ}	Power supply current in high-Z mode V _{CC} = 4.8 V, V _{IN} = V _{CC} or GND, V _{I/O} = 0 V, Switch ON or OFF, $\overline{OE}$ = H		5	10	μA

6.7 Timing Requirements

		MIN	NOM	MAX	UNIT
t _{pd}	Propagation delay		100		ps
t _{switch}	Switching time (SEL to output) See Figure 1			600	ns
t _{ZH, ZL (MHL)}	MHL enable time ($\overline{OE}$ to output) V _{I/O} = 3.3 V or 0 V		100		μs
t _{HZ, LZ (MHL)}	MHL disable time ($\overline{OE}$ to output)		200		ns
t _{ZH, ZL (USB)}	USB enable time ($\overline{OE}$ to output) V _{I/O} = 0.8 V or 0 V		100		μs
t _{HZ, LZ (USB)}	USB disable time ($\overline{OE}$ to output)		200		ns
t _{SK(P)}	Skew of opposite transitions of same output		20		ps



(1) All input pulses are supplied by generators having the following characteristics: PRR ≤ 10 MHz, Z₀ = 50 Ω, t_r < 5 ns, t_f < 5 ns

(2) C_L includes probe and jig capacitance.

Figure 1. Timing Diagram

6.8 Typical Characteristics

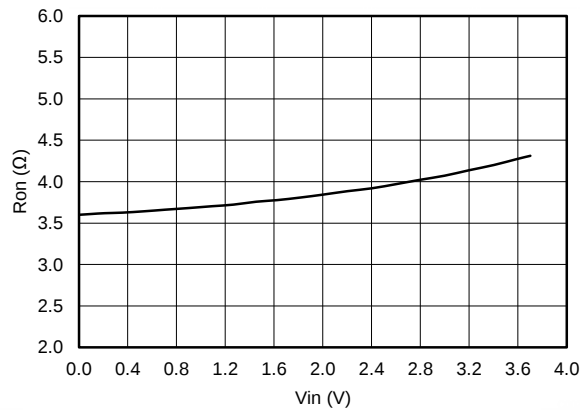


Figure 2. ON-Resistance vs VI for MHL Switch

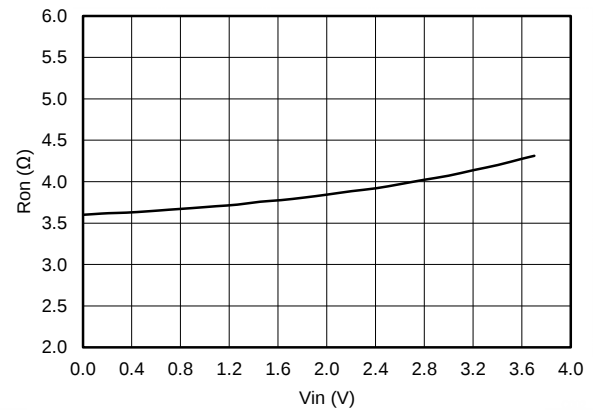


Figure 3. ON-Resistance vs VI for USB Switch

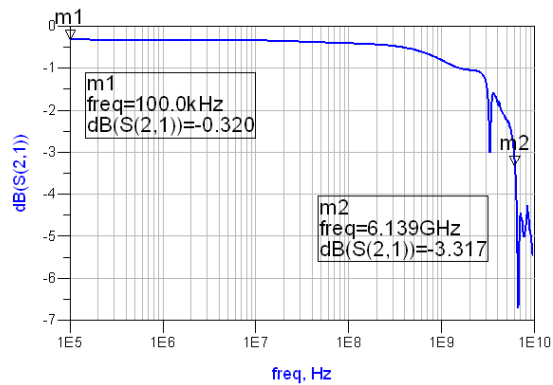


Figure 4. Differential S21 vs Frequency for MHL Switch

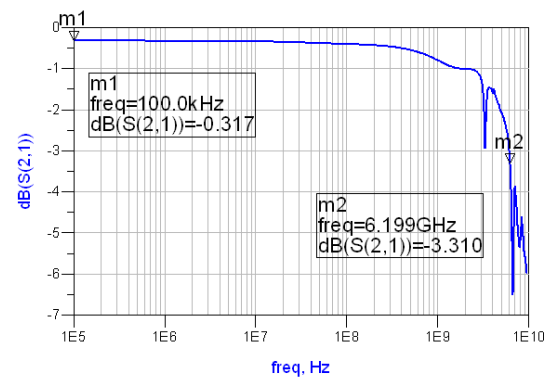


Figure 5. Differential S21 vs Frequency for USB Switch

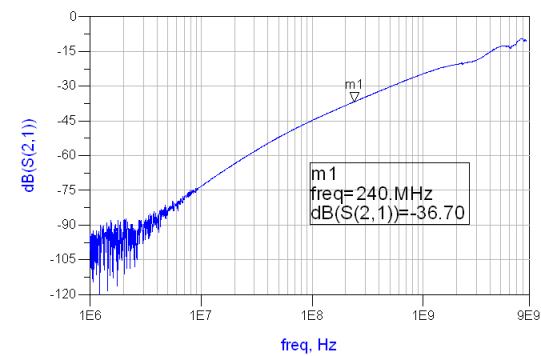


Figure 6. Off Isolation vs Frequency for MHL Path

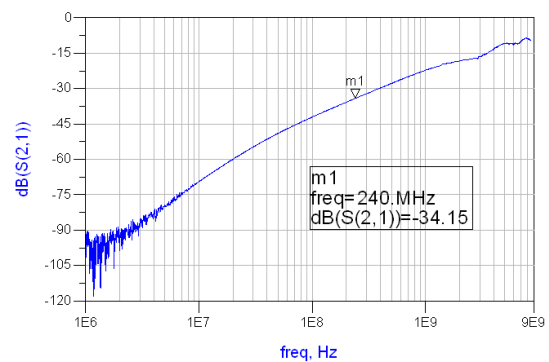
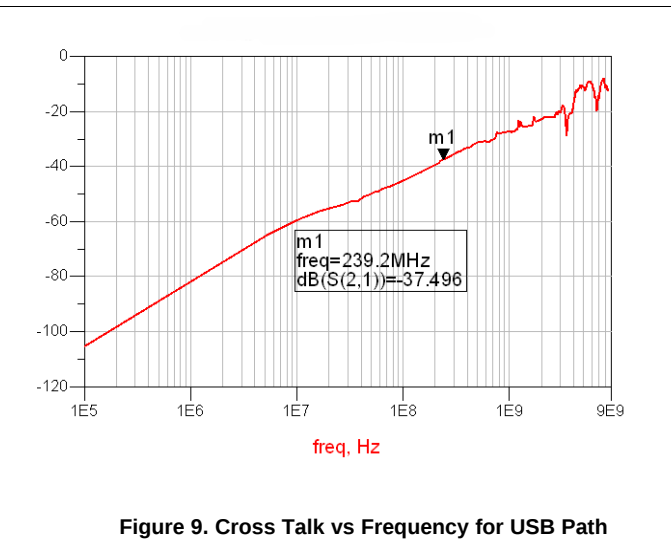
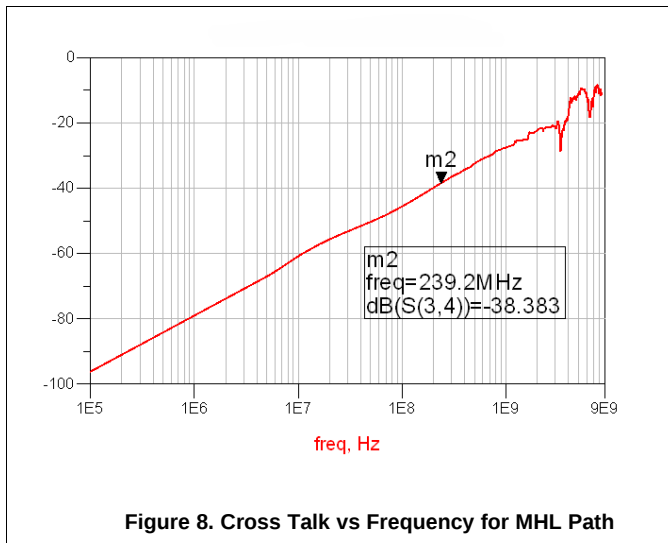


Figure 7. Off Isolation vs Frequency for USB Path

Typical Characteristics (continued)



7 Parameter Measurement Information

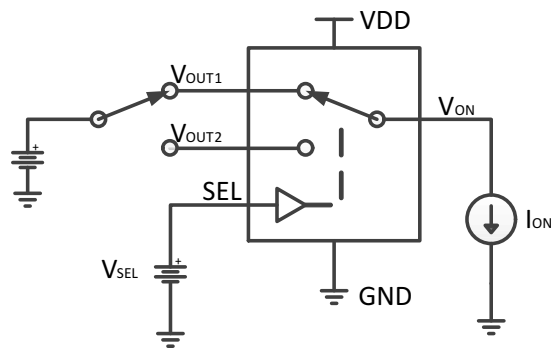


Figure 10. ON-State Resistance (R_{ON})

Channel ON

$$R_{ON} = (V_{ON} - V_{I/O1}) / I_{ON} \text{ or } (V_{ON} - V_{I/O2}) / I_{ON}$$

$V_{SEL} = H \text{ or } L$

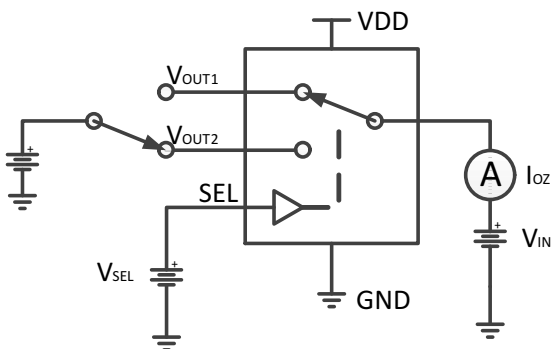


Figure 11. OFF Leakage Current (I_{OZ})

Channel OFF

$V_{SEL} = H \text{ or } L$

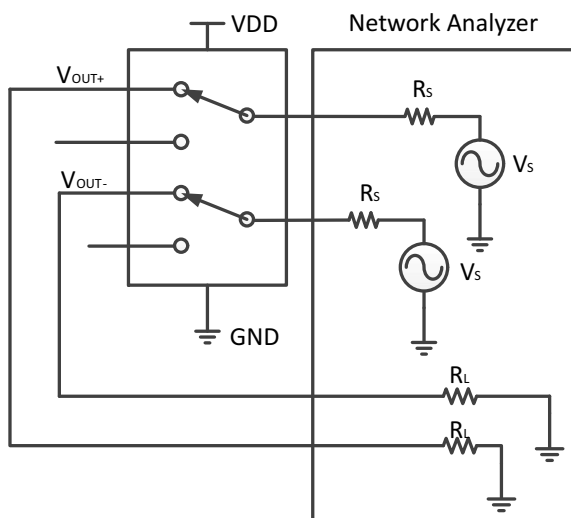


Figure 12. Bandwidth (BW)

Channel ON

$V_{SEL} = H \text{ or } L$
 $R_S = R_L = 50\Omega$

8 Detailed Description

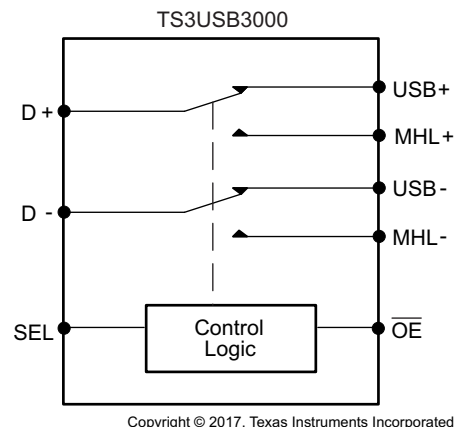
8.1 Overview

The TS3USB3000 device is a 2-channel SPDT switch specially designed for the switching of high-speed MHL and USB 2.0 and 3.0 signals in handset and consumer applications, such as cell phones, digital cameras, and notebooks with hubs or controllers with limited USB I/Os. The wide bandwidth (6.1 GHz) of this switch allows signals to pass with minimum edge and phase distortion. The device multiplexes differential outputs from a USB host device to one of two corresponding outputs or from one USB connector to two processors or controllers. The switch is bidirectional and offers little or no attenuation of the high-speed signals at the outputs. The device also has a low power mode that reduces the power consumption to 5 μ A for portable applications with a battery or limited power budget.

The device is designed for low bit-to-bit skew and high channel-to-channel noise isolation, and is compatible with various standards, such as high-speed USB 2.0 (480 Mbps).

The TS3USB3000 device integrates ESD protection cells on all pins, is available in a tiny UQFN package (1.5 mm $\times$ 2 mm) and is characterized over the free-air temperature range from -40°C to $+85^{\circ}\text{C}$.

8.2 Functional Block Diagram



Copyright © 2017, Texas Instruments Incorporated

8.3 Feature Description

8.3.1 Low Power Mode

The TS3USB3000 has a low power mode that reduces the power consumption to 5 μ A while the device is not in use. To put the device in low power mode and disable the switch, the bus-switch enable pin $\overline{\text{OE}}$ must be supplied with a logic High signal.

8.3.2 Overvoltage Protection When 9-V Short to D+/- Pin

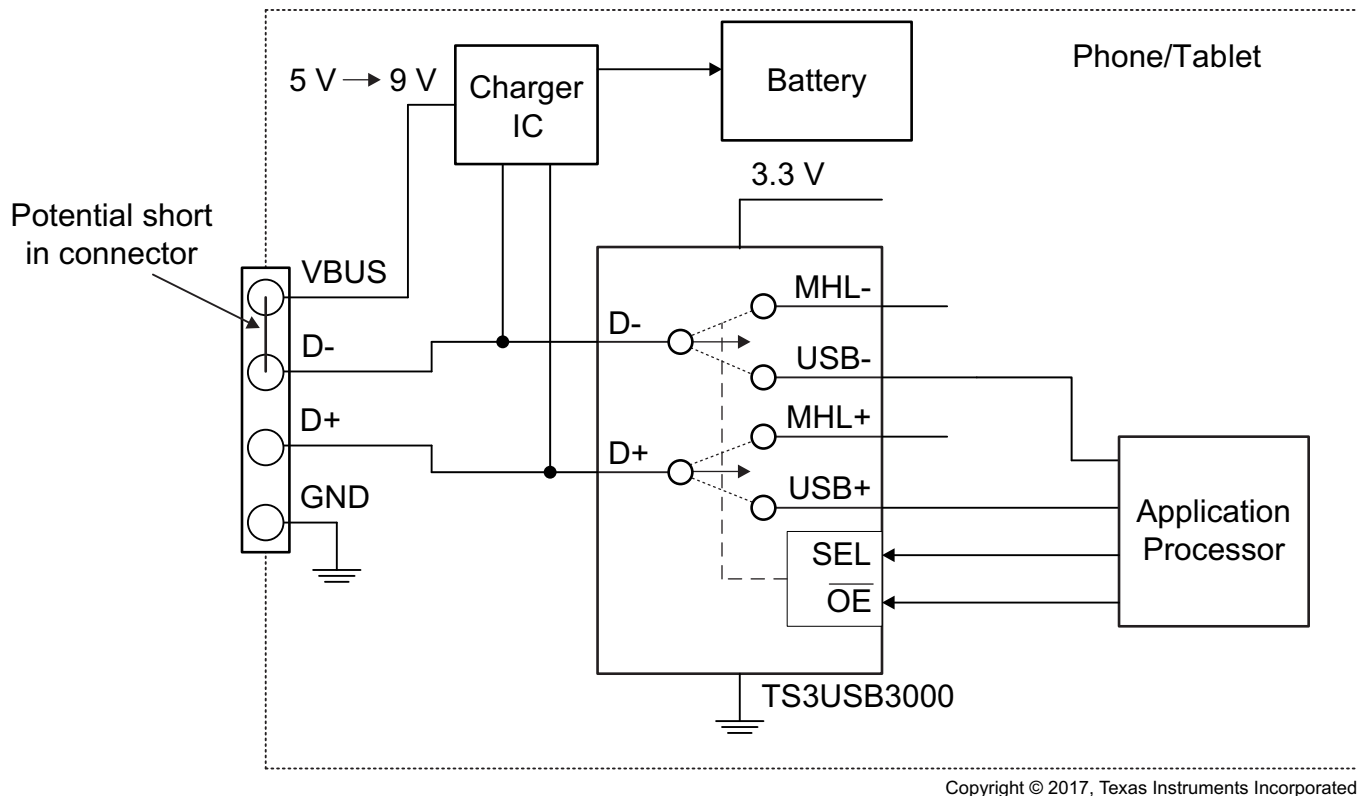
This section describes how to protect the TS3USB3000 and the surrounding system when the D+/- pin is exposed to voltages greater than 5 V and less than 9 V. Voltages higher than 9 V damages the device.

In charging applications it is possible for the USB plug to be inserted in such a way that the VBUS pin shorts to the D+/- pin of the connector. If there are peripherals on the D+/- pin that cannot tolerate conditions up to 9 V they can be damaged or destroyed. The TS3USB3000 can be used to protect the system from excess voltage if the correct precautions are taken.

Feature Description (continued)

In [Figure 13](#), the system has an application processor (AP) that cannot survive 9 V on the USB data lines. The following procedure protects the system and the TS3USB3000. As stated in the [Absolute Maximum Ratings](#) table footnotes, the 9 V rating is only applicable while the VCC is powered within the voltage range of the recommended operating conditions and the $\overline{\text{OE}}$ pin is high.

1. After a charger is connected to the USB port, the AP detects that a DCP is attached.
2. The AP pulls the $\overline{\text{OE}}$ pin high to disable the switches.
3. The AP communicates to the Charger that it can negotiate for a faster charging mode with VBUS at 9 V.
4. The TS3USB3000 is now in a low-power state with the switches disabled and can protect the AP.



Copyright © 2017, Texas Instruments Incorporated

Figure 13. Potential VBUS to D+/- Short Example

Feature Description (continued)

8.3.3 Pin Leakage

When the voltage on the D+/- pins rises above VCC +1 V a leakage path in the device starts conducting as shown in Figure 14. The amount of leakage depends on the VCC voltage and the pin voltage. This leakage is governed by Equation 1:

$$\text{Pin Leakage} = \frac{V_D - V_{CC}}{12000} \quad (1)$$

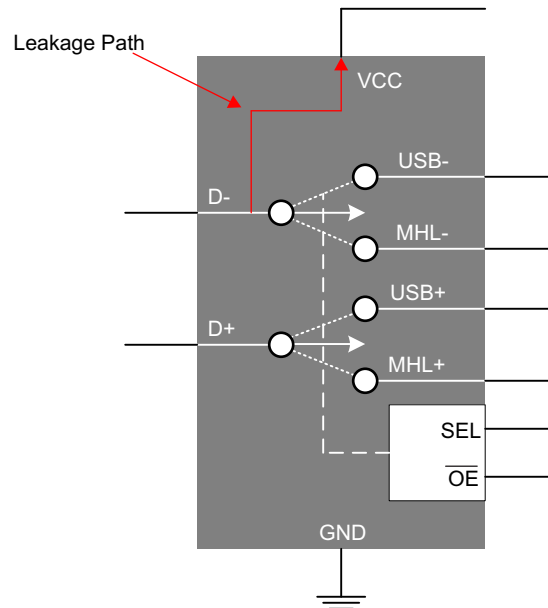


Figure 14. Potential Leakage Path D+/- to VCC

8.4 Device Functional Modes

8.4.1 High Impedance Mode

The TS3USB3000 has a high impedance mode that places all the signal paths in a Hi-Z state while the device is not in use. To put the device in high impedance mode and disable the switch, the bus-switch enable pin $\overline{\text{OE}}$ must be supplied with a logic *High* signal as shown in Table 1.

Table 1. Function Table

SEL	$\overline{\text{OE}}$	SWITCH STATUS
X	High	Both USB and MHL switches in High-Z
Low	Low	D+/D- to USB+/USB-
High	Low	D+/D- to MHL+/MHL-

9 Application and Implementation

NOTE

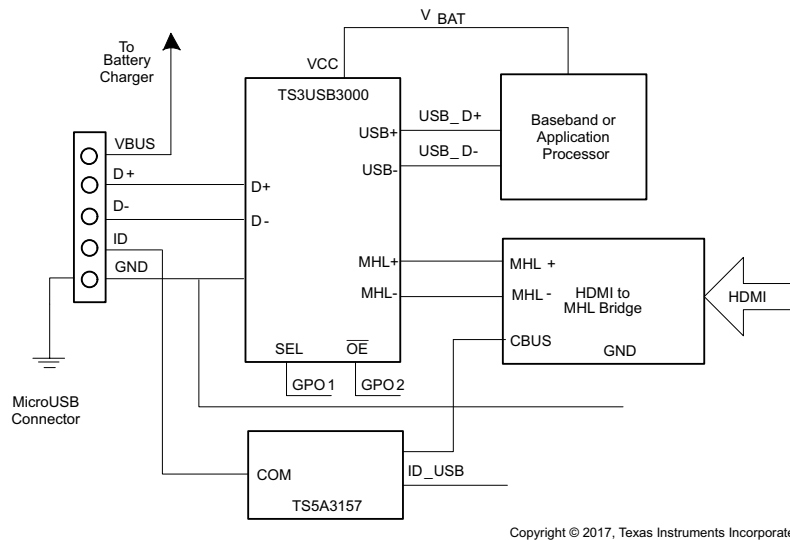
Information in the following applications sections is not part of the TI component specification, and TI does not warrant its accuracy or completeness. TI's customers are responsible for determining suitability of components for their purposes. Customers should validate and test their design implementation to confirm system functionality.

9.1 Application Information

There are many USB applications in which the USB hubs or controllers have a limited number of USB I/Os or need to route signals from a single USB connector. The TS3USB3000 solution can effectively expand the limited USB I/Os by switching between multiple USB buses to interface them to a single USB hub or controller or route signals from one connector to two different locations.

9.2 Typical Application

Figure 15 represents a typical application of the TS3USB3000 USB/MHL switch. The TS3USB3000 is used to switch signals between the USB path, which goes to the baseband or application processor, or the MHL path, which goes to the HDMI to MHL bridge. The TS3USB3000 has internal 6-M Ω pulldown resistors on SEL and $\overline{\text{OE}}$. The pulldown on SEL ensures the USB channel is selected by default. The pulldown on $\overline{\text{OE}}$ enables the switch when power is applied. The TS5A3157 is a separate SPDT switch that is used to switch between MHL's CBUS and the USB ID line that is needed for USB OTG (USB On-The-Go) application.



Copyright © 2017, Texas Instruments Incorporated

Figure 15. Typical TS3USB3000 Application

9.2.1 Design Requirements

Design requirements of the MHL and USB 1.0, 1.1, and 2.0 standards must be followed. The TS3USB3000 has internal 6-M Ω pulldown resistors on SEL and $\overline{\text{OE}}$, so no external resistors are required on the logic pins. The internal pulldown resistor on SEL ensures the USB channel is selected by default. The internal pulldown resistor on $\overline{\text{OE}}$ enables the switch when power is applied to VCC.

9.2.2 Detailed Design Procedure

The TS3USB3000 can be properly operated without any external components. However, TI recommends that unused pins must be connected to ground through a 50- Ω resistor to prevent signal reflections back into the device.

Typical Application (continued)

9.2.3 Application Curves

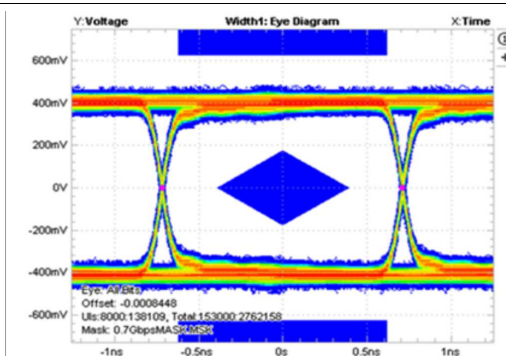


Figure 16. Eye Pattern: 0.7 Gbps With No Device

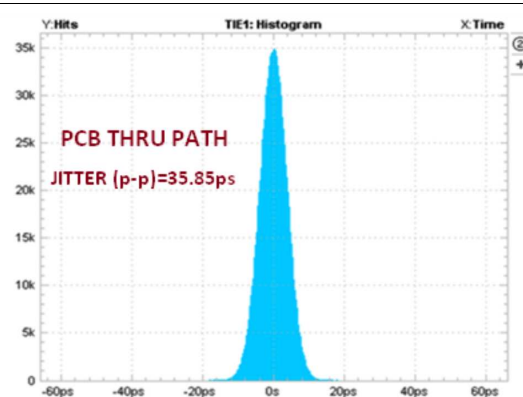
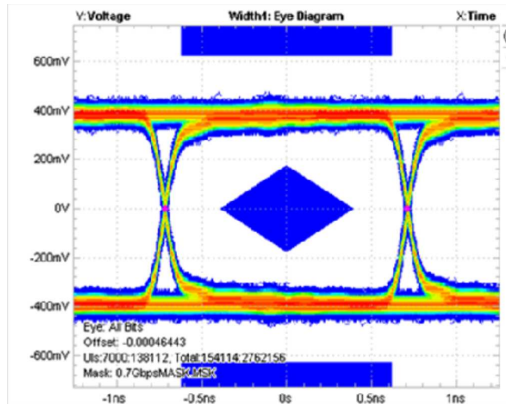
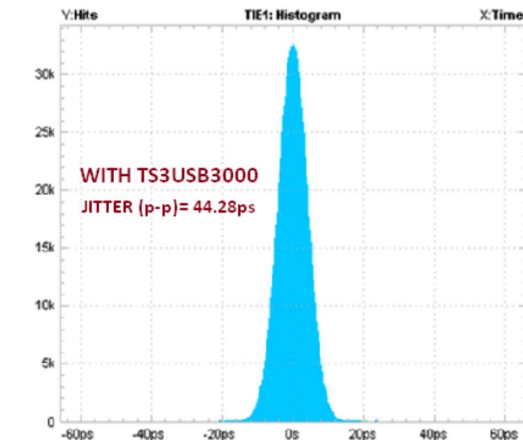


Figure 17. Time Interval Error Histogram: 0.7 Gbps With No Device



The TS3USB3000 contributes only 8.4 ps of peak-to-peak jitter for 0.7-Gbps data rate

Figure 18. Eye Pattern: 0.7 Gbps for MHL Switch



The TS3USB3000 contributes only 8.4 ps of peak-to-peak jitter for 0.7-Gbps data rate

Figure 19. Time Interval Error Histogram: 0.7 Gbps for MHL Switch

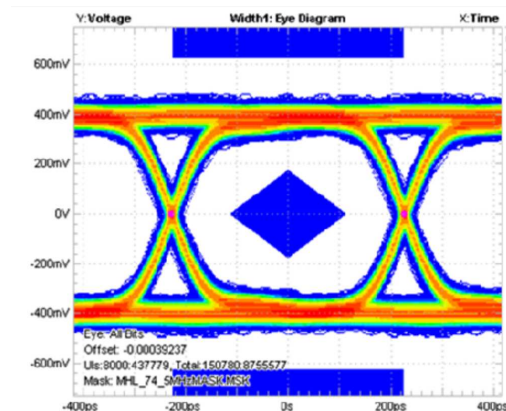


Figure 20. Eye Pattern: 2.2 Gbps With No Device

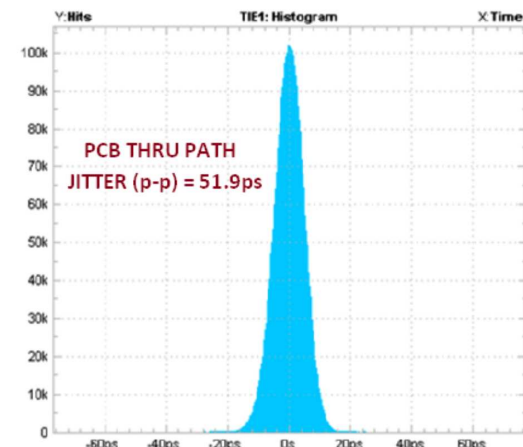
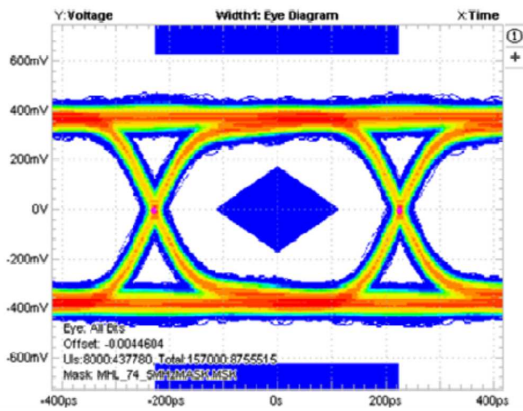


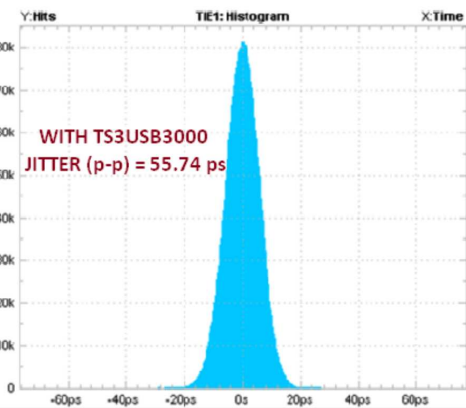
Figure 21. Time Interval Error Histogram: 2.2 Gbps With No Device

Typical Application (continued)



The TS3USB3000 contributes only 3.8 ps of peak-to-peak jitter for 2.2-Gbps data rate

Figure 22. Eye Pattern: 2.2 Gbps for MHL Switch



The TS3USB3000 contributes only 3.8 ps of peak-to-peak jitter for 2.2-Gbps data rate

Figure 23. Time Interval Error Histogram: 2.2 Gbps for MHL Switch

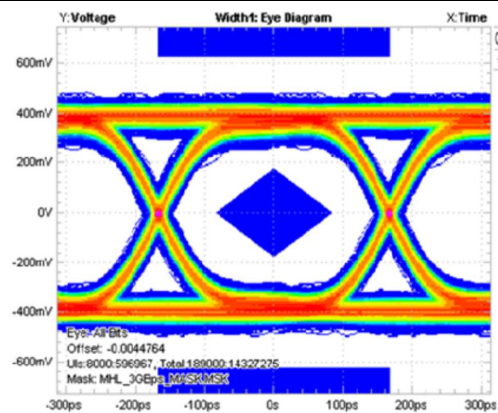


Figure 24. Eye Pattern: 3 Gbps With No Device

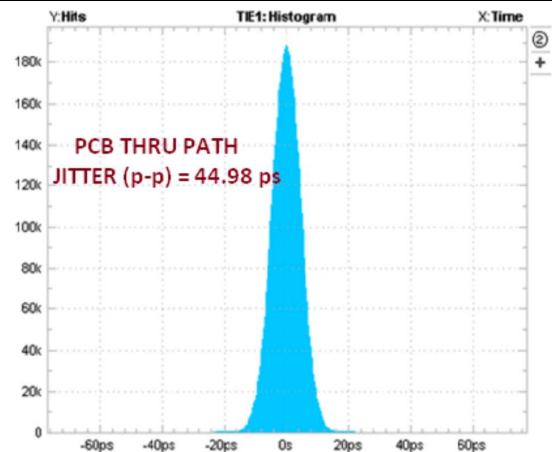
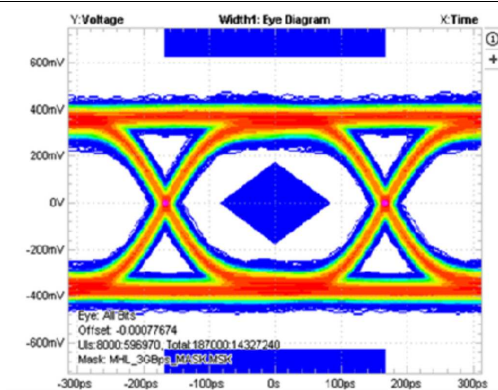
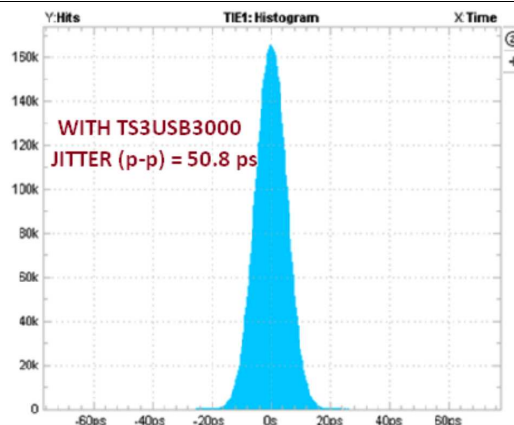


Figure 25. Time Interval Error Histogram: 3 Gbps With No Device



The TS3USB3000 contributes only 5.8 ps of peak-to-peak jitter for 3-Gbps data rate

Figure 26. Eye Pattern: 3 Gbps for MHL Switch



The TS3USB3000 contributes only 5.8 ps of peak-to-peak jitter for 3-Gbps data rate

Figure 27. Time Interval Error Histogram: 3 Gbps for MHL Switch

Typical Application (continued)

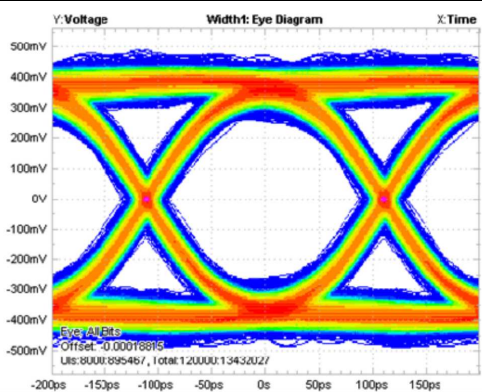


Figure 28. Eye Pattern: 4.5 Gbps With No Device

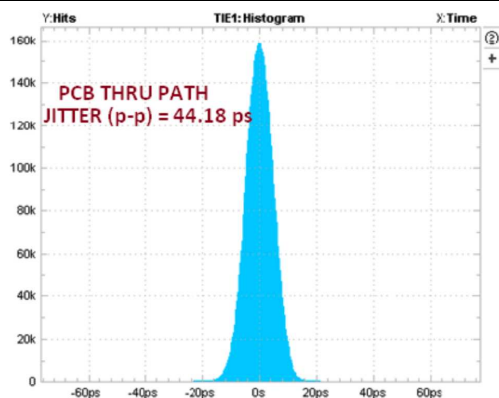
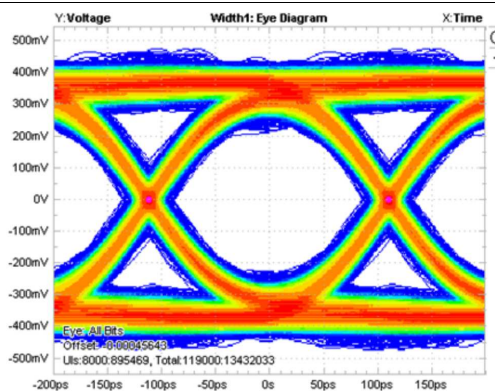
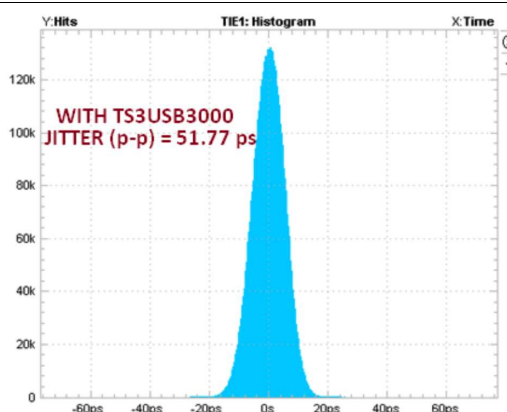


Figure 29. Time Interval Error Histogram: 4.5 Gbps With No Device



The TS3USB3000 contributes only 7.6 ps of peak-to-peak jitter for 4.5-Gbps data rate

Figure 30. Eye Pattern: 4.5 Gbps for MHL Switch



The TS3USB3000 contributes only 7.6 ps of peak-to-peak jitter for 4.5-Gbps data rate

Figure 31. Time Interval Error Histogram: 4.5 Gbps for MHL Switch

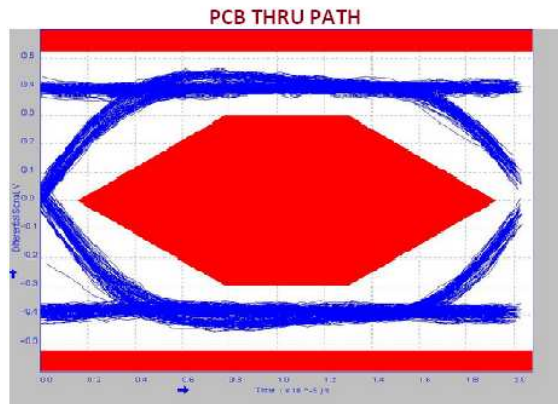


Figure 32. 480-Mbps USB 2.0 Eye Pattern With No Device

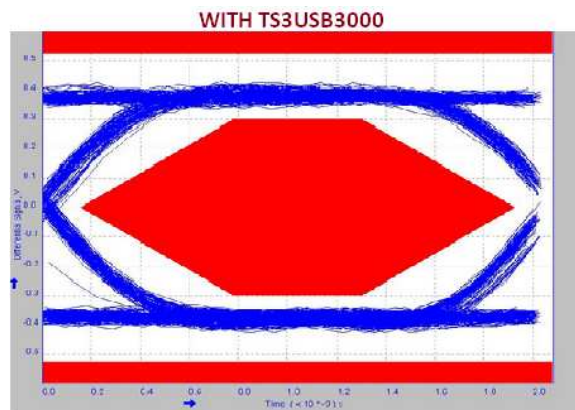


Figure 33. 480-Mbps USB 2.0 Eye Pattern for USB Switch

10 Power Supply Recommendations

Power to the device is supplied through the VCC pin and must follow the USB 1.0, 1.1, and 2.0 standards. TI recommends placing a bypass capacitor as close to the supply pin VCC as possible to help smooth out lower frequency noise to provide better load regulation across the frequency spectrum.

11 Layout

11.1 Layout Guidelines

Place supply bypass capacitors as close to VCC pin as possible and avoid placing the bypass caps near the D± traces.

The high-speed D± must match and be no more than 4 inches long; otherwise, the eye diagram performance may be degraded. A high-speed USB connection is made through a shielded, twisted pair cable with a differential characteristic impedance. In layout, the impedance of D+ and D– traces must match the cable characteristic differential impedance for optimal performance.

Route the high-speed USB signals using a minimum of vias and corners which reduces signal reflections and impedance changes. When a via must be used, increase the clearance size around it to minimize its capacitance. Each via introduces discontinuities in the signal's transmission line and increases the chance of picking up interference from the other layers of the board. Be careful when designing test points on twisted pair lines; through-hole pins are not recommended.

When it becomes necessary to turn 90°, use two 45° turns or an arc instead of making a single 90° turn. This reduces reflections on the signal traces by minimizing impedance discontinuities.

Do not route USB traces under or near crystals, oscillators, clock signal generators, switching regulators, mounting holes, magnetic devices or ICs that use or duplicate clock signals.

Avoid stubs on the high-speed USB signals because they cause signal reflections. If a stub is unavoidable, then the stub must be less than 200 mm.

Route all high-speed USB signal traces over continuous GND planes, with no interruptions.

Avoid crossing over anti-etch, commonly found with plane splits.

Due to high frequencies associated with the USB, a printed circuit board with at least four layers is recommended; two signal layers separated by a ground and power layer as shown in [Figure 34](#).

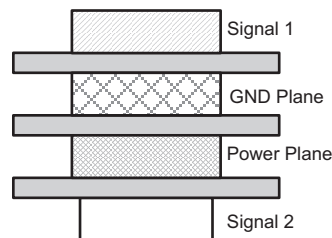


Figure 34. Four-Layer Board Stack-Up

The majority of signal traces must run on a single layer, preferably Signal 1. Immediately next to this layer must be the GND plane, which is solid with no cuts. Avoid running signal traces across a split in the ground or power plane. When running across split planes is unavoidable, sufficient decoupling must be used. Minimizing the number of signal vias reduces EMI by reducing inductance at high frequencies.

11.2 Layout Example

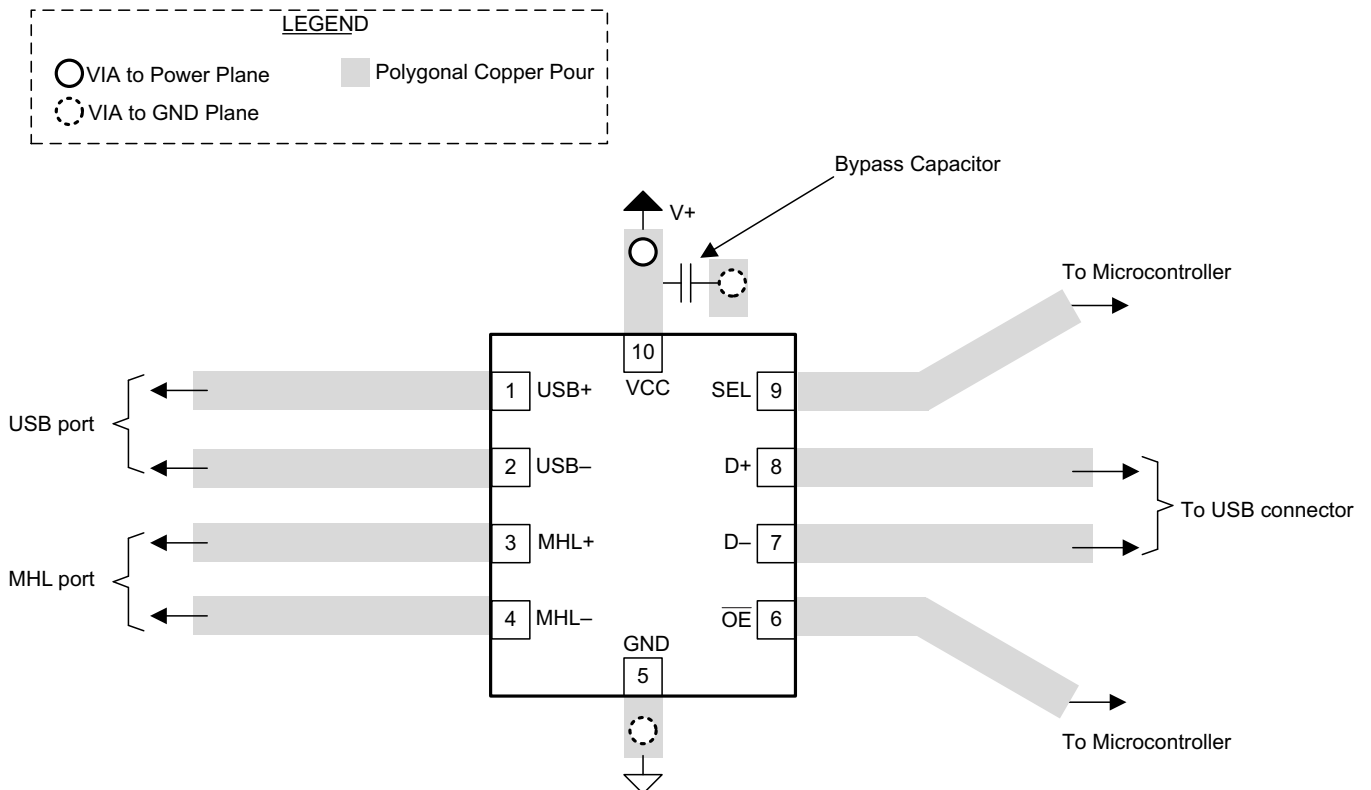


Figure 35. Package Layout Diagram

12 デバイスおよびドキュメントのサポート

12.1 ドキュメントのサポート

12.1.1 関連資料

関連資料については、以下を参照してください。

- 『[USB 2.0基板の設計およびレイアウトのガイドライン](#)』
- 『[高速レイアウト・ガイドライン](#)』アプリケーション・レポート
- 『[高速インターフェイスのレイアウト・ガイドライン](#)』

12.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、ti.comのデバイス製品フォルダを開いてください。右上の「アラートを受け取る」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

12.3 コミュニティ・リソース

The following links connect to TI community resources. Linked contents are provided "AS IS" by the respective contributors. They do not constitute TI specifications and do not necessarily reflect TI's views; see TI's [Terms of Use](#).

TI E2E™ Online Community *TI's Engineer-to-Engineer (E2E) Community*. Created to foster collaboration among engineers. At e2e.ti.com, you can ask questions, share knowledge, explore ideas and help solve problems with fellow engineers.

Design Support *TI's Design Support* Quickly find helpful E2E forums along with design support tools and contact information for technical support.

12.4 商標

E2E is a trademark of Texas Instruments.

All other trademarks are the property of their respective owners.

12.5 静電気放電に関する注意事項



これらのデバイスは、限定的なESD(静電破壊)保護機能を内蔵しています。保存時または取り扱い時は、MOSゲートに対する静電破壊を防止するために、リード線同士をショートさせておくか、デバイスを導電フォームに入れる必要があります。

12.6 Glossary

SLYZ022 — *TI Glossary*.

This glossary lists and explains terms, acronyms, and definitions.

13 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、そのデバイスについて利用可能な最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

13.1 付録: パッケージ・オプション

13.1.1 パッケージ情報

発注可能なデバイス	供給状況 ⁽¹⁾	パッケージの種類	パッケージ図	ピン数	パッケージの数量	エコ・プラン ⁽²⁾	リード/ボール仕上げ ⁽³⁾	MSL ピーク温度 ⁽⁴⁾	動作温度 (°C)	デバイス・マーキング ⁽⁵⁾⁽⁶⁾
TS3USB3000MRSER	ACTIVE	UQFN	RSE	10	3000	グリーン(RoHS 準拠、Sb/Br 非含有)	CU NIPDAU	Level-1-260C-UNLIM	-40～85	DRJ, DR0, DRR
TS3USB3000RSER	ACTIVE	UQFN	RSE	10	3000	グリーン(RoHS 準拠、Sb/Br 非含有)	CU NIPDAU	Level-1-260C-UNLIM	-40～85	DSJ, DSO, DSR

- (1) 供給状況値は次のように定義されています。
 供給中: 製品デバイスは新規設計用に推奨されています。
 最終受注中: TI によりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。
 非推奨品: 新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TI では新規設計にこの部品を使用することを推奨していません。
 生産前 未発表デバイス、生産していない、市販されていない、またはウェブでも発表されておらず、サンプルは提供されていません。
 開発中製品: デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と提供されない場合があります。
 生産中止品: TI はデバイスの生産を終了しました。
- (2) エコプラン - 環境に配慮した製品分類プランであり、鉛フリー (RoHS)、鉛フリー (RoHS 免除)、またはグリーン (RoHS 準拠、Sb/Br 非含有) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。
TBD: 鉛フリー/グリーン変換プランが策定されていません。
鉛フリー (RoHS): TI における「Lead-Free」または「Pb-Free」(鉛フリー) は、6 つの物質すべてに対して現在の RoHS 要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が 0.1% を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TI の鉛フリー製品は指定された鉛フリー・プロセスでの使用に適しています。
鉛フリー (RoHS 免除): この部品は、1) ダイとパッケージの間に鉛ベース・フリップ・チップの半田バンプ使用、または 2) ダイとリード・フレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外の点では、上記の定義の Pb-Free (RoHS 準拠) の条件を満たしています。
グリーン (RoHS 準拠、Sb/Br 非含有): TI における「グリーン」は、鉛フリー (RoHS 互換) に加えて、臭素 (Br) およびアンチモン (Sb) をベースとした難燃材を含まない (均質な材質中の Br または Sb 重量が 0.1% を超えない) ことを意味しています。
- (3) リード/ボール仕上げ - 発注可能なデバイスには、複数の材料仕上げオプションが用意されていることがあります。仕上げオプションは縦罫線で区切られています。リード/ボール仕上げの値が最大列幅に収まらない場合は、2行にまたがります。
- (4) MSL、ピーク温度-- JEDEC 業界標準分類に従った耐湿性レベル、およびピーク半田温度です。
- (5) ログ、ロット・トレース・コード情報、または環境カテゴリに関する追加マークがデバイスに表示されることがあります
- (6) 複数のデバイス・マーキングが、括弧書きされています。「～」で区切られた括弧書きデバイス専用マークが1つだけデバイスに表示されます。行がインデントされている場合は、前行の続きになります。2行合わせたものが、そのデバイスのデバイス・マーク全体となります。

重要情報および免責条項: このページに記載された情報は、記載された日付時点での TI の知識および見解を表しています。TI の知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行いません。第三者からの情報をより良く統合するための努力は続けております。TI では、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TI および TI のサプライヤは、特定の情報を機密情報として扱っているため、CAS 番号やその他の制限された情報が公開されない場合があります。

いかなる場合においても、そのような情報から生じた TI の責任は、このドキュメント発行時点での TI 製品の価格に基づく TI からお客様への合計購入価格 (年次ベース) を超えることはありません。

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TS3USB3000MRSER	UQFN	RSE	10	3000	180.0	9.5	2.2	1.8	0.75	4.0	8.0	Q3
TS3USB3000RSER	UQFN	RSE	10	3000	180.0	9.5	1.7	2.2	0.75	4.0	8.0	Q1

TAPE AND REEL BOX DIMENSIONS



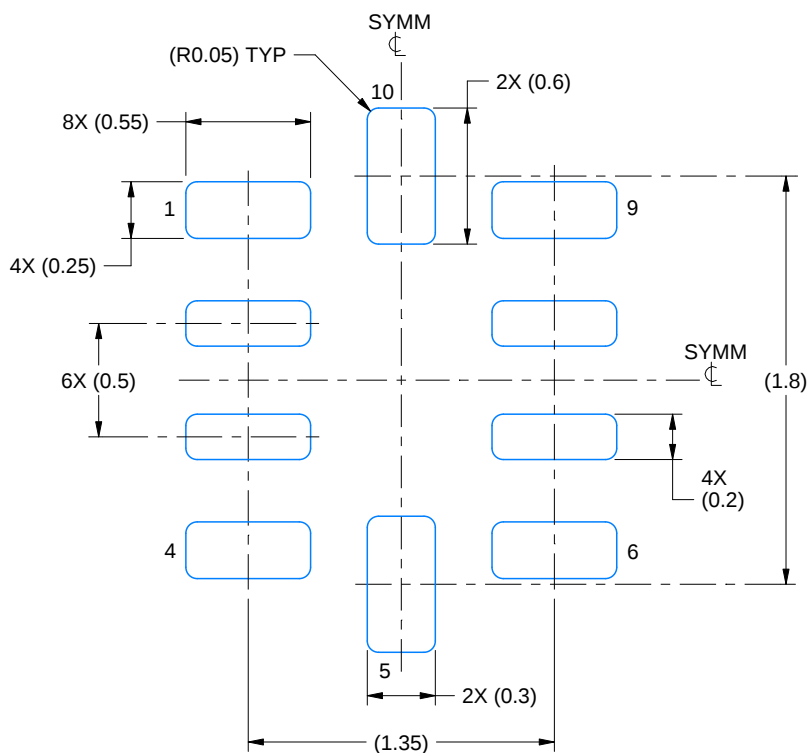
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TS3USB3000MRSER	UQFN	RSE	10	3000	189.0	185.0	36.0
TS3USB3000RSER	UQFN	RSE	10	3000	189.0	185.0	36.0

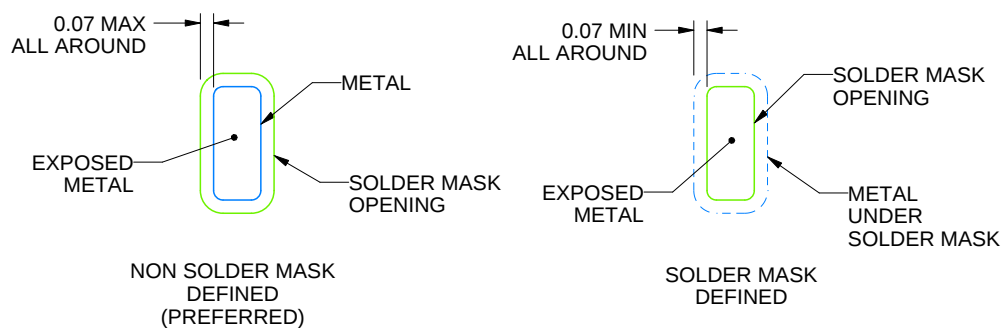
RSE0010A

UQFN - 0.6 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:30X



SOLDER MASK DETAILS
NOT TO SCALE

4220307/A 03/2020

NOTES: (continued)

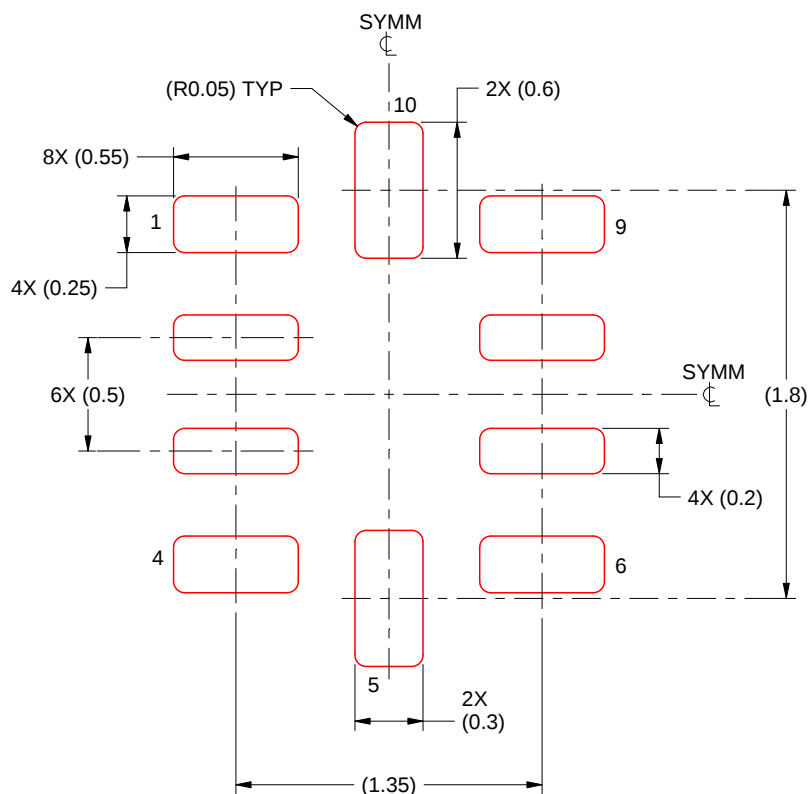
3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sl原因271).

EXAMPLE STENCIL DESIGN

RSE0010A

UQFN - 0.6 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICKNESS
SCALE: 30X

4220307/A 03/2020

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated