

TRF1208-EP エンハンスド製品、DC 付近 ~ 11GHz、完全差動 RF アンプ

1 特長

- ベンダー品目の図面番号: VID V62/25645
- 高信頼性のエンハンスド製品
 - 管理されたベースライン
 - 単一のアセンブリ / テスト施設
 - 単一の製造施設
 - 長期にわたる製品ライフ サイクル
 - 製品のトレーサビリティ
 - 鉛フリー構造
 - 拡張温度範囲: -55°C ~ +125°C
- RF ADC を駆動する優れた性能
- シングルエンドから差動へのモードで 16dB の固定電力ゲイン
- 帯域幅: 11GHz、3dB
- ゲイン平坦性: 8GHz、1dB
- OIP3: 37dBm (2GHz)、30dBm (6GHz)
- P1dB: 15dBm (2GHz)、12.5dBm (6GHz)
- NF: 6.8dB (2GHz)、7.2dB (6GHz)
- ゲイン不平衡および位相不平衡: ±0.3dB および ±3°
- パワーダウン機能
- 単一電源動作: 3.3V
- 動作電流: 138mA

2 アプリケーション

- RF サンプリングまたは GSPS ADC ドライバ
- 航空宇宙および防衛
- フェーズドアレイレーダー
- レーダー追跡フロントエンド
- 電子諜報活動 (SIGINT、ELINT)
- 軍用無線
- 衛星通信 (SATCOM)

3 説明

TRF1208-EP は非常に高性能な完全差動アンプ (FDA) で、無線周波数 (RF) アプリケーション用に最適化されています。このデバイスは、高性能 AFE7950-EP または ADC12DJ5200-EP などの A/D コンバータ (ADC) を駆動する際に、シングルエンドから差動形式への変換を必要とする AC 結合アプリケーションに最適です。オンチップのマッチング部品により、プリント基板 (PCB) の実装が簡素化され、使用可能な帯域幅全体にわたって最高の性能を実現できます。このデバイスは、TI の先進的な相補型 BiCMOS プロセスで製造され、省スペースの WQFN-FCRLF パッケージで供給されます。

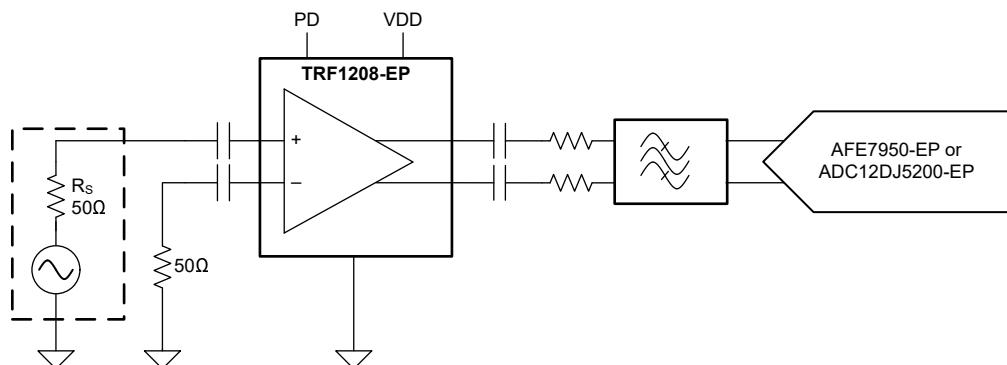
TRF1208-EP はシングル レール電源で動作し、消費有効電流は約 138mA です。パワーダウン機能を利用して、消費電力を削減することができます。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾
TRF1208-EP	RPV (WQFN-FCRLF, 12)	2mm × 2mm

(1) 詳細については、[セクション 10](#) を参照してください。

(2) ボディ サイズ(長さ × 幅)は公称値であり、ピンも含まれます。



TRF1208-EP で高速 ADC を駆動



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール（機械翻訳）を使用していることがあります。TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長	1	7 アプリケーションと実装	16
2 アプリケーション	1	7.1 アプリケーション情報	16
3 説明	1	7.2 代表的なアプリケーション	18
4 ピン構成および機能	2	7.3 電源に関する推奨事項	21
5 仕様	4	7.4 レイアウト	21
5.1 絶対最大定格	4	8 デバイスおよびドキュメントのサポート	22
5.2 ESD 定格	4	8.1 デバイス サポート	22
5.3 推奨動作条件	4	8.2 ドキュメントのサポート	22
5.4 熱に関する情報	4	8.3 ドキュメントの更新通知を受け取る方法	22
5.5 電気的特性	5	8.4 サポート・リソース	22
5.6 代表的特性	7	8.5 商標	22
6 詳細説明	14	8.6 静電気放電に関する注意事項	22
6.1 概要	14	8.7 用語集	22
6.2 機能ブロック図	14	9 改訂履歴	22
6.3 機能説明	15	10 メカニカル、パッケージ、および注文情報	22
6.4 デバイスの機能モード	15		

4 ピン構成および機能

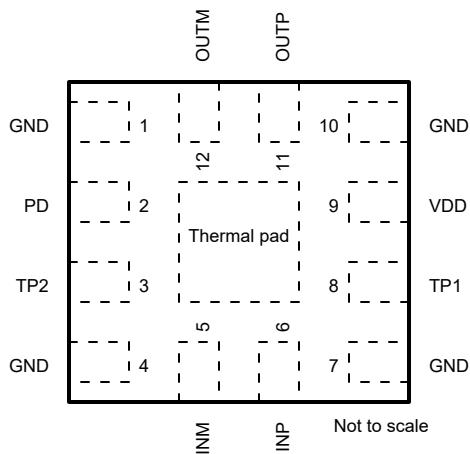


図 4-1. RPV パッケージ、12 ピン WQFN-FCRLF (上面図)

表 4-1. ピンの機能

ピン		タイプ	説明
名称	番号		
GND	1, 4, 7, 10	グランド	グランド
INM	5	入力	差動信号入力、負
INP	6	入力	差動信号入力、正
OUTM	12	出力	差動信号出力、負
OUTP	11	出力	差動信号出力、正
PD	2	入力	パワーダウン信号。1.8V および 3.3V のロジックをサポート。 0 = チップ イネーブル 1 = パワーダウン
TP1	8	—	テストピン。グランドへの短絡。
TP2	3	—	テストピン。グランドへの短絡。

表 4-1. ピンの機能 (続き)

ピン		タイプ	説明
名称	番号		
VDD	9	電源	3.3V 電源
サーマル パッド	パッド	—	サーマル パッド。基板上のグランドに接続。

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
V _{DD}	電源電圧	-0.3	3.7	V
INP、INM	入力ピン電源		20 ⁽²⁾	dBm
V _{PD}	パワーダウン ピン電圧	-0.3	3.7 ⁽³⁾	V
T _J	接合部温度		150	°C
T _{stg}	保存温度	-65	150	°C

- (1) 「絶対最大定格」を超えた動作は、デバイスに恒久的な損傷を与える可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。
- (2) V_{DD} = 0V の場合、最大値は 0dBm です。
- (3) V_{DD} = 0V の場合、最大値は 0.3V です。

5.2 ESD 定格

			値	単位
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン ⁽¹⁾	±1000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠、すべてのピン ⁽²⁾	±250	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V _{DD}	電源電圧	3.2	3.3	3.45	V
T _A	自由空気での周囲温度	-55	25		°C
T _J	接合部温度			125	°C

5.4 热に関する情報

熱評価基準 ⁽¹⁾		TRF1208-EP	単位
		RPV (WQFN-FCRLF)	
		12 ピン	
R _{θJA}	接合部から周囲への熱抵抗	66.9	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	64.3	°C/W
R _{θJB}	接合部から基板への熱抵抗	17.4	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	1.7	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	17.2	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	9.0	°C/W

- (1) 従来および最新の熱評価基準の詳細については、『半導体およびIC パッケージの熱評価基準』アプリケーション レポートを参照してください。

5.5 電気的特性

$T_A = 25^\circ\text{C}$ の場合、 $V_{DD} = 3.3\text{V}$ 、 50Ω シングルエンド入力、 100Ω 差動出力 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
AC 特性						
SSBW	小信号 3dB 帯域幅	$V_O = 0.1V_{PP}$	11			GHz
LSBW	大信号 3dB 帯域幅	$V_O = 1V_{PP}$	11			GHz
1dB BW	1dB の平坦度に対する帯域幅		8			GHz
S21	パワー ゲイン	$f = 2\text{GHz}$	16			dB
S11	入力リターン ロス	$f = 10\text{MHz} \sim 8\text{GHz}$	-10			dB
S12	逆アイソレーション	$f = 2\text{GHz}$	-35			dB
Imb_{GAIN}	ゲイン不均衡	$f = 10\text{MHz} \sim 8\text{GHz}$	± 0.3			dB
Imb_{PHASE}	位相不均衡	$f = 10\text{MHz} \sim 8\text{GHz}$	± 3			度
CMRR	同相信号除去比 ⁽¹⁾	$f = 2\text{GHz}$	-45			dB
HD2	2 次高調波歪	$f = 0.5\text{GHz}, P_O = 3\text{dBm}$	-70	dBc		
		$f = 2\text{GHz}, P_O = 3\text{dBm}$	-65			
		$f = 6\text{GHz}, P_O = 3\text{dBm}$	-52			
		$f = 8\text{GHz}, P_O = 3\text{dBm}$	-45			
HD3	3 次高調波歪	$f = 0.5\text{GHz}, P_O = 3\text{dBm}$	-68	dBc		
		$f = 2\text{GHz}, P_O = 3\text{dBm}$	-63			
		$f = 6\text{GHz}, P_O = 3\text{dBm}$	-56			
		$f = 8\text{GHz}, P_O = 3\text{dBm}$	-63			
IMD2	2 次相互変調歪み	$f = 0.5\text{GHz}, P_O = -4\text{dBm}/トーン$ (10MHz 間隔)	-73	dBc		
		$f = 2\text{GHz}, P_O = -4\text{dBm}/トーン$ (10MHz 間隔)	-69			
		$f = 6\text{GHz}, P_O = -4\text{dBm}/トーン$ (10MHz 間隔)	-56			
		$f = 8\text{GHz}, P_O = -4\text{dBm}/トーン$ (10MHz 間隔)	-45			
IMD3	3 次相互変調歪み	$f = 0.5\text{GHz}, P_O = -4\text{dBm}/トーン$ (10MHz 間隔)	-75	dBc		
		$f = 2\text{GHz}, P_O = -4\text{dBm}/トーン$ (10MHz 間隔)	-84			
		$f = 6\text{GHz}, P_O = -4\text{dBm}/トーン$ (10MHz 間隔)	-72			
		$f = 8\text{GHz}, P_O = -4\text{dBm}/トーン$ (10MHz 間隔)	-51			
OP1dB	出力 1dB の圧縮ポイント	$f = 0.5\text{GHz}$	11	dBm		
		$f = 2\text{GHz}$	15			
		$f = 6\text{GHz}$	12.5			
		$f = 8\text{GHz}$	7.5			

5.5 電気的特性 (続き)

$T_A = 25^\circ\text{C}$ の場合、 $V_{DD} = 3.3\text{V}$ 、 50Ω シングルエンド入力、 100Ω 差動出力 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
OIP2	出力の 2 次インターフェット ポイント	$f = 0.5\text{GHz}, P_o = -4\text{dBm}/トーン$ (10MHz 間隔)	68			dBm
		$f = 2\text{GHz}, P_o = -4\text{dBm}/トーン$ (10MHz 間隔)	63			
		$f = 6\text{GHz}, P_o = -4\text{dBm}/トーン$ (10MHz 間隔)	55			
		$f = 8\text{GHz}, P_o = -4\text{dBm}/トーン$ (10MHz 間隔)	42			
OIP3	出力の 3 次インターフェット ポイント	$f = 0.5\text{GHz}, P_o = -4\text{dBm}/トーン$ (10MHz 間隔)	34			dBm
		$f = 2\text{GHz}, P_o = -4\text{dBm}/トーン$ (10MHz 間隔)	37			
		$f = 4\text{GHz}, P_o = -4\text{dBm}/トーン$ (10MHz 間隔)	34			
		$f = 6\text{GHz}, P_o = -4\text{dBm}/トーン$ (10MHz 間隔)	30			
		$f = 8\text{GHz}, P_o = -4\text{dBm}/トーン$ (10MHz 間隔)	21			
NF	ノイズ指数	$f = 0.5\text{GHz}$	6.5			dB
		$f = 2\text{GHz}$	6.8			
		$f = 6\text{GHz}$	7.2			
		$f = 8\text{GHz}$	7			
インピーダンス						
$Z_{O\text{-DIFF}}$	差動出力インピーダンス	$f = dc$ (デバイス内部)	3		Ω	
Z_{IN}	シングルエンド入力インピーダンス	INM ピンは 50Ω で終端	50		Ω	
過渡応答						
V_{OMAX}	最大出力電圧 (差動)		2		V_{PP}	
V_{OSAT}	出力飽和電圧レベル (差動)	$f = 2\text{GHz}$	3.9		V_{PP}	
t_{REC}	オーバードライブの復帰時間	$-0.5V_P$ の入力パルス幅 2ns を使用	0.2		ns	
電源						
I_{QA}	アクティブ電流	V_{DD} ピンの電流、 $PD = 0$	138		mA	
I_{QPD}	パワーダウン静止時電流	V_{DD} ピンの電流、 $PD = 1$	7		mA	
イネーブル						
V_{PDHIGH}	PD ピンはロジック high		1.45		V	
V_{PDLLOW}	PD ピンはロジック low			0.8	V	
I_{PDBIAS}	PD バイアス電流 (PD ピンの電流)	$PD = \text{high}$ (1.8V ロジック)	50	100	μA	
		$PD = \text{high}$ (3.3V ロジック)	200	250		
C_{PD}	PD ピンの容量		2		pF	
t_{ON}	ターンオン時間	50% V_{PD} ~90% RF	200		ns	
t_{OFF}	ターンオフ時間	50% V_{PD} ~10% RF	50		ns	

(1) 式 $(S21 - S31)/(S21 + S31)$ を使用して計算しています。ポート 1:INP、ポート 2:OUTP、ポート 3:OUTM。

5.6 代表的特性

$T_A = 25^\circ\text{C}$ の場合、温度曲線が周囲温度を指定、 $V_{DD} = 3.3\text{V}$ 、 50Ω シングルエンド入力、 100Ω 差動出力 (特に記述のない限り)

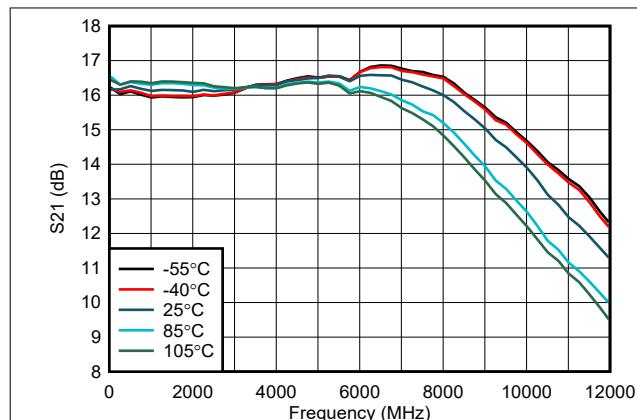


図 5-1. 温度範囲全体でのパワー ゲイン

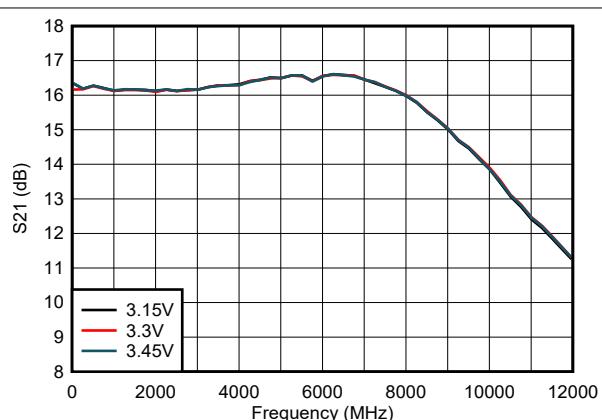


図 5-2. V_{DD} にわたるパワー ゲイン

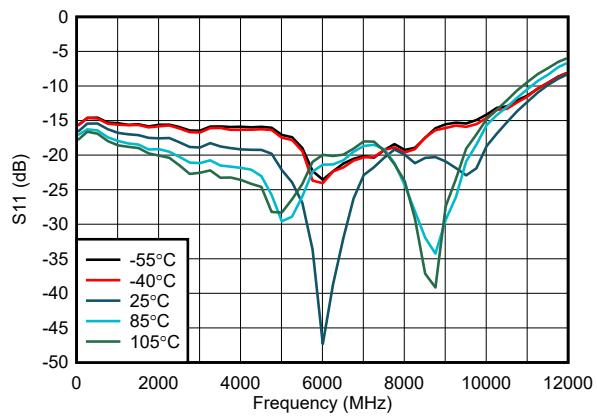


図 5-3. 温度範囲全体でのリターン ロス

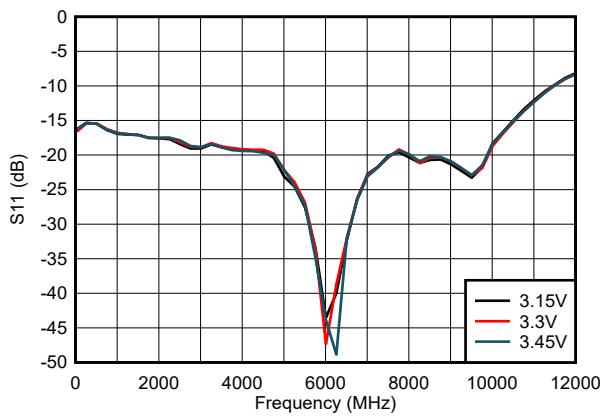


図 5-4. V_{DD} 全体でのリターン ロス

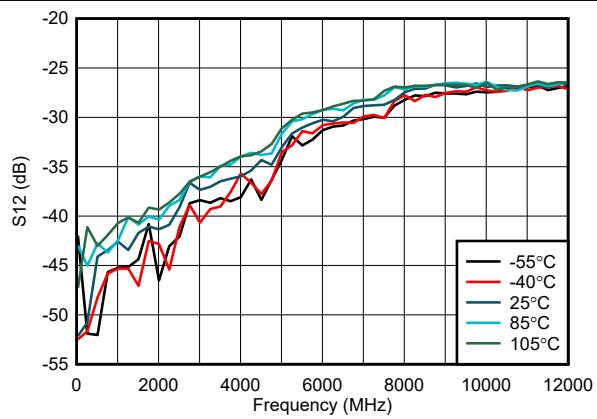


図 5-5. 温度範囲全体での逆絶縁

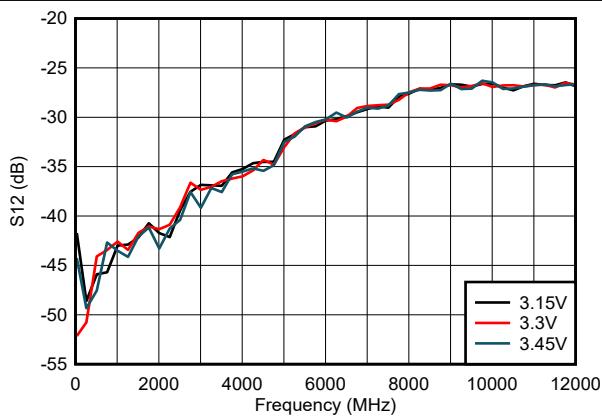


図 5-6. V_{DD} 全体での逆絶縁

5.6 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ の場合、温度曲線が周囲温度を指定、 $V_{DD} = 3.3\text{V}$ 、 50Ω シングルエンド入力、 100Ω 差動出力 (特に記述のない限り)

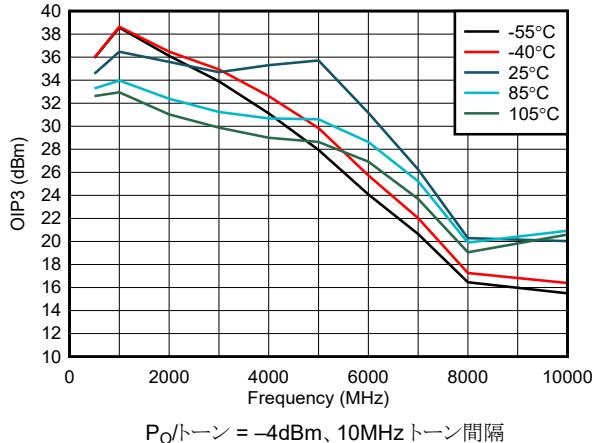


図 5-7. 動作温度範囲での OIP3

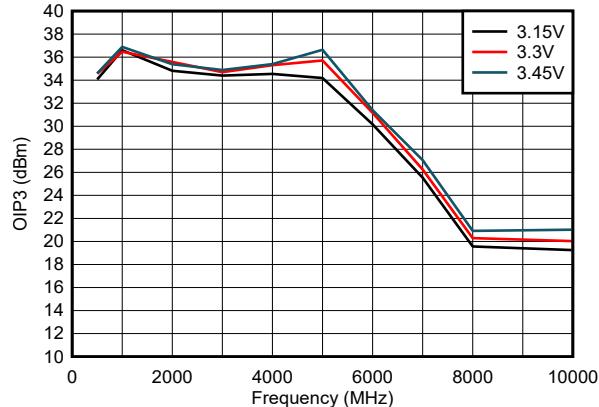


図 5-8. V_{DD} 全体での OIP3

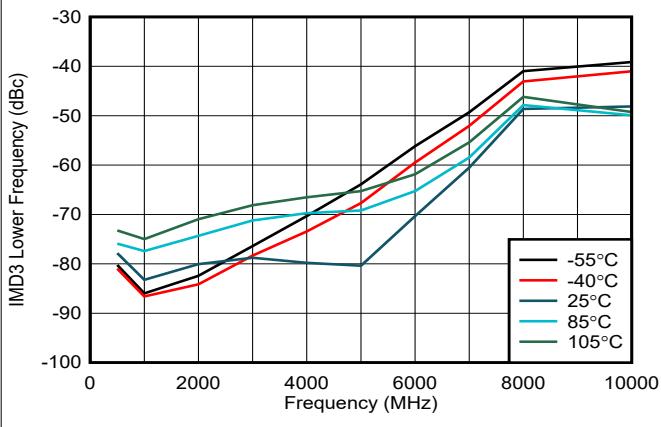


図 5-9. 全温度範囲で IMD3 低い

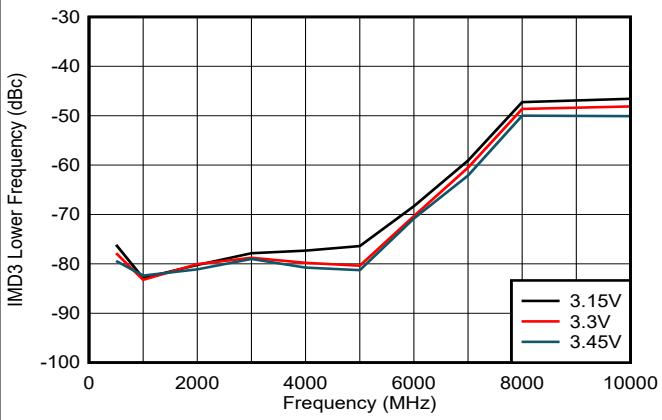


図 5-10. V_{DD} 全体で IMD3 低い

5.6 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ の場合、温度曲線が周囲温度を指定、 $V_{DD} = 3.3\text{V}$ 、 50Ω シングルエンド入力、 100Ω 差動出力 (特に記述のない限り)

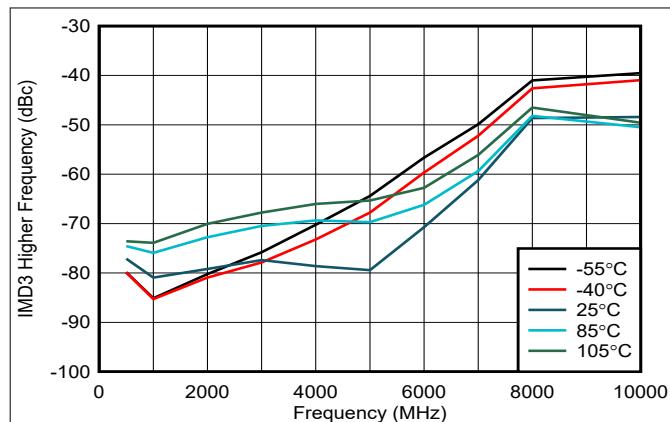


図 5-11. 全温度範囲で IMD3 高い

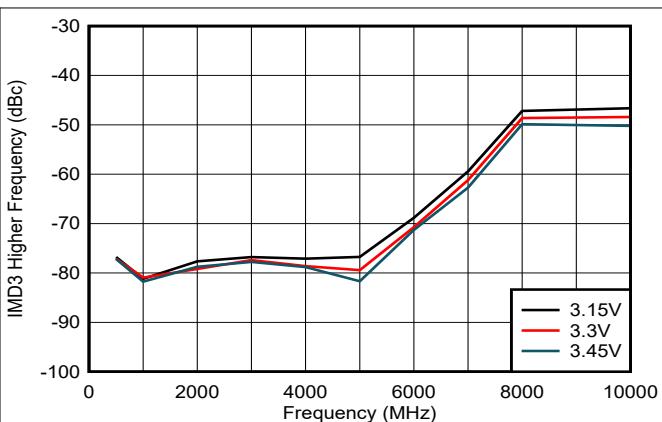


図 5-12. V_{DD} 全体で IMD3 高い

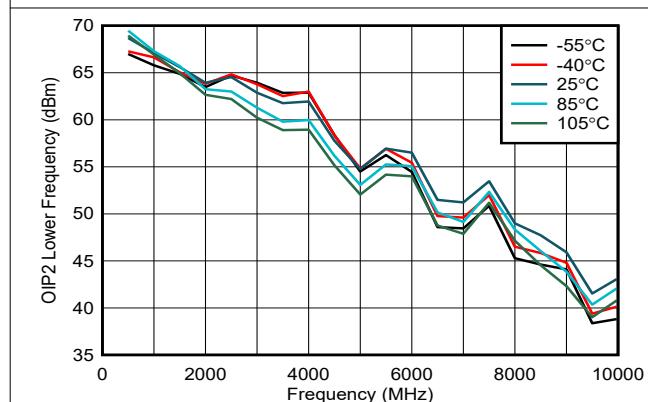


図 5-13. 全温度範囲で OIP2 低い

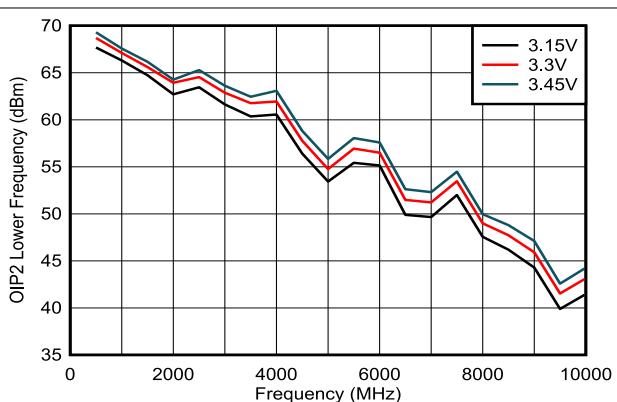


図 5-14. V_{DD} 全体で OIP2 低い

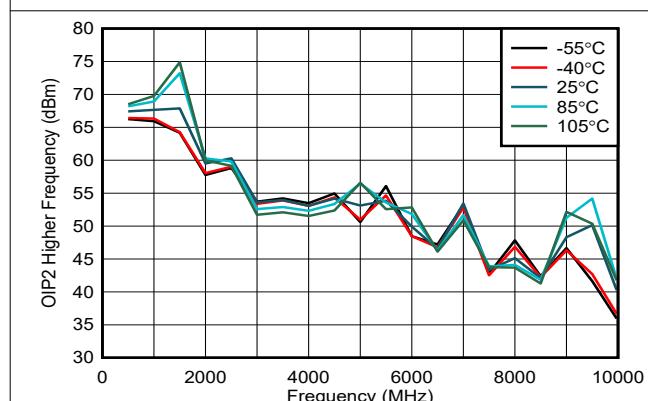


図 5-15. 全温度範囲で OIP2 高い

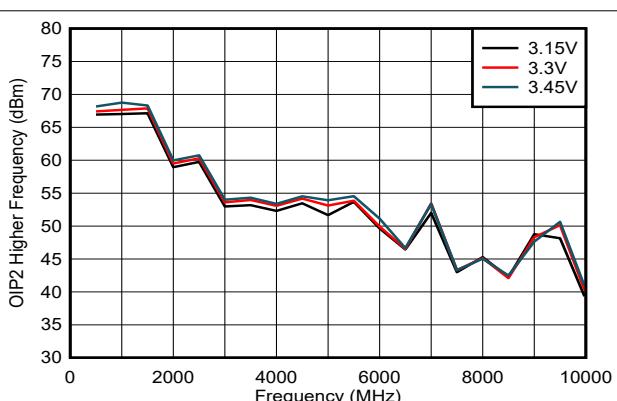


図 5-16. V_{DD} 全体で OIP2 高い

5.6 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ の場合、温度曲線が周囲温度を指定、 $V_{DD} = 3.3\text{V}$ 、 50Ω シングルエンド入力、 100Ω 差動出力 (特に記述のない限り)

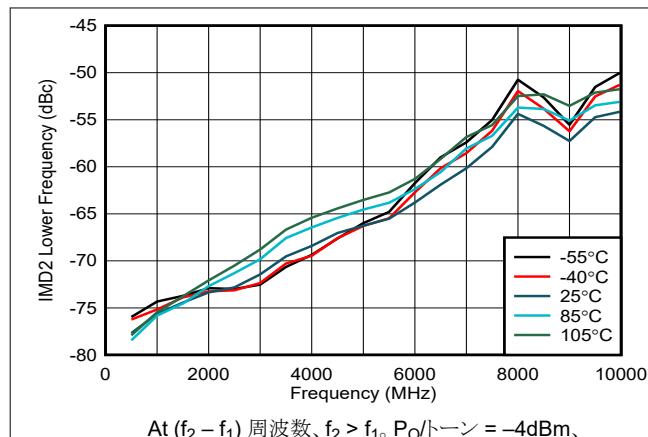


図 5-17. 全温度範囲で IMD2 低い

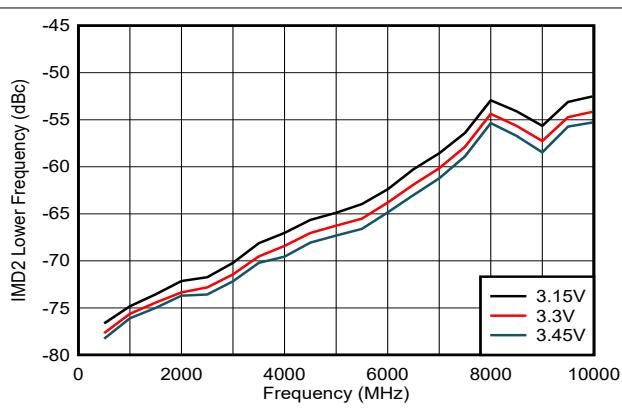


図 5-18. V_{DD} 全体で IMD2 低い

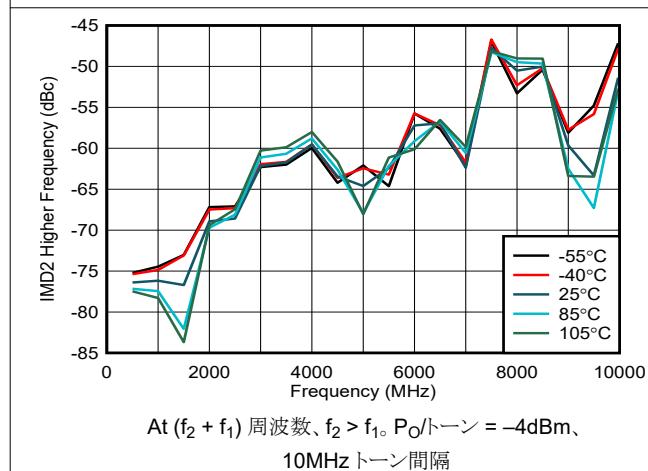


図 5-19. 全温度範囲で IMD2 高い

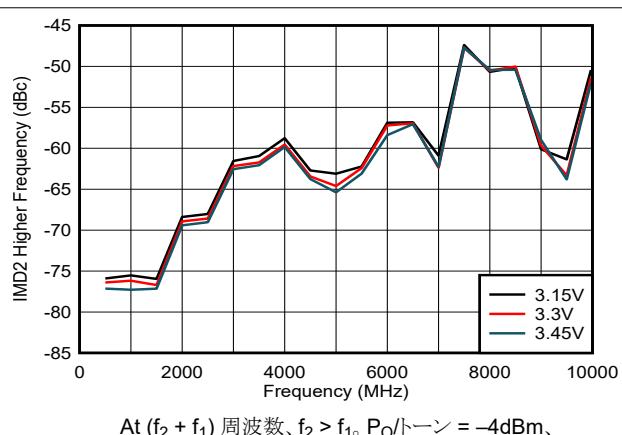


図 5-20. V_{DD} 全体で IMD2 高い

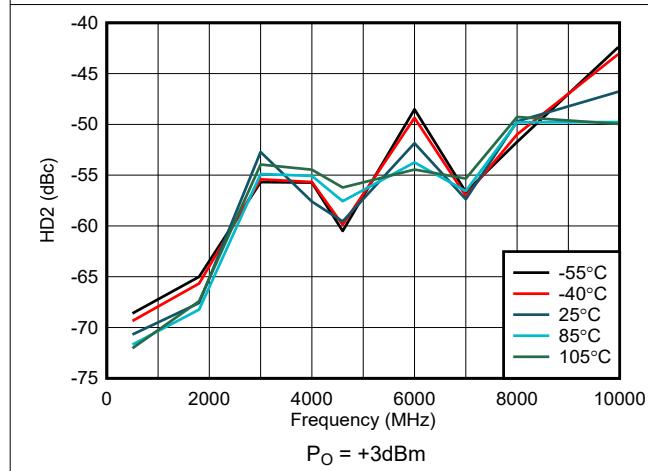


図 5-21. 動作温度範囲での HD2

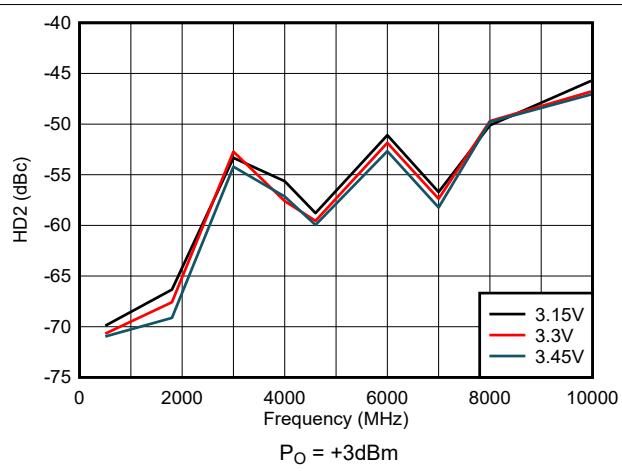


図 5-22. V_{DD} 全体での HD2

5.6 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ の場合、温度曲線が周囲温度を指定、 $V_{DD} = 3.3\text{V}$ 、 50Ω シングルエンド入力、 100Ω 差動出力 (特に記述のない限り)

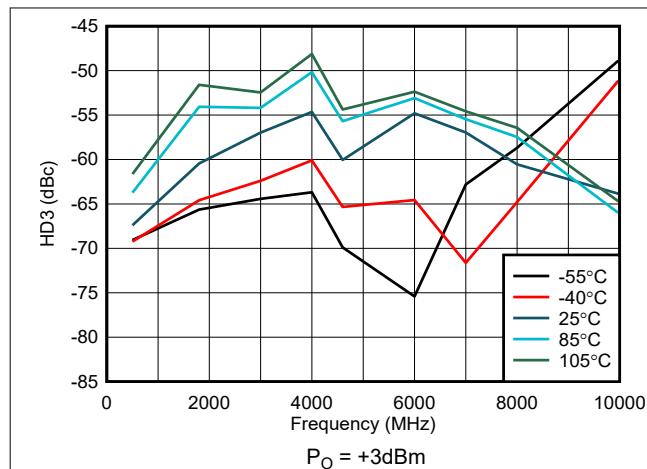


図 5-23. 動作温度範囲での HD3

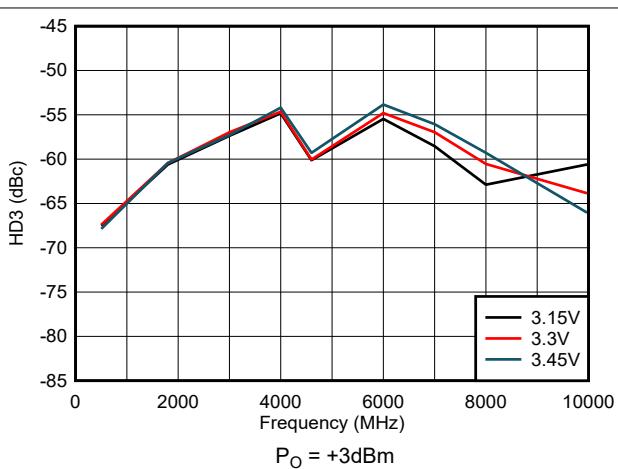


図 5-24. V_{DD} 全体での HD3

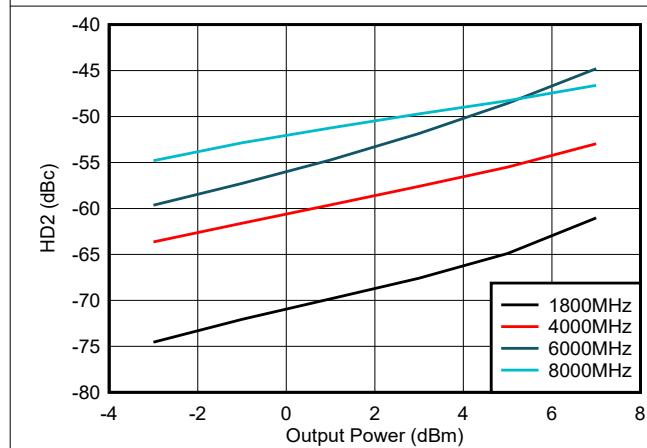


図 5-25. HD2 と出力電力との関係

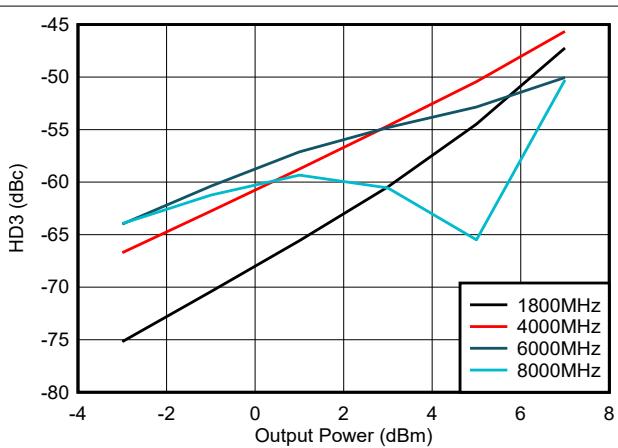


図 5-26. HD3 と出力電力との関係

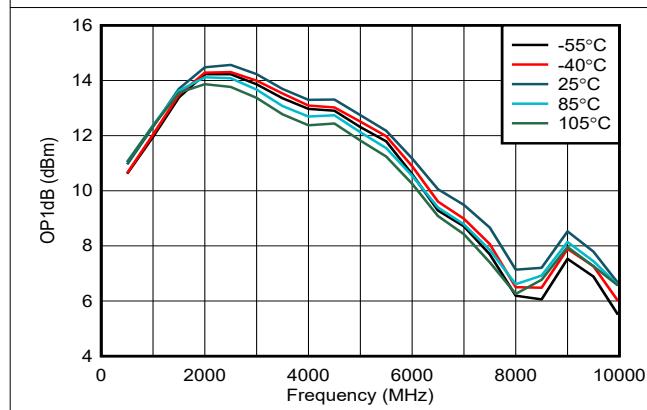


図 5-27. 温度範囲全体での出力 P1dB

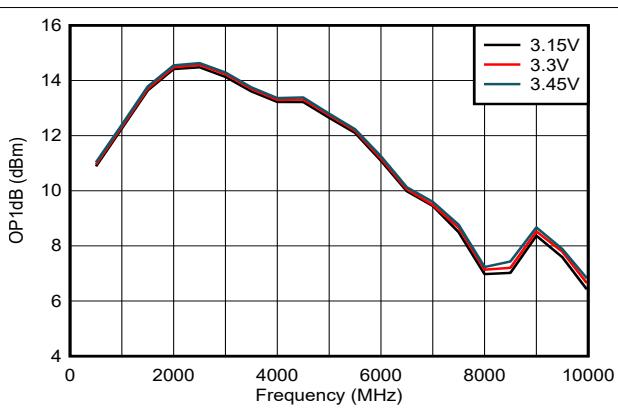


図 5-28. V_{DD} 全体での出力 P1dB

5.6 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ の場合、温度曲線が周囲温度を指定、 $V_{DD} = 3.3\text{V}$ 、 50Ω シングルエンド入力、 100Ω 差動出力 (特に記述のない限り)

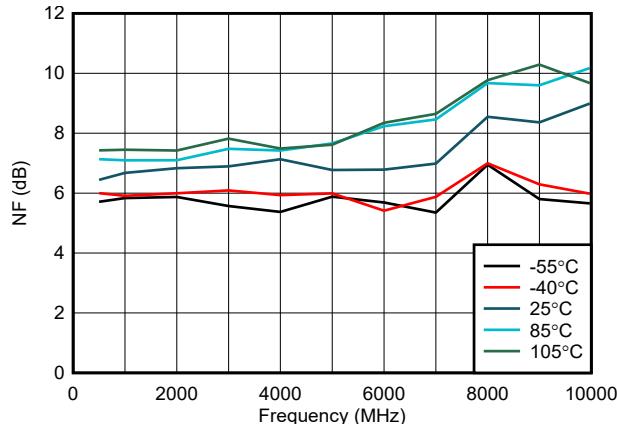


図 5-29. 温度範囲全体での NF

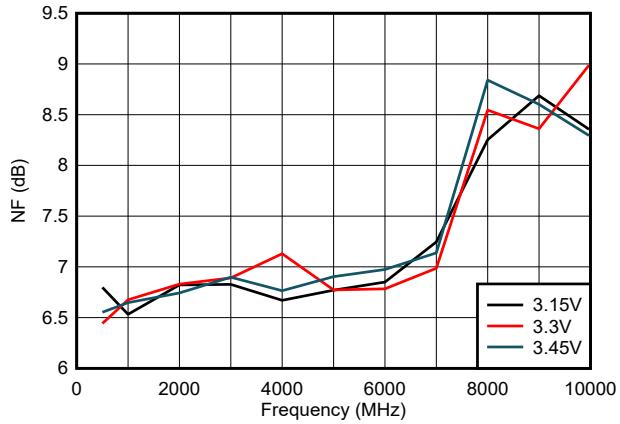


図 5-30. V_{DD} 全体での NF

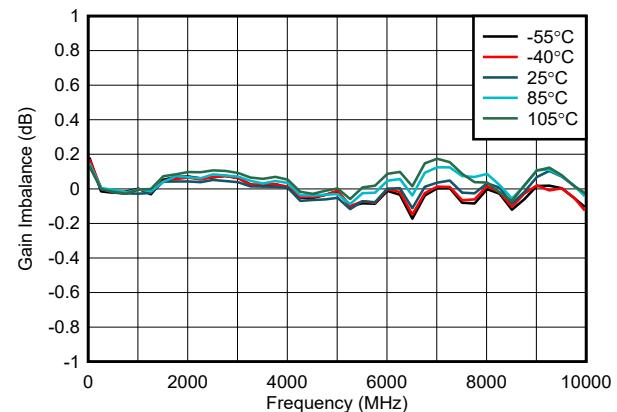


図 5-31. ゲイン不均衡

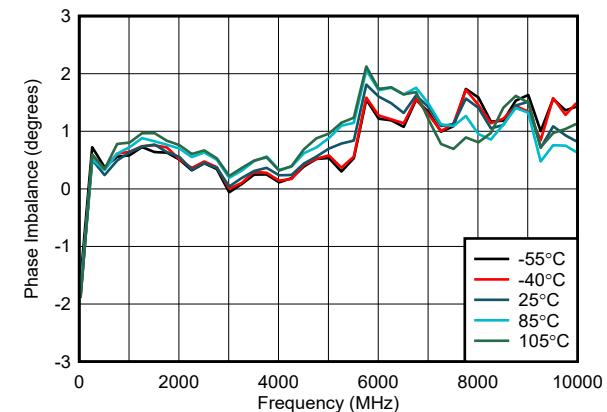


図 5-32. 位相不均衡

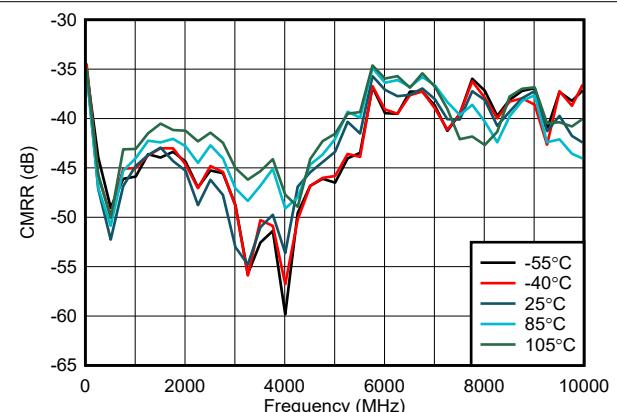


図 5-33. 温度範囲全体での CMRR

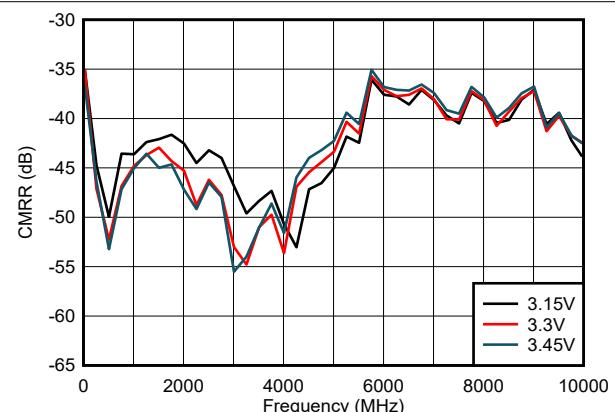


図 5-34. V_{DD} 全体での CMRR

5.6 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ の場合、温度曲線が周囲温度を指定、 $V_{DD} = 3.3\text{V}$ 、 50Ω シングルエンド入力、 100Ω 差動出力 (特に記述のない限り)

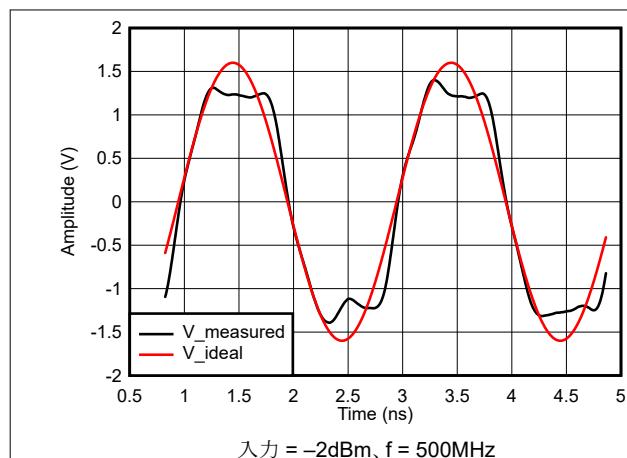


図 5-35. オーバードライブ復帰時間

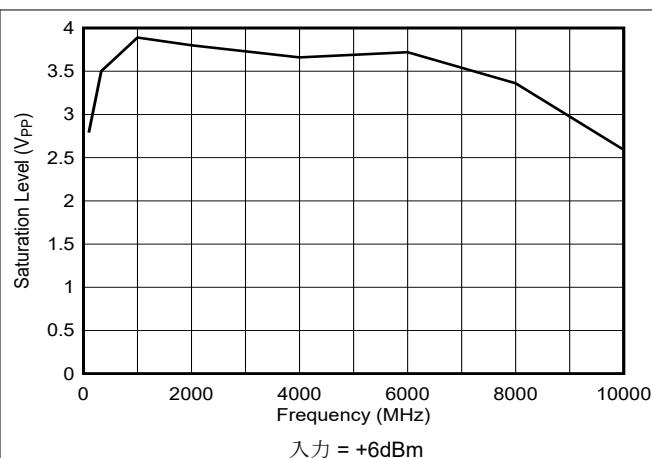


図 5-36. 飽和電圧 (差動)

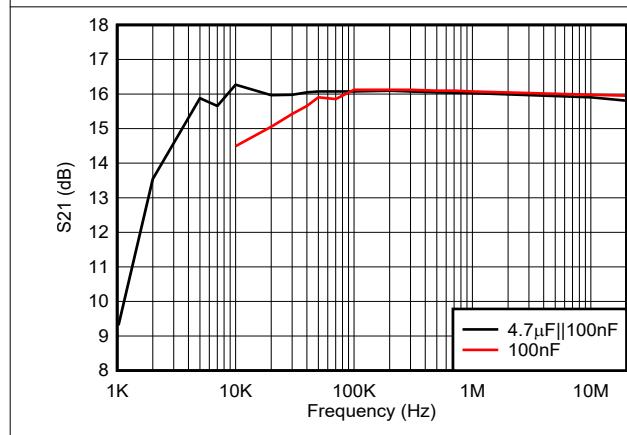


図 5-37. 低周波数ゲイン応答

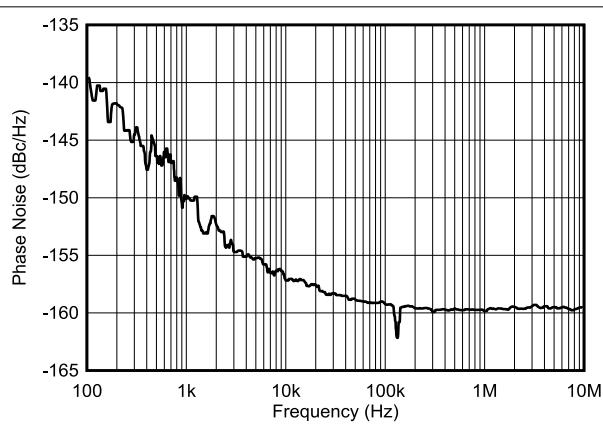


図 5-38. 付加(残留)位相ノイズ

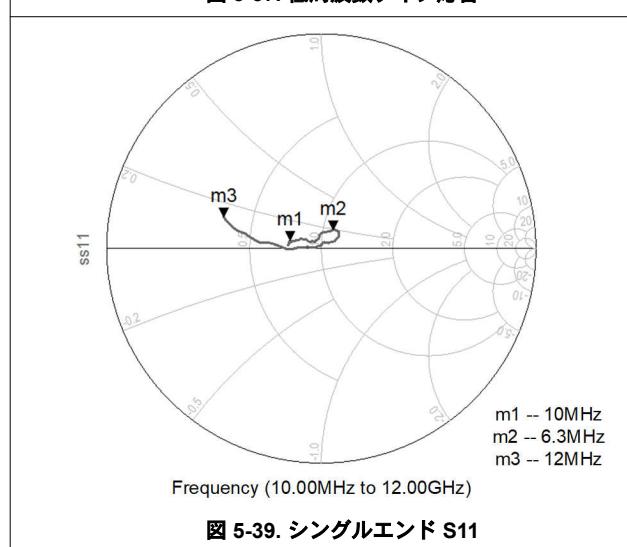


図 5-39. シングルエンド S11

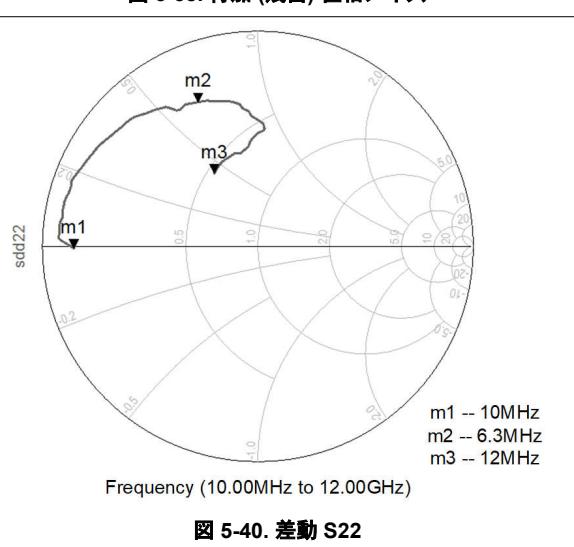


図 5-40. 差動 S22

6 詳細説明

6.1 概要

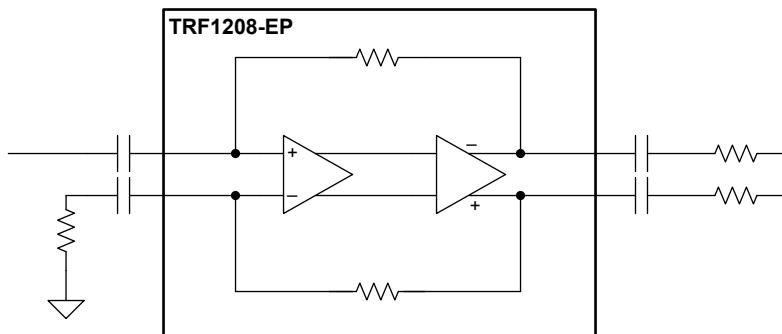
TRF1208-EP は、最大 11GHz の信号帯域幅を持つ無線周波数 (RF) と中間周波数 (IF) に最適化された非常に高性能なアンプです。このデバイスは、A/D コンバータ (ADC) を駆動する際にシングルエンドから差動への変換を必要とする AC 結合アプリケーション向けに設計されています。低周波数応答は、PCB 上の AC カップリングコンデンサのみによって制限されます。最小信号周波数が 100kHz を超える場合は、100nF の AC カップリングコンデンサを使用します。最小信号周波数が 9kHz の場合は、各入力出力ピンに 100nF のコンデンサと並列に 4.7μF コンデンサを使用します。このデバイスは 2 段アーキテクチャを採用しており、50Ω ソースから駆動されるシングルエンド入力に対して差動 100Ω 負荷を駆動する場合、シングルエンドから差動モードで約 16dB のゲインを実現します。このデバイスは、完全差動アンプとしても動作します。

このデバイスは、PCB 上にプルアップまたはプルダウンの部品を必要としないため、レイアウトを簡素化でき、帯域幅全体にわたって最高の性能が得られます。

入力と出力は AC 結合されています。TRF1208-EP の電力は 3.3V 電源電圧です。また、パワーダウン機能も利用可能です。

6.2 機能ブロック図

下図に、TRF1208-EP の機能ブロック図を示します。このデバイスには、本質的に、電圧帰還構成の 2 つの段があります。



6.3 機能説明

6.3.1 完全差動アンプ

TRF1208-EP は、アーキテクチャにより固定ゲインを実現した電圧帰還型完全差動アンプ (FDA) です。TRF1208-EP は、INM ピンを 50Ω の抵抗で終端し、外付け部品なしで INP ピンを直接駆動することで、シングルエンドから差動へのアンプとして動作します。

このアンプは広い周波数範囲にわたって優れた直線性性能を発揮する非直線性キャンセル回路を備えています。

アンプの出力は低 DC インピーダンスです。したがって、必要に応じて、適切な直列抵抗またはアッテネータ パッドを追加して、アンプの出力を負荷と一致させます。

6.3.2 単一電源動作

TRF1208-EP は、3.3V の单電源で動作します。入力および出力バイアス電圧は、内部で設定されています。したがって、4 つの RF 入出力ピンすべてで、基板上の信号路を AC 結合します。単一電源動作により、基板設計が簡素化されます。

6.4 デバイスの機能モード

TRF1208-EP には、アクティブ モードとパワーダウン モードの 2 つの機能モードがあります。機能モードは、以下に説明するように PD ピンで制御します。

6.4.1 パワーダウン モード

デバイスには、パワーダウン オプションもあります。PD ピンは、アンプの電源オフに使用されます。このピンは 1.8V と 3.3V の両方のデジタル ロジックをサポートし、グランドを基準としています。ロジック 1 にするとデバイスはオフになり、デバイスは低静止電流状態になります。

無効化されている場合でも、信号路は依然として内部回路を通過します。無効化されたデバイスに適用される入力信号は、無効化された帰還型アンプの場合と同様に、このパスを経由して低レベルで出力に現れます。

7 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インストルメンツの製品仕様に含まれるものではなく、テキサス・インストルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

7.1.1 高速ADCの駆動

TRF1208-EP の一般的なアプリケーションは、差動入力 (ADC12DJ5200-EP または AFE7950-EP など) を持つ高速 ADC の駆動です。従来型のパッシブ バランは、高帯域のリニア アンプが入手可能な結果、GSPS (ギガ サンプル/秒) ADC の駆動に使用されていました。TRF1208-EP は通常、高価なパッシブ RF バランに匹敵するかそれを超える優れた帯域幅平坦性、ゲイン、位相不均衡を備えたシングルエンドから差動への (S2D) RF アンプとして構成されます。

図 7-1 に、ADC12DJ5200-EP の代表的なインターフェイス回路を示します。ADC とシステムの要件に応じて、この回路を簡素化するか、この回路をより複雑にしてください。

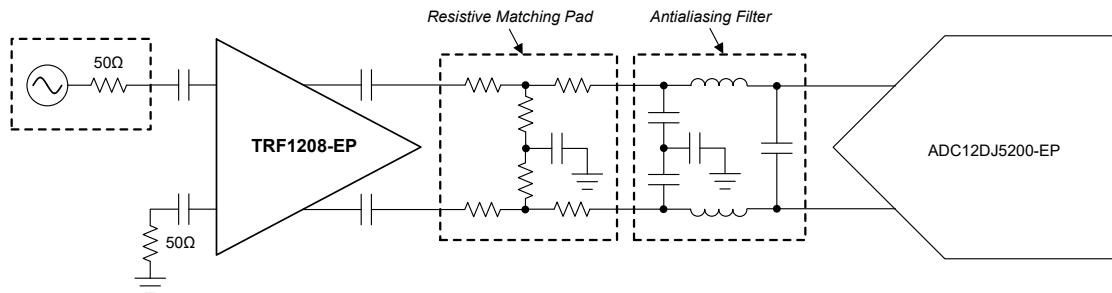
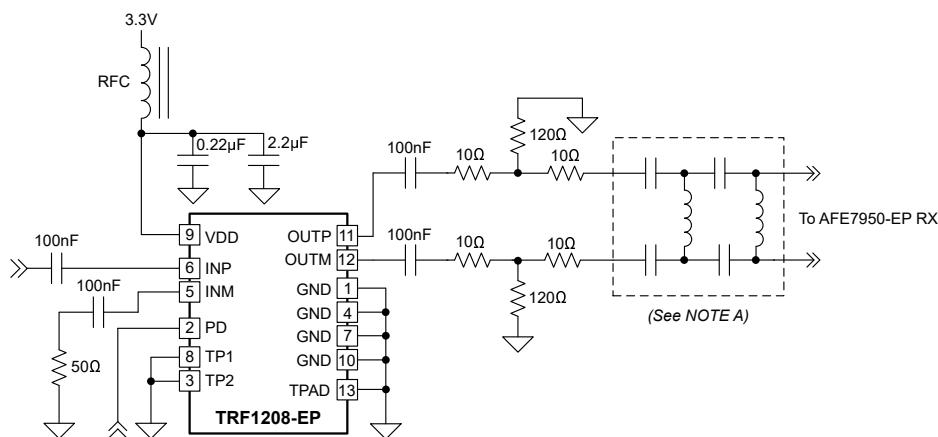


図 7-1. ADC12DJ5200-EP とのインターフェイス

図 7-1 に、ドライバ アンプと ADC の間の回路の 2 つの部分を示します。つまり、マッチング パッド (またはアッテネータ パッド) とアンチエイリアス フィルタです。これらの回路には、小型フォームファクタで RF 品質の受動部品を使用します。TRF1208-EP の出力スイングは、これらの ADC のフルスケールを駆動するように設計されていますが、同時に ADC をオーバードライブすることはありません。この機能により、ADC で電圧制限デバイスが不要となります。

図 7-2 に、AFE7950-EP の代表的なインターフェイス回路を示します。TRF1208-EP は S2D アンプです。



A. AFE マッチング回路 — 部品の種類 (L または C) と値は、チャネル (A, B, C, D, FB1, FB2) と周波数帯域に依存します。

図 7-2. AFE7950-EP とのインターフェイス

7.1.2 出力電圧スイングの計算

このセクションでは、さまざまな入力電力レベルに対する出力電圧スイングのクイック リファレンスをご紹介します。この例では、出力は 100Ω 差動負荷で終端され、パワー ゲインは 16dB と想定しています。

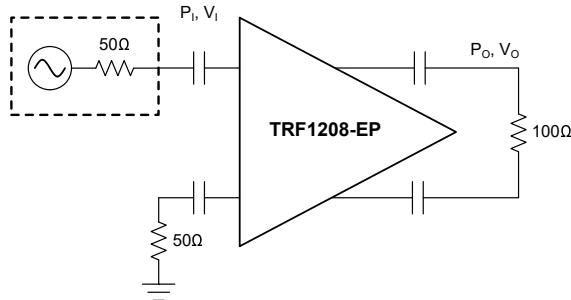


図 7-3. 電力と電圧レベル

$$\text{Voltage gain} = 20 \times \log(V_O / V_I) \quad (1)$$

$$\text{Power gain} = 10 \times \log(P_O / P_I) = 10 \times \log((V_O^2 / 100) / (V_I^2 / 50)) = 20 \times \log(V_O / V_I) - 3\text{dB} \quad (2)$$

表 7-1. さまざまな入力電力レベルにおける出力電圧スイング

入力		出力 (TRF1208-EP)	
$P_I (\text{dBm}_{50})$	$V_I (\text{V}_{PP})$	$P_O (\text{dBm}_{100})$	$V_O (\text{V}_{PP})$
-20	0.063	-4	0.564
-15	0.112	1	1.004
-10	0.2	6	1.785
-9	0.224	7	2.002

7.1.3 熱に関する注意事項

TRF1208-EP は、熱特性が優れた $2\text{mm} \times 2\text{mm}$ の WQFN-FCRLF パッケージで提供されます。チップの下のサーマル パッドをグランド プレーンに接続します。可能であれば、4 つの角でチップの他のグランド ピンへのグランド プレーンを短絡し、PCB の最上層への熱伝搬を可能にします。PCB の最上層のサーマル パッド プレーンを内層のグランド プレーンに接続するサーマル ビアを使用して、内層に熱を伝搬します。

7.2 代表的なアプリケーション

このセクションでは、TRF1208-EP が AFE7950-EP の S2D アンプとして機能する例について説明します。

7.2.1 TRF1208-EP 受信チェーン内

このセクションでは、TRF1208-EP がシングルエンドから差動への (S2D) アンプとして動作し、AFE7950-EP の受信チャネルを駆動する RF レシーバ チェーンについて説明します。

図 7-4 に、TRF1208-EP が AFE7950-EP 受信チャネルを駆動する設計の一般的な回路図を示します。これらの部品の正確な値は、AFE7950-EP フロント エンドが一致する周波数帯域によって異なります。

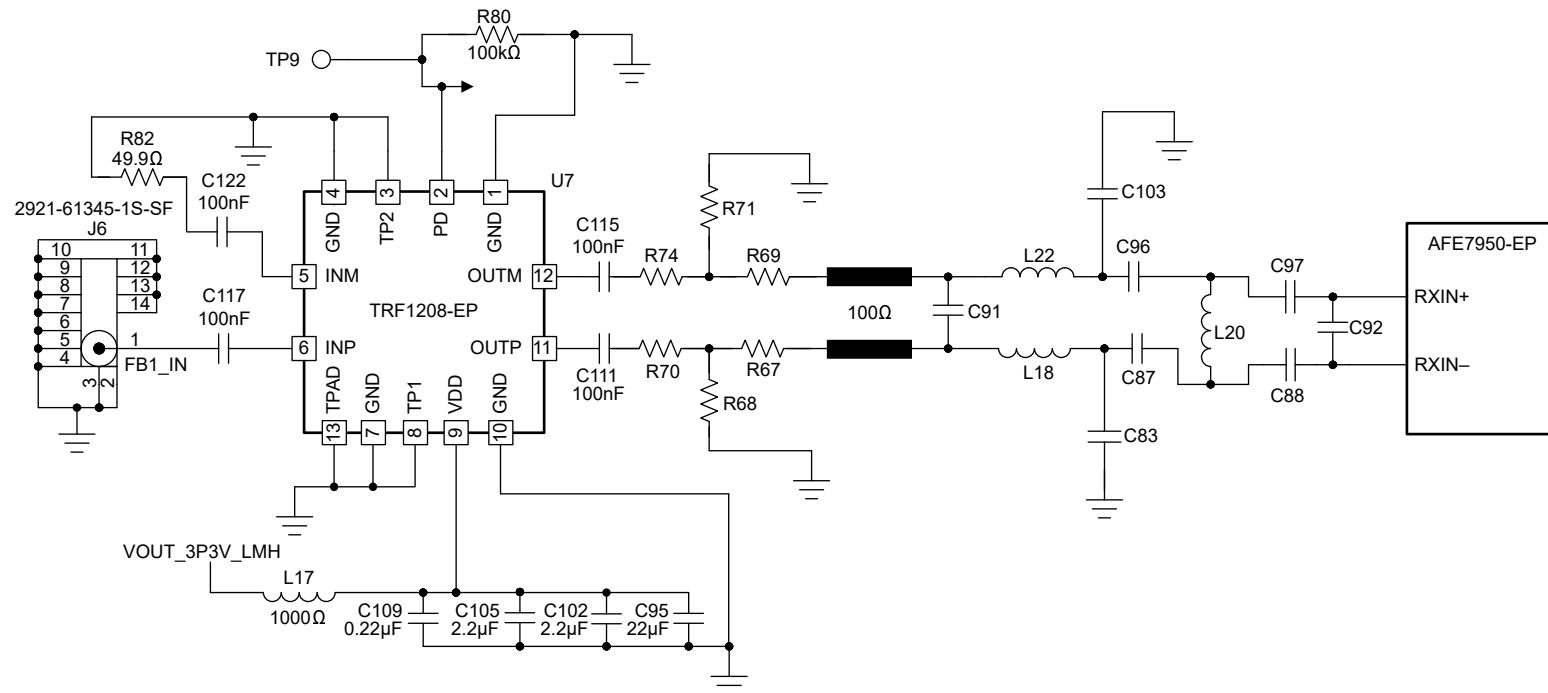


図 7-4. TRF1208-EP と AFE7950-EP の受信チェーン

7.2.1.1 設計要件

AFE7950-EP チャネルは、2.3GHz に一致させる必要があります。

7.2.1.2 詳細な設計手順

TRF1208-EP は S2D アンプとして構成されています。TRF1208-EP 出力の近くのセクションは、堅牢なマッチングを目的としたアッテネータ パッドです。AFE7950-EP の近くのセクションは、チャネルに依存する AFE7950-EP ADC 入力に対するマッチング回路です。マッチング部品は、AFE7950-EP のリターン ロス データといくつかの最終的な最適化に基づいて選択します。製造された基板パラメータが、必要な部品の正確な値に影響を及ぼす可能性があるためです。

表 7-2 に、2.3GHz の中心周波数に一致する RXA チャネルの設計の部品表 (BOM) 値を示します。

表 7-2. 中心周波数 = 2.3GHz の RX チェーンの部品値

セクション	記号	タイプ	値	インストールの必要性
DC ブロック コンデンサ	C117	コンデンサ	100nF	インストール
DC ブロック コンデンサ	C115	コンデンサ	100nF	インストール
DC ブロック コンデンサ	C111	コンデンサ	100nF	インストール
DC ブロック コンデンサ	C122	コンデンサ	100nF	インストール
INM 終端	R82	抵抗	50Ω	インストール
アッテネータ	R74	抵抗	10Ω	インストール
アッテネータ	R70	抵抗	10Ω	インストール
アッテネータ	R69	抵抗	10Ω	インストール
アッテネータ	R67	抵抗	10Ω	インストール
アッテネータ	R71	抵抗	120Ω	インストール
アッテネータ	R68	抵抗	120Ω	インストール
マッチング	C91	—	—	インストールしない
マッチング	C103	—	—	インストールしない
マッチング	C83	—	—	インストールしない
マッチング	L22	インダクタ	0.1nH	インストール
マッチング	L18	インダクタ	0.1nH	インストール
マッチング	C96	インダクタ	0.1nH	インストール
マッチング	C87	インダクタ	0.1nH	インストール
マッチング	L20	インダクタ	5.6nH	インストール
マッチング	C97	コンデンサ	3.9pF	インストール
マッチング	C88	コンデンサ	3.9pF	インストール
マッチング	C92	—	—	インストールしない

7.2.1.3 アプリケーション曲線

図 7-5 に、前のセクションの設計のインバンド出力応答を示します。この応答は、TRF1208-EP の入力で -30dBm の入力電力で測定されています。

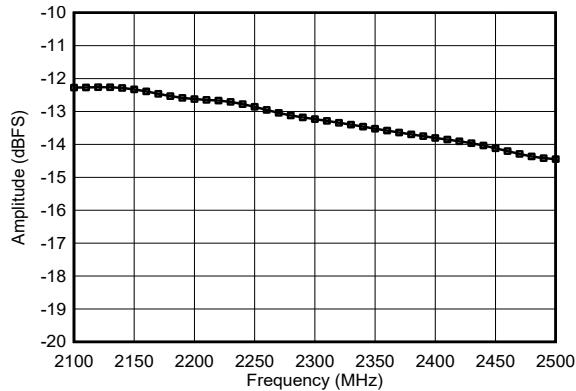


図 7-5. インバンド出力応答

7.3 電源に関する推奨事項

TRF1208-EP には 3.3V 単一電源が必要です。高周波性能を実現するには、電源のデカップリングが不可欠です。通常、電源デカップリングに 2 つまたは 3 つのコンデンサを使用します。値が最小のコンデンサを使用する場合は、デバイスの V_{DD} ピンの最も近くに配置する小型フォームファクタの部品を使用します。容量値とサイズが大きいバルク デカップリング コンデンサを、小さなコンデンサに隣接するように使用します。[セクション 7.4](#) も参照してください。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

TRF1208-EP は、ゲインが約 16dB の広帯域の電圧帰還型アンプです。比較的高いゲインを持つ広帯域 RF アンプを使用して設計する場合は、安定性と最適な性能を維持するために基板レイアウトに注意してください。マルチレイヤ基板を使用して、シグナル インテグリティ、パワー インテグリティ、熱性能を維持します。[図 7-6](#) に、良好なレイアウトの例を示します。この図は、最上層のみを示しています。

RF 入力および出力ラインを接地された同一平面導波管 (GCPW) ラインとして配線します。2 番目の層については、アンプ領域の近くにグランド切れ目のない連続的なグランド層を使用します。位相不均衡を最小化するため、出力差動ラインの長さを一致させます。可能な場合は、小型フットプリントの受動部品を使用します。入力側のレイアウトにも注意してください。**INP** 配線には 50Ω のラインを使用し、AC カップリング コンデンサと 50Ω の抵抗をデバイスの非常に近くに配置して、**INM** ピンの終端の寄生容量を小さくします。終端には、R_f 品質の 50Ω 抵抗を使用します。最上層と内部層のグランドプレーンを、ビアで十分にステッチします。

最上層のサーマルパッドを PCB の内層にあるグランド プレーンに接続するデバイスの下にサーマル ビアを配置します。放熱性能を高めるため、グランド ピンを介してサーマル パッドを最上層のグランド プレーンに接続します ([セクション 7.4.2](#) も参照)。

7.4.2 レイアウト例

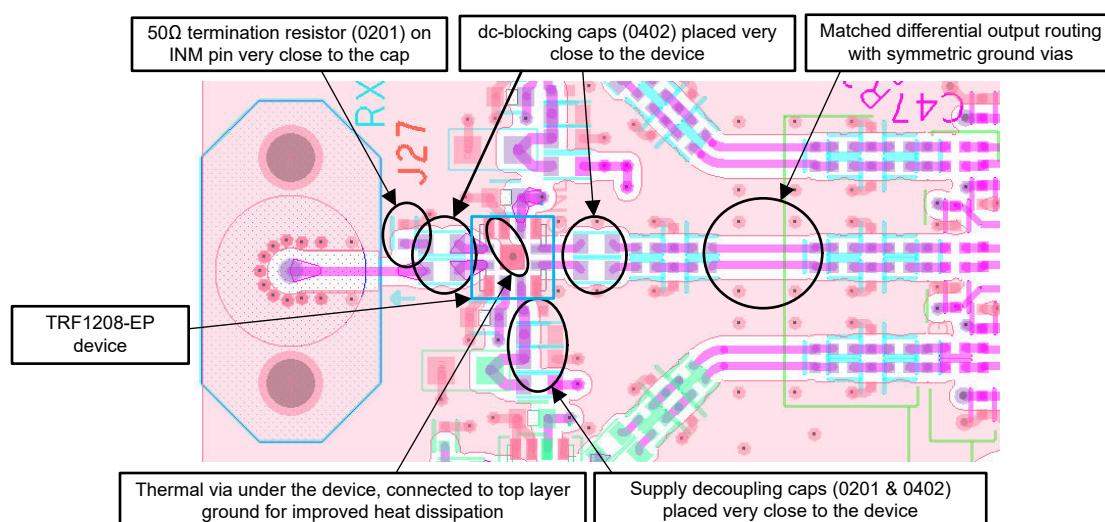


図 7-6. レイアウト例 : 配置と最上層レイアウト

TRF1208EVM 基板を使用して、TRF1208-EP デバイスを評価しています。評価ボードの構築とテスト設定に関する追加情報については、[『TRF1208EVM』ユーザー ガイド](#)を参照してください。

8 デバイスおよびドキュメントのサポート

8.1 デバイス サポート

8.1.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

8.2 ドキュメントのサポート

8.2.1 関連資料

8.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

8.6 静電気放電に関する注意事項

 この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことをお勧めします。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.7 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
August 2025	*	初版リリース

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいづれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TRF1208RPVTNEPG4	Active	Production	WQFN-HR (RPV) 12	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	208E
V62/25645-01XE	Active	Production	WQFN-HR (RPV) 12	250 SMALL T&R	-	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	208E

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

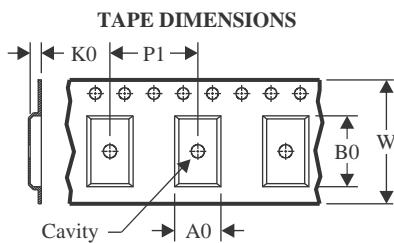
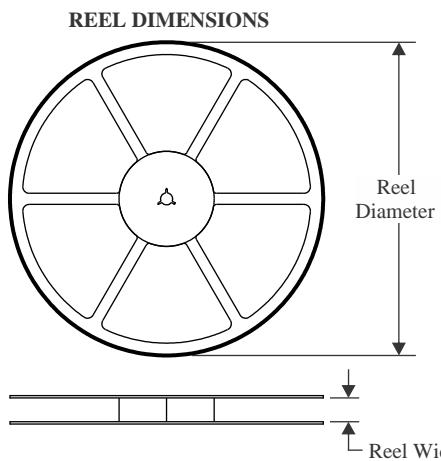
OTHER QUALIFIED VERSIONS OF TRF1208-EP :

- Catalog : [TRF1208](#)

NOTE: Qualified Version Definitions:

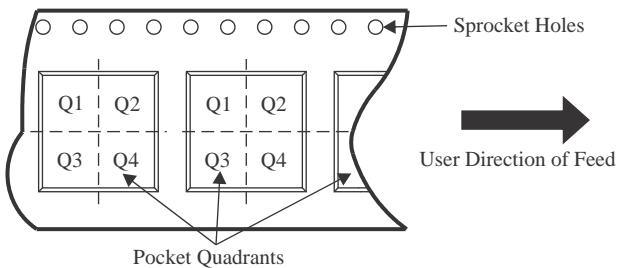
- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION



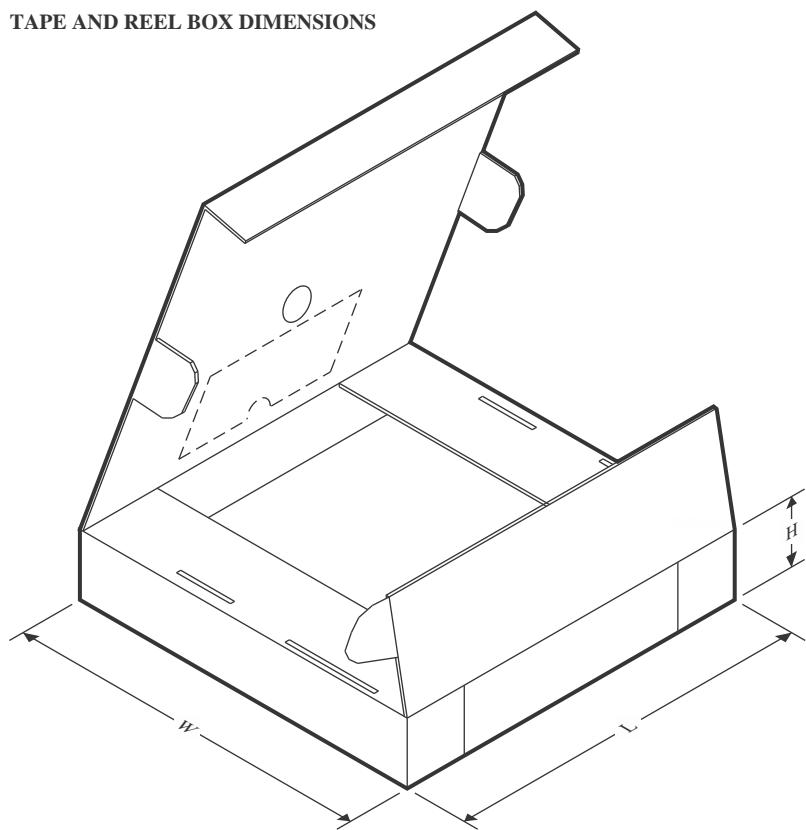
A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TRF1208RPVTNEPG4	WQFN-HR	RPV	12	250	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2

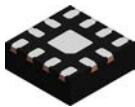
TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TRF1208RPVTNEPG4	WQFN-HR	RPV	12	250	210.0	185.0	35.0

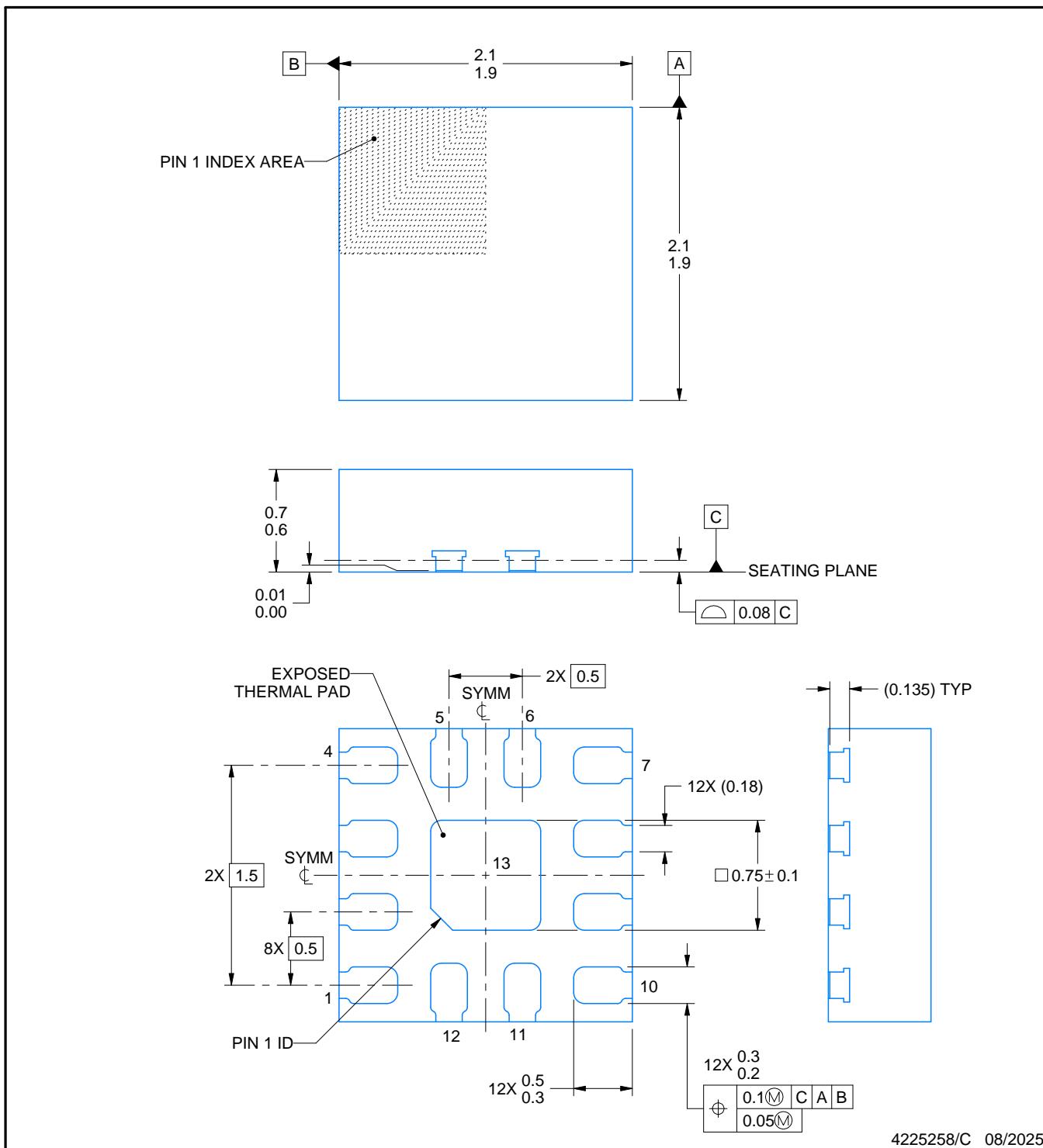
PACKAGE OUTLINE

RPV0012A



WQFN-FCRLF - 0.7 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



4225258/C 08/2025

NOTES:

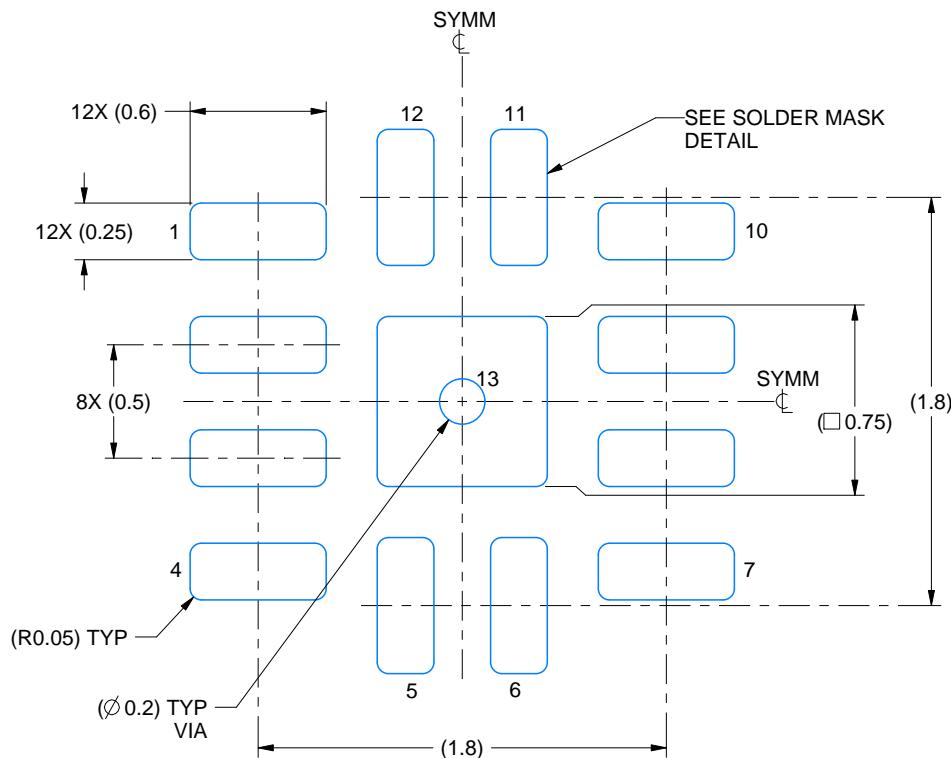
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

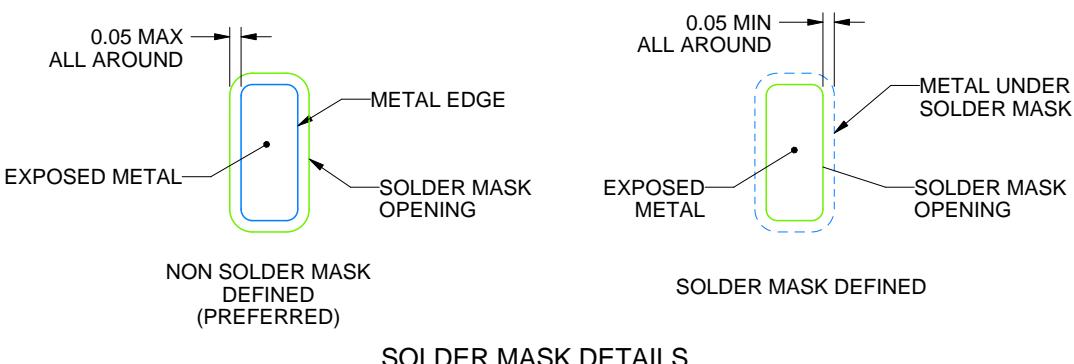
RPV0012A

WQFN-FCRLF - 0.7 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 30X



4225258/C 08/2025

NOTES: (continued)

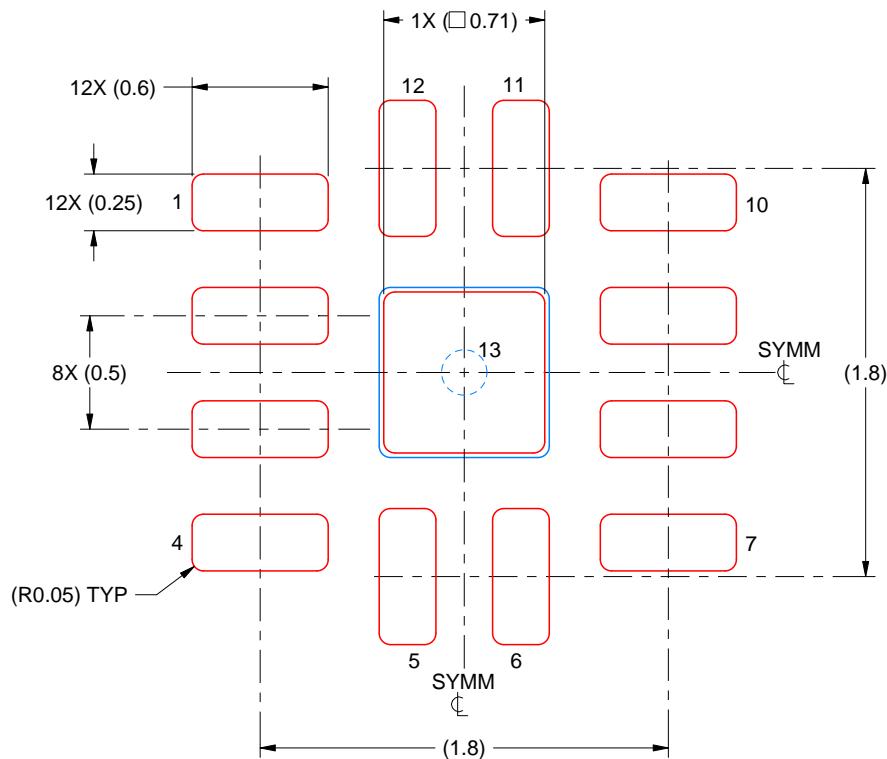
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RPV0012A

WQFN-FCRLF - 0.7 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 30X

EXPOSED PAD 13
90% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4225258/C 08/2025

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適した TI 製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月