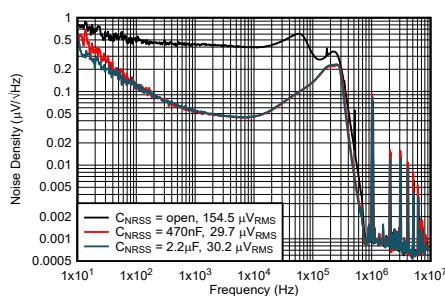


TPSM82916 3V～17V、6A、低ノイズ、低リップルの降圧モジュール、フェライトビーズフィルタ補償機能内蔵

1 特長

- 小さい出力 $1/f$ ノイズ: $20\mu\text{V}_{\text{RMS}}$ 未満 ($100\text{Hz} \sim 100\text{kHz}$)
- 小さい出力電圧リップル: $10\mu\text{V}_{\text{RMS}}$ 未満 (フェライトビーズの後)
- 優れた PSRR: 65dB 超 (最大 100kHz)
- 2.2MHz 、 1.4MHz 、または 1.0MHz の固定周波数ピーケーク電流モード制御
- 外部クロックと同期可能
- 2段目 L-C フィルタとしてフェライトビーズを使用できる内蔵ループ補償機能 (30dB 減衰)
- スペクトラム拡散変調
- 入力電圧範囲: $3.0\text{V} \sim 17\text{V}$
- 出力電圧範囲: $0.8\text{V} \sim 5.5\text{V}$
- $25\text{m}\Omega / 7\text{m}\Omega$ の R_{DSon}
- $\pm 1\%$ の出力電圧精度 (全温度範囲)
- 高精度のイネーブル入力により以下を実現
 - ユーザー定義の低電圧誤動作防止機能
 - 正確なシーケンシング
- 可変ソフトスタート
- パワー グッド出力
- 出力放電 (オプション)
- $-40^\circ\text{C} \sim 125^\circ\text{C}$ の接合部温度範囲
- $4.0\text{mm} \times 4.7\text{mm} \times 3.0\text{mm}$ QFN
- WEBENCH® Power Designer により、TPSM82916 を使用するカスタム設計を作成



出力ノイズと周波数との関係

2 アプリケーション

- 通信インフラ
- 試験および測定機器
- 航空宇宙および防衛 (レーダー、航空電子機器)
- 医療用

3 説明

TPSM82916 デバイスは、高効率、低ノイズ、低リップルの電流モード同期整流降圧 モジュールです。このデバイスは、通常はポストレギュレーションに LDO を使用するような、ノイズの影響を受けやすいアプリケーション (たとえば、高速 ADC、クロックおよびジッタクリーナ、シリアルライザ、デシリアルライザ、レーダー) 向けに設計されています。

出力電圧リップルを低減するため、本デバイスのループ補償は、オプションの 2段目フェライトビーズ L-C フィルタを使用して動作するように設計されています。NR/SS ピンに接続されたコンデンサで内部基準電圧をフィルタ処理することで、低ノイズ LDO と同様の低い周波数ノイズレベルをさらに達成しています。これらの機能を組み合わせることで、出力電圧リップルを $10\mu\text{V}_{\text{RMS}}$ 未満に抑えることができます。

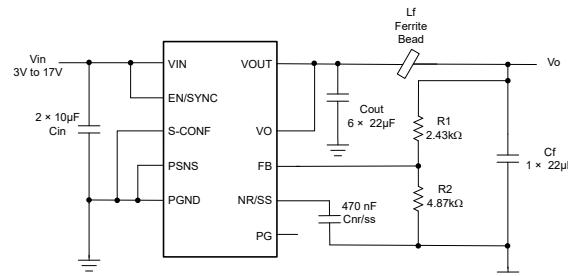
本デバイスは 2.2MHz 、 1.4MHz または 1MHz の固定スイッチング周波数で動作し、外部クロックにも同期できます。オプションのスペクトラム拡散変調方式を使用すると、DC/DC スイッチング周波数をより広い範囲にわたって拡散できるため、ミキシングスプリアスを低減できます。

パッケージ情報

型番	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾
TPSM82916	VCE (QFN-FCMOD、16)	$4.7\text{mm} \times 4.0\text{mm}$

(1) 詳細については、セクション 10 を参照してください。

(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンを含みます。



代表的なアプリケーション



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール(機械翻訳)を使用していることがあり、TIでは翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

English Data Sheet: SLVSH49

目次

1 特長	1	7 アプリケーションと実装	19
2 アプリケーション	1	7.1 アプリケーション情報	19
3 説明	1	7.2 代表的なアプリケーション	19
4 ピン構成および機能	3	7.3 電源に関する推奨事項	26
5 仕様	5	7.4 レイアウト	27
5.1 絶対最大定格.....	5	8 デバイスおよびドキュメントのサポート	29
5.2 ESD 定格.....	5	8.1 デバイス サポート	29
5.3 推奨動作条件.....	5	8.2 ドキュメントのサポート	29
5.4 熱に関する情報.....	6	8.3 ドキュメントの更新通知を受け取る方法	29
5.5 電気的特性.....	6	8.4 サポート・リソース	29
5.6 代表的特性.....	8	8.5 商標	30
6 詳細説明	12	8.6 静電気放電に関する注意事項	30
6.1 概要.....	12	8.7 用語集	30
6.2 機能ブロック図.....	13	9 改訂履歴	30
6.3 機能説明.....	14	10 メカニカル、パッケージ、および注文情報	31
6.4 デバイスの機能モード.....	17		

4 ピン構成および機能

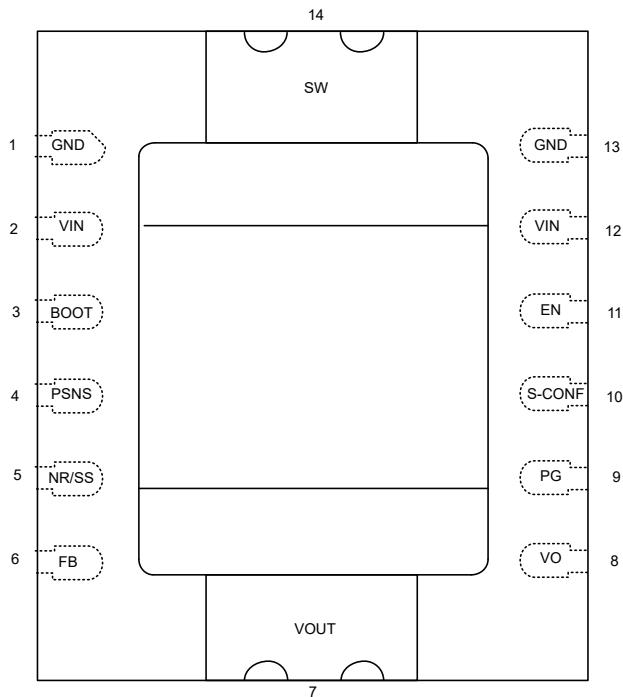


図 4-1. 16 ピン VCE QFN-FCMOD パッケージ (上面図)

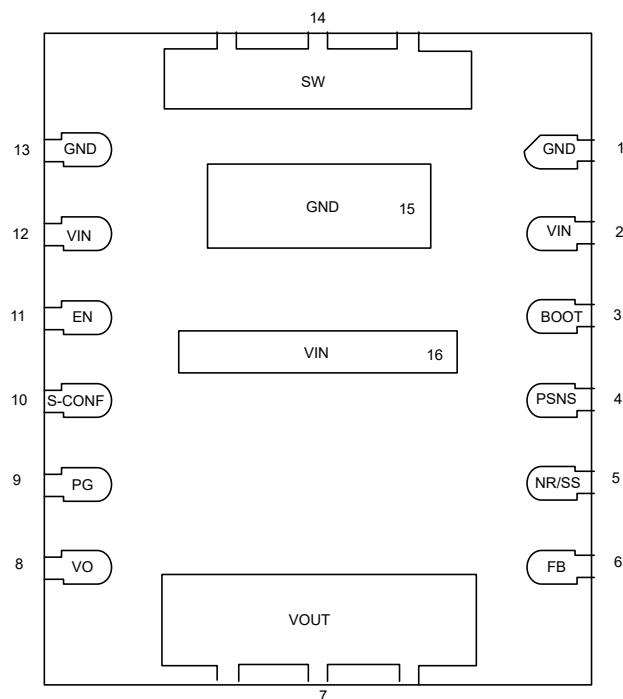


図 4-2. 16 ピン VCE QFN-FCMOD パッケージ (底面図)

表 4-1. ピンの機能

ピン		種類 ⁽¹⁾	説明
番号	名称		
1、13、 15	PGND	—	電源グランド接続
2、12、 16	VIN	I	電源入力電圧ピン
3	BOOT (NC)	I	内蔵のハイサイド MOSFET ゲートドライバ用電源。このピンは内部でコンデンサに接続されています。このピンに何も接続しないでください。
4	PSNS	—	電力センス グランド、GND プレーンに直接接続
5	NR/SS	O	このピンに接続するコンデンサによって、デバイスのソフト スタート時間および低周波数ノイズ レベルが設定されます。
6	FB	O	デバイスのフィードバック ピン
7	VOUT	O	VOUT ピン。推奨出力キャパシタンスに接続します。
8	VO	I	出力電圧検出ピン。このピンは、1 番目のインダクタの後段に直接接続する必要があります。
9	PG	O	オープンドレインのパワー グッド出力。V _{OUT} がパワーグッド スレッショルド未満の場合、このピンは GND にプルされます。ロジック High を出力するには、プルアップ抵抗が必要です。このピンはオープンのままにできます。使用しない場合は GND に接続できます。
10	S-CONF	O	スマート構成ピン。このレジスタは、デバイスの動作モードを設定します。 セクション 6.3.1 を参照してください。
11	EN/SYNC	I	イネーブル / ディスエーブル ピン。スレッショルド コンパレータが内蔵されています。ロジック Low に接続すると、本デバイスは無効化されます。High にプルすると、本デバイスは有効化されます。本デバイスが無効化された場合、このピンでは、500kΩ (標準値) の内部プルダウン抵抗が作用します。このピンにクロックを印加すると、本デバイスを同期できます
14	SW(NC)	O	電力段のスイッチ ピン。このピンは、コンバータの SW およびインダクタに内部接続されています。これらのパッドはデバイスの下に配置しできる限り小さくしてください。必要な場合にテスト ノードを接続する以外、パッドには何も接続しないでください。

(1) I = 入力、O = 出力

5 仕様

5.1 絶対最大定格

接合部動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
電圧 ⁽²⁾	VIN、EN/SYNC、PG、S-CONF	-0.3	18	V
	SW (DC)	-0.3	$V_{IN} + 0.3$	V
	SW (AC、10ns 未満) ⁽³⁾	-2.5	21	V
	BOOT	-0.3	$V_{IN} + 6$	
	BOOT から SW へ	-0.3	6	
	VO、FB、NR/SS	-0.3	6	V
	VNS-	-0.3	0.3	V
シンク電流	PG		10	mA
T _{stg}	保存温度	-65	150	°C
T _J	接合部温度	-40	150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- (2) すべての電圧値は、回路のグランド端子 GND を基準としたものです。
- (3) スイッチング動作時。

5.2 ESD 定格

			値	単位
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン ⁽¹⁾	±2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠、すべてのピン ⁽²⁾	±500	

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
- (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

接合部動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V _{IN}	入力電圧	3.0	17		V
V _{OUT}	出力電圧	0.8		5.5	V
C _{IN}	実効入力容量	5	10		μF
C _{OUT}	実効出力キャパシタンス	80	120	200	μF
L _f	実効フィルタ インダクタンス	0	10	50	nH
C _f	実効フィルタ容量	20	40	160	μF
C _{OUT} + C _f	1段目と2段目のL-C フィルタを含む、実効総出力キャパシタンス	80		400	μF
I _{OUT}	TPSM82916 の出力電流	0		6	A
T _J ⁽¹⁾	接合部温度	-40		125	°C

- (1) 接合部温度が 125°C を超えると、動作寿命が短くなります。

5.4 热に関する情報

热評価基準 ⁽¹⁾		TPSM8291x	単位
		VCE (QFN-FCMOD)	
		TPSM8291xEVM	
R _{θJA}	接合部から周囲への熱抵抗	25.7	°C/W
R _{θJC(top)}	接合部からケース(上面)への熱抵抗	n/a ⁽²⁾	°C/W
R _{θJB}	接合部から基板への熱抵抗	n/a ⁽²⁾	°C/W

- (1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーションノートを参照してください。
 (2) EVM には適用されません。

5.5 電気的特性

推奨する入力電圧範囲全域において、 $T_J = -40^\circ\text{C} \sim 125^\circ\text{C}$ 。標準値は、 $V_{IN} = 12\text{V}$ および $T_J = 25^\circ\text{C}$ での値(特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源						
I _Q	静止時電流	EN = High、無負荷、デバイスがスイッチング、f _{sw} = 1MHz		5		mA
I _{SD}	シャットダウン電流	EN = GND、 $T_J = -40^\circ\text{C} \sim 125^\circ\text{C}$		0.5	70	μA
V _{UVLO}	低電圧誤動作防止	V_{IN} 立ち上がり、 $T_J = -40^\circ\text{C} \sim 125^\circ\text{C}$	2.85	2.92	3.0	V
V _{HYS}	低電圧ロックアウトヒステリシス			200		mV
T _{JSD}	サーマル シャットダウンのスレッショルド	T_J 立ち上がり		170		°C
	サーマル シャットダウンヒステリシス	T_J 立ち下がり		20		°C
制御とインターフェイス						
V _{H_EN}	EN/SYNC の High レベル入力 — スレッショルド電圧		0.97	1.01	1.04	V
V _{L_EN}	EN/SYNC の Low レベル入力スレッショルド電圧		0.87	0.9	0.93	V
V _{H_SYNC}	EN/SYNC の High レベル入力スレッショルドクロック信号	EN/SYNC = クロック		1.1		V
V _{L_SYNC}	EN/SYNC の Low レベル入力スレッショルドクロック信号	EN/SYNC = クロック		0.4		V
I _{EN, LKG}	EN/SYNC への入力リーク電流	EN/SYNC = GND または V _{IN} 、 $-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$		5	160	nA
R _{PD}	EN/SYNC のプルダウン抵抗	EN/SYNC = Low	330	500		kΩ
t _{delay}	イネーブル遅延時間	EN/SYNC High からデバイスがスイッチングを開始するまでの時間、R _{S-CONF} = 80.6kΩ		1		ms
I _{NR/SS}	NR/SS ソース電流		67.5	75	82.5	μA
R _{S-CONF}	S-CONF 抵抗のステップ範囲精度	S-CONF 表に従った、すべての設定に対する R _{S-CONF} の許容誤差	-4		+4	%
V _{PG}	パワー グッド スレッショルド	V _{FB} の立ち上がり。公称 V _{FB} を基準とします。	93	95	98	%
V _{PG}	パワー グッド スレッショルド	V _{FB} の立ち下がり。公称 V _{FB} を基準とします。	88	90	93	%
V _{PG, OL}	PG ピンの Low レベル出力電圧	I _{SINK} = 1mA		0.4		V
I _{PG, LKG}	PG ピンへの入力リーク電流	V _{PG} = 5V、 $-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$		5	500	nA
t _{PG, DLY}	パワーグッド遅延時間	V _{FB} 立ち下がり		8		μs
出力						

5.5 電気的特性 (続き)

推奨する入力電圧範囲全域において、 $T_J = -40^\circ\text{C} \sim 125^\circ\text{C}$ 。標準値は、 $V_{\text{in}} = 12\text{V}$ および $T_J = 25^\circ\text{C}$ での値 (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{on}	最小オン時間	$V_{\text{IN}} \geq 5\text{V}, I_{\text{out}} = 1\text{A}$		35		ns
t_{off}	最小オフ時間	$V_{\text{IN}} \geq 5\text{V}, I_{\text{out}} = 1\text{A}$		50		ns
V_{FB}	フィードバック レギュレーション精度	$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$	0.792	0.8	0.808	V
$I_{\text{FB,LKG}}$	FB への入力リーケ電流	$V_{\text{FB}} = 0.8\text{V}, -40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$		1	70	nA
$I_{\text{VO,LKG}}$	VO への入力リーケ電流	$V_{\text{VO}} = 1.2\text{V}, -40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$		0.01	30	μA
PSRR	電源除去比	$V_{\text{IN}} = 12\text{V}, 1.2V_{\text{OUT}}, 1\text{A}, C_{\text{NR/SS}} = 470\text{nF}, f_{\text{sw}} = 1\text{MHz}, C_{\text{FF}} = \text{オープン}, C_{\text{OUT}} = 4 \times 22\mu\text{F}, f \leq 100\text{kHz}$		65		dB
PSRR	電源除去比	$V_{\text{IN}} = 5\text{V}, 1.2V_{\text{OUT}}, 1\text{A}, C_{\text{NR/SS}} = 470\text{nF}, f_{\text{sw}} = 2.2\text{MHz}, C_{\text{FF}} = \text{オープン}, C_{\text{OUT}} = 4 \times 22\mu\text{F}, f \leq 100\text{kHz}$		70		dB
V_{NRMS}	出力電圧 RMS ノイズ	$V_{\text{IN}} = 12\text{V}, \text{BW} = 100\text{Hz} \sim 100\text{kHz}, C_{\text{NR/SS}} = 470\text{nF}, f_{\text{sw}} = 1\text{MHz}, V_{\text{OUT}} = 1.2\text{V}, C_{\text{FF}} = \text{オープン}, C_{\text{OUT}} = 4 \times 22\mu\text{F}$		24.4		μV _{RMS}
V_{NRMS}	出力電圧 RMS ノイズ	$V_{\text{IN}} = 5\text{V}, \text{BW} = 100\text{Hz} \sim 100\text{kHz}, C_{\text{NR/SS}} = 470\text{nF}, f_{\text{sw}} = 2.2\text{MHz}, V_{\text{OUT}} = 1.2\text{V}, C_{\text{FF}} = \text{オープン}, C_{\text{OUT}} = 4 \times 22\mu\text{F}$		16.5		μV _{RMS}
V_{opp}	f_{sw} での出力リップル電圧	$V_{\text{IN}} = 12\text{V}, f_{\text{sw}} = 1\text{MHz}, V_{\text{OUT}} = 1.2\text{V}, C_{\text{OUT}} = 4 \times 22\mu\text{F}, L_f = 10\text{nH}, C_f = 22\mu\text{F}$		36		μV _{RMS}
R_{DIS}	出力放電抵抗	$\text{EN/SYNC} = \text{GND}, V_{\text{OUT}} = 1.2\text{V}, V_{\text{IN}} \geq 5\text{V}$		3.5		Ω
R_{DIS}	出力放電抵抗	$\text{EN/SYNC} = \text{GND}, V_{\text{OUT}} = 5\text{V}, V_{\text{IN}} \geq 5\text{V}$		16		Ω
f_{sw}	スイッチング周波数	2.2MHz 設定	1.98	2.2	2.42	MHz
f_{sw}	スイッチング周波数	1.4MHz 設定	1.26	1.4	1.54	MHz
f_{sw}	スイッチング周波数	1MHz 設定	0.9	1	1.18	MHz
D_{SYNC}	同期デューティ サイクル		45	55		%
$t_{\text{sync_elay}}$	同期位相遅延	EN/SYNC の立ち上がりエッジから SW の立ち上がりエッジまでの位相遅延		90		ns
I_{SWpeak}	ピーク スイッチの電流制限	TPSM82916	7.9	8.5	9.1	A
I_{SWvalley}	バレー スイッチの電流制限	TPSM82916		7.8		A
$I_{\text{negvalley}}$	負のバレー電流制限			-2.9	-2	A
$R_{\text{DS(ON)}}$	ハイサイド FET オン抵抗	$V_{\text{IN}} \geq 5\text{V}$		25		mΩ
	ローサイド FET オン抵抗	$V_{\text{IN}} \geq 5\text{V}$		7.5		mΩ

5.6 代表的特性

$V_{IN} = 12V$ 、 $V_{OUT} = 1.2V$ 、 $T_A = 25^\circ C$ 、BOM = 表 7-1、(特に記述のない限り)

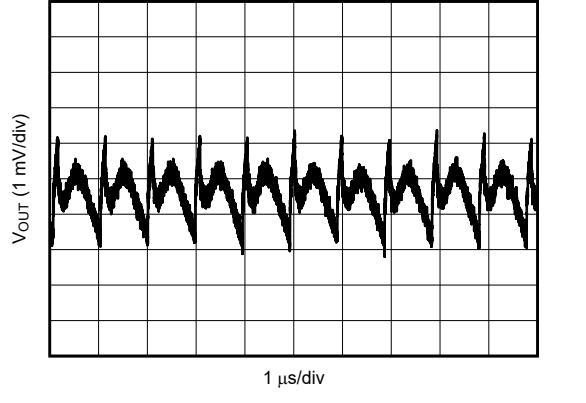


図 5-1. 1段目の L-C フィルタ後の V_{OUT} リップル

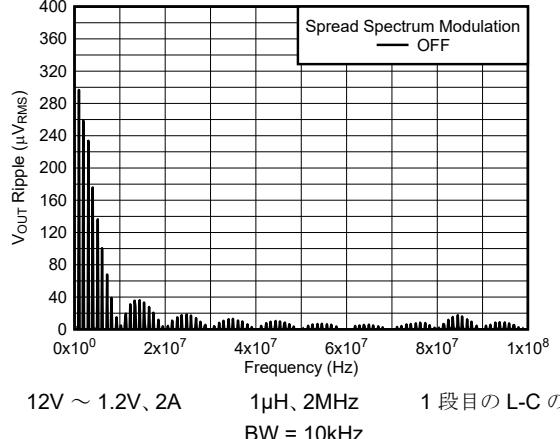


図 5-2. 1段目の L-C フィルタ後の V_{OUT} リップルの FFT

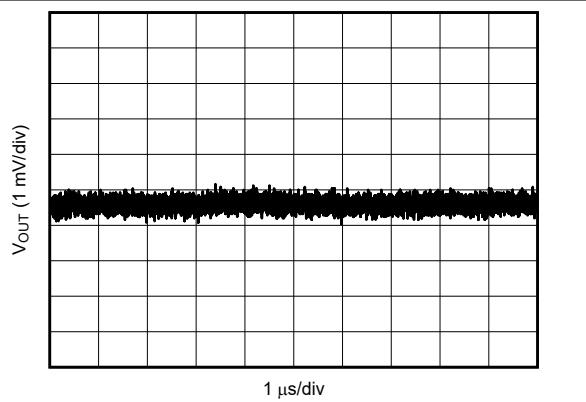


図 5-3. 2段目の L-C フィルタ後の V_{OUT} リップル

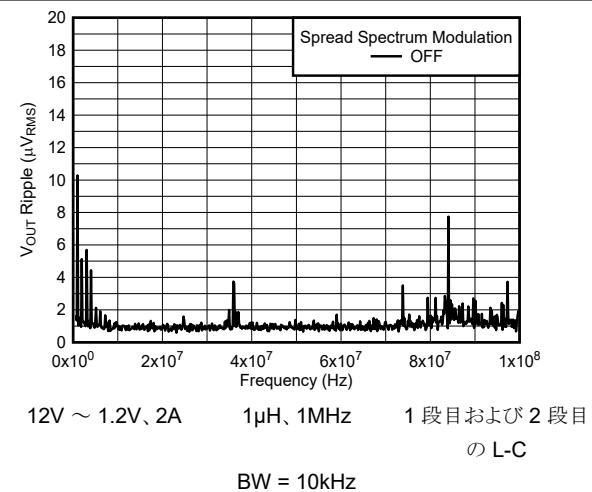


図 5-4. 2段目の L-C フィルタ後の V_{OUT} リップルの FFT

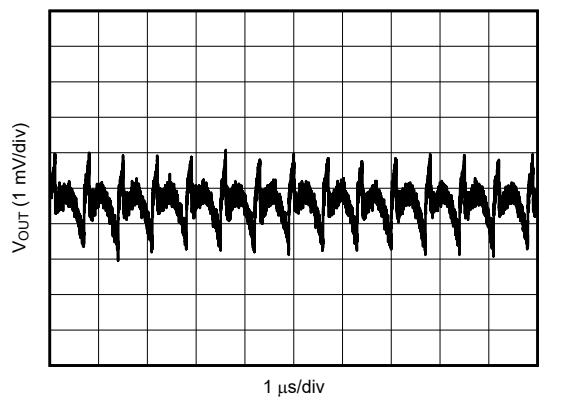


図 5-5. 1段目の L-C フィルタ後の V_{OUT} リップル

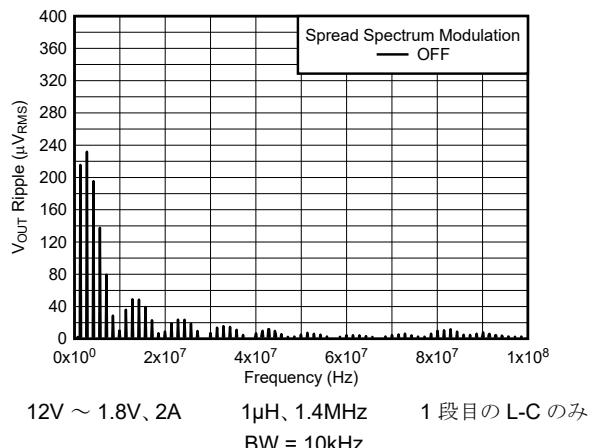
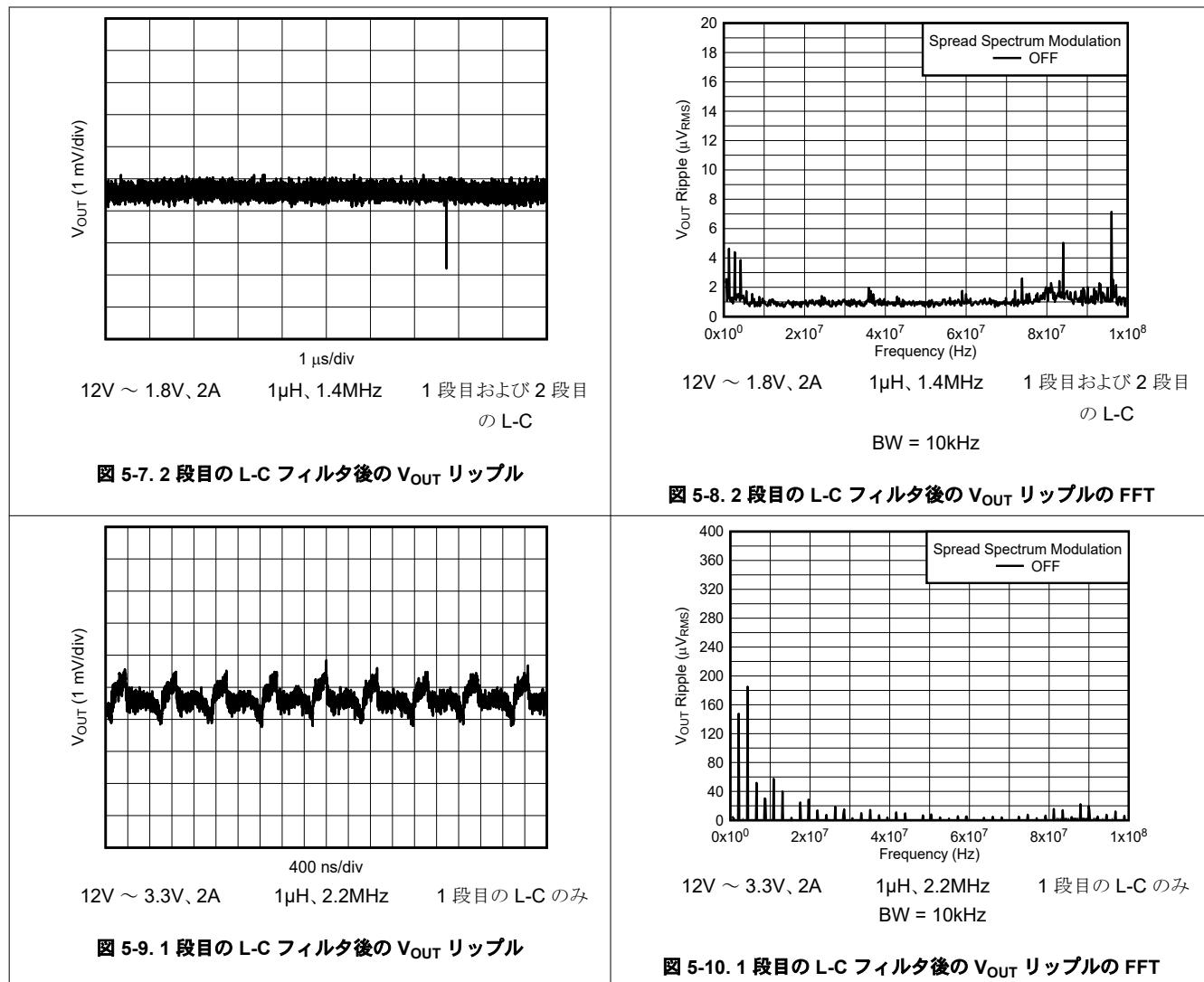


図 5-6. 1段目の L-C フィルタ後の V_{OUT} リップルの FFT

5.6 代表的特性 (続き)

$V_{IN} = 12V$, $V_{OUT} = 1.2V$, $T_A = 25^\circ C$, BOM = 表 7-1、(特に記述のない限り)



5.6 代表的特性 (続き)

$V_{IN} = 12V$ 、 $V_{OUT} = 1.2V$ 、 $T_A = 25^\circ C$ 、BOM = 表 7-1、(特に記述のない限り)

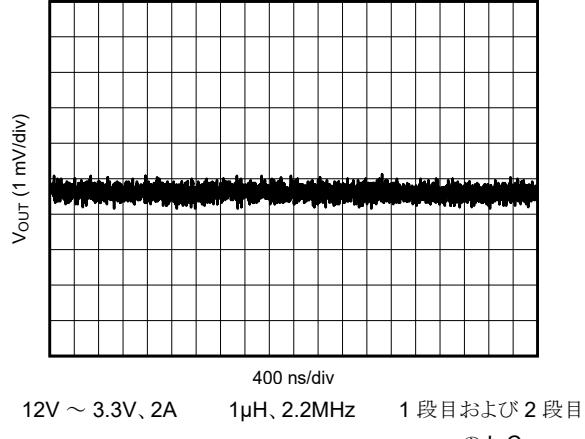


図 5-11. 2 段目の L-C フィルタ後の V_{OUT} リップル

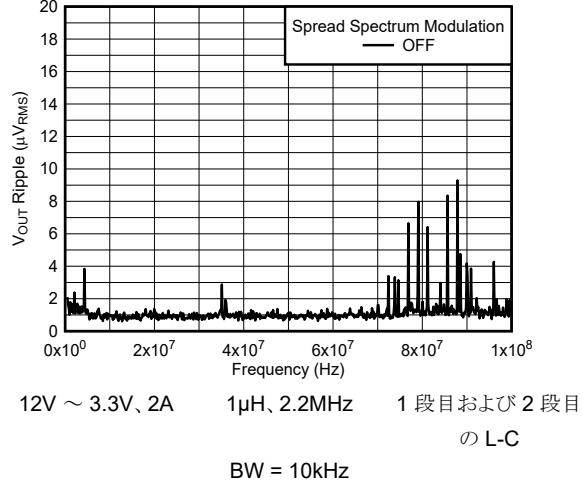


図 5-12. 2 段目の L-C フィルタ後 V_{OUT} リップルの FFT

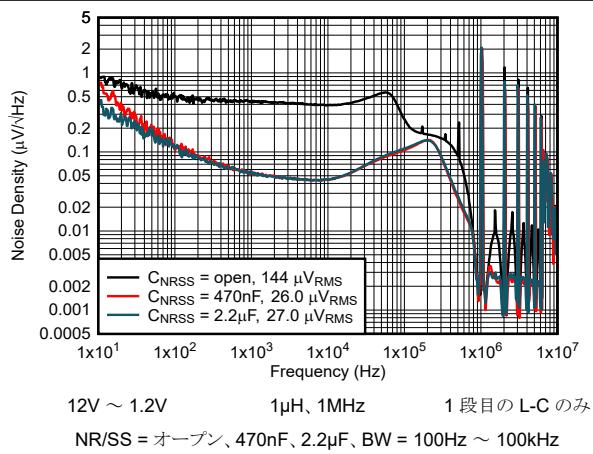


図 5-13. 出力ノイズ密度と周波数との関係

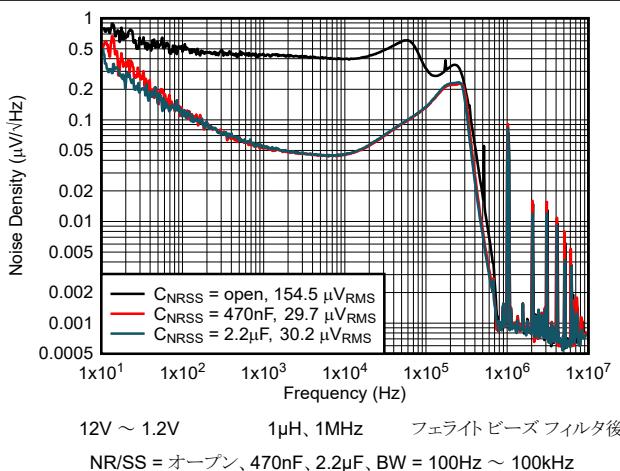


図 5-14. 出力ノイズ密度と周波数との関係

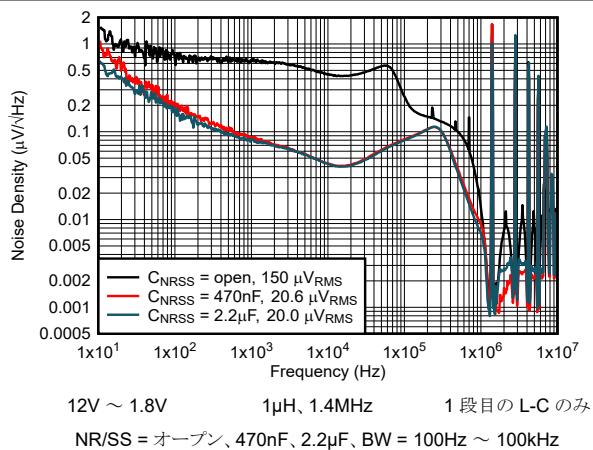


図 5-15. 出力ノイズ密度と周波数との関係

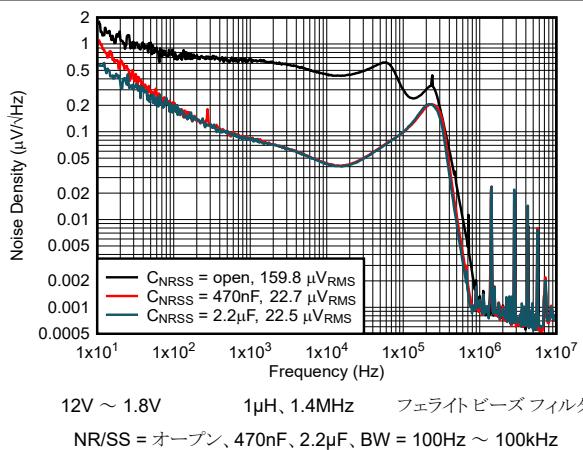


図 5-16. 出力ノイズ密度と周波数との関係

5.6 代表的特性 (続き)

$V_{IN} = 12V$ 、 $V_{OUT} = 1.2V$ 、 $T_A = 25^\circ C$ 、BOM = 表 7-1、(特に記述のない限り)

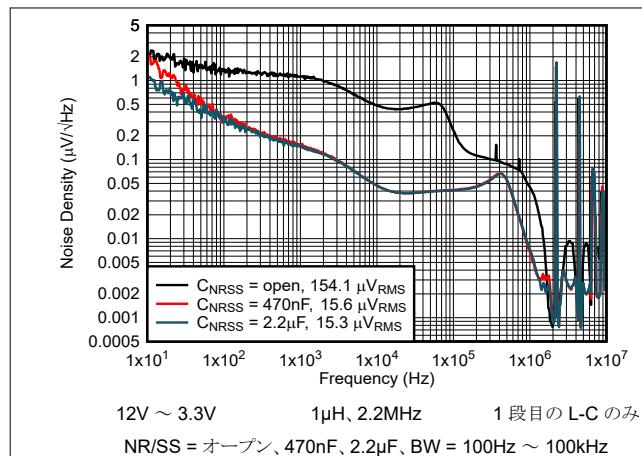


図 5-17. 出力ノイズ密度と周波数との関係

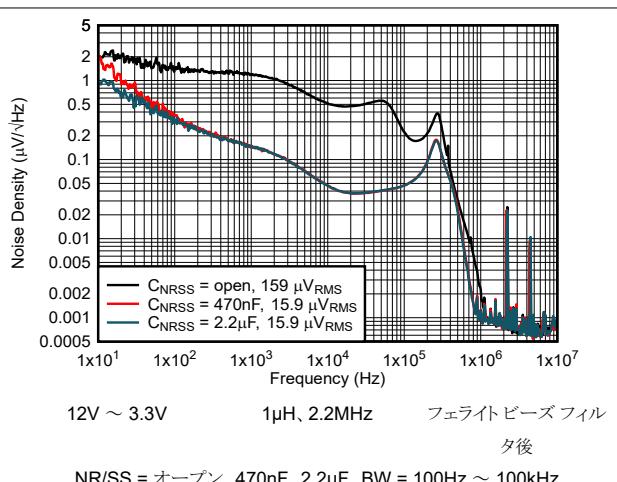


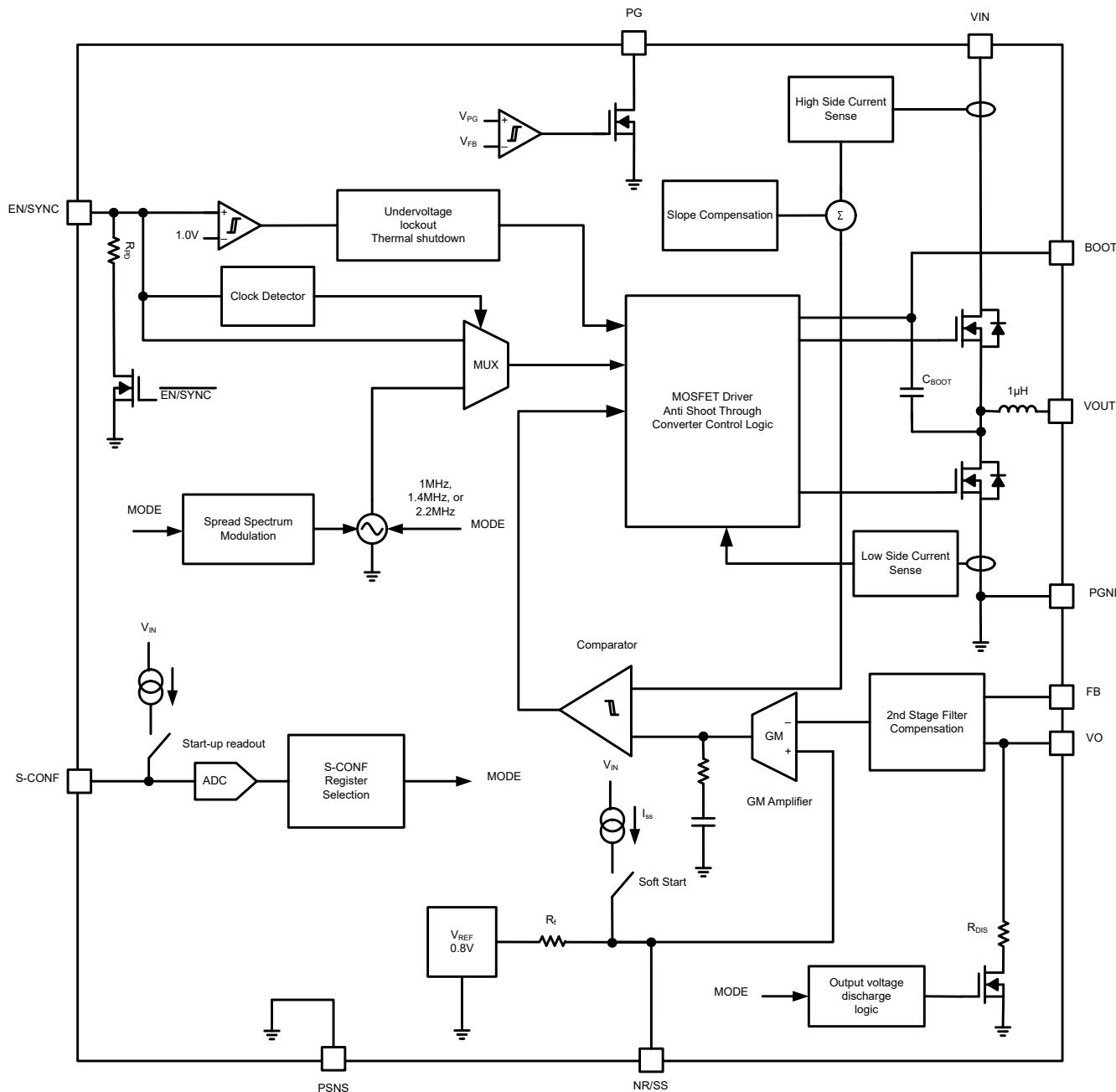
図 5-18. 出力ノイズ密度と周波数との関係

6 詳細説明

6.1 概要

TPSM82916 低ノイズ、低リップル同期整流降圧 モジュールは、固定周波数の電流モード モジュールです。この モジュールは、フィルタリングされた内部リファレンスを備えており、低ノイズ LDO と同様の低ノイズ出力を実現します。この モジュールは、2.2MHz、1.4MHz、1MHz のいずれかのスイッチング周波数、および大きなインダクタンスを使用することによって、出力電圧リップルの低減を実現します。小型の 2 段目 L-C フィルタを出力に追加すると、出力電圧リップルをさらに低減できます。この追加は、フェライトビーズまたは小型インダクタを使用し、その後段に出力コンデンサを接続することによって可能です。内部補償は、最大 50nH の外付けフィルタ インダクタで安定性を維持します。この 2 段目のフィルタ両端での電圧下降を防止するため、本デバイスはフィルタの後段で出力電圧を安定化します。TPSM82916 は、オプションのスペクトラム拡散変調をサポートしています。たとえば、ADC に電力を供給する場合、スペクトラム拡散変調はミキシング スプリアスを低減します。スイッチング周波数、スペクトラム拡散変調、出力放電は、S-CONF ピンを使用して設定します。

6.2 機能ブロック図



6.3 機能説明

6.3.1 スマート構成 (S-CONF)

この S-CONF ピンは、抵抗値に基づいてデバイスを構成します。このピンは、EN/SYNC が High になった後に読み取られます。このデバイス構成は、動作中には変更できません。EN が 200mV 未満にプルされた場合、または VIN が UVLO を下回った場合、S-CONF の値は再度読み取られます。[表 6-1](#) に、スイッチング周波数、スペクトラム拡散変調、出力放電、同期の構成オプションを示します。

内部回路が抵抗値を正しく検出できるようにするために、抵抗と S-CONF ピンの間の距離をできるだけ短くし、S-CONF ピンにはコンデンサを配置しないでください。

表 6-1. S-CONF デバイス構成モード

S-CONF	スイッチング周波数	スペクトラム拡散	出力放電	SYNC
VIN	2.2MHz	OFF	OFF	なし
GND	1MHz	OFF	OFF	なし
4.87kΩ	1.4MHz	OFF	OFF	なし
6.04kΩ	1.4MHz	OFF	OFF	1.2MHz ~ 1.6MHz
7.5kΩ	2.2MHz	OFF	OFF	1.9MHz ~ 2.42MHz
9.31kΩ	1MHz	OFF	OFF	0.9MHz ~ 1.2MHz
11.5kΩ	1MHz	ランダム	OFF	なし
14.3kΩ	1.4MHz	ランダム	OFF	なし
18.2kΩ	2.2MHz	ランダム	OFF	なし
22.1kΩ	1MHz	OFF	オン	なし
27.4kΩ	1.4MHz	OFF	オン	なし
34kΩ	2.2MHz	OFF	オン	なし
42.2kΩ	1MHz	OFF	オン	0.9MHz ~ 1.2MHz
52.3kΩ	1.4MHz	OFF	オン	1.2MHz ~ 1.6MHz
64.9kΩ	2.2MHz	OFF	オン	1.9MHz ~ 2.42MHz
80.6kΩ	1MHz	ランダム	オン	なし
100kΩ	1.4MHz	ランダム	オン	なし
124kΩ	2.2MHz	ランダム	オン	なし

6.3.2 デバイスイネーブル(EN/SYNC)

このデバイスは、EN/SYNC ピンを High レベルにすることによってイネーブルになり、正確な立ち上がりスレッショルド電圧は標準で 1.01V です。デバイスがイネーブルされた後、動作モードは S-CONF ピンの設定によって設定されます。この動作は、本デバイスのスタートアップ遅延時間 t_{delay} の間に発生します。 t_{delay} が経過すると、内部ソフトスタート回路は、コンデンサ $C_{NR/SS}$ によって設定されるソフトスタート時間にわたって出力電圧を上昇させます。スタートアップ遅延時間 t_{delay} は、選択した S-CONF の値によって異なります。S-CONF 抵抗を小さくすると、スタートアップ遅延時間が最短になります。

EN/SYNC ピンには、アクティブ プルダウン抵抗 R_{PD} があります。この抵抗により、EN/SYNC ピンを Low レベルに駆動できない場合に、本デバイスが制御されていない状態でスタートアップすることを防止できます。プルダウン抵抗は、スタートアップ後に切り離されます。EN を Low レベルに設定すると、本デバイスはシャットダウン状態に移行し、プルダウン抵抗が再度有効化されます。

6.3.3 デバイス同期(EN/SYNC)

EN/SYNC ピンは、デバイスを同期するためにも使用されます。このピンにクロック信号が印加されると、デバイスがイネーブルになり、S-CONF ピンの構成を読み取ります。外部クロック周波数は、S-CONF ピンによって設定されたクロック同期周波数範囲内にする必要があります。クロック信号がクロックから静的な High に変わると、デバイスは外部クロックから内部クロックに切り替わります。外部クロックを使用してデバイスをシャットダウンするには、EN/SYNC を少なくとも 10 μ s の間 Low にする必要があります。

クロック信号は、電気的特性表に規定されているロジック レベルに対応したロジック信号であり、EN/SYNC ピンに直接印加できます。図 6-1 に示すように、AND ゲートなどの外部ロジックを使用して、個別のイネーブル入力とクロック入力を組み合わせることができます。

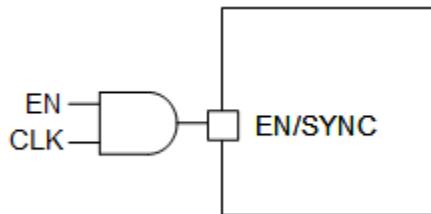


図 6-1. 個別のイネーブル信号による同期(オプション)

6.3.4 スペクトラム拡散変調

S-CONF ピンを使用して、スペクトラム拡散変調をイネーブルまたはディスエーブルできます。DC/DC モジュールは、使用するスイッチング周波数と同じ周波数で出力電圧リップルを生じます。ADC またはアナログ フロント エンド (AFE) に電力を供給する場合、スイッチング周波数により、出力周波数スペクトルに高周波ミキシング スプリアスおよび低周波数スプリアスが発生します。オプションの 2 段目 L-C フィルタを使用すると モジュールのリップルおよびスプリアスを最大 30dB 低減できます。

このデバイスには、表 6-1 に従って S-CONF ピンに接続された抵抗で選択される、ランダム スペクトラム拡散変調 (SSM) 方式が内蔵されています。ランダム変調を選択してスイッチング周波数をより広い周波数範囲に拡散することができます。変調の拡散幅は、デバイスのスイッチング周波数の ±10% です。この SSM は、レシーバの帯域幅が変調周波数以下の場合に、高い減衰を実現します。これは、一般に、高速 ADC アプリケーションのように、高速フーリエ変換 (FFT) の後処理を使用するシステムに当てはまります。変調周波数でノイズの影響を受けやすいアプリケーションでは、ランダム SSM を使用します。図 5-2 に示すように、ランダム スペクトラム拡散変調を使用すると、出力スペクトラムのスプリアスも低減できます。ランダム化された変調では、疑似ランダム生成期間中にすべてのトーンが 1 回生成されるように、フィボナッчи リニアフィードバック シフトレジスタ (LFSR) を使用します。周波数の拡散を 図 6-2

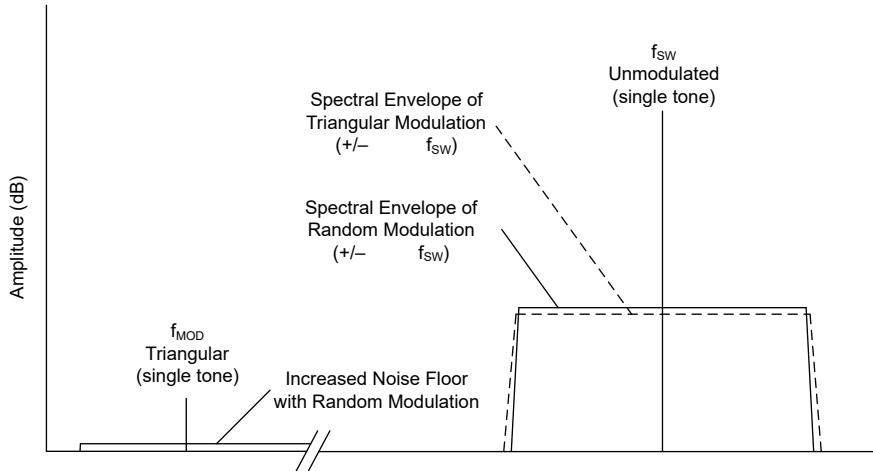


図 6-2. スペクトラム拡散変調

6.3.5 出力放電

出力放電は、S-CONF の設定に応じてイネーブルまたはディスエーブルされます。出力放電がイネーブルの場合、放電抵抗 R_{DIS} (標準値 7Ω) により、出力電圧が "Low" にプルダウンされます。出力放電機能は、サーマルシャットダウン中、UVLO 中、または EN/SYNC が "Low" になったときに有効にされます。

6.3.6 低電圧誤動作防止 (UVLO)

低い入力電圧でデバイスが誤動作するのを防止するため、デバイスがイネーブルされるのは、入力電圧が低電圧誤動作防止スレッショルドを上回った後です。入力電圧が低電圧スレッショルドを下回ると、デバイスはディスエーブルになります。

6.3.7 パワー グッド出力

本デバイスには、パワー グッド出力があります。FB ピンの電圧が公称電圧の 95% を超えると PG ピンはハイインピーダンスになり、公称電圧の 90% (標準値) を下回ると Low に駆動されます。**表 6-2** に、PG ピンの代表的なロジックを示します。PG ピンはオープンドレイン出力であり、最大 10mA までシンクできるよう指定されています。パワーグッド出力には、18V 未満の任意の電圧レールに接続されたプルアップ抵抗が必要です。PG 信号を他のモジュールの EN ピンに接続することによって、PG 信号を複数のレールのシーケンシングに使用できます。使用しない場合は、PG ピンをフロートのままにするか GND に接続します。PG には、Low になる前に通常 8μs のグリッチ除去時間があります。

表 6-2. パワー グッド ピンのロジック

デバイスの状態	PG のロジック ステータス	
	高インピーダンス	Low
有効 (EN/SYNC = High)	$V_{FB} \geq V_{PG}$	✓
	t_{PG} 後に、 $V_{FB} < V_{PG}$	✓
シャットダウン (EN/SYNC = Low)		✓
UVLO	$0.7V < V_{IN} < V_{UVLO}$	✓
サーマル シャットダウン	$T_J > T_{JSD}$	✓
電源の取り外し	$V_{IN} < 0.7V$	✓

6.3.8 ノイズ リダクションおよびソフトスタート コンデンサ (NR/SS)

このピンに接続するコンデンサにより、モジュールの低周波数ノイズが低減され、ソフトスタート時間が設定されます。コンデンサが大きいほど、ノイズは減少し、モジュールのスタートアップ時間は長くなります。通常、470nF のコンデンサをこのピンに接続してスタートアップ時間を 5ms にしますが、これより長いスタートアップ時間や短いスタートアップ時間も使用

できます。軽負荷でのソフトスタート時には、出力電圧を放電しないようにするために、必要に応じてスイッチング パルスをスキップします。デバイスはプリバイアス出力電圧への起動ができます。

このデバイスは、[セクション 6.2](#) に示すように、リファレンス電圧に R-C フィルタを追加することによって、低ノイズを実現します。スタートアップ時、NR/SS コンデンサは $75\mu\text{A}$ (標準値) の定電流で 0.8V まで充電されます。より大きな NR/SS コンデンサを使用すると低周波数ノイズが低くなります。スタートアップ時間が 35ms のときの NR/SS キャップの最大値は $3.3\mu\text{F}$ です。最小スタートアップ時間は内部で 0.7ms に設定され、これは NR/SS コンデンサが小さい場合や、NR/SS コンデンサがない場合に発生します。

6.3.9 電流制限と短絡保護

このデバイスは、短絡および過電流から保護されています。スイッチ電流制限により、デバイスを大きなインダクタ電流から保護して、入力電圧レールから過剰な電流が流れるのを防ぎます。インダクタの短絡や飽和、または重い負荷、または出力回路の短絡状態が原因で、過剰な電流が発生する可能性があります。インダクタ電流がスレッショルド I_{SWpeak} に達すると、ハイサイド MOSFET がオフになり、ローサイド MOSFET がオンになって、インダクタ電流を減少させます。ローサイド電流がローサイドソース電流制限値 $I_{SWvalley}$ を下回ると、ハイサイド MOSFET が再度オンになります。

内部の伝搬遅延のため、特に、入力電圧が高く、かつ使用しているインダクタンスが非常に小さい場合、実際の電流は静的制限値を上回ることがあります。動的な電流制限値は、次の [式 1](#) に従って計算できます：

$$I_{PEAK(typ)} = I_{SWpeak} + \left(\frac{V_L}{L} \right) \times t_{PD} \quad (1)$$

ここで、

- I_{SWpeak} は、[電気的特性](#) で規定されている静的電流制限値。
- L はインダクタンスであり、内部で $1\mu\text{H}$ 。
- V_L は、インダクタの両端の電圧 ($V_{IN} - V_{OUT}$)。
- t_{PD} は、 50ns (標準値) の内部伝搬遅延。

ローサイド MOSFET には負の電流制限機能もあり、インダクタを通じて入力に過剰な電流が流れ込むのを防止します。ローサイドシンク電流が制限を超えた場合、ローサイド MOSFET はオフになります。このシナリオでは、次のサイクルの開始まで両方の MOSFET がオフとなります。

6.3.10 サーマルシャットダウン

接合部温度が 170°C (標準値、 20°C のヒステリシスあり) を超えると、デバイスはサーマルシャットダウンに移行します。

6.4 デバイスの機能モード

6.4.1 固定周波数のパルス幅変調

出力電圧リップルを最小限に抑えるため、本デバイスは無負荷まで固定周波数 PWM で動作します。 1MHz 、 1.4MHz 、 2.2MHz のスイッチング周波数は、S-CONF ピンを使用して選択します。

6.4.2 低デューティサイクルでの動作

入力電圧が高い場合または出力電圧が低い場合、 70ns の最小オン時間により、入力と出力の間の最大電圧差と、選択したスイッチング周波数が制限されます。最小オン時間に達すると、出力電圧はレギュレーション ポイントを上回ります。詳細な設計推奨事項については、[表 7-2](#) を参照してください。

6.4.3 高デューティサイクル動作(100% デューティサイクル)

このデバイスは、100% のデューティサイクルモードに移行することによって、入力と出力の間の電圧差を低く抑えます。このモードでは、ハイサイド MOSFET スイッチが継続的にオンになります。出力電圧レギュレーションを維持するための入力電圧の最小値は、負荷電流と出力電圧レベルに応じて、次のように計算できます：

$$V_{IN(min)} = V_{OUT(min)} + I_{OUT} \times (R_{DS(ON)} + R_L) \quad (2)$$

ここで、

- $V_{OUT(min)}$ は負荷が許容できる最小出力電圧。
- I_{OUT} は出力電流。
- $R_{DS(ON)}$ はハイサイド MOSFET の $R_{DS(ON)}$ 。
- R_L は、使用しているインダクタの DC 抵抗。

固定周波数スイッチングを維持するために必要な最小オフ時間は、50ns (標準値)、60ns (最大値)です。スイッチング パルス中にこの制限に達した場合、デバイスは出力電圧レギュレーションを維持するため、スイッチング パルスをスキップします。入力電圧がさらに低下すると、本デバイスは 100% モードに移行します。

6.4.4 2 段目の L-C フィルタ補償 (オプション)

低ノイズ、低リップルの大半のアプリケーションでは、負荷の前にフェライトビーズとバイパスコンデンサを使用します。2段目の L-C フィルタの使用は、ADC、DAC、ジッタクリーナなどの負荷電流が一定の低ノイズかつ低リップルのアプリケーションに特に便利です。2段目の L-C フィルタはオプションであり、このフィルタを用いずにデバイスを使用できます。フィルタを使用しない場合、本デバイスは、図 5-10 に示すように、280 μ V_{RMS} の出力電圧リップルがある場合に、16.9 μ V_{RMS} の低出力電圧ノイズを示します。図 5-12 に示すように、2段目の L-C フィルタは出力電圧リップルをさらに約 30dB 減衰させます。ロードレギュレーションを改善するため、本デバイスは 2段目の L-C フィルタの後段の出力電圧をリモート検出でき、L-C フィルタによって生成される追加の二重極に対して内部的に補償されます。

2段目の L-C フィルタができるだけ小さくするため、10nH ~ 50nH のインダクタンス用に最適化された内部補償があります。小型フェライトビーズ、あるいは PCB のトレースでさえも、出力電圧リップルをフィルタリングするために十分なインダクタンスを実現します。詳細については、セクション 7.2.2.2.3 を参照してください。

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

この TPSM82916 ファミリのデバイスは、低ノイズおよび低出力電圧リップルを実現するよう設計されています。

7.2 代表的なアプリケーション

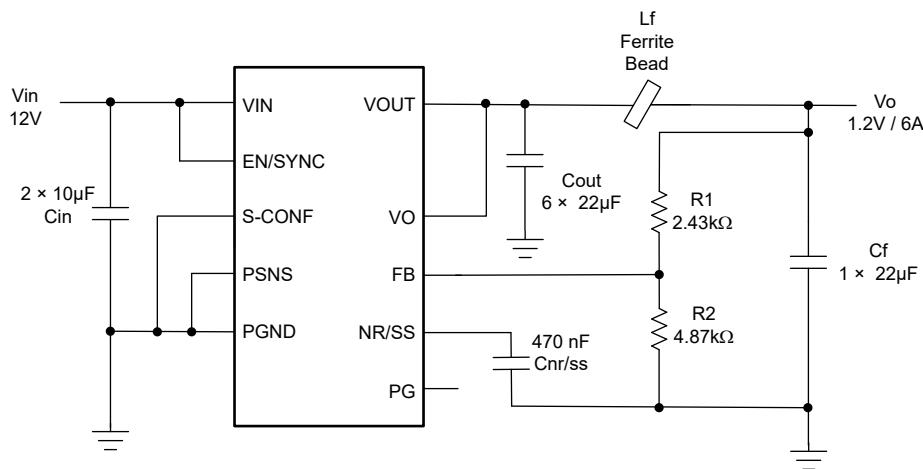


図 7-1. 代表的な回路図

次の表に、ほとんどのアプリケーションに対して推奨される部品のリストを示します。

表 7-1. 部品のリスト

リファレンス	部品番号	説明	製造元
TPS8291x	TPS8291x	低ノイズかつ低リップルの降圧モジュール	テキサス・インスツルメンツ
C _{IN}	C2012X7S1E106K125AC	セラミックコンデンサ: 2 × 10μF ±10% 25V セラミックコンデンサ X7S 0805	TDK
C _{OUT}	C2012X7S1A226M125AC	セラミックコンデンサ: 6 × 22μF, 10V, ±20%, X7S, 0805	TDK
L _f	BLE32SN120SN1L	フェライトビーズ	MuRata
C _f	C2012X7S1A226M125AC	セラミックコンデンサ: 1 × 22μF, 10V, ±20%, X7S, 0805 × 22μF, 10V, ±20%, X7S, 0805	TDK
C _{NR/SS} , C _{FF}		セラミックコンデンサ	標準
R1, R2, R3, R4		抵抗	標準

7.2.1 設計要件

外付け部品は、アプリケーションのニーズだけでなく、デバイスの制御ループの安定性基準も満たしている必要があります。本デバイスは外付け部品の一定の範囲内で動作するよう設計されており、また、効率、出力リップル、部品数、最小1/fノイズについて最適化できます。

入力電圧が 6V 以下の標準的なアプリケーションでは、2.2MHz のスイッチング周波数で使用します。入力電圧が 6V を超えるアプリケーションでは、出力電圧に応じて、1MHz または 1.4MHz のスイッチング周波数で使用して、効率を最適化できます。

次の表に記載されていないアプリケーション事例では、TPSM82916 回路を設計する方法が 2 つあります。[セクション 7.2.2.1](#) では、回路を自動的に設計する WEBENCH を使用します。あるいは、これに代わって、[セクション 7.2.2.2](#) の計算を使用できます。

表 7-2. 標準的なシングル L-C フィルタ設計における推奨事項

設計目標	V_{IN}	V_{OUT}	f_{SW}	インダクタ	出力コンデンサ (2)
標準値	12V ⁽¹⁾	$\leq 1.4V^{(1)}$	1MHz		$6 \times 22\mu F, 10V, 0805$
標準値	12V	$1.4V < V_{OUT} \leq 2.2V$	1.4MHz	1μH	$6 \times 22\mu F, 10V, 0805$
標準値	12V	$> 2.2V$	2.2MHz	1μH	$8 \times 22\mu F, 10V, 0805$
標準値	5V	$\leq 3.3V$	2.2MHz	1μH	$6 \times 22\mu F, 10V, 0805$
標準値	5V	$> 3.3V$	2.2MHz	1μH	$8 \times 22\mu F, 10V, 0805$

(1) 入力と出力の間の最大電圧差は、デバイスの最大の最小オン時間である 70ns によって制限されます。入力電圧が 12V を超える場合、または出力電圧が 1V 未満の場合には、この制限が特に重要になります。[セクション 7.2.2.2.1](#) を参照してください。

(2) 出力コンデンサの型番については、[表 7-4](#) を参照してください。

2 段目の L-C フィルタはオプションです。このフィルタを用いずにデバイスを使用して、 $20\mu V_{RMS}$ (標準値) 未満のノイズを実現できるためです。出力リップル電圧をさらに減衰させるには、2 段目のフィルタを追加します。FB 抵抗を 2 段目の L-C フィルタ コンデンサに接続することによって、出力電圧を 2 段目の L-C フィルタの後に検出できます。この動作によりリモート センスが実現でき、フェライト ビーズによる出力電圧降下を最小化できます。出力電圧に基づく 2 段目 L-C フィルタの推奨事項については、以下の表を参照してください。

表 7-3. 2 段目 L-C (フェライト ビーズ) フィルタの設計に関する推奨事項

V_{OUT} (V)	フェライト ビーズのインピーダンス (100MHz 時) ⁽²⁾	出力コンデンサ (1)
$\leq 2.2V$	8 ~ 20Ω	$1 \times 22\mu F, 10V, 0805$
$> 2.2V$	8 ~ 20Ω	$2 \times 22\mu F, 10V, 0805$

(1) 出力コンデンサの型番については、[表 7-4](#) を参照してください。

(2) 2 段目の L-C フィルタの型番については、[表 7-5](#) を参照してください。

7.2.2 詳細な設計手順

特定の設計が [表 7-2](#) に見つからない場合は、設計を生成するために WEBENCH を使用することをお勧めします。または、[セクション 7.2.2.2](#) の手動設計手順に従ってください。

7.2.2.1 WEBENCH® ツールによるカスタム設計

[ここをクリック](#) すると、WEBENCH Power Designer により、TPSM82916 デバイスを使用するカスタム設計を作成できます。

- 最初に、入力電圧 (V_{IN})、出力電圧 (V_{OUT})、出力電流 (I_{OUT}) の要件を入力します。
- 効率、占有面積、コストなどの主要なパラメータについて設計を最適化します。
- 出力電圧リップルを最適化するための「advanced」(詳細) タブを開きます。
- TPSM82916 の設計では、左側のドロップダウンで、2 段目 L-C フィルタを有効にし、また、その他の設定を変更できます。

WEBENCH Power Designer では、カスタマイズされた回路図と部品リストを、リアルタイムの価格と部品の在庫情報と併せて参照できます。

通常、次の操作を実行可能です。

- 電気的なシミュレーションを実行し、重要な波形と回路の性能を確認する
- カスタマイズされた回路図やレイアウトを、一般的な CAD フォーマットで出力する
- 設計のレポートを PDF で印刷し、設計を共有する

WEBENCH ツールの詳細は、www.ti.com/ja-jp/WEBENCH でご覧になれます。

7.2.2.2 外付け部品の選択

7.2.2.2.1 スイッチング周波数の選択

スイッチング周波数は、効率（周波数を下げる）またはリップルノイズ（周波数を上げる）を最適化するように選択できます。より高い 1.4MHz または 2.2MHz の設定を使用すると、帰還ループのゲインが大きくなり、出力ノイズが低くなる可能性があります。ただし、最小オン時間およびデューティサイクルに関する追加の検討事項も考慮する必要があります。最初に、式 3 を使用してデューティサイクルを計算します。効率が高くなるとオン時間が短くなるため、より安全なアプローチはアプリケーションで予測される効率よりも高い効率を使うことです。

$$D = \frac{V_{OUT}}{V_{IN} \times \eta} \quad (3)$$

ここで

- η = 推定効率（効率曲線から数値を使用するか、安全を期した仮定として 0.9 を使用）

次に、式 4 を使用して、1MHz、1.4MHz、2.2MHz を使用したオン時間の計算を行います。オン時間は、常に最小オン時間の 70ns を上回っている必要があります。最大入力電圧と最大効率を使用して、最小デューティサイクル D_{min} を決定します。 f_{SW} には最大スイッチング周波数を使用します。

$$T_{ON} = \frac{D_{min}}{f_{SW_min}} \quad (4)$$

したがって、

- t_{ON_min} の最小値 < 70ns が 2.2MHz に対して成立する場合、1.4MHz を使用します。
- t_{ON_min} の最小値 < 70ns が 1.4MHz に対して成立する場合、1MHz を使用します
- t_{ON_min} の最小値 < 70ns が 1MHz に対して成立する場合、最大入力電圧を減少させます。
- t_{ON_min} の最小値 $\geq 70ns$ の場合は、最高の効率を得るにはより低い周波数を使用し、ノイズとリップルを最小限にするには最大の周波数を使用します。

7.2.2.2.2 出力コンデンサの選択

実効出力キャパシタンスの取り得る範囲は、シングル L-C システム設計の場合、80μF（最小値）～400μF（最大値）です。2 段目の L-C フィルタを使用する場合、1 段目の L-C フィルタは 80μF ～ 160μF の出力キャパシタンスを持ち、2 段目の L-C フィルタ（使用する場合）は 20μF 以上の容量を持ち、両方の L-C フィルタの合計容量は 400μF 未満である必要があります。負荷過渡テストとボード線図の測定は、安定性を検証するための適切な方法です。

注

低温（-10°C 未満）の動作を必要とする設計では、シングル L-C システム設計では 120μF の最小実効出力キャパシタンスで使用し、2 段目 L-C フィルタ設計を使用する場合は 1 段目の L-C フィルタ内の最小実効容量を 120μF で使用することを推奨します。

セラミック コンデンサ（X5R または X7R）を用いることを推奨します。高容量のセラミック コンデンサには DC バイアス効果による容量の減少が発生し、最終的な実効容量に大きな影響を与えます。パッケージサイズと電圧定格を考慮しながら、適切なコンデンサを選択してください。出力コンデンサの ESR および ESL も、低ノイズ アプリケーション用の

出力コンデンサの選択において重要な検討事項となります。パッケージ サイズが小さいほど、通常は ESL および ESR は小さくなります。安定動作のために必要な容量と電圧定格を満たす限り、0805 以下のパッケージを推奨します。[表 7-4](#) に、推奨コンデンサの一覧を示します。

表 7-4. 推奨出力コンデンサ

コンデンサ タイプ	コンデンサ値	製造元	電圧 (V)	パッケージ
バルク キャパシタ	22μF、X7S	TDK C2012X7S1A226M125AC	10	0805
バルク キャパシタ	47μF、X7R	Murata GRM32ER71A476ME15L	10	1210

7.2.2.2.3 2 段目の L-C フィルタのフェライト ビーズの選定

2 段目 L-C フィルタにフェライトビーズを使用すると、外部部品点数を最小限に抑えることができます。ノイズに敏感な回路のほとんどは、高周波減衰用の RF ビーズを入力のデフォルト部品として使用しているためです。

モジュールの効率を可能な限り高く保持するために、全負荷時のインダクタンスが十分に大きく、DC 抵抗が低い (10mΩ 未満) フェライトビーズを選択するよう徹底してください。負荷電流が増加すると、フェライトビーズのインダクタンスは減少します。したがって、フェライトビーズの電流定格は、目的の負荷電流よりもはるかに大きなくてはなりません。

100MHz で 8Ω ~ 20Ω のインピーダンスのフェライトビーズを選択することを推奨します。大電流が必要な場合は、フェライトビーズを並列に使用できますが、この使用により、インダクタンスとフィルタリングが半分になる可能性があります。使用可能なフェライトビーズについては、[表 7-5](#) を参照してください。

表 7-5. 推奨フェライト ビーズ

部品番号	製造元	サイズ	100MHz 時のインピーダンス	100MHz 時のインダクタンス (計算値)	DC 抵抗	電流定格
BLE18PS080SN1	MuRata	0603	8.5 Ω	13.5nH	4mΩ	5A
BLE32SN120SN1L	MuRata	1210	12 Ω	18nH	0.78mΩ	20A
74279221100	Wurth Elektronik	1206	10 Ω	15.9nH	3mΩ	10.5A
7427922808	Wurth Electronik	0603	8 Ω	12.7nH	5mΩ	9.5A

内部補償は、2 段目のフィルタで最大 50nH のインダクタンスで安定するように設計されています。低リップルを実現するため、2 段目の L-C フィルタに必要なインダクタンスはわずか 5nH ~ 10nH です。インダクタンスは、選択したモジュールのスイッチング周波数 (1MHz, 1.4MHz, 2.2MHz) においてインダクタンスが類似していると仮定して、100MHz のフェライトビーズ インピーダンスの仕様から推定でき、これは、一部のメーカーの Web サイトで利用可能なツールで検証できます。フェライトビーズのインダクタンスを計算するには、[式 5](#) を使用します：

$$L = \frac{Z}{2\pi \times f} \quad (5)$$

ここで、

- Z は、指定した周波数 (通常は 100MHz) におけるフェライトビーズのインピーダンスです。単位は Ω です。
- f は指定周波数 (通常は 100MHz) です。

7.2.2.2.4 入力コンデンサの選択

最高の出力および入力電圧フィルタリングを実現するために、X5R または X7R セラミック コンデンサを推奨します。入力コンデンサは、入力電圧リップルを最小化し、入力電圧スパイクを抑制し、このデバイスに安定したシステム レールを実現します。10μF 以上のコンデンサを推奨します。2 個を並列接続すると、入力電圧リップル フィルタリングが向上し、隣接回路へのノイズ結合が最小限に抑えられます。コンデンサの電圧定格も考慮に入れる必要があります、DC バイアスのディレーティング後に必要な 5μF の最小実効容量を備えている必要があります。

バルク入力コンデンサに加えて、VIN ピンと PGND ピンの間に小さなコンデンサを直接配置して、入力ループの寄生インダクタンスを最小限に抑え、デバイスの高周波ノイズを最小限に抑える必要があります。入力コンデンサの配置は出力ノイ

ズに影響するため、[セクション 7.4.2](#) に示すように、バルクコンデンサとバイパスコンデンサの両方を配置するときは注意する必要があります。[表 7-6](#) に、推奨入力コンデンサの一覧を示します。

表 7-6. 推奨入力コンデンサ

入力コンデンサのタイプ	コンデンサ値	製造元	定格電圧(V)	パッケージ サイズ
バルクコンデンサ	10µF、X7S	TDK C2012X7S1E106K125AC	25	0805
バイパスコンデンサ	2.2nF、X7R	Murata GRM155R71E222KA01D	25	0402

7.2.2.2.5 出力電圧の設定

出力電圧を [式 6](#) に従って、0.8V ~ 5.5V の範囲内に設定するように、R1 および R2 の抵抗を選択します。帰還回路のノイズに対する堅牢性を保ち、抵抗の自己発生ノイズを低減するには、R2 を 5kΩ 以下に設定します。『[DC/DC コンバータの抵抗性帰還分圧器の設計上の検討事項】Analog Design Journal](#)』で説明されているように、FB 抵抗の値を小さくすると、ノイズ耐性が向上しますが、軽負荷効率は低下します。

$$R_1 = R_2 \times \left(\frac{V_{OUT}}{V_{FB}} - 1 \right) = R_2 \times \left(\frac{V_{OUT}}{0.8V} - 1 \right) \quad (6)$$

V _{OUT} (V)	R1	R2
0.9	604 Ω	4.87kΩ
1.0	1.21kΩ	4.87kΩ
1.2	2.43kΩ	4.87kΩ
1.8	6.04kΩ	4.87kΩ
2.5	10.4kΩ	4.87kΩ
3.3	15.2kΩ	4.87kΩ
5	25.5kΩ	4.87kΩ

フィードフォワードコンデンサ (C_{FF}) は適切な動作のために必要ではありませんが、出力ノイズをさらに改善できる場合があります。ただし、パワー グッド (PG) 機能はスタートアップ時に C_{FF} が大きい場合は有効ではなく、大きな負荷過渡時に PG ピンが誤トリガされる可能性があるため、 C_{FF} を選択する際には注意が必要です。フィードフォワードコンデンサを使用することの長所と短所の説明については、『[低ドロップアウトレギュレータでフィードフォワードコンデンサを使用することの長所と短所】アプリケーション ノート](#)』も参照してください。

7.2.2.2.6 NR/SS コンデンサの選定

[セクション 6.3.8](#) で説明したように、NR/SS コンデンサは合計ノイズとソフトスタート時間の両方に影響を及ぼします。5ms のソフトスタート時間と優れたノイズ性能を実現するための推奨値は 470nF です。スタートアップ時間が 35ms のときの NR/SS キャップの最大値は 3.3µF です。1µF を上回る値を使用すると、ノイズ特性の改善は最小限です。以下の式を使用して、目的のソフトスタート時間または選択したコンデンサ値に基づいてソフトスタート時間を計算します。

$$t_{ss}(s) = \frac{C_{NRSS} \times 0.8V}{I_{NRSS}} \quad (7)$$

$$C_{NRSS}(F) = \frac{I_{NRSS} \times t_{ss}}{0.8V} \quad (8)$$

7.2.3 アプリケーション曲線

$V_{IN} = 12V$, $V_{OUT} = 1.2V$, $T_A = 25^\circ C$, BOM = 表 7-1

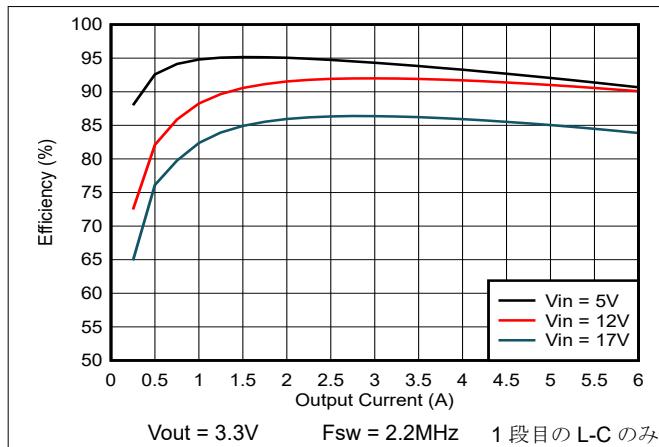


図 7-2. 効率と負荷電流との関係

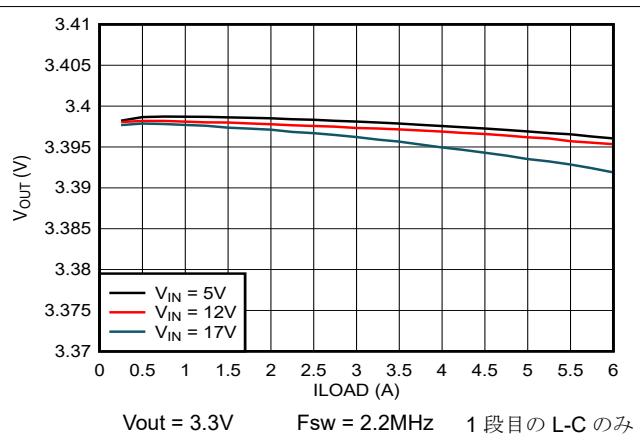


図 7-3. 出力電圧 対 負荷電流

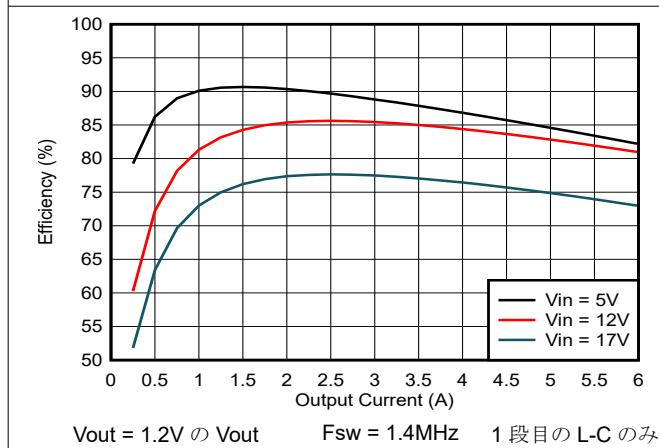


図 7-4. 効率と負荷電流との関係

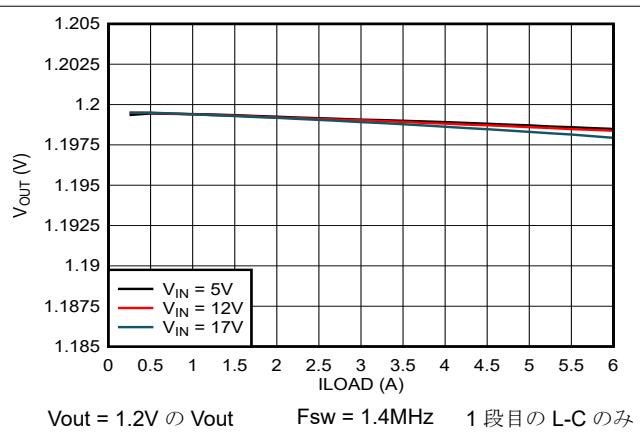


図 7-5. 出力電圧 対 負荷電流

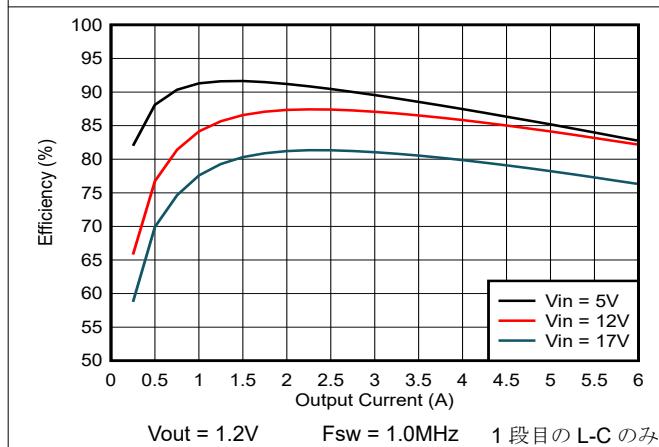


図 7-6. 効率と負荷電流との関係

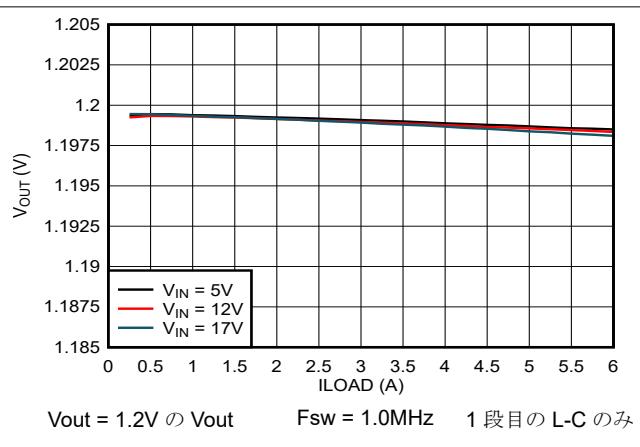


図 7-7. 出力電圧 対 負荷電流

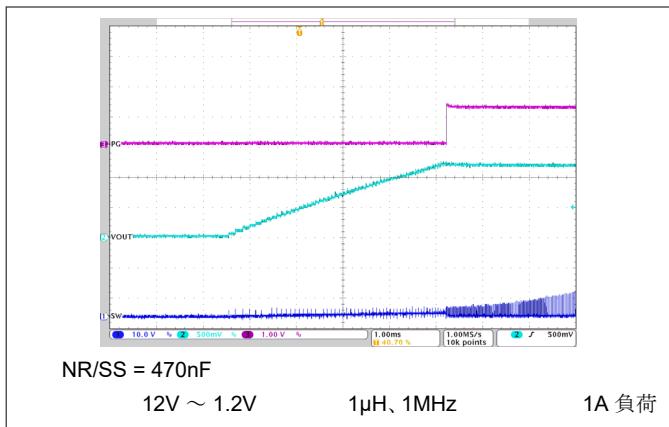


図 7-8. スタートアップ

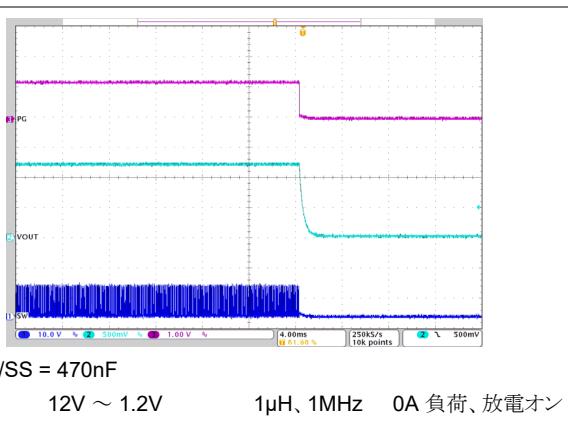


図 7-9. シャットダウン

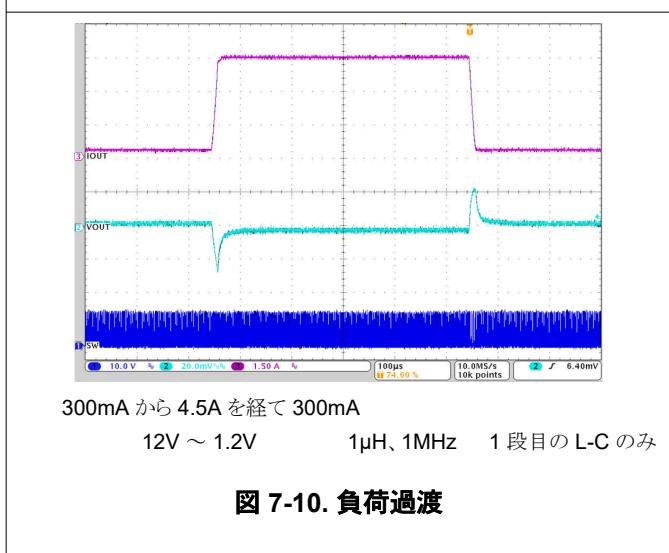


図 7-10. 負荷過渡

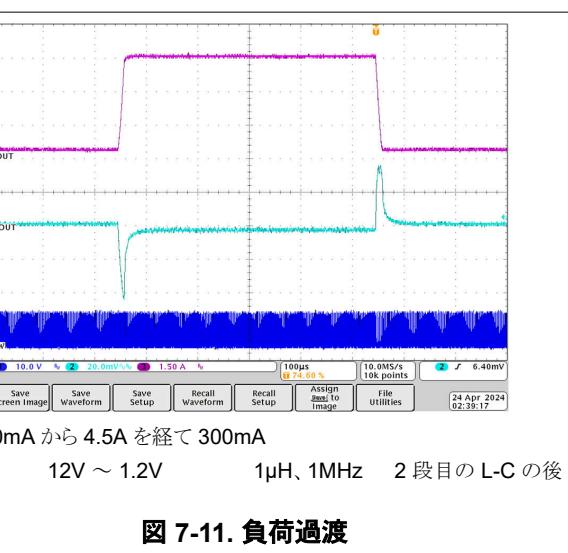


図 7-11. 負荷過渡

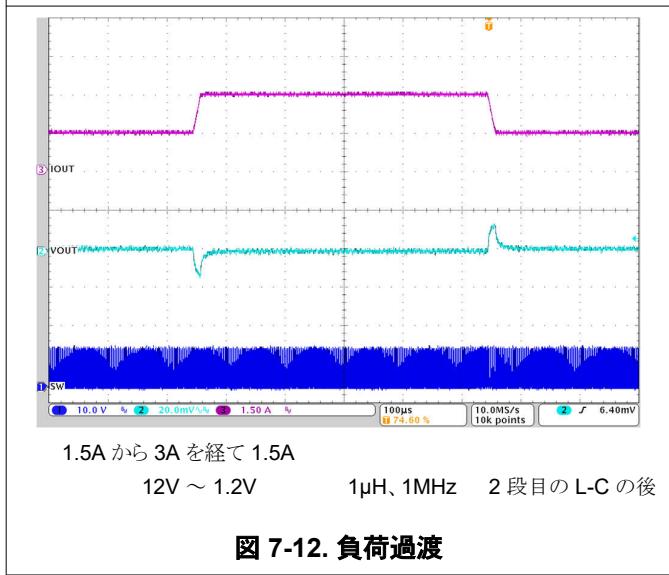


図 7-12. 負荷過渡

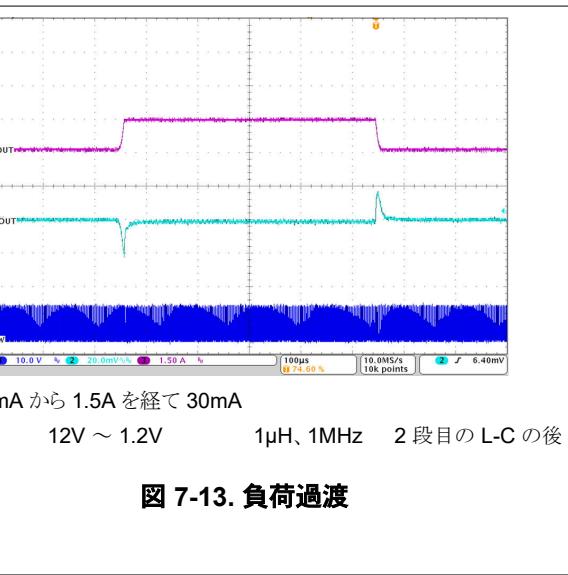
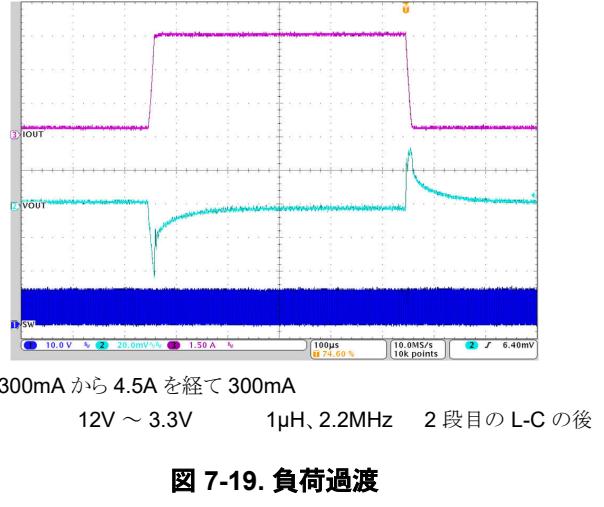
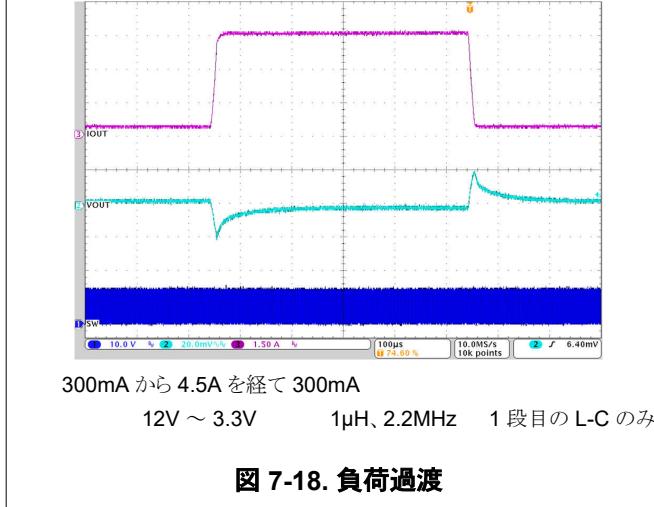
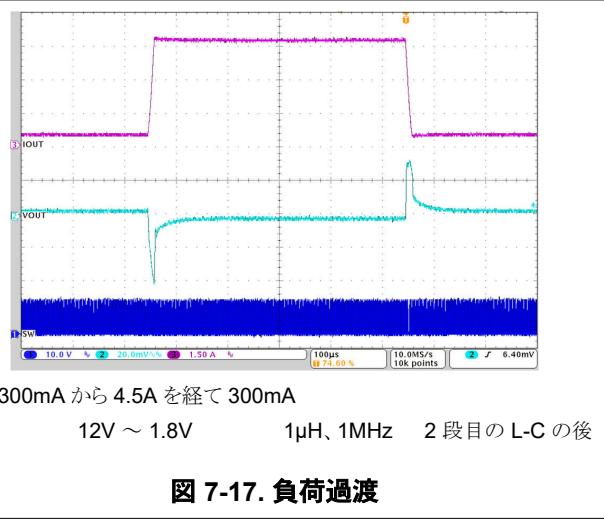
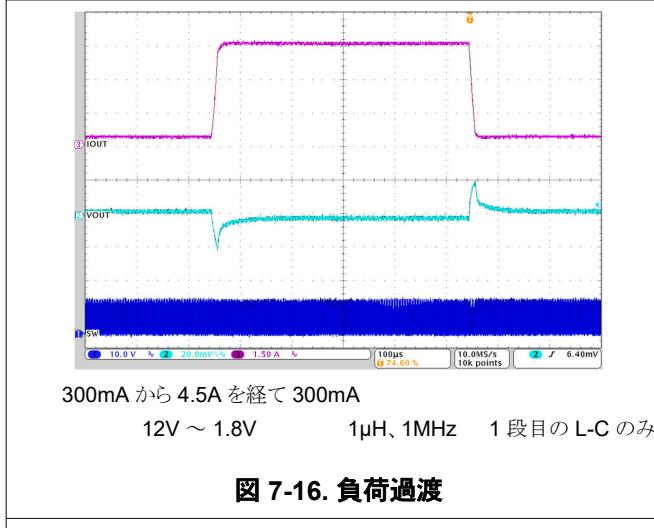
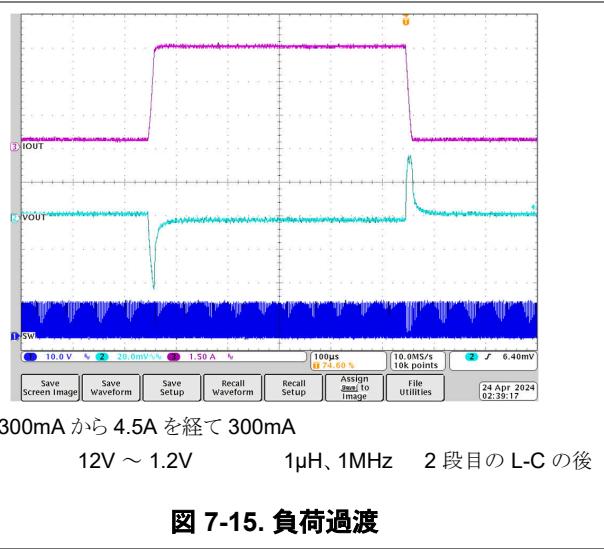
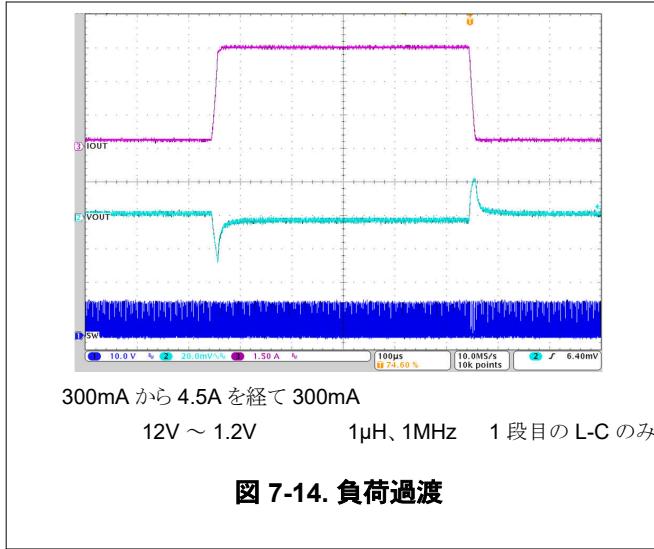


図 7-13. 負荷過渡



7.3 電源に関する推奨事項

TPSM82916 の電源は、TPSM82916 の電源電圧、出力電圧、出力電流に応じた電流定格でなくてはなりません。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

特に高いスイッチング周波数の場合、スイッチ モード電源を動作させるために、適切なレイアウトが非常に重要です。TPSM82916 デバイスの PCB レイアウトでは、最高の性能を得るために細心の注意が必要です。レイアウトが不適切な場合、ラインと負荷のレギュレーションの不良、不安定、EMI 放射の増加、ノイズの増加などの問題につながる可能性があります。一般的なベスト プラクティスの詳細な説明については、『[降圧コンバータの優れた PCB レイアウトを行うための 5 つのステップ](#)』[Analog Design Journal](#) を参照してください。デバイスに固有の推奨事項を以下に示します。

- 入力コンデンサは、デバイスの VIN ピンと PGND ピンにできる限り近づけて配置してください。この配置は、最も重要な部品配置です。入力コンデンサはビアを避けて VIN ピンと PGND ピンに直接配線します。
- 出力コンデンサのグランドを PGND ピンの近くに配置し、ビアを避けて直接配線します。インダクタから出力コンデンサへの接続長を最小限に抑えます。
- VO ピンを出力コンデンサ C_{OUT} に直接接続します。
- NR/SS、VO、FB の各ピンへの接続などの敏感なパターンは、短いパターンで接続し、SW ピンなどのノイズ源から離して配線します。
- ビアを介して PSNS ピンをシステムの GND プレーンに直接接続します。
- 2 段目 L-C フィルタ L_f および C_f は、2 段目 L-C フィルタの周囲の放射結合を低減するため、負荷の近くに配置します
- 図 7-21 に示すように、キープ アウト領域にはフェライトビーズを配置しないでください
- FB 抵抗 R_1 および R_2 は FB ピンの近くに配置し、VOUT 接続を R_1 から負荷にリモート センス パターンとして配線します。2 段目 L-C フィルタを使用する場合は、 L_f の後段にこの接続を行う必要があります。
- 図 7-21 のほか、評価基板に実装されている推奨レイアウトおよび EVM ユーザー ガイド『[TPSM82916 降圧コンバータ評価基板](#)』[EVM ユーザー ガイド](#) に記載されている推奨レイアウトを参照してください。

7.4.2 レイアウト例

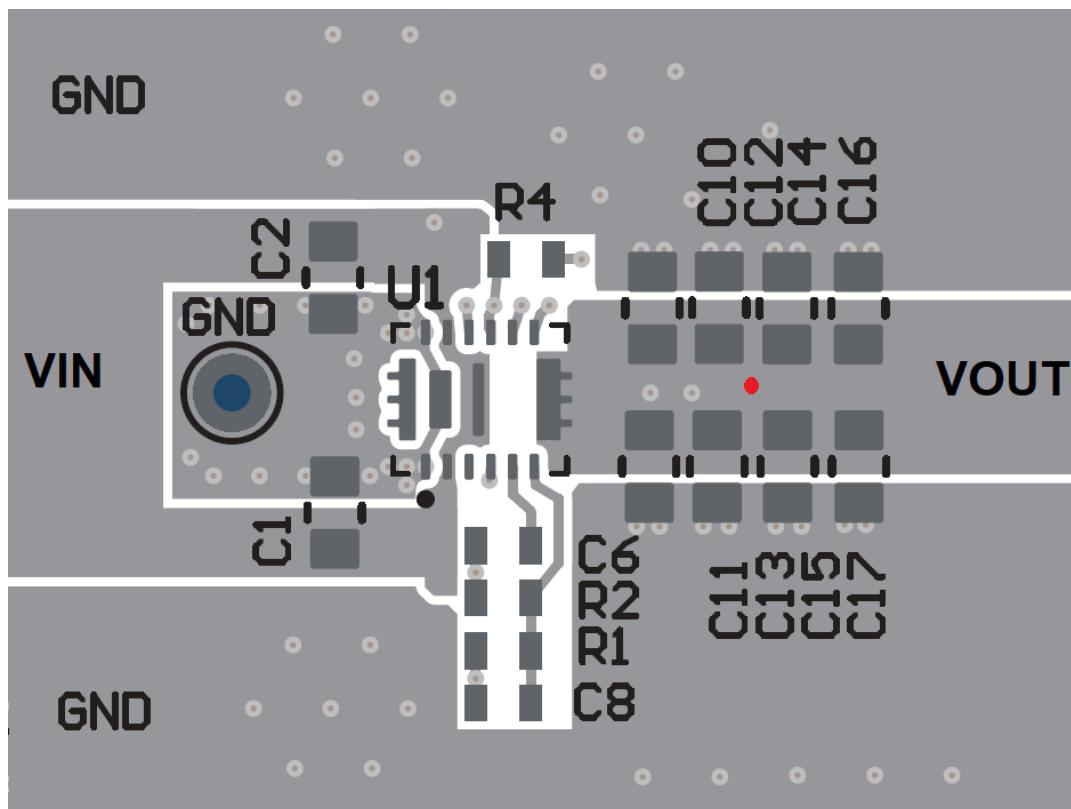


図 7-20. シングル L-C フィルタの推奨レイアウト

注

赤点は、最善の DC レギュレーションを実現するために帰還センスを配置する必要のある場所を示しています。シングル L-C 構成の場合、帰還センスは VOUT コンデンサの近くに配置されます。2 段目の L-C フィルタ設計の場合、帰還センスは VOUT_FILT コンデンサの後の負荷の近くに配置されます。

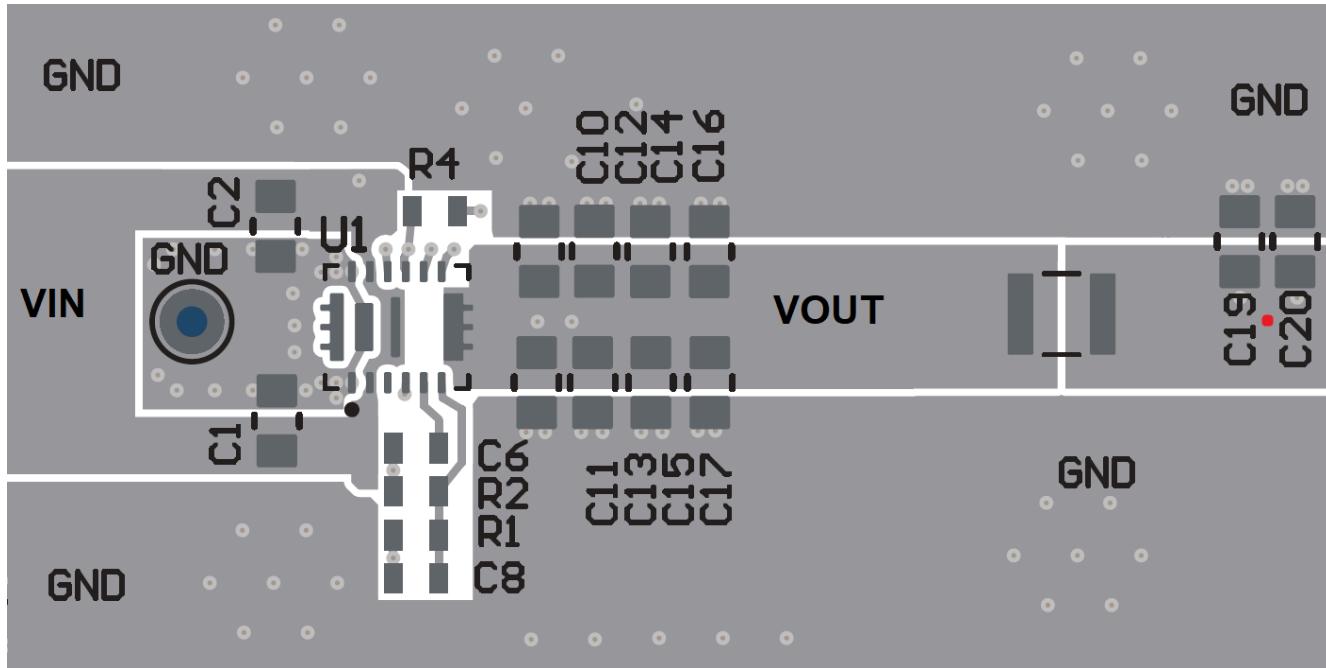


図 7-21. 2 段目の L-C フィルタを使用した設計の推奨レイアウト

注

インダクタと出力コンデンサの間にフェライトビーズが配置されていない限り、フェライトビーズをデバイスに近づけて配置できます。フェライトビーズをさらに離して配置すると、フェライトビーズの出力に対する容量性結合や電磁結合を防止できます。フェライトビーズをキープアウト領域に配置すると、フェライトビーズのフィルタリング効果は大幅に低減されます。フェライトビーズをビアを経由して基板の裏面に配線する場合は、フェライトビーズがこの領域にある場合は、層の間に十分なグランドプレーンを確保してください。

8 デバイスおよびドキュメントのサポート

8.1 デバイス サポート

8.1.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

8.1.2 開発サポート

8.1.2.1 WEBENCH® ツールによるカスタム設計

[ここをクリック](#) すると、WEBENCH Power Designer により、TPSM82916 デバイスを使用するカスタム設計を作成できます。

- 最初に、入力電圧 (V_{IN})、出力電圧 (V_{OUT})、出力電流 (I_{OUT}) の要件を入力します。
- 効率、占有面積、コストなどの主要なパラメータについて設計を最適化します。
- 出力電圧リップルを最適化するための「advanced」(詳細) タブを開きます。
- TPSM82916 の設計では、左側のドロップダウンで、2 段目 L-C フィルタを有効にし、また、その他の設定を変更できます。

WEBENCH Power Designer では、カスタマイズされた回路図と部品リストを、リアルタイムの価格と部品の在庫情報と併せて参照できます。

通常、次の操作を実行可能です。

- 電気的なシミュレーションを実行し、重要な波形と回路の性能を確認する
- カスタマイズされた回路図やレイアウトを、一般的な CAD フォーマットで出力する
- 設計のレポートを PDF で印刷し、設計を共有する

WEBENCH ツールの詳細は、www.ti.com/ja-jp/WEBENCH でご覧になれます。

8.2 ドキュメントのサポート

8.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『[低ドロップアウト レギュレータでフィードフォワード コンデンサを使用することの長所と短所](#)』アプリケーションノート
- テキサス・インスツルメンツ、『『[TPSM82916 降圧コンバータ評価基板』EVM ユーザー ガイド](#)
- テキサス・インスツルメンツ、『[降圧コンバータの優れた PCB レイアウトを実現する 5 つのステップ](#)』Analog Design Journal
- テキサス・インスツルメンツ、『[DC/DC コンバータにおける抵抗性帰還デバイダの設計上の検討事項](#)』Analog Design Journal

8.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

WEBENCH® is a registered trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

8.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.7 用語集

[テキサス・インスツルメンツ用語集](#)

この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (October 2024) to Revision A (June 2025)	Page
• ドキュメントのステータスを「事前情報」から「量産データ」に変更	1

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいづれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPSM82916VCER	Active	Production	QFN-FCMOD (VCE) 16	3000 LARGE T&R	In-Work	Call TI	Level-2-250C-1 YEAR	-40 to 125	TM82916

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

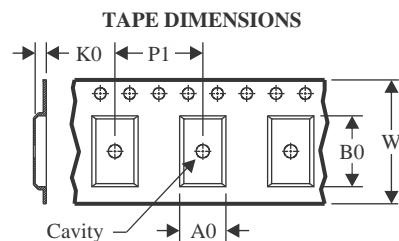
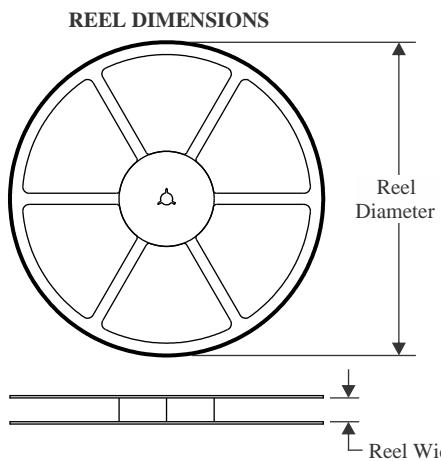
⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

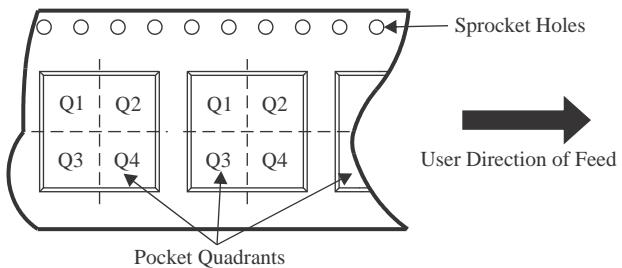
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



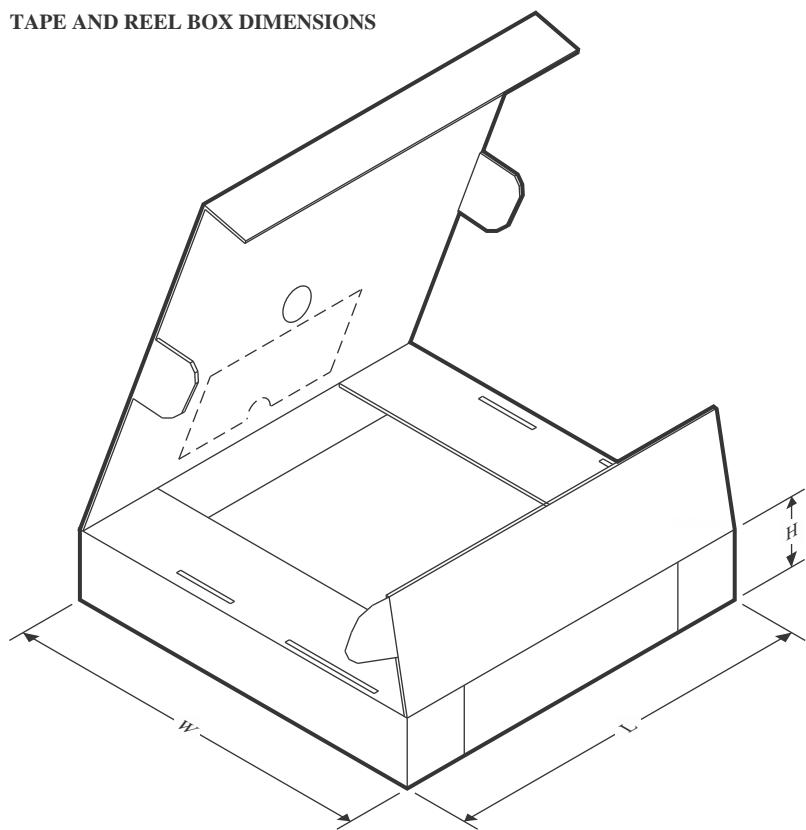
A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPSM82916VCER	QFN-FCMOD	VCE	16	3000	330.0	12.4	4.3	5.0	3.3	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPSM82916VCER	QFN-FCMOD	VCE	16	3000	367.0	367.0	35.0

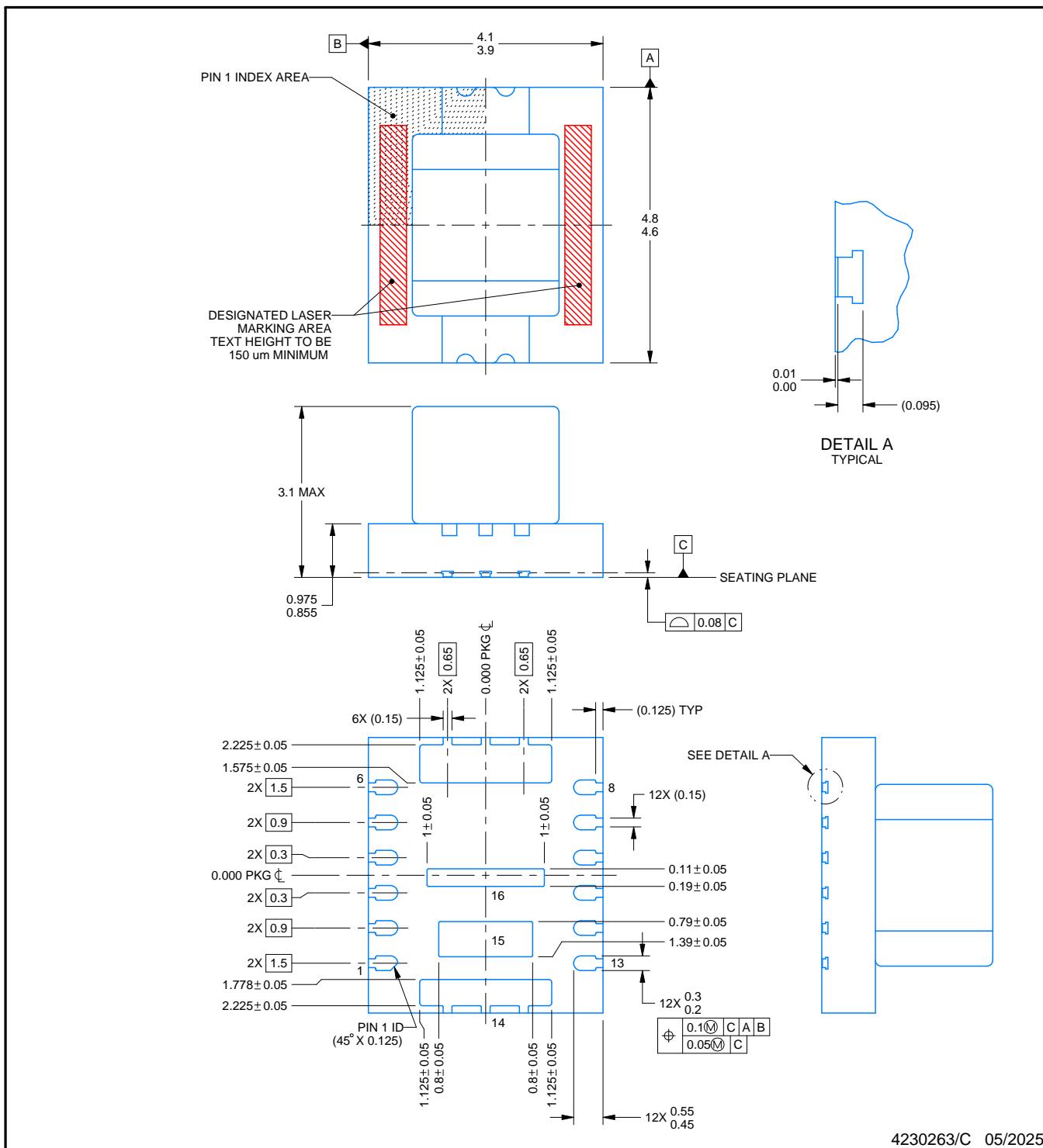
PACKAGE OUTLINE

VCE0016A



QFN-FCMOD - 3.1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD

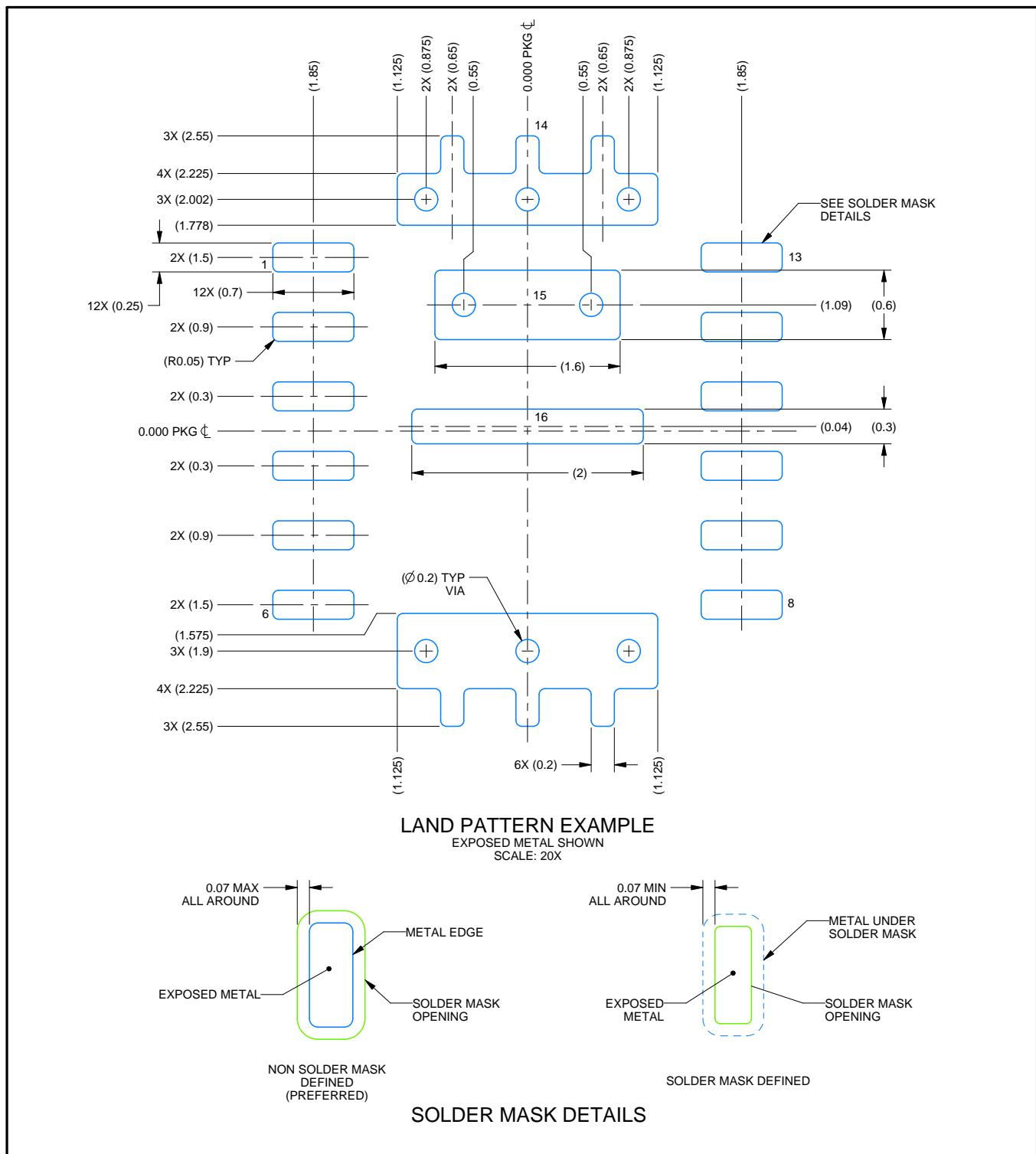


EXAMPLE BOARD LAYOUT

VCE0016A

QFN-FCMOD - 3.1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



NOTES: (continued)

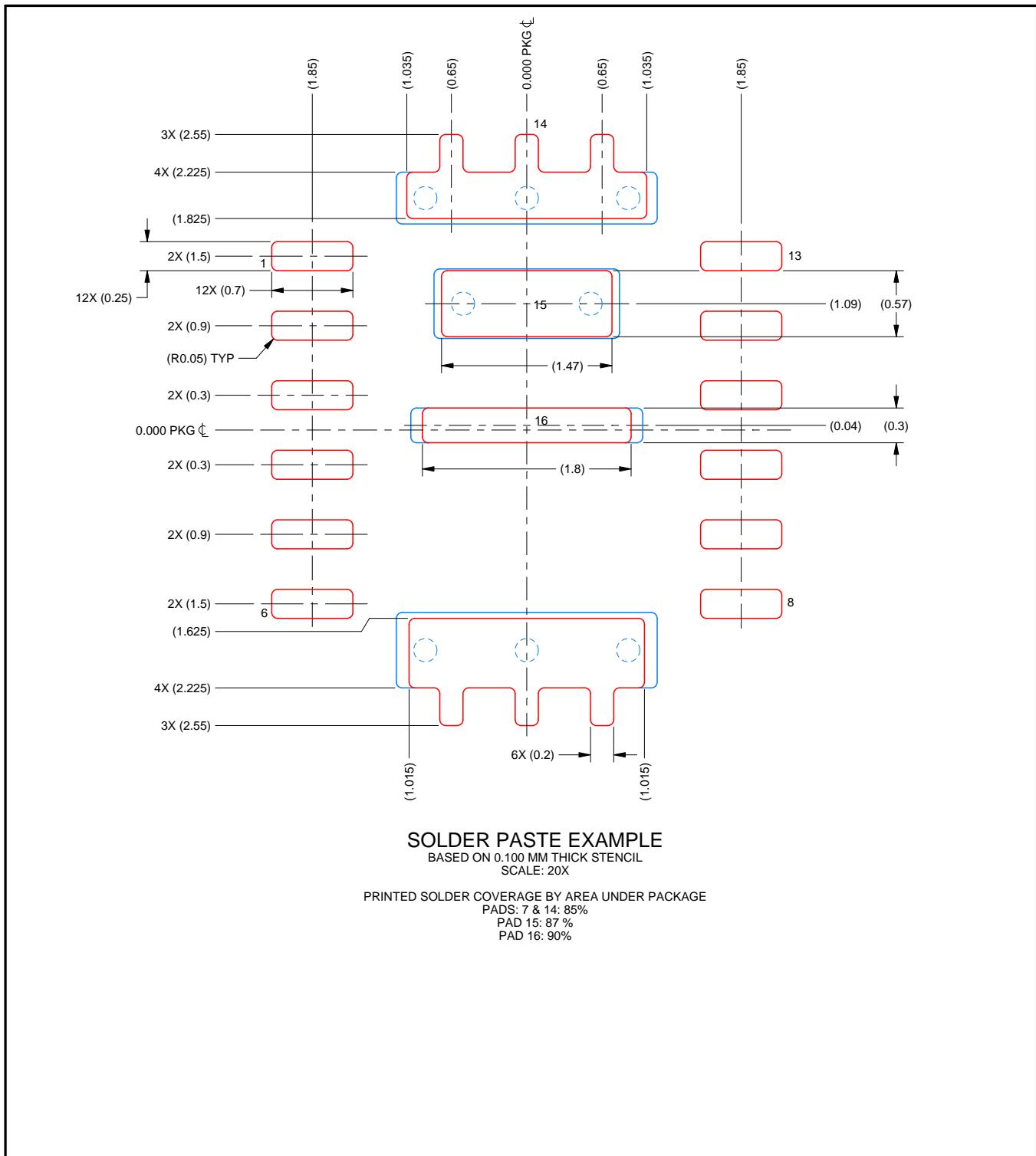
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

VCE0016A

QFN-FCMOD - 3.1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Webツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適したTI製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているTI製品を使用するアプリケーションの開発の目的でのみ、TIはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TIや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TIおよびその代理人を完全に補償するものとし、TIは一切の責任を拒否します。

TIの製品は、[TIの販売条件](#)、[TIの総合的な品質ガイドライン](#)、[ti.com](#)またはTI製品などに関連して提供される他の適用条件に従い提供されます。TIがこれらのリソースを提供することは、適用されるTIの保証または他の保証の放棄の拡大や変更を意味するものではありません。TIがカスタム、またはカスタマー仕様として明示的に指定していない限り、TIの製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TIはそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025年10月