

# TPSI2260-Q1 600V、50mA 車載強化ソリッドステートリレー、アバランシェ保護機能搭載

## 1 特長

- 車載アプリケーション認定済み
  - AEC-Q100 グレード 1: -40~125°C、 $T_A$
- 低 EMI:
  - 追加部品なしで CISPR25 Class 5 の性能に適合
- アバランシェ定格 MOSFET を内蔵
  - 誘電体耐性試験 (Hi-Pot) の信頼性を考慮して設計および認定済み
    - TPSI2260-Q1:  $I_{AVA} = 1\text{mA}$  (60s パルス)
    - TPSI2260T-Q1:  $I_{AVA} = 3\text{mA}$  (60s パルス)
  - 600V スタンドオフ電圧
  - $R_{ON} = 65\Omega$  ( $T_J = 25^\circ\text{C}$ )
  - $I_{OFF} = 1.22\mu\text{A}$  (500V 時、 $T_J = 105^\circ\text{C}$ )
- 1 次側低消費電流
  - オン状態電流: 9mA
- 堅牢な絶縁バリア:
  - 1000V<sub>RMS</sub>/1500V<sub>DC</sub> の動作電圧で 38 年以上の予測寿命
  - 強化絶縁定格、 $V_{ISO}$ 、最大 5000V<sub>RMS</sub>
- 熱性能を向上させるワイドピンを備えた SOIC 11 ピン (DWQ) パッケージ
  - 浴面距離と空間距離: 8mm 以上 (1 次側 / 2 次側)
  - 浴面距離と空間距離: 6mm 以上 (スイッチ端子間)
- 安全関連の認証
  - DIN VDE V 0884-17:2021-10 (計画中)
  - UL 1577 部品認定プログラム (計画中)

## 2 アプリケーション

- ソリッドステートリレー
- ハイブリッド / 電気自動車およびパワートレイン システム
- バッテリー管理システム (BMS)
- 太陽光エネルギー
- オンボードチャージャ
- EV 充電インフラ
- これらのアプリケーションに関連する [テキサス・インスツルメンツのリファレンス デザイン](#) も参照してください。

## 3 説明

TPSI2260-Q1 は、高電圧車載用および産業用アプリケーション向けに設計された絶縁型ソリッドステートリレーです。TPSI2260-Q1 は、TI の高信頼性の強化容量性絶縁技術と内蔵の双方向 MOSFET を組み合わせることにより、2 次側電源を必要としない完全に統合されたソリュー

ションを形成しています。TPSI2260-Q1 は、テキサス・インスツルメンツの容量性絶縁技術は、機械式リレーやフォトリレーの部品での機械的磨耗や光劣化による故障モードの影響を受けないため、システムの信頼性が向上します。

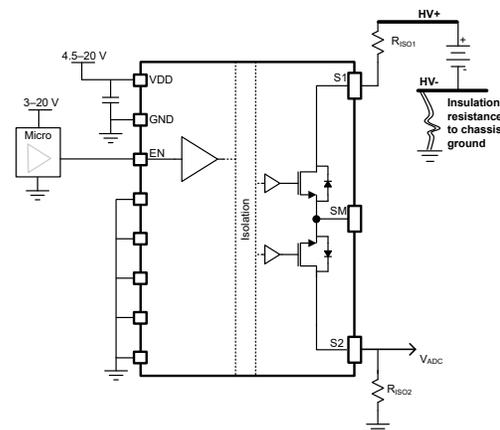
デバイスの 1 次側はわずか 9mA の入力電流で電力供給されており、また、VDD 電源に逆電力が供給される可能性を防ぐフェイルセーフ EN ピンが組み込まれています。ほとんどのアプリケーションでは、デバイスの VDD ピンを 4.5V ~ 20V のシステム電源に接続し、デバイスの EN ピンを 2.1V ~ 20V のロジック Low の GPIO 出力で駆動する必要があります。

2 次側は、S1 から S2 までのスタンドオフ電圧が  $\pm 600\text{V}$  の双方向 MOSFET で構成されています。TPSI2260-Q1 MOSFET のアバランシェ堅牢性と熱を考慮したパッケージ設計により、外部部品を必要とせずに、システムレベルの絶縁耐力試験 (HiPot) および最大 1mA の DC 高速充電器のサージ電流を堅牢にサポートできます。

### パッケージ情報

| 部品番号        | パッケージ (1)      | パッケージサイズ (2)   |
|-------------|----------------|----------------|
| TPSI2260-Q1 | DWQ (SOIC, 11) | 10.3mm × 7.5mm |

- 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
- パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンを含みます。



TPSI2260-Q1 アプリケーション概略回路図



## 目次

|                    |    |                              |    |
|--------------------|----|------------------------------|----|
| 1 特長.....          | 1  | 8.1 概要.....                  | 14 |
| 2 アプリケーション.....    | 1  | 8.2 機能ブロック図.....             | 14 |
| 3 説明.....          | 1  | 8.3 機能説明.....                | 15 |
| 4 デバイス比較表.....     | 3  | 8.4 デバイスの機能モード.....          | 16 |
| 5 ピン構成および機能.....   | 4  | 9 アプリケーションと実装.....           | 17 |
| 6 仕様.....          | 5  | 9.1 アプリケーション情報.....          | 17 |
| 6.1 絶対最大定格.....    | 5  | 9.2 代表的なアプリケーション.....        | 17 |
| 6.2 ESD 定格.....    | 5  | 9.3 電源に関する推奨事項.....          | 22 |
| 6.3 推奨動作条件.....    | 6  | 9.4 レイアウト.....               | 22 |
| 6.4 熱に関する情報.....   | 6  | 10 デバイスおよびドキュメントのサポート.....   | 25 |
| 6.5 電力定格.....      | 6  | 10.1 ドキュメントの更新通知を受け取る方法..... | 25 |
| 6.6 絶縁仕様.....      | 7  | 10.2 サポート・リソース.....          | 25 |
| 6.7 安全関連認証.....    | 9  | 10.3 商標.....                 | 25 |
| 6.8 安全限界値.....     | 9  | 10.4 静電気放電に関する注意事項.....      | 25 |
| 6.9 電気的特性.....     | 10 | 10.5 用語集.....                | 25 |
| 6.10 スイッチング特性..... | 12 | 11 改訂履歴.....                 | 25 |
| 7 パラメータ測定情報.....   | 13 | 12 メカニカル、パッケージ、および注文情報.....  | 26 |
| 8 詳細説明.....        | 14 | 12.1 テープおよびリール情報.....        | 26 |

## 4 デバイス比較表

| デバイス         | アバランシェ保護     | 最大アバランシェ電流 |
|--------------|--------------|------------|
| TPSI2260-Q1  | 標準的なアバランシェ保護 | 1.0mA      |
| TPSI2260T-Q1 | 熱アバランシェ保護    | 3.0mA      |

## 5 ピン構成および機能

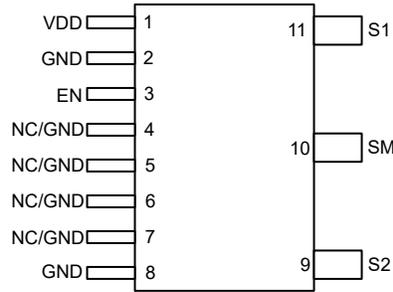


図 5-1. TPSI2260-Q1 DWQ パッケージ、11 ピン SOIC (上面図)

表 5-1. ピンの機能

| ピン番号 | ピン名    | タイプ <sup>(1)</sup> | 説明                                    |
|------|--------|--------------------|---------------------------------------|
| 1    | VDD    | P                  | 1 次側の電源                               |
| 2    | GND    | GND                | 1 次側のグラウンド電源                          |
| 3    | EN     | I                  | アクティブ High のスイッチ イネーブル信号              |
| 4    | NC/GND | NC/GND             | 内部接続、外部からグラウンドに接続するかフローティングのまま        |
| 5    | NC/GND | NC/GND             | 内部接続、外部からグラウンドに接続するかフローティングのまま        |
| 6    | NC/GND | NC/GND             | 内部接続、外部からグラウンドに接続するかフローティングのまま        |
| 7    | NC/GND | NC/GND             | 内部接続、外部からグラウンドに接続するかフローティングのまま        |
| 8    | GND    | GND                | GND に内部接続、外部からグラウンドに接続するかフローティングのまま   |
| 9    | S2     | I/O                | スイッチ入力                                |
| 10   | SM     | NC                 | 放熱のみの詳細については、「レイアウト ガイドライン」を参照してください。 |
| 11   | S1     | I/O                | スイッチ入力                                |

(1) P = 電源、I = 入力、O = 出力、GND = グラウンド、NC = 接続なし

## 6 仕様

### 6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) <sup>(1)</sup>

| パラメータ                  |  | 最小値  | 最大値  | 単位 |
|------------------------|--|------|------|----|
| V <sub>VDD</sub>       | 1 次側の電源電圧 <sup>(2)</sup>                             | -0.3 | 20.7 | V  |
| V <sub>EN</sub>        | イネーブル電圧 <sup>(2)</sup>                               | -0.3 | 20.7 | V  |
| I <sub>S1,S2</sub>     | スイッチ電流、S1/S2   | -55  | 55   | mA |
| I <sub>AVA,S1,S2</sub> | 反復アバランシェ定格、TPSI2260-Q1、60s パルス、S1/S2 <sup>(3)</sup>  | -1   | 1    | mA |
| I <sub>AVA,S1,S2</sub> | 反復アバランシェ定格、TPSI2260T-Q1、60s パルス、S1/S2 <sup>(3)</sup> | -3   | 3    | mA |
| T <sub>J</sub>         | 接合部温度  | -40  | 150  | °C |
| T <sub>stg</sub>       | 保存温度   | -65  | 150  | °C |

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- (2) 電圧値は、GND を基準としています。
- (3) 60 秒以下の周期で、寿命全体にわたって 5 分間の累積、デューティ サイクル < 10%

### 6.2 ESD 定格

|                     |      |  | 値             | 単位    |   |
|---------------------|------|--|---------------|-------|---|
| HBM <sub>Prim</sub> | 静電放電 | 人体モデル (HBM)、AEC Q100-002 <sup>(1)</sup><br>HBM ESD 分類レベル 2 準拠  | 1 次側ピン番号 1-8  | ±2000 | V |
| HBM <sub>Sec</sub>  |      | 人体モデル (HBM)、AEC Q100-002 準拠<br><sup>(1)</sup> HBM ESD 分類レベル 1C | 2 次側ピン番号 9-11 | ±1000 | V |
| CDM                 | 静電放電 | 荷電デバイス モデル (CDM)、AEC Q100-011<br>CDM ESD 分類レベル C4 準拠           | すべてのピン        | ±750  | V |

- (1) AEC Q100-002 は、HBM ストレス試験を ANSI/ESDA/JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

### 6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

| パラメータ       |               | 最小値  | 公称値 | 最大値 | 単位 |
|-------------|---------------|------|-----|-----|----|
| $V_{VDD}$   | 1 次側の電源電圧 (1) | 4.5  |     | 20  | V  |
| $V_{EN}$    | イネーブル電圧(1)    | 0    |     | 20  | V  |
| $V_{S2-S1}$ | スイッチ入力電圧      | -600 |     | 600 | V  |
| $I_{S1,S2}$ | スイッチ電流        | -50  |     | 50  | mA |
| $T_A$       | 動作時周囲温度       | -40  |     | 125 | °C |
| $T_J$       | 動作時の接合部温度     | -40  |     | 150 | °C |

(1) 電圧値は、GND を基準としています。

### 6.4 熱に関する情報

| 熱評価基準(1)                  |                     | デバイス       | 単位   |
|---------------------------|---------------------|------------|------|
|                           |                     | DWQ (SOIC) |      |
|                           |                     | 11 ピン      |      |
| $R_{\theta JA}$           | 接合部から周囲への熱抵抗        | 未定         | °C/W |
| $R_{\theta JA, EVM, 60S}$ | 接合部から周囲への熱抵抗(2) (3) | 未定         | °C/W |
| $R_{\theta JA, EVM, 5S}$  | 接合部から周囲への熱抵抗(2) (4) | 未定         | °C/W |
| $R_{\theta JB}$           | 接合部から基板への熱抵抗        | 未定         | °C/W |
| $R_{\theta JC(top)}$      | 接合部からケース (上面) への熱抵抗 | 未定         | °C/W |
| $\Psi_{JT}$               | 接合部から上面への特性パラメータ    | 未定         | °C/W |
| $\Psi_{JB}$               | 接合部から基板への特性パラメータ    | 未定         | °C/W |

- (1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション レポートを参照してください。  
 (2) 評価基板の PCB のサイズは、74.25mm x 43mm x 1mm です。4 層 PCB は、1 層と 4 層に 2 オンスの銅を使用し、2 層と 3 層に 1 オンスの銅を使用しています。  
 (3) 60 秒間電源を供給した場合の評価基板の性能。  
 (4) 5 秒間電源を供給した場合の評価基板の性能。

### 6.5 電力定格

| パラメータ      |               | テスト条件   | 最小値 | 標準値 | 最大値 | 単位 |
|------------|---------------|---|-----|-----|-----|----|
| $P_D$      | 最大消費電力、合計     | $V_{VDD} = 5V$ 、<br>$V_{EN} = 5V$ ピークツーピーク、<br>$V_{S1-S2} = 600V$ 、 $R_{S1} = 500k\Omega$<br>$f_{EN} = 1Hz$ 方形波 |     |     | 未定  | mW |
| $P_{D\_P}$ | 最大消費電力 (1 次側) |   |     |     | 未定  | mW |
| $P_{D\_S}$ | 最大消費電力 (2 次側) |   |     |     | 未定  | mW |

## 6.6 絶縁仕様

| パラメータ  |                                | テスト条件  | 値          | 単位        |
|--|--------------------------------|--|------------|-----------|
| <b>IEC 60664-1</b>   |                                |  |            |           |
| CLR  | 外部空間距離 <sup>(1)</sup>          | 空気を介した最短のピン間距離   | >8         | mm        |
| CPG  | 外部沿面距離 <sup>(1)</sup>          | パッケージ表面に沿った最短のピン間距離  | >8         | mm        |
| DTI  | 絶縁物を介した距離                      | 最小内部ギャップ (内部空間距離)  | >15.4      | μm        |
| CTI  | 比較トラッキング インデックス                | DIN EN 60112 (VDE 0303-11)、IEC 60112   | >600       | V         |
|  | 材料グループ                         | IEC 60664-1 に準拠  | I          |           |
|  | IEC 60664-1 に準拠した過電圧カテゴリ       | 定格商用電源 $V_{RMS}$ が 300V 以下   | I-IV       |           |
|  |                                | 定格商用電源 $V_{RMS}$ が 600V 以下   | I-III      |           |
|  |                                | 定格商用電源 $V_{RMS}$ が 1000V 以下  | I-II       |           |
| <b>DIN V VDE 0884-11:2017-01<sup>(2)</sup>、IEC 60747-17:2020</b> |                                |  |            |           |
| $V_{IORM}$   | 最大反復ピーク絶縁電圧                    | AC 電圧 (パイポーラ)  | 1414       | $V_{PK}$  |
| $V_{IOWM}$   | 最大絶縁動作電圧                       | AC 電圧 (正弦波)  | 1000       | $V_{RMS}$ |
|  |                                | DC 電圧  | 1500       | $V_{DC}$  |
| $V_{IOTM}$   | 最大過渡絶縁電圧                       | $V_{TEST} = V_{IOTM}$ , $t = 60s$ (認定時)  | 7070       | $V_{PK}$  |
|  |                                | $V_{TEST} = 1.2 \times V_{IOTM}$ , $t = 1s$ (100% 出荷時)   | 8484       | $V_{PK}$  |
| $V_{IMP}$  | 最大インパルス絶縁電圧 <sup>(6)</sup>     | IEC 62638-1 に準拠して気中でテスト、1.2/50μs 波形  | 7690       | $V_{PK}$  |
| $V_{IOSM}$   | 最大サージ絶縁電圧 <sup>(3)</sup>       | IEC 62638-1 準拠してオイルでテスト、1.2/50μs 波形、 $V_{TEST} = 1.3 \times V_{IOSM} = 6500V_{PK}$ (認定時)   | 10000      | $V_{PK}$  |
| $q_{pd}$   | 見掛けの電荷 <sup>(4)</sup>          | 方法 a: I/O 安全テスト サブグループ 2/3 の後、 $V_{ini} = V_{IOTM}$ , $t_{ini} = 60s$ , $V_{pd(m)} = 1.2 \times V_{IORM} = 1800V_{PK}$ , $t_m = 10s$         | $\leq 5$   | pC        |
|  |                                | 方法 a: 環境テスト サブグループ 1 の後、 $V_{ini} = V_{IOTM}$ , $t_{ini} = 60s$ , $V_{pd(m)} = 1.6 \times V_{IORM}$ , $t_m = 10s$                            | $\leq 5$   |           |
|  |                                | 方法 b1: ルーチン テスト (100% 出荷時) および事前条件設定 (タイプ テスト) の場合、 $V_{ini} = V_{IOTM}$ , $t_{ini} = 1s$ , $V_{pd(m)} = 1.875 \times V_{IORM}$ , $t_m = 1s$ | $\leq 5$   |           |
| $C_{IO}$   | 絶縁バリア容量、入力から出力へ <sup>(5)</sup> | $V_{IO} = 0.4 \times \sin(2\pi ft)$ , $f = 1MHz$   | 1          | pF        |
| $R_{IO}$   | 絶縁抵抗、入力から出力へ <sup>(5)</sup>    | $V_{IO} = 500V$ , $T_A = 25^\circ C$   | $>10^{12}$ | $\Omega$  |
|  |                                | $V_{IO} = 500V$ ( $100^\circ C \leq T_A \leq 125^\circ C$ 時)   | $>10^{11}$ |           |
|  |                                | $V_{IO} = 500V$ ( $T_S = 150^\circ C$ 時)   | $>10^9$    |           |
|  | 汚染度                            |  | 2          |           |
|  | 耐候性カテゴリ                        |  | 40/150/21  |           |
| <b>UL 1577</b>   |                                |  |            |           |
| $V_{ISO}$  | 絶縁耐圧                           | $V_{TEST} = V_{ISO}$ , $t = 60s$ (認定時)、<br>$V_{TEST} = 1.2 \times V_{ISO}$ , $t = 1s$ (100% 出荷時)   | 5000       | $V_{RMS}$ |
| <b>その他</b>   |                                |  |            |           |
| $V_{ISO}$  | 絶縁耐圧                           |  | 7070       | $V_{DC}$  |

- (1) 沿面距離および空間距離の要件は、アプリケーション個別の機器絶縁規格に従って適用する必要があります。沿面距離および空間距離を維持するために、プリント基板上でアイソレータの取り付けパッドによってこの距離が短くならないように注意して基板を設計する必要があります。場合によっては、プリント基板上の沿面距離と空間距離が等しくなります。プリント基板上に溝やリブを設けるという技法を使用して、これらの仕様値を大きくすることができます。
- (2) この絶縁素子は、安全定格内の 安全な電氣的絶縁のみに適しています。安全定格への準拠は、適切な保護回路によって保証する必要があります。
- (3) テストは、絶縁バリアの固有サージ耐性を判定するため、油中で実行されます。
- (4) 見掛けの放電電荷とは、部分放電 (pd) により発生する放電です。
- (5) 絶縁バリアのそれぞれの側にあるすべてのピンを互いに接続して、2 つの端子を持つデバイスを構成します。

- (6) テストは、パッケージの固有サージ耐性を判定するため、気中で実行されます。

ADVANCE INFORMATION

## 6.7 安全関連認証

| VDE   | CSA                          | UL                           | CQC                          | TUV                          |
|---|------------------------------|------------------------------|------------------------------|------------------------------|
| 強化絶縁。最大過渡絶縁電圧: 7071V <sub>PK</sub><br>最大反復ピーク絶縁電圧: 1414V <sub>PK</sub><br>最大サージ絶縁電圧: 12000V <sub>PK</sub>     | 未定です。ご要望については、TIにお問い合わせください。 | UL 1577 部品認定プログラムに従う認証を計画中   | 未定です。ご要望については、TIにお問い合わせください。 | 未定です。ご要望については、TIにお問い合わせください。 |
| 強化絶縁。最大過渡絶縁電圧: 7071V <sub>PK</sub> 。<br>最大反復ピーク絶縁電圧: 1414V <sub>PK</sub> 。<br>最大サージ絶縁電圧: 10000V <sub>PK</sub> |                              | シングル保護: 5000V <sub>RMS</sub> |                              |                              |
| 認証計画中   |                              | 認証計画中                        |                              |                              |

## 6.8 安全限界値

| パラメータ(1) (2)   |                      | テスト条件  | 最小値 | 標準値 | 最大値 | 単位 |
|----------------|----------------------|--|-----|-----|-----|----|
| I <sub>s</sub> | VDD 安全電流             | R <sub>θJA</sub> = 70°C/W、V <sub>VDD</sub> = 20V、<br>T <sub>J</sub> = 150°C、T <sub>A</sub> = 25°C              |     |     | 未定  | mA |
|                | スイッチ安全電流 (オン状態)      | R <sub>θJA</sub> = 70°C/W、V <sub>VDD</sub> = 20V、<br>T <sub>J</sub> = 150°C、T <sub>A</sub> = 25°C              |     |     | 未定  |    |
|                | スイッチ安全電流 (オフ状態、5 秒)  | R <sub>θJA, EVM, 5S</sub> (3) = 30°C/W、V <sub>VDD</sub> = 0V、<br>T <sub>J</sub> = 150°C、T <sub>A</sub> = 25°C  |     |     | 未定  |    |
|                | スイッチ安全電流 (オフ状態、60 秒) | R <sub>θJA, EVM, 60S</sub> (3) = 52°C/W、V <sub>VDD</sub> = 0V、<br>T <sub>J</sub> = 150°C、T <sub>A</sub> = 25°C |     |     | 未定  |    |
| P <sub>s</sub> | 安全入力、出力、または合計電力      | R <sub>θJA</sub> = 70°C/W、<br>T <sub>J</sub> = 150°C、T <sub>A</sub> = 25°C                                     |     |     | 未定  | W  |
| T <sub>s</sub> | 最高安全温度               |  |     |     | 150 | °C |

- 安全限界値の目的は、入力または出力回路の故障による絶縁バリアの損傷の可能性を最小限に抑えることです。I/O 回路の故障により、グランドあるいは電源との抵抗が低くなる場合があります。電流制限がないと、チップがオーバーヒートして絶縁バリアが破壊されるほどの大電力が消費され、ひいてはシステムの 2 次故障に到る可能性があります。
- 安全限界は、データシートで規定されている最大接合部温度です。接合部の温度は、アプリケーション ハードウェアに搭載されているデバイスの消費電力、および接合部から空気への熱抵抗により決定されます。「**熱に関する情報**」の表で前提とされている接合部から空気への熱抵抗は、リード付き表面実装パッケージ向けの High-K テスト基板に実装されたデバイスの数値です。電力は、推奨最大入力電圧と電流との積です。この場合の接合部温度は、接合部から空気への熱抵抗と電力との積に周囲温度を加えたものです。
- 「レイアウト ガイドライン」セクションの EVM に類似した PCB レイアウトであると仮定します

## 6.9 電気的特性

特に記述のない限り、すべての最小 / 最大仕様は推奨動作条件範囲内の値です。すべての標準値は、 $T_J = 25^\circ\text{C}$ 、 $V_{VDD} = 5\text{V}$ 、 $V_{EN} = 5\text{V}$  で測定されています。

| パラメータ                   |                       | テスト条件   | 最小値 | 標準値   | 最大値              | 単位            |
|-------------------------|-----------------------|---|-----|-------|------------------|---------------|
| <b>1 次側電源 (VDD)</b>     |                       |   |     |       |                  |               |
| $V_{UVLO}$              | VDD 低電圧スレッシュホールド      | VDD 立ち上がり   | 4.1 | 4.3   | 4.5              | V             |
|                         |                       | VDD 立ち下がり   | 4.0 | 4.2   | 4.4              | V             |
|                         |                       | ヒステリシス  | 40  | 100   | 150              | mV            |
| $I_{VDD\_ON}$           | VDD 電流、デバイスの電源がオン     | $V_{EN} = 5\text{V}$ $T_J = 25^\circ\text{C}$   |     | 5     | 11               | mA            |
|                         |                       | $V_{EN} = 5\text{V}$ $-40^\circ\text{C} \leq T_J \leq 150^\circ\text{C}$                          |     | 5     | 12               | mA            |
| $I_{VDD\_OFF}$          | VDD 電流、5V、デバイスの電源がオフ  | $V_{VDD} = 5\text{V}$ 、 $V_{EN} = 0\text{V}$ $T_J = 25^\circ\text{C}$                             |     | 4     | 8                | $\mu\text{A}$ |
|                         |                       | $V_{VDD} = 5\text{V}$ 、 $V_{EN} = 0\text{V}$ $T_J = 105^\circ\text{C}$                            |     | 6.3   | 11               | $\mu\text{A}$ |
|                         |                       | $V_{VDD} = 5\text{V}$ 、 $V_{EN} = 0\text{V}$ $T_J = 125^\circ\text{C}$                            |     | 7.6   | 16               | $\mu\text{A}$ |
|                         |                       | $V_{VDD} = 5\text{V}$ 、 $V_{EN} = 0\text{V}$ $-40^\circ\text{C} \leq T_J \leq 150^\circ\text{C}$  |     |       |                  | 30            |
|                         | VDD 電流、20V、デバイスの電源がオフ | $V_{VDD} = 20\text{V}$ 、 $V_{EN} = 0\text{V}$ $T_J = 25^\circ\text{C}$                            |     | 9.2   | 10.5             | $\mu\text{A}$ |
|                         |                       | $V_{VDD} = 20\text{V}$ 、 $V_{EN} = 0\text{V}$ $T_J = 105^\circ\text{C}$                           |     | 13    | 17               |               |
|                         |                       | $V_{VDD} = 20\text{V}$ 、 $V_{EN} = 0\text{V}$ $T_J = 125^\circ\text{C}$                           |     | 15    | 25               |               |
|                         |                       | $V_{VDD} = 20\text{V}$ 、 $V_{EN} = 0\text{V}$ $-40^\circ\text{C} \leq T_J \leq 150^\circ\text{C}$ |     |       |                  |               |
| <b>FET の特性 (S1, S2)</b> |                       |   |     |       |                  |               |
| $R_{DSON}$              | オン抵抗                  | $I_O = 2\text{mA}$ 、 $T_J = 25^\circ\text{C}$   |     | 65    | 88               | $\Omega$      |
|                         |                       | $I_O = 2\text{mA}$ 、 $T_J = 85^\circ\text{C}$   |     | 88    | 120              |               |
|                         |                       | $I_O = 2\text{mA}$ 、 $T_J = 105^\circ\text{C}$  |     | 96    | 125              |               |
|                         |                       | $I_O = 2\text{mA}$ 、 $T_J = 125^\circ\text{C}$  |     | 105   | 140              |               |
|                         |                       | $I_O = 2\text{mA}$ 、 $-40^\circ\text{C} \leq T_J \leq 150^\circ\text{C}$                          |     |       |                  |               |
| $I_{OFF}$               | オフリーケージ、600V          | $V = \pm 600\text{V}$ 、 $T_J = 25^\circ\text{C}$  |     | 0.058 | 0.25             | $\mu\text{A}$ |
|                         |                       | $V = \pm 600\text{V}$ 、 $T_J = 85^\circ\text{C}$  |     |       | 0.5              |               |
|                         |                       | $V = \pm 600\text{V}$ 、 $T_J = 105^\circ\text{C}$   |     |       | 1.5              |               |
|                         |                       | $V = \pm 600\text{V}$ 、 $T_J = 125^\circ\text{C}$   |     |       | 6                |               |
|                         |                       | $V = \pm 600\text{V}$ 、 $-40^\circ\text{C} \leq T_J \leq 150^\circ\text{C}$                       |     |       | 50               |               |
|                         | オフリーケージ、500V          | $V = \pm 500\text{V}$ 、 $T_J = 25^\circ\text{C}$  |     | 0.055 | 0.25             | $\mu\text{A}$ |
|                         |                       | $V = \pm 500\text{V}$ 、 $T_J = 85^\circ\text{C}$  |     |       | 0.43             |               |
|                         |                       | $V = \pm 500\text{V}$ 、 $T_J = 105^\circ\text{C}$   |     |       | 1.22             |               |
|                         |                       | $V = \pm 500\text{V}$ 、 $T_J = 125^\circ\text{C}$   |     |       | 5.75             |               |
|                         |                       | $V = \pm 500\text{V}$ 、 $-40^\circ\text{C} \leq T_J \leq 150^\circ\text{C}$                       |     |       | 44               |               |
| $V_{AVA}$               | アバランシェ電圧              | $I_O = 10\mu\text{A}$ 、 $T_J = 25^\circ\text{C}$  | 650 | 770   | V                |               |
|                         |                       | $I_O = 100\mu\text{A}$ 、 $T_J = 150^\circ\text{C}$  | 650 | 770   |                  |               |
| $C_{OSS}$               | S1, S2 容量             | $V_{S1,S2} = 0\text{V}$ 、SM フローティング、 $F = 1\text{MHz}$  |     | 188   | $\text{pF}$      |               |
| $T_{TAP1}$              | 熱アバランシェ保護スレッシュホールド    | アサート  | 155 |       | $^\circ\text{C}$ |               |
| $T_{TAP\_END}$          | 熱アバランシェ保護スレッシュホールド    | デアサート   | 85  | 125   | $^\circ\text{C}$ |               |
| <b>ロジックレベル入力 (EN)</b>   |                       |   |     |       |                  |               |
| $V_{IL}$                | 入力ロジック Low 電圧         |   | 0.0 | 0.8   | V                |               |

## 6.9 電気的特性 (続き)

特に記述のない限り、すべての最小 / 最大仕様は推奨動作条件範囲内の値です。すべての標準値は、 $T_J = 25^\circ\text{C}$ 、 $V_{VDD} = 5\text{V}$ 、 $V_{EN} = 5\text{V}$  で測定されています。

| パラメータ         |                | テスト条件  | 最小値  | 標準値  | 最大値  | 単位            |
|---------------|----------------|--|------|------|------|---------------|
| $V_{IH}$      | 入力ロジック High 電圧 |  | 2.1  |      | 20.0 | V             |
| $V_{HYS}$     | 入力ロジック ヒステリシス  |  | 100  | 250  | 300  | mV            |
| $I_{IL}$      | 入力ロジック Low 電流  | $V_{EN} = 0\text{V}$                                     | -0.1 |      | 0.1  | $\mu\text{A}$ |
|               |                | $V_{EN} = 0.8\text{V}$                                   | 0.1  | 0.68 | 1.8  | $\mu\text{A}$ |
| $I_{IH}$      | 入力ロジック High 電流 | $V_{EN} = 10\text{V}$                                    | 6.0  | 13.5 | 30   | $\mu\text{A}$ |
| $I_{IH}$      | 入力ロジック High 電流 | $V_{EN} = 5\text{V}$                                     | 1.5  | 4.5  | 12   | $\mu\text{A}$ |
|               |                | $V_{EN} = 20\text{V}$                                    | 15   | 32   | 65   | $\mu\text{A}$ |
| $I_{VDD\_FS}$ | VDD フェイルセーフ電流  | $V_{EN} = 20\text{V}$ 、 $V_{VDD} = 0\text{V}$            | -0.1 | 0    | 0.1  | $\mu\text{A}$ |
| $R_{PD}$      | スマート プルダウン抵抗   | 2 点測定、 $V_{EN} = 0.5\text{V}$ および $V_{EN} = 0.8\text{V}$ | 550  | 1180 | 2100 | k $\Omega$    |
| ノイズ耐性         |                |  |      |      |      |               |
| CMTI          | 同相過渡耐性         | $ V_{CM}  = 500\text{V}$                                 | 100  |      |      | V/ns          |

## 6.10 スイッチング特性

特に記述のない限り、すべての最小 / 最大仕様は推奨動作条件範囲内の値です。すべての標準値は、 $T_A = 25^\circ\text{C}$ 、 $V_{DD} = 5\text{V}$ 、 $V_{EN} = 5\text{V}$  で測定されています。

| モード                 | パラメータ         | テスト条件                    | 最小値   | 標準値 | 最大値 | 単位            |               |
|---------------------|---------------|--------------------------|---|-----|-----|---------------|---------------|
| <b>スイッチング特性</b>     |               |                          |   |     |     |               |               |
| EN のスイッチング          | $t_{PD\_ON}$  | 入力 HI から出力電圧立ち下がりまでの伝搬遅延 |   | 170 | 370 | $\mu\text{s}$ |               |
|                     | $t_F$         | 出力立ち下がり時間                |   | 47  | 100 |               |               |
|                     | $t_{ON}$      | 入力 HI から出力 LO までの遅延      | $V_{IN} = 500\text{V } R_L = 1\text{M}\Omega$ | 220 | 440 |               |               |
|                     | $t_{PD\_OFF}$ | 入力 LO から出力電圧立ち上がりまでの伝搬遅延 |   | 178 | 290 |               |               |
|                     | $t_R$         | 出力立ち上がり時間                |   | 29  | 70  |               |               |
|                     | $t_{OFF}$     | 入力 LO から出力 HI までの遅延      |   | 200 | 350 |               |               |
| EN および VDD スwitchング | $t_{PD\_ON}$  | 入力 HI から出力電圧立ち下がりまでの伝搬遅延 |   |     | 260 | 500           | $\mu\text{s}$ |
|                     | $t_F$         | 出力立ち下がり時間                |   |     | 50  | 100           |               |
|                     | $t_{ON}$      | 入力 HI から出力 LO までの遅延      | $V_{IN} = 500\text{V } R_L = 1\text{M}\Omega$ | 310 | 590 |               |               |
|                     | $t_{PD\_OFF}$ | 入力 LO から出力電圧立ち上がりまでの伝搬遅延 |   | 170 | 290 |               |               |
|                     | $t_R$         | 出力立ち上がり時間                |   | 30  | 70  |               |               |
|                     | $t_{OFF}$     | 入力 LO から出力 HI までの遅延      |   | 200 | 350 |               |               |

## 7 パラメータ測定情報

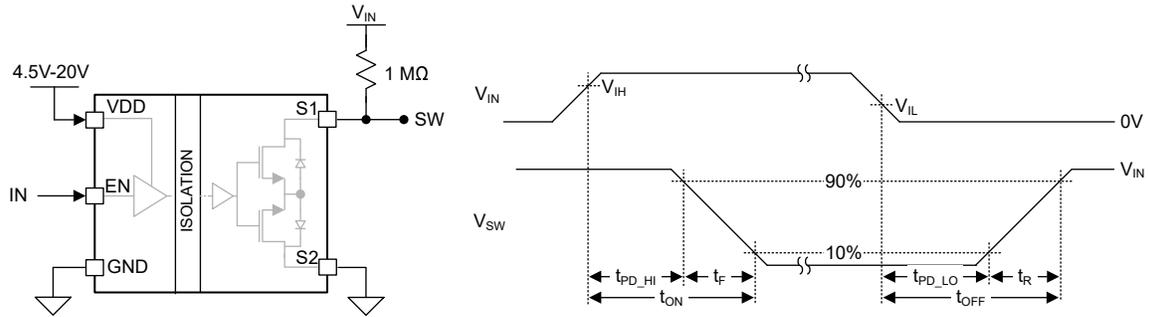


図 7-1. タイミング図、EN スイッチング

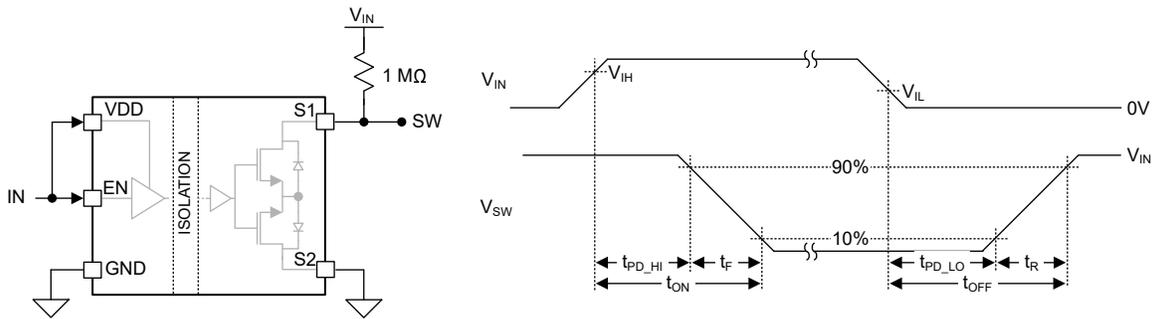


図 7-2. タイミング図、EN および VDD スイッチング

## 8 詳細説明

### 8.1 概要

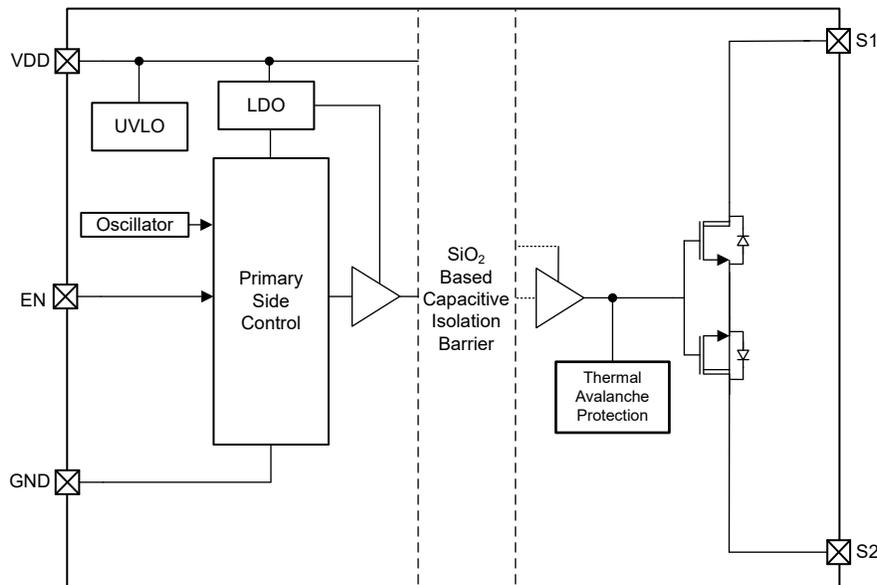
TPSI2260-Q1 は、高電圧車載用および産業用アプリケーション向けに設計された絶縁型ソリッド ステートリレーです。TI の高信頼性容量性絶縁技術と双方向 MOSFET を組み合わせることにより、2 次側電源を必要としない完全に統合されたソリューションを形成しています。

「機能ブロック図」に示されているように、1 次側は、2 次側の各内部 MOSFET に電力を供給し、ロジック情報を有効化するドライバで構成されています。オンボード発振器はドライバ動作の周波数を制御し、スペクトラム拡散変調 (SSM) コントローラはドライバの周波数を変更してシステムの EMI 性能を向上させます。イネーブル ピンが HI になり、VDD 電圧が UVLO スレッシュホールドを上回ると、発振器が起動し、ドライバはをまたぐ形で電力とロジック HI を送信します。イネーブル ピンが LO になるか、または VDD 電圧が UVLO スレッシュホールドを下回ると、ドライバは無効化されます。アクティビティがないため、ロジック LO は 2 次側に伝達され、MOSFET は無効化されます。

2 次側の各 MOSFET には専用のフルブリッジ整流器があり、ローカル電源およびレシーバを形成します。レシーバは、容量性絶縁バリアを経由して 1 次側から供給されるロジック状態を決定し、スルーレート制御ドライバを使用して MOSFET のゲートを駆動します。各レシーバは、同相モード干渉をフィルタリングし、1 次側ドライバとシステムが送信したロジックに従って MOSFET が確実に制御されるように、バリアをまたぐ形で受信された信号に対してシグナル コンディショニングを実行します。

TPSI2260-Q1 は、11 DWQ パッケージのアバランシェ堅牢型 MOSFET と拡大ピンの熱的利点により、外部の保護部品を必要とせずに、絶縁耐圧試験 (HiPot) や最大 5mA の DC 高速チャージャ サージ電流に耐えられます。TPSI2260T-Q1 バージョンのデバイスに搭載されている熱アバランシェ保護 (TAP) 機能は、接合部温度を監視し、MOSFET が温度を安全な動作範囲に維持できるようにすることで、アバランシェ電流能力をさらに向上させます。

### 8.2 機能ブロック図



ADVANCE INFORMATION

## 8.3 機能説明

### 8.3.1 アバランシェ堅牢性

S1 ピンと S2 ピンの間の電圧が  $\pm 600V$  を上回った場合、2 次側 MOSFET がアバランシェモード動作に移行する可能性があります。MOSFET と 11 DWQ パッケージは、この動作モードで [絶縁耐圧試験 \(HiPot\)](#) をサポートするように堅牢に設計され、認定されています。この動作モードでシステムの放熱性能を確保する方法については、[PCB レイアウトのガイドライン](#) を参照してください。

## 8.4 デバイスの機能モード

表 8-1. デバイスの機能モード

| VDD                   | EN | S1-S2 状態 | 備考                                  |
|-----------------------|----|----------|-------------------------------------|
| パワーアップ <sup>(1)</sup> | H  | OFF      | VDD 電流はオフ状態の範囲です。                   |
|                       | L  | オン       | VDD 電流はオン状態の範囲です。                   |
| パワーダウン <sup>(2)</sup> | H  | OFF      | VDD 電流はオフ状態の範囲です。                   |
|                       | L  | OFF      | 1 次側アナログはオン、VDD 電流はオフ状態とオン状態の範囲内です。 |

- (1)  $VDD \geq VDD$  低電圧立ち上がりスレッショルド。  
 (2)  $VDD \leq VDD$  低電圧立ち下がりスレッショルド。

## 9 アプリケーションと実装

### 注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 9.1 アプリケーション情報

TPSI2260-Q1 は、特に絶縁バリアまたはガルバニック絶縁領域を超えてスイッチングする必要がある場合の測定アプリケーション向けとして、高電圧スイッチングに最適化された 600V、50mA 車載用絶縁スイッチです。一般的な最終製品には、エネルギー ストレージ システム (ESS)、ソーラー パネル アレイ、EV チャージャ、EV バッテリ管理システムなどがあります。機械式リレーや光学的に絶縁されたデバイスをこのデバイスに置き換えることで、システム設計者はコストを削減し、信頼性を向上させることができます。

TPSI2260-Q1 のイネーブル入力フェイルセーフであり、VDD ピン電源と同じドメインから駆動する必要はありません。

TPSI2260-Q1 は、1 次側 VDD 電源ピンで 4.5V ~ 20V の入力電圧範囲、イネーブル ピンで 2.1V ~ 20V のロジック High に対応しています。2 次側は、-600V ~ 600V の高電圧スイッチングをサポートしています。

### TI のリファレンス デザイン

以下のリンク先にある TI のリファレンス デザインは、TPSI2260-Q1 を使用する高電圧アプリケーションの概要を示します。絶縁耐圧試験 (HiPot) における TPSI2260-Q1 の放熱性能を最大化するため、このデータシートに記載されている [レイアウトのガイドライン](#) に従ってください。

- [TIDA-010232: 高電圧絶縁監視](#)
- [TIDA-01513: 車載用高電圧および絶縁リーク測定](#)

### 9.2 代表的なアプリケーション

#### 絶縁抵抗の監視

電気自動車システムのような高電圧アプリケーションで、高電圧バッテリー パックは意図的に自動車のシャーシ ドメインから絶縁され、ドライバを保護し、電気部品の損傷を防止します。これらのシステムは、この絶縁の整合性をアクティブに監視して、システムの寿命全体にわたって安全性を確保します。このアクティブ監視は絶縁抵抗監視 (絶縁チェック、絶縁監視、残留電流監視 (RCM) とも呼ばれます) と呼ばれます。これは、下図に  $R_{ISOP}$  および  $R_{ISON}$  として示されているように、各バッテリー端子からシャーシ グランドまでの抵抗を測定することで実行されます。

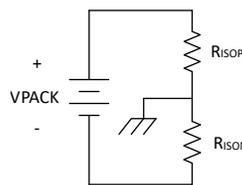


図 9-1. 絶縁抵抗モデル

TPSI2260-Q1 を使用して、これらの絶縁抵抗  $R_{ISOP}$  および  $R_{ISON}$  を測定する設計アーキテクチャは複数存在します。一部のアーキテクチャでは、高電圧ドメインからの測定を実行するマイコンが採用されています。このアーキテクチャは、このドキュメントではバッテリー V リファレンス アーキテクチャと呼ばれます。また、低電圧ドメインでマイコンを使用するものも

あります。このマイコンは、本ドキュメントではシャーシ グランド リファレンス アーキテクチャと呼ばれます。これら 2 つのアーキテクチャの主な違いは、マイコン が GND リファレンスとして使用するノードにあります。バッテリー V マイコン の例は、BQ79731-Q1 UIR センサです。

ADVANCE INFORMATION

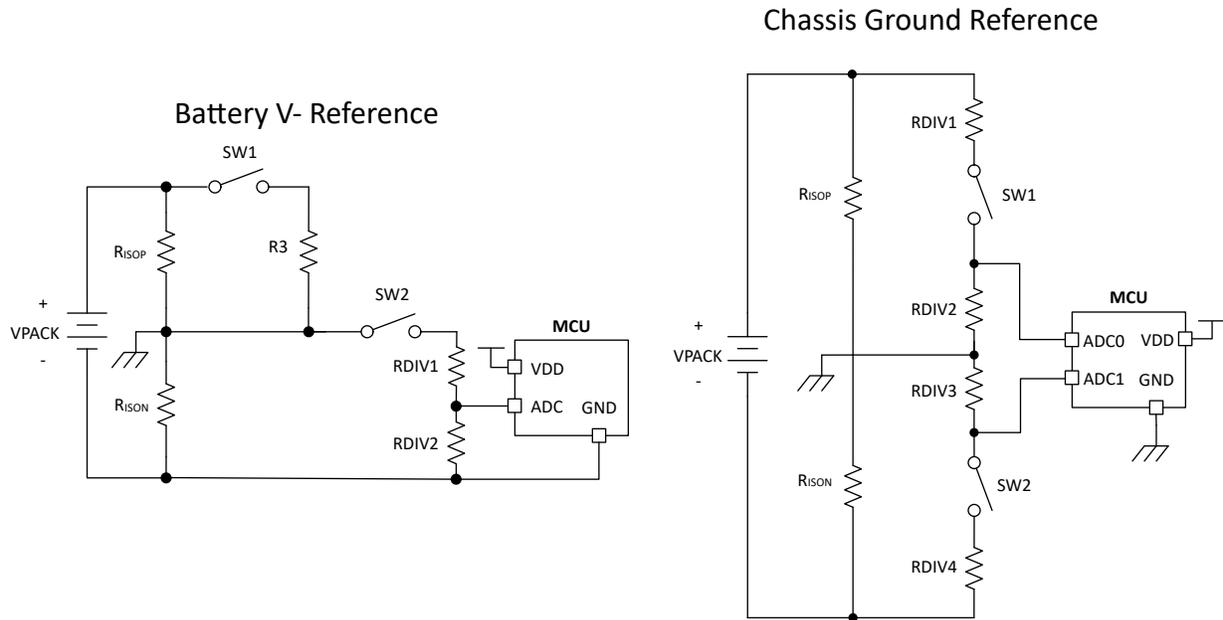


図 9-2. さまざまなマイコン ADC リファレンスの例

以下の 2 つのセクションでは、測定アルゴリズムと、各アーキテクチャを使用した絶縁抵抗の計算に使用する式について説明します。

### バッテリー V リファレンスの例

以下に、TPSI2260-Q1 をスイッチ (SW1 および SW2) として使用したバッテリー V リファレンス アーキテクチャを示します。SW2 はシャーシと PACK- との間の接続を開始し、ADC への測定パスを有効にします。SW1 がシャーシと PACK+ の間の接続を開始します。RDIV1 と RDIV2 は分圧器を形成し、測定電圧を適切な ADC 範囲までスケールリングします。

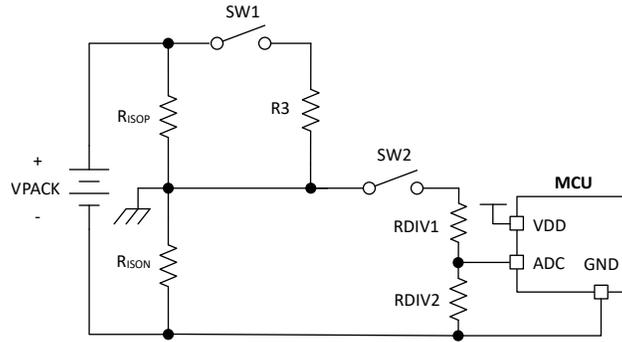


図 9-3. バッテリ V リファレンス アーキテクチャ

2 つの未知の絶縁抵抗を計算するのに十分な情報を得るため、2 回の ADC 測定を行う必要があります。最初の測定は、SW1 を開放し、SW2 を閉じた状態で行います。2 回目の測定は SW1 を閉じ、SW2 も閉じた状態で行います。これら 2 つの測定によって、方程式を解き、 $R_{ISOP}$  および  $R_{ISON}$  を計算できます。

次の例では、シャーシグラウンドの電圧を任意に  $V_{RISONx}$  と呼びます。

以下に示されているように、最初の ADC 測定値について、SW2 は閉じており、以下の式で、ADC 電圧をこの条件でシステム内の他のパラメータと関連付けます。

- $V_{ADC1}$  測定 1: SW1 = 開、SW2 = 閉

$$V_{RISON1} = V_{PACK} \times \frac{R_{ISON} \parallel (R_{DIV1} + R_{DIV2})}{R_{ISOP} + (R_{ISON} \parallel (R_{DIV1} + R_{DIV2}))} \quad (1)$$

$$V_{ADC1} = V_{RISON1} \times \frac{R_{DIV2}}{R_{DIV1} + R_{DIV2}} \quad (2)$$

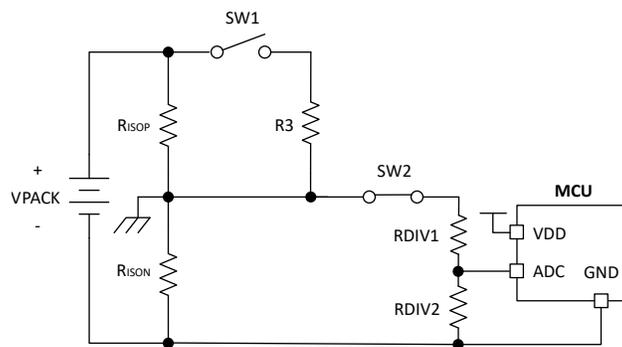


図 9-4. ADC1 測定のバッテリ V リファレンス スイッチの位置

以下に示されているように、2 回目の ADC 測定では、SW1 と SW2 が閉じており、以下の式で、ADC 電圧をこの条件でシステム内の他のパラメータと関連付けます。

- $V_{ADC2}$  測定 2: SW1 = 閉、SW2 = 閉

$$V_{RISON2} = V_{PACK} \times \frac{R_{ISON} || (R_{DIV1} + R_{DIV2})}{(R_{ISOP} || R_3) + (R_{ISON} || (R_{DIV1} + R_{DIV2}))} \quad (3)$$

$$V_{ADC2} = V_{RISON2} \times \frac{R_{DIV2}}{R_{DIV1} + R_{DIV2}} \quad (4)$$

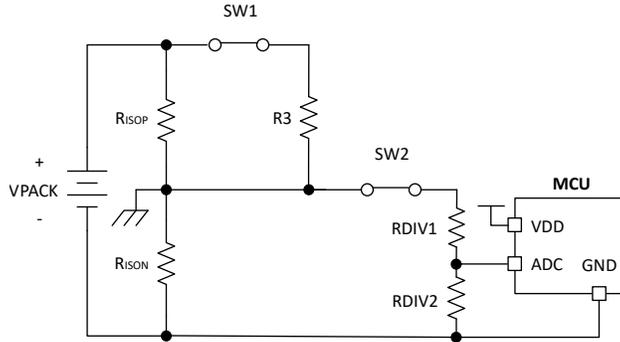


図 9-5. ADC2 測定のバッテリー V リファレンス スイッチの位置

### シャーシ グランド リファレンスの例

シャーシ グランド リファレンス アーキテクチャを以下に示します。SW1 および SW2 は、PACK+ と PACK- への接続を開始し、対応する分圧抵抗を経由して、ADC への対応する測定パスを有効化します。RDIV1、RDIV2、RDIV3、RDIV4 は、測定された電圧を適切な ADC 範囲までスケールリングします。

最初の測定は SW1 を閉じ、SW2 を開放した状態で、2 番目の測定は SW1 を開放して、SW2 を閉じた状態で行います。

- VADC1: SW1 = 閉、SW2 = 開

$$V_{ADC1} = V_{RDIV2} = V_{PACK} \frac{(R_{ISOP} || (R_{DIV1} + R_{DIV2}))}{(R_{ISOP} || (R_{DIV1} + R_{DIV2})) + R_{ISON}} \times \frac{R_{DIV2}}{R_{DIV1} + R_{DIV2}} \quad (5)$$

- VADC2: SW1 = 開、SW2 = 閉

$$V_{ADC2} = V_{RDIV3} = -V_{PACK} \frac{(R_{ISON} || (R_{DIV3} + R_{DIV4}))}{(R_{ISON} || (R_{DIV3} + R_{DIV4})) + R_{ISOP}} \times \frac{R_{DIV3}}{R_{DIV3} + R_{DIV4}} \quad (6)$$

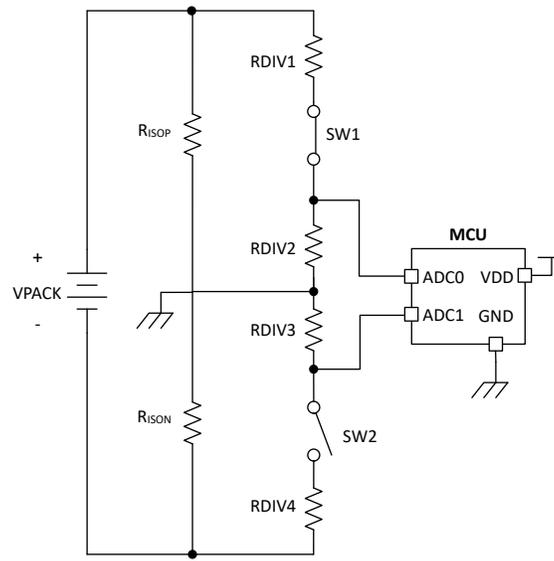


図 9-6. ADC1 測定のシャーシ グランド リファレンス スイッチの位置

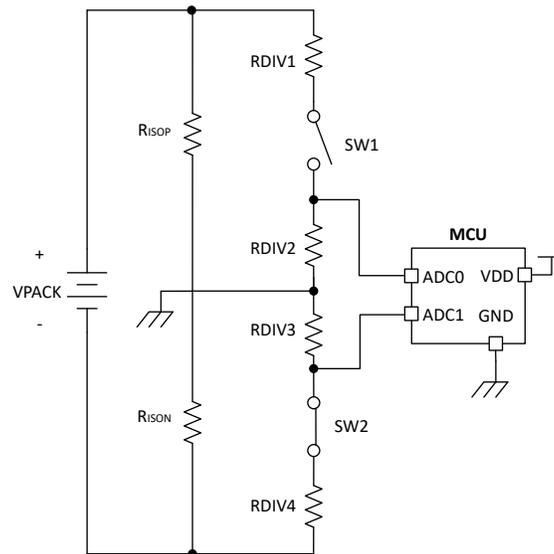


図 9-7. ADC2 測定のシャーシ グランド リファレンス スイッチの位置

### 9.2.1 絶縁耐圧試験 (HiPot)

TPSI2260-Q1 は、絶縁耐圧試験をサポートするよう特に設計されています。高電圧システムでは、システムの実験評価、製造、またはメンテナンス中に絶縁耐圧試験 (HiPot) を実施し、絶縁障壁と、その中に含まれるガルバニック絶縁領域の信頼性を検証することができます。これらの耐電圧試験では、これらの領域にまたがる部品に意図的にストレスを加え、過電圧状態になります。これらの過電圧条件の下に配置された MOSFET はアバランシェ モードに移行し、高電圧で電流

を導通し始め、大電力を消費し、発熱します。この状態を念頭に置いて、TPSI2260-Q1 の設計と認定は完了しており、最大 1mA  $I_{AVA}$  を 60 秒間隔でサポートします。

TPSI2260-Q1 と直列に配置された絶縁耐圧試験の電圧 ( $V_{HiPot}$ )、TPSI2260-Q1 のアバランシェ電圧 ( $V_{AVA}$ )、および抵抗 ( $R$ ) は、試験期間に応じて、対応する電流制限にアバランシェ電流 ( $I_{AVA}$ ) を制限するように選択する必要があります。また、接合部温度 ( $T_J$ ) が TPSI2260-Q1 の絶対最大定格よりも低く維持されるように、十分な熱性能を確保するため、PCB 設計は「[レイアウトのガイドライン](#)」セクションに示す推奨事項に従ってください。

### 9.2.2 設計要件

### 9.2.3 設計手順 - シャーシ グランド リファレンス

## 9.3 電源に関する推奨事項

信頼性の高い電源電圧を確保するため、VDD ピンと TPSI2260-Q1 の GND ピンの間に 100nF のセラミック コンデンサを配置することを推奨します。コンデンサはデバイスの VDD ピンにできるだけ近付けて (10mm 以下) 配置します。

## 9.4 レイアウト

### 9.4.1 レイアウトのガイドライン

部品の配置:

1 次側 VDD 電源のデカップリング コンデンサは、デバイス ピンにできるだけ近くに配置する必要があります。

EMI に関する検討事項:

TPSI2260-Q1 はスペクトラム拡散変調 (SSM) を採用しているため、EMI 性能の要求を満たすためにシステム設計上の追加の検討事項は必要ありません。

高電圧に関する注意事項:

TPSI2260-Q1 の 1 次側から 2 次側への沿面距離、S1 ピンから S2 ピンへの沿面距離は、システムの要件に応じて維持する必要があります。多くの場合、システム設計者は、パッケージ本体の下または S1、SM、S2 ピン間の最上層 PCB 配線を避けます。

### 9.4.2 レイアウト例

システムの EMI 要件とシステムの絶縁耐圧試験 (HiPot) パラメータの両方によって、さまざまな PCB 実装が可能です。次のセクションでは、[TPSI2260-Q1 評価基板のレイアウト例](#) を詳しく説明します。

## TPSI2260-Q1 評価基板のレイアウト例

TPSI2260-Q1 を使用した 2 層回路のレイアウト例を以下に示します。

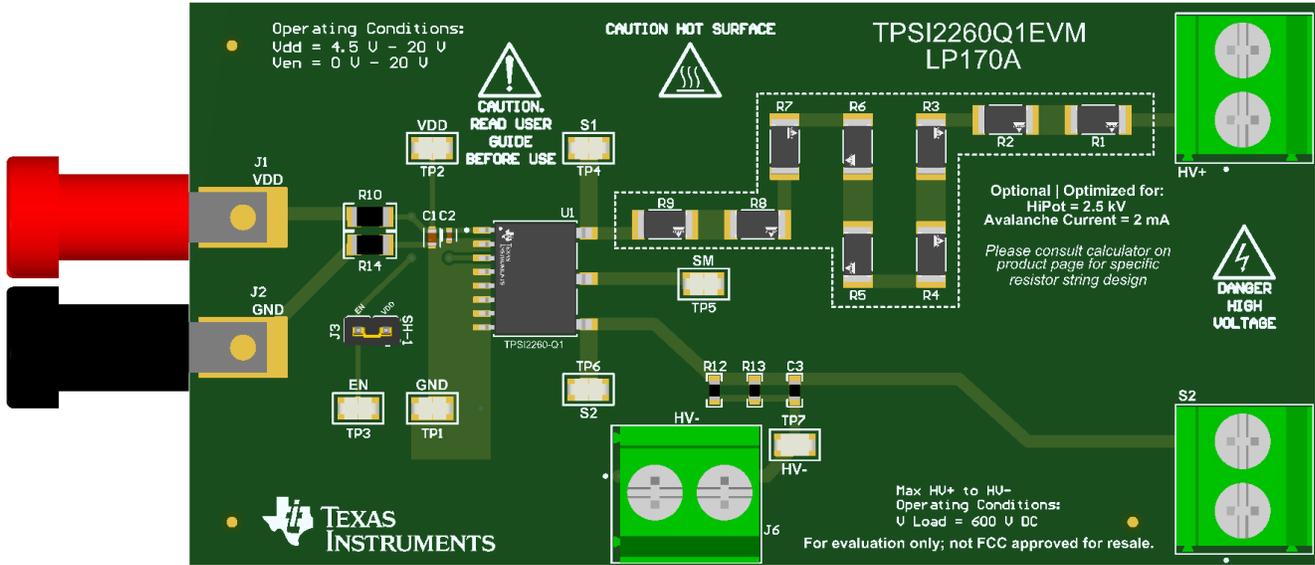


図 9-8. TPSI2260-Q1 評価基板 - 部品ビュー

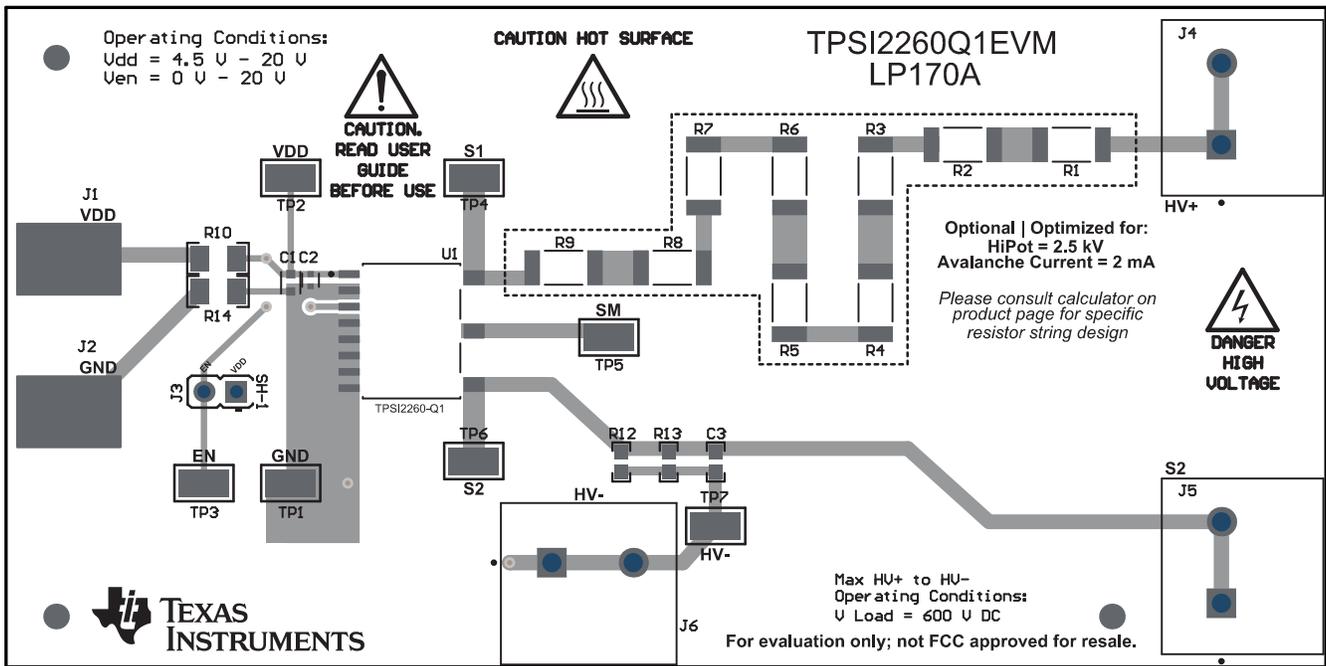


図 9-9. TPSI2260-Q1 評価基板 - 複合ビュー

ADVANCE INFORMATION

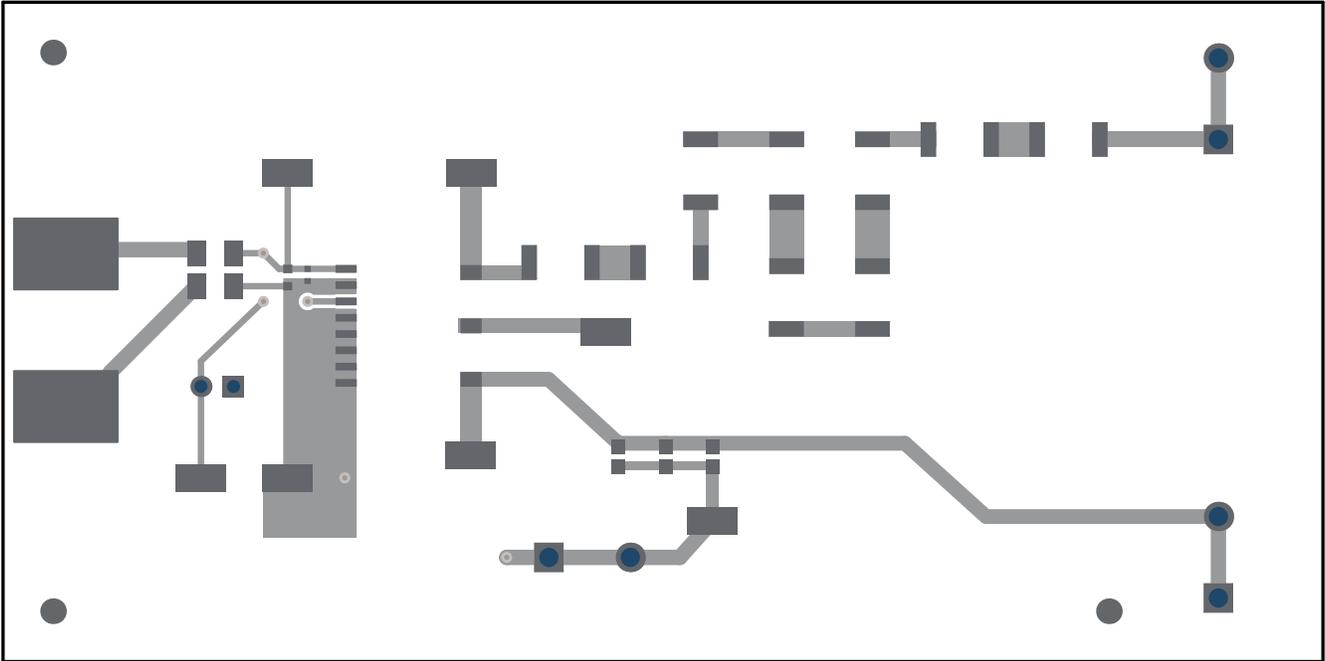


図 9-10. TPSI2260-Q1 評価基板 - 最上層



図 9-11. TPSI2260-Q1 評価基板 - 最下層

## 10 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介합니다。

### 10.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

### 10.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

### 10.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.  
すべての商標は、それぞれの所有者に帰属します。

### 10.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

### 10.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

## 11 改訂履歴

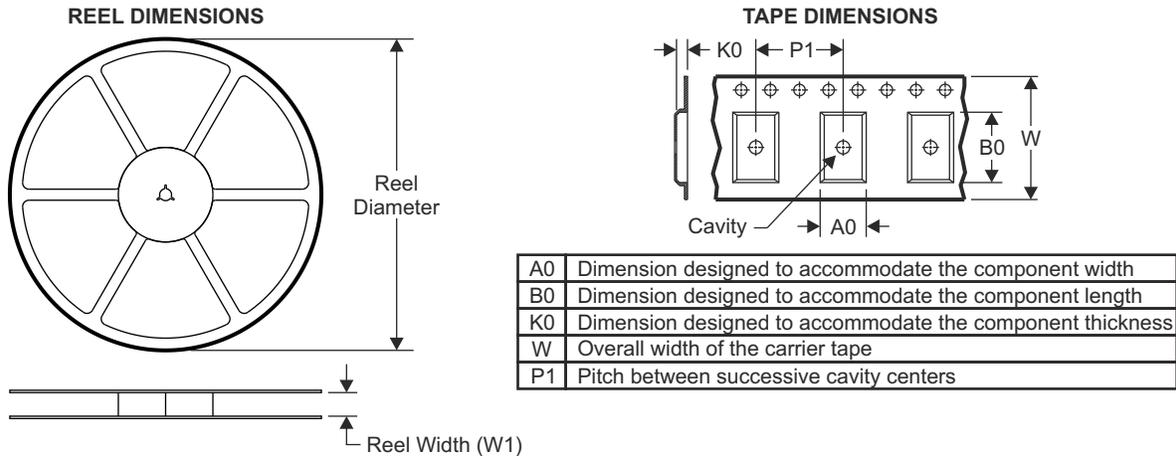
資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

| 日付        | 改訂 | 注      |
|-----------|----|--------|
| June 2025 | *  | 初版リリース |

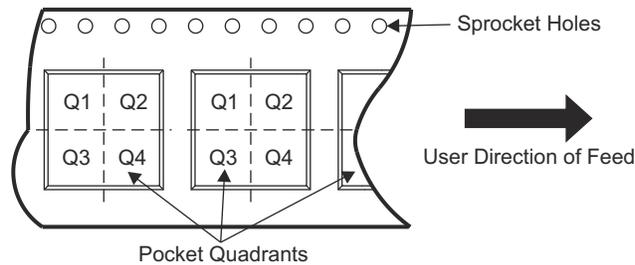
## 12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

### 12.1 テープおよびリール情報

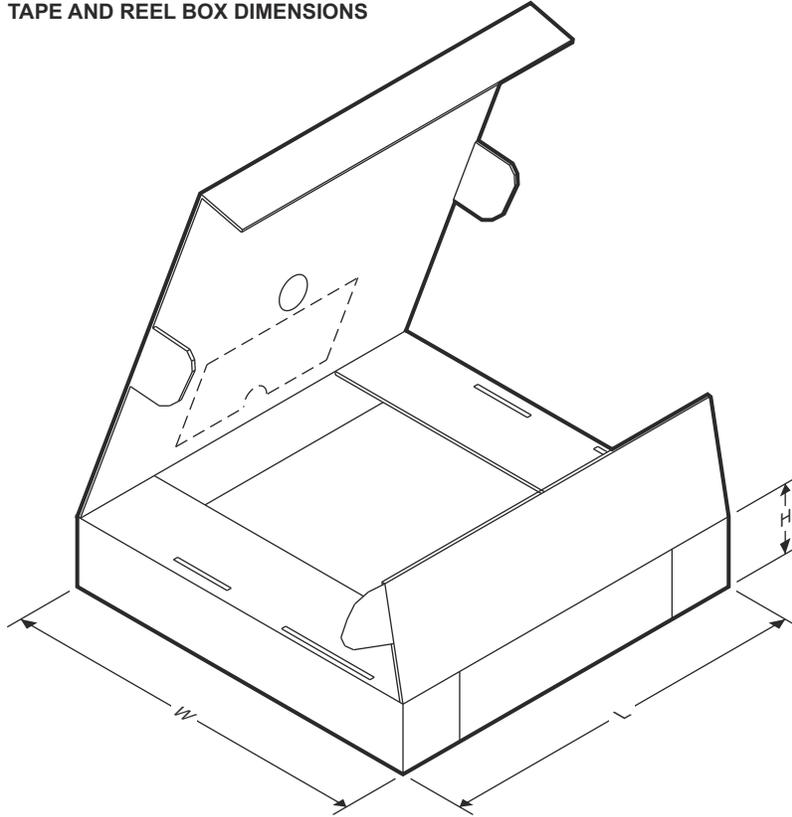


#### QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



| デバイス                  | パッケージ<br>タイプ | パッケージ<br>図 | ピン | SPQ  | リール<br>直径 (mm) | リール<br>幅 W1 (mm) | A0<br>(mm) | B0<br>(mm) | K0<br>(mm) | P1<br>(mm) | W<br>(mm) | ピン1の<br>象限 |
|-----------------------|--------------|------------|----|------|----------------|------------------|------------|------------|------------|------------|-----------|------------|
| PTPSI2260QDWQRQ1      | SOIC         | DWQ        | 11 | 2000 | 330.0          | 16.4             | 10.75      | 10.7       | 2.7        | 12.0       | 16.0      | Q1         |
| PTPSI2260TQDWQRQ<br>1 | SOIC         | DWQ        | 11 | 1000 | 330.0          | 16.4             | 10.75      | 10.7       | 2.7        | 12.0       | 16.0      | Q1         |

TAPE AND REEL BOX DIMENSIONS



| デバイス              | パッケージタイプ | パッケージ図 | ピン | SPQ  | 長さ (mm) | 幅 (mm) | 高さ (mm) |
|-------------------|----------|--------|----|------|---------|--------|---------|
| PTPSI2260QDWQRQ1  | SOIC     | DWQ    | 11 | 2000 | 350.0   | 350.0  | 43.0    |
| PTPSI2260TQDWQRQ1 | SOIC     | DWQ    | 11 | 1000 | 350.0   | 350.0  | 43.0    |

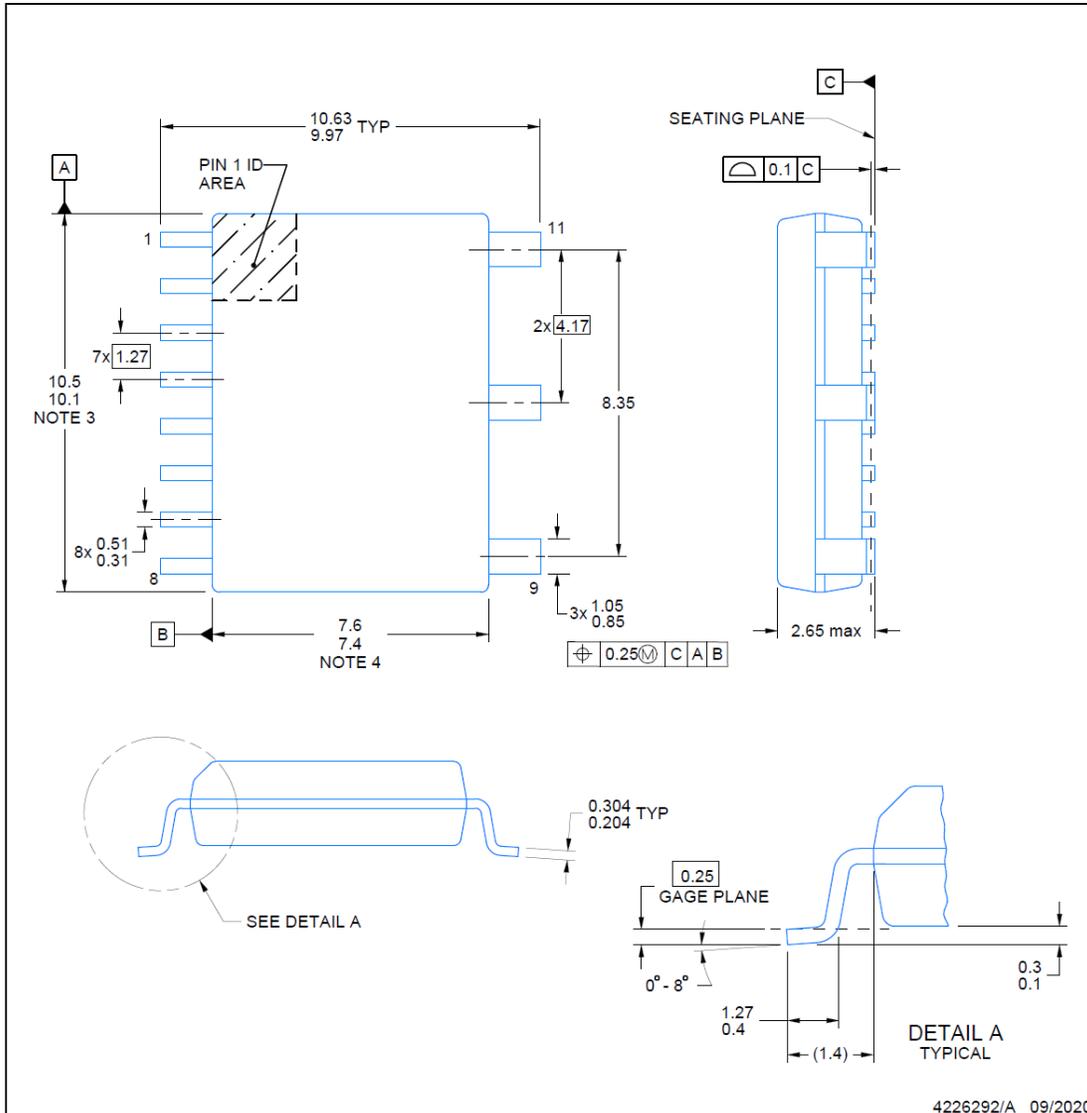
ADVANCE INFORMATION

**PACKAGE OUTLINE**

**DWQ0011A**

**SOIC - 2.65 mm max height**

SMALL OUTLINE PACKAGE



**NOTES:**

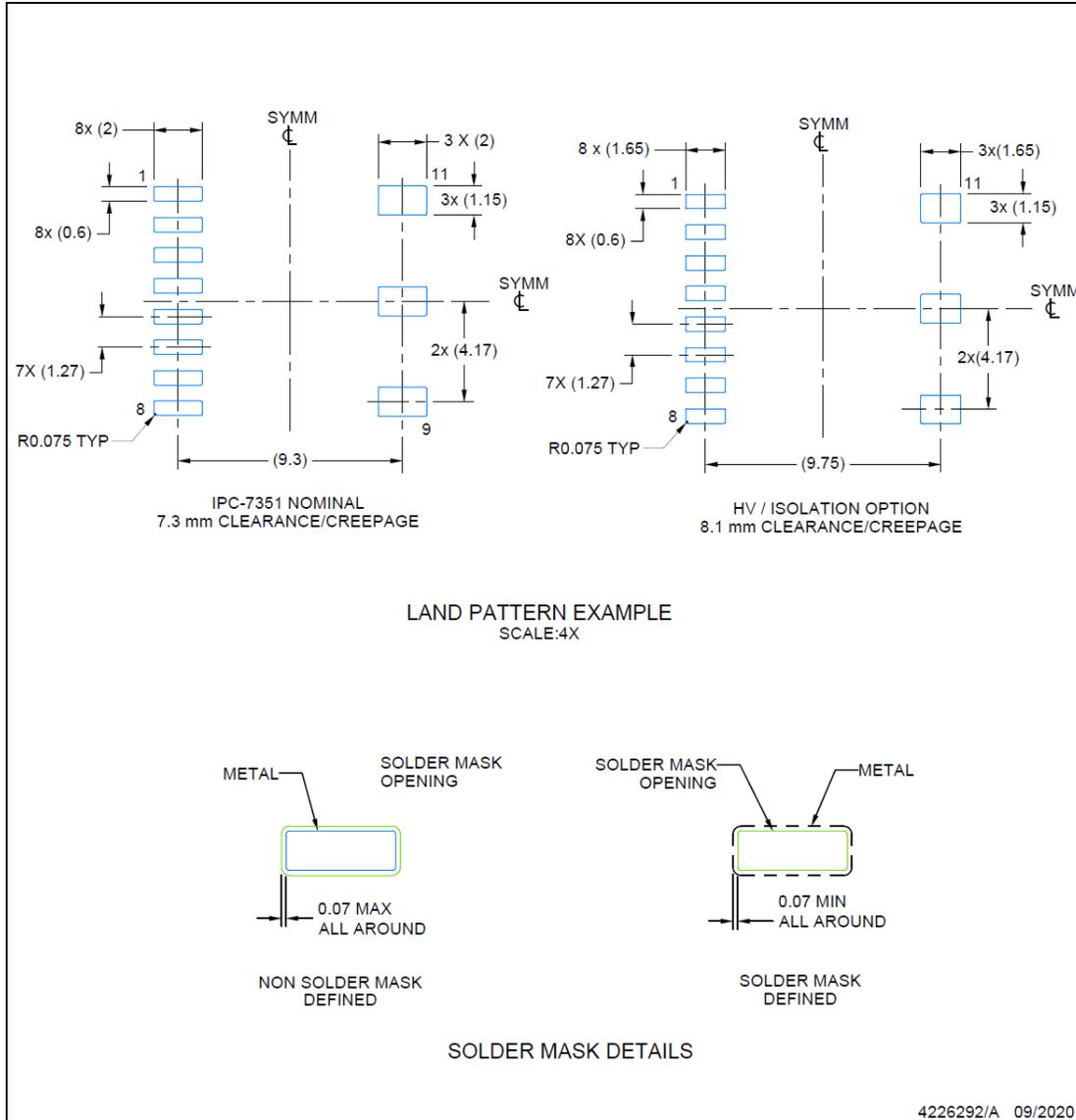
1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.
5. Reference JEDEC registration MS-013.

## EXAMPLE BOARD LAYOUT

**DWQ0011A**

**SOIC - 2.65 mm max height**

SOIC



NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

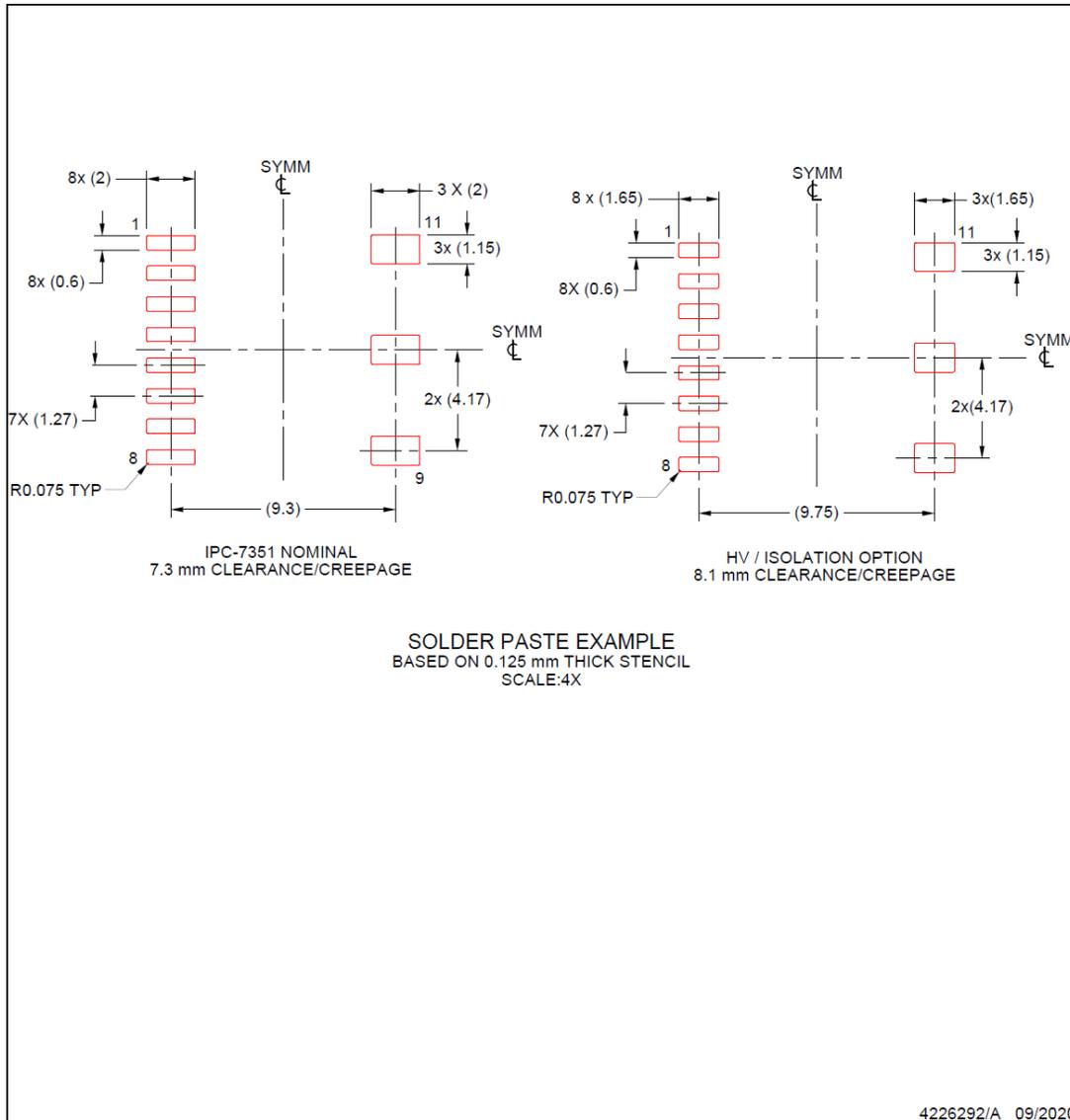
**EXAMPLE STENCIL DESIGN**

**DWQ0011A**

**SOIC - 2.65 mm max height**

SOIC

ADVANCE INFORMATION



NOTES: (continued)

- 8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
- 9. Board assembly site may have different recommendations for stencil design.

## 重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

**PACKAGING INFORMATION**

| Orderable part number            | Status<br>(1) | Material type<br>(2) | Package   Pins  | Package qty   Carrier | RoHS<br>(3) | Lead finish/<br>Ball material<br>(4) | MSL rating/<br>Peak reflow<br>(5) | Op temp (°C) | Part marking<br>(6) |
|----------------------------------|---------------|----------------------|-----------------|-----------------------|-------------|--------------------------------------|-----------------------------------|--------------|---------------------|
| <a href="#">PTPSI2260QDWQRQ1</a> | Active        | Preproduction        | SOIC (DWQ)   11 | 2000   LARGE T&R      | -           | Call TI                              | Call TI                           | -40 to 125   |                     |

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

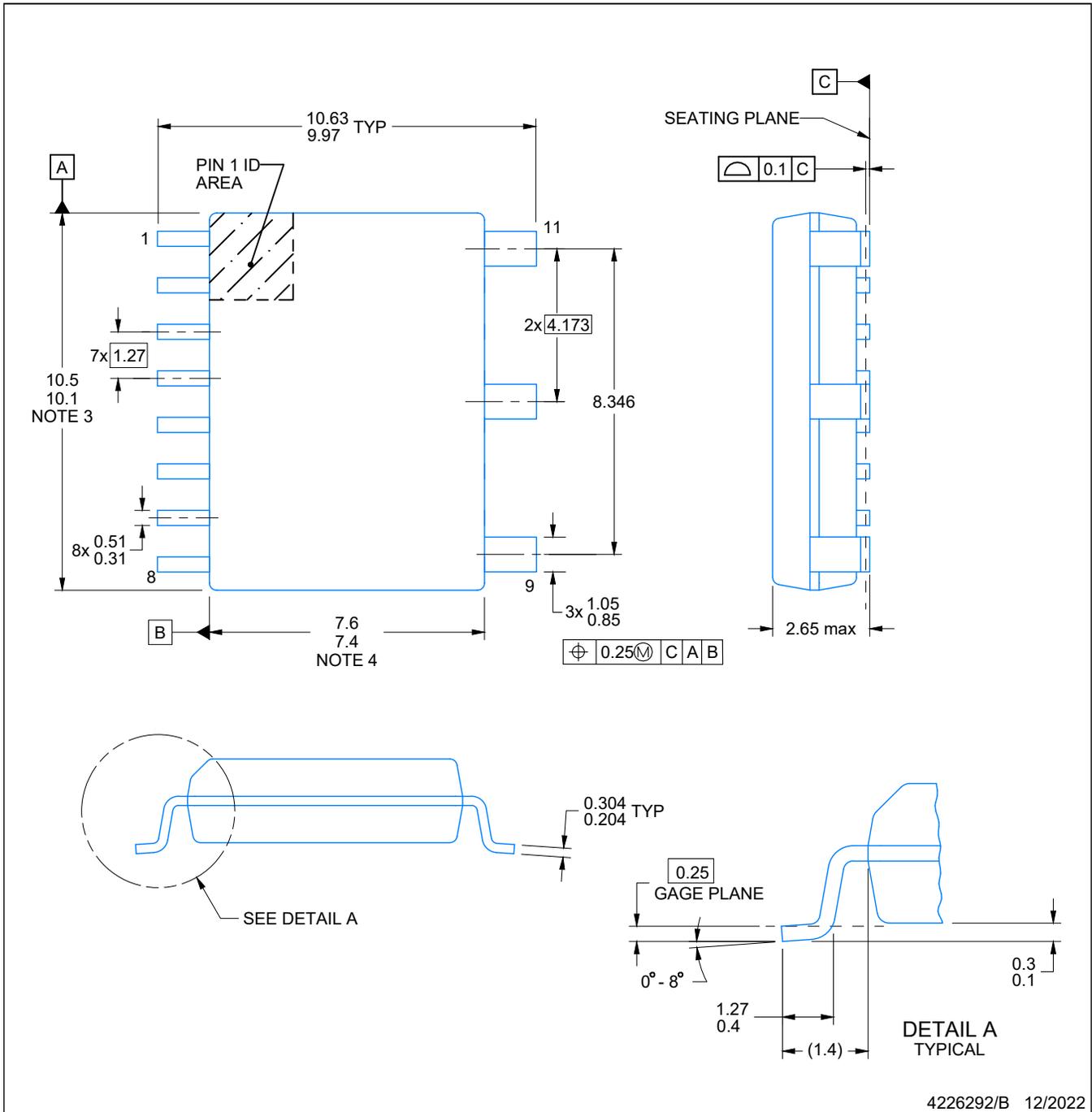
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

# PACKAGE OUTLINE

DWQ0011A

SOIC - 2.65 mm max height

SMALL OUTLINE PACKAGE



4226292/B 12/2022

NOTES:

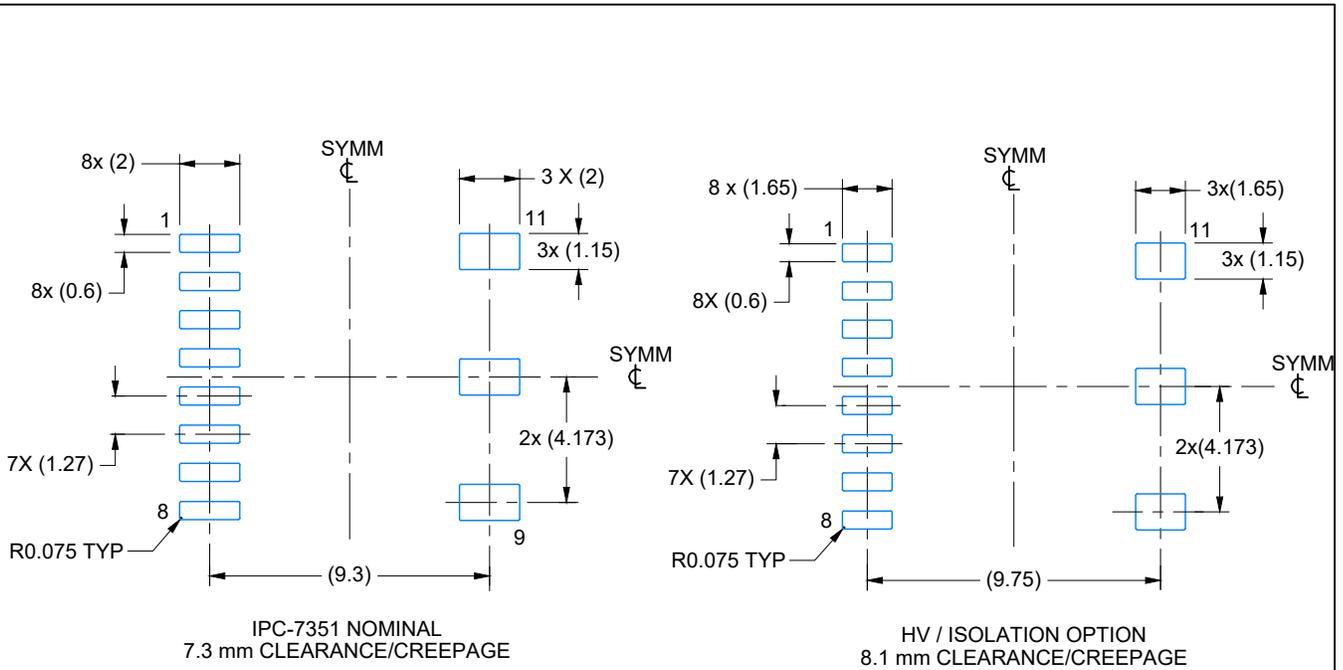
1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.
5. Reference JEDEC registration MS-013.

# EXAMPLE BOARD LAYOUT

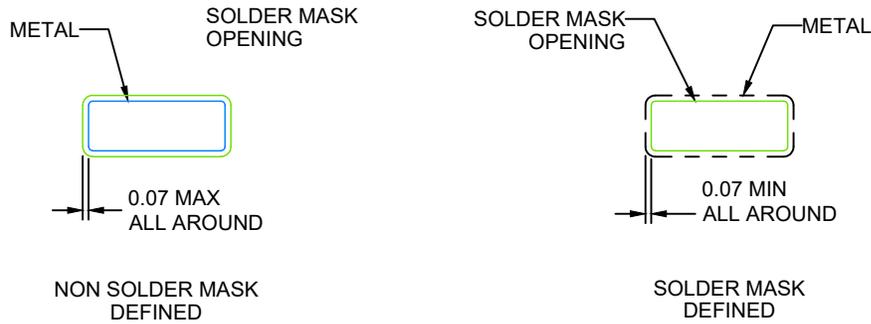
DWQ0011A

SOIC - 2.65 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE  
SCALE:4X



SOLDER MASK DETAILS

4226292/B 12/2022

NOTES: (continued)

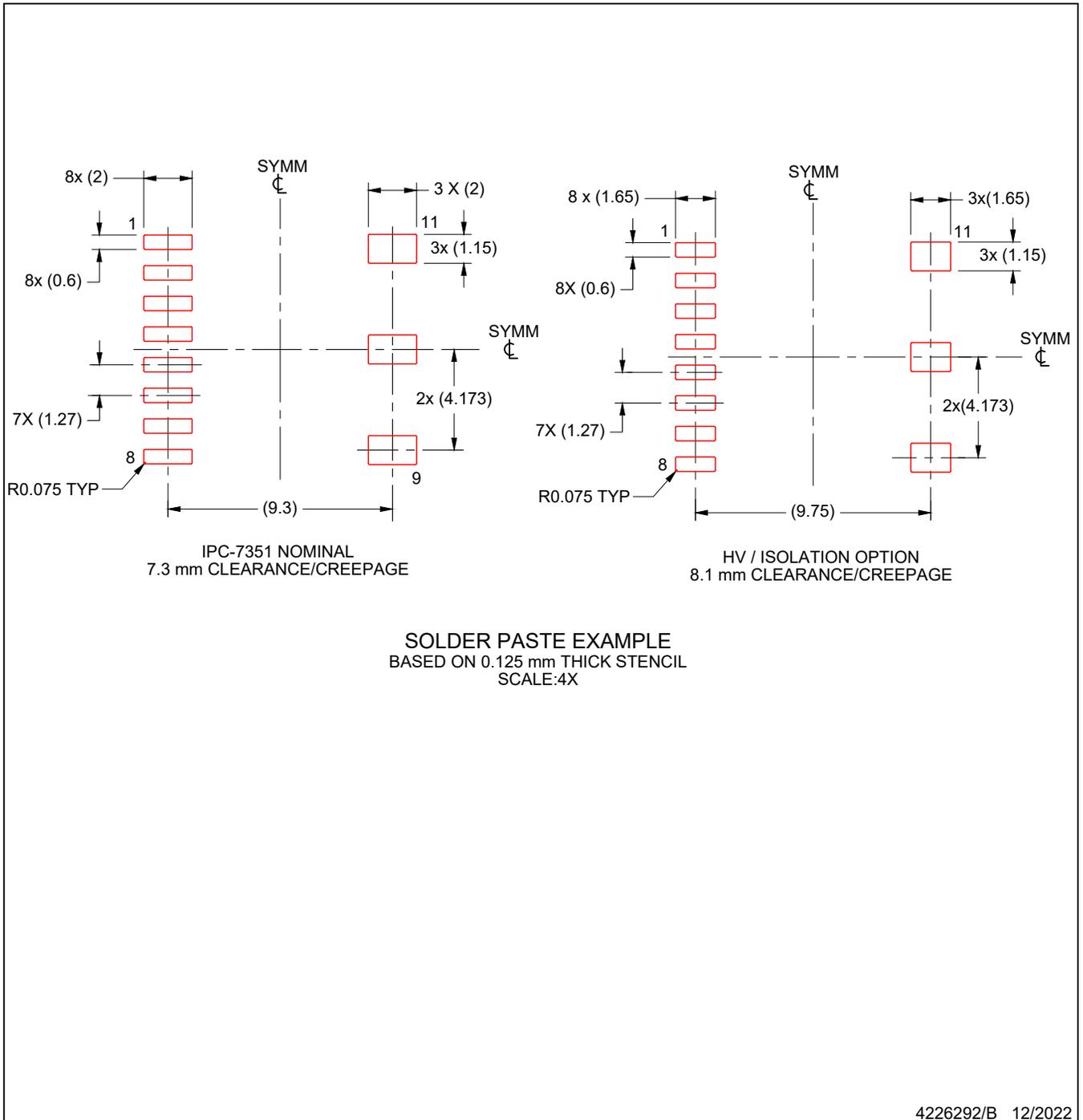
- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

# EXAMPLE STENCIL DESIGN

DWQ0011A

SOIC - 2.65 mm max height

SMALL OUTLINE PACKAGE



NOTES: (continued)

- 8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
- 9. Board assembly site may have different recommendations for stencil design.

## 重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適したテキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているテキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかるテキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2025, Texas Instruments Incorporated